



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201013841 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098125343

(22)申請日：中華民國 98 (2009) 年 07 月 28 日

(51)Int. Cl. :

H01L21/768 (2006.01)

H01L23/52 (2006.01)

(30)優先權：2008/08/08

美國

12/188,228

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：安卓 保羅 史蒂芬 ANDRY, PAUL STEPHEN (CA)；史普洛吉斯 艾慕德 喬瑞斯 SPROGIS, EDMUND JURIS (US)；曾 柯尼利亞 康依 TSANG, CORNELIA KANG-I (US)

(74)代理人：蔡玉玲

申請實體審查：無 申請專利範圍項數：35 項 圖式數：2 共 46 頁

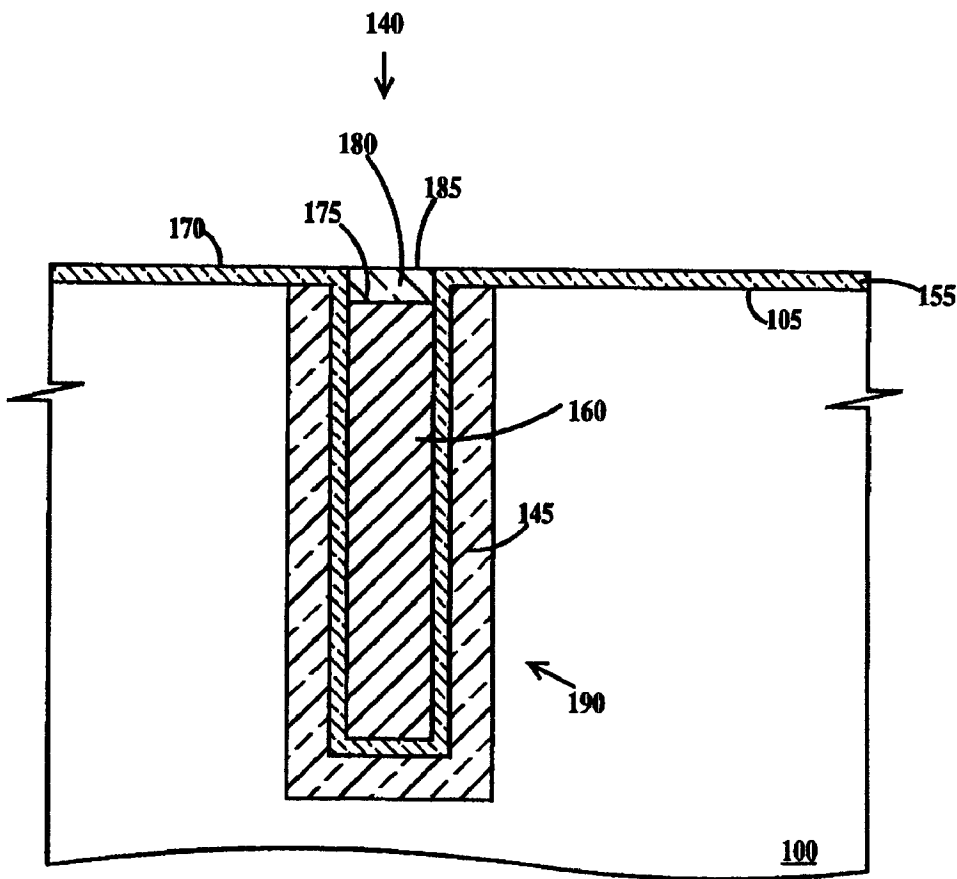
(54)名稱

貫穿矽介層及其製造方法

THROUGH SILICON VIA AND METHOD OF FABRICATING SAME

(57)摘要

一種貫穿矽介層結構及製造貫穿矽介層的方法。該方法包括：(a)形成一溝渠於一矽基板中，該溝渠開啟至基板之一頂面；(b)形成一二氧化矽層於溝渠的側壁上，且二氧化矽層未填充溝渠；(c)用多晶矽填充溝渠中的其餘空間；(d)在(c)之後，製造 CMOS 裝置的至少一部分於基板中；(e)自溝渠移除多晶矽，介電層繼續保留在溝渠的側壁上；(f)用一導電核心再填充溝渠；及(g)在(f)之後，形成一或多個配線層於基板的頂面之上，一或多個配線層級之一配線層級的一線路接近於接觸導電核心之一頂面的基板。



- 100 : 基板
- 105 : 頂面
- 140 : 溝渠
- 145 : 二氧化矽層
- 155 : 硬遮罩層
- 160 : 填料層
- 170 : 頂面
- 175 : 頂面
- 180 : 介電帽蓋
- 185 : 頂面
- 190 : 前導貫穿矽介層



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201013841 A1

(43)公開日：中華民國 99 (2010) 年 04 月 01 日

(21)申請案號：098125343

(22)申請日：中華民國 98 (2009) 年 07 月 28 日

(51)Int. Cl. : *H01L21/768 (2006.01)* *H01L23/52 (2006.01)*

(30)優先權：2008/08/08 美國 12/188,228

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：安卓 保羅 史蒂芬 ANDRY, PAUL STEPHEN (CA)；史普洛吉斯 艾慕德 喬瑞斯 SPROGIS, EDMUND JURIS (US)；曾 柯尼利亞 康依 TSANG, CORNELIA KANG-I (US)

(74)代理人：蔡玉玲

申請實體審查：無 申請專利範圍項數：35 項 圖式數：2 共 46 頁

(54)名稱

貫穿矽介層及其製造方法

THROUGH SILICON VIA AND METHOD OF FABRICATING SAME

(57)摘要

一種貫穿矽介層結構及製造貫穿矽介層的方法。該方法包括：(a)形成一溝渠於一矽基板中，該溝渠開啟至基板之一頂面；(b)形成一二氧化矽層於溝渠的側壁上，且二氧化矽層未填充溝渠；(c)用多晶矽填充溝渠中的其餘空間；(d)在(c)之後，製造 CMOS 裝置的至少一部分於基板中；(e)自溝渠移除多晶矽，介電層繼續保留在溝渠的側壁上；(f)用一導電核心再填充溝渠；及(g)在(f)之後，形成一或多個配線層於基板的頂面之上，一或多個配線層級之一配線層級的一線路接近於接觸導電核心之一頂面的基板。

六、發明說明：

【發明所屬之技術領域】

本發明有關積體電路的領域，尤其有關積體電路晶片中使用的貫穿矽介層及製造貫穿矽介層的方法。

【先前技術】

為增加使用積體電路晶片之裝置的密度，需要在積體電路晶片頂面及底面上製作互連線。這需要形成從積體電路晶片頂面至底面並相容於互補金屬氧化矽(CMOS)技術的貫穿矽介層。許多現有的貫穿介層方案不是難以和 CMOS 製程整合，就是導致積體電路晶片正面與底面間令人無法接受的信號傳播降級。因此，本技術中需要克服上述缺點及限制。

【發明內容】

本發明之第一方面為一種方法，包含：(a)形成一溝渠於一矽基板中，該溝渠開啟至基板之一頂面；(b)形成一二氧化矽層於溝渠的側壁上，且二氧化矽層未填充溝渠；(c)用多晶矽填充溝渠中的其餘空間；(d)在(c)之後，製造 CMOS 裝置的至少一部分於基板中；(e)自溝渠移除多晶矽，介電層繼續保留在溝渠的側壁上；(f)用一導電核心再填充溝渠；及(g)在(f)之後，形成一或多個配線層於基板的頂面之上，一或多個配線層級之一配線層級的一線路接近接觸導電核心之一頂面的基板。

本發明之第二方面為一種方法，包含：(a)形成一氧化障壁層於一矽基板的一頂面上及形成一開口於障壁層中，基板

之頂面的一區域在開口的一底部中暴露；(b)形成一溝渠於基板未受障壁層保護的矽基板中，溝渠開啟至基板的一頂面；(c)形成一二氧化矽層於溝渠的側壁上，二氧化矽層未填充溝渠；(d)移除氧化障壁層；(e)形成一硬遮罩層於基板的頂面及二氧化矽層的所有暴露表面上；(f)用多晶矽填充溝渠中的其餘空間，其後多晶矽的一頂面與硬遮罩層的一頂面共面；在(f)之後，(g)形成一場效電晶體之一源極、一汲極及一通道區域於基板中，一閘極介電質於通道區域上及一閘極電極於閘極介電質上；(h)形成一保護層於硬遮罩層及場效電晶體之上；(i)形成穿過保護層到達場效電晶體之相應的源極、汲極及閘極電極的金屬接點，金屬接點的頂面與保護層的一頂面共面；(j)形成一開口於溝渠之上的保護層中及自溝渠移除多晶矽，介電層及硬遮罩層繼續留在溝渠的側壁上；(k)用一導電核心再填充溝渠，介電層及硬遮罩層繼續留在溝渠的側壁上，核心的一頂面與保護層的頂面共面；及在(k)之後，(l)形成一或多個配線層於保護層上，一或多個配線層級之一配線層級的一線路接近接觸導電核心之頂面的基板。

本發明之第三方面為一種結構，包含：在一矽基板中的一溝渠；在溝渠之側壁上的一二氧化矽層，二氧化矽層未填充溝渠，二氧化矽層在溝渠的側壁上的二氧化矽層之最薄及最厚區域之間具有一厚度變化小於約 10 %；填充溝渠中其餘空間的一導電核心，至少一部分在基板中的一 CMOS 裝置；及一或多個在基板之頂面上的配線層，一或多個配線層級之一配線層級的一線路接近接觸導電核心之一頂面的基板。

本發明之第四方面為一種結構，包含：在一矽基板中的一溝渠；在溝渠側壁上的二氧化矽層，二氧化矽層未填充溝渠；在基板之頂面上及在二氧化矽層上的一介電層，介電層未填充溝渠；一導電核心，其填充溝渠中其餘空間，基板中一場效電晶體的一源極、汲極及通道區域、通道區域上的一閘極介電質、及閘極介電質上的一閘極電極；在介電層及場效電晶體之上的一保護層；核心延伸穿過保護層，核心之一頂面與保護層之頂面共面；穿過保護層到達場效電晶體之相應的源極、汲極及閘極電極的金屬接點，金屬接點的頂面與保護層的一頂面共面；及一或多個在保護層上的配線層，一或多個配線層級之一配線層級的一線路接近接觸導電核心之頂面的基板。

【實施方式】

圖 1A 至 1M 根據本發明具體實施例，為圖解貫穿矽介層之初始製造步驟的橫截面圖。在圖 1A 中，單晶矽基板 100 具有頂面 105。在一範例中，基板 100 具有相對於頂面 105 的<100>晶向。在一範例中，基板 100 為摻雜 P 型。障壁層 110 形成於基板 100 的頂面 105 上。在一範例中，障壁層 110 包含二或多個單獨層。在一範例中及如圖 1A 所示，障壁層 110 由基板 100 上的第一層 115 及第一層上的第二層 120 組成。在一範例中，第一層 115 為二氧化矽且厚度介於約 5 nm 及約 20 nm，第二層 120 為氮化矽且厚度介於約 10nm 及約 30 nm。在一範例中，障壁層 110 包含二氧化矽層、氮化矽層、及碳化矽層中的一或多個。障壁層 110 的一個用途是在後續處理步驟中，當作矽的氧化障壁(即，氧(如 O、O₂ 或 O₃)、氫/氧化合物(如，H₂O)、及其他含氧化合物

(如，NO、N₂O)的擴散障壁)。因此，障壁層 110 的至少一層由氧化障壁的材料組成。障壁層 110 還需要有足夠的厚度，致使如果其表面氧化，還保留有足夠的材料厚度仍能當作氧(或水)的擴散障壁。為了解說之故，將在下文說明的後續圖式中圖解第一層 115 及第二層 120。

在圖 1B 中，在障壁層 110 上形成光阻層 125，及利用微影在光阻層中形成開口 130，以暴露在開口底部中的襯墊介電質。

微影製程係製程如下：在表面上塗上光阻層，透過圖案化光罩使光阻層曝光於光化輻射，然後使曝光的光阻層顯影以形成圖案化光阻層。當光阻層包含正光阻時，顯影劑溶解曝光於光化輻射的光阻區域，而不會溶解圖案化光罩擋住(或大幅減弱輻射強度)光照射在光阻層上的區域。當光阻層包含負光阻時，顯影劑不會溶解曝光於光化輻射的光阻區域，而會溶解圖案化光罩擋住(或大幅減弱輻射強度)光照射在光阻層上的區域。在進一步處理(如，蝕刻或離子植入)之後，移除圖案化光阻。可視需要在以下一或多個情形中烘烤光阻層：在曝光於光化輻射之前、在曝光於光化輻射及顯影之間、在顯影之後。

在圖 1C 中，蝕刻開口 135 穿過障壁層 110，其中障壁層在光阻層 125 的開口 130 中暴露。基板 100 的頂面 105 在開口 135 的底部暴露。在一範例中，利用反應性離子蝕刻(RIE)製程形成開口 135。

在圖 1D 中，在障壁層 110 的開口 135 中，將溝渠 140 蝕刻至基板 100 中。在一範例中，使用 RIE 製程蝕刻溝渠 140。蝕刻溝渠 140 之合適 RIE 製程的一個範例在業界中稱為「波希法(Bosch process)」(又稱為「脈衝或時間多工電漿蝕刻製程」)。

在圖 1E 中，移除光阻層 (見圖 1D)。這可利用以下方式來完成：乾式剝離清洗(如，在氧電漿中蝕刻光阻層)、在酸性溶液中進行濕式剝離、或乾式及濕式剝離二者的組合。溝渠 140 從頂面 105 延伸距離 D 至基板 100 中，且具有實質上一致、按相對於基板 100 之頂面 105 的所量角度 A 實質上平直的側壁 141(即，在約 W1 的正負 10 %內)。在一範例中，A 介於約 85°及約 95°。在一範例中，A 介於約 88°及約 92°。如圖 1E 所示，A 等於約 90°。有利的是，A 儘可能接近 90°。在一範例中，D 介於約 20 微米及約 200 微米及 W1 介於約 1 微米及約 5 微米。將寬度定義為在與基板頂面平行的平面中所測量、在溝渠之兩個最接近且相對側壁之間的距離。例如，在兩側平直的矩形溝渠中，在長邊之間且與長邊垂直處測量寬度，然後得到單一寬度值。例如，在兩側逐漸變窄的矩形溝渠中，在長邊之間且與長邊垂直處測量寬度，但寬度值將隨著在與基板頂面平行處測量(但仍在最接近的對置側壁之間測量)寬度的平面而有所變化。

圖 1F 圖解第一替代形狀的溝渠。在圖 1F 中，溝渠 140A 在溝渠頂部具有寬度 W1 及在溝渠底部具有寬度 W2。

W1 大於 W2。在圖 1F 中，側壁 142 以角度 A 均勻地向內逐漸變窄。如圖 1F 所示，A 大於 90° 。

圖 1G 圖解第二替代形狀的溝渠。在圖 1G 中，溝渠 140B 在溝渠頂部具有寬度 W1 及在溝渠底部具有寬度 W3。W3 大於 W1。在圖 1G 中，溝渠 140B 具有向外逐漸變窄的側壁 143 及較寬底部 144。如圖 1G 所示，A 小於 90° 。為了解說之故，將在下文說明的後續圖式中圖解圖 1E 的溝渠 140。

在圖 1H 中，已在溝渠 140 兩側及底部上形成二氧化矽層 145。利用氧化製程形成二氧化矽層 145。因為二氧化矽在緊鄰溝渠 140 之頂面 105 的兩個方向中生長，因而在障壁層 110 中在溝渠 140 周圍附近形成尖端 150。在一範例中，在正常壓力(即，一個大氣壓力(atm))及介於約 1000°C 及約 1200°C 的溫度下，使用 H_2O 以濕式氧化形成二氧化矽層 145。在一範例中，在正常壓力及介於約 1000°C 及約 1200°C 的溫度下，使用 O_2 以乾式氧化形成二氧化矽層 145。在一範例中，在高壓(即，大於一個 atm)中，在介於約 500°C 及約 800°C 的溫度下，使用 O_2 或 H_2O 形成二氧化矽層 145。二氧化矽層 145 具有厚度 T1。由於二氧化矽層 145 利用氧化形成，因此二氧化矽層約一半的厚度係藉由消耗矽而形成，其中約一半的氧化物生長是從溝渠 140 之原始(圖 1E)側壁進入基板中，及約一半的氧化物生長是從溝渠原始側壁進入溝渠中。在溝渠 140 的側壁及底部上已消耗掉厚度約 $(T1)/2$ 的矽層。溝渠 140 現在寬度減少為 W4，因此 W1 (見

圖 1E)約等於 W_4+T_1 。在一範例中， T_1 介於 0.1 微米及約 1 微米及 W_4 介於約 0.8 微米及約 4.8 微米。在一範例中， T_1 至少約 0.5 微米。

本發明具體實施例之一特色是在溝渠側壁上，形成二氧化矽層 145 在二氧化矽層的最薄及最厚(在與溝渠側壁垂直的方向中測量)區域之間的厚度變化小於約 10 %，這以目前的 CMOS 相容溝渠技術是做不到的。本發明具體實施例之一特色是形成厚度約 0.5 微米或以上之二氧化矽層 145 的能力，這以目前的 CMOS 相容溝渠技術是做不到的。本發明具體實施例之一特色是在溝渠側壁上，形成二氧化矽層 145 在氧化物的最薄及最厚(在與溝渠側壁垂直的方向中測量)區域之間的厚度變化小於約 10 %及形成厚度約 0.5 微米或以上的二氧化矽層 145，這以目前的 CMOS 相容溝渠技術是做不到的。

在圖 1I 中，視需要移除障壁層 110 (見圖 1H)及沈積硬遮罩層 155 於基板 100 的頂面 105 及二氧化矽層 145 的所有暴露表面之上。硬遮罩層 155 可包含上文針對氧化障壁 110 所說明的任何相同材料及材料組合(見圖 1A)。為了解說之故，硬遮罩層 155 將在下文說明的後續圖式中圖解。

在圖 1J 中，填料層 160 係沈積於硬遮罩層 155 上(若有的話，否則沈積於障壁層 110 上，見圖 1H)。在一範例中，填料層 160 包含多晶矽。填料層 160 填充溝渠 140 中所有其餘空間。如果在溝渠 140 之側壁上的任何層間之最大距離是

B 且填料層 160 的厚度是 C，則 C 可為約 1.5 乘 B，以確保用填料層 160 填充溝渠 140 的頂部。

在圖 1K 中，執行化學機械拋光(CMP)，使溝渠 140 中填料層 160 的頂面 165 與硬遮罩層 155 的頂面 170 共面。因此，硬遮罩層 155 亦當作拋光停止層。

在圖 1L 中，執行填料層凹陷蝕刻，以使填料層 160 的頂面 175 在基板 100 的頂面 105 下凹陷距離 R。在一範例中，填料凹陷蝕刻是反應性離子蝕刻(RIE)。在一範例中，R 介於約 50 nm 及約 500 nm。如果執行選擇性填料凹陷蝕刻，則在圖 1M 中，在溝渠 140 中形成選擇性介電帽蓋 180，以填充在圖 1L 中形成的凹陷。帽蓋 180 的頂面 185 與硬遮罩層 155 的頂面 170 共面。在一範例中，利用二氧化矽的化學汽相沈積(CVD)，繼而利用 CMP，形成帽蓋 180。為了解說之故，帽蓋層 180 將在下文說明的後續圖式中圖解。

在圖 1M 中的結構可視為前導貫穿矽介層 190。貫穿矽介層按照圖 2A 至 2G 中圖解的步驟完成，且在下文結合 CMOS 裝置的製造及與 CMOS 技術相容的裝置加以說明。

圖 2A 至 2H 根據本發明具體實施例，為圖解貫穿矽介層之製造步驟整合 CMOS 積體電路裝置之製造及線路的橫截面圖。在圖 2A 中，一般使用具有一或多個前導貫穿矽介層 190 的基板 100 開始製造積體電路。在圖 2A 中，已製造

了場效電晶體(FET) 200。FET 200 包括在井 210 中形成並在閘極電極 220 下為通道區域 215 所分開的源極/汲極 205。閘極電極 220 與通道區域為閘極介電質 225 所分開。在閘極電極 220 的側壁上已形成介電側壁間隔物。源極/汲極 205 及井 210 形成於基板 100 中。介電溝渠隔離 235 鄰接井 210 的周圍並鄰接源極/汲極 205。閘極介電質 225 形成於基板 100 的頂面 105 上，及閘極電極 220 及間隔物 230 形成於頂面 105 上方。金屬矽化物接點(未顯示)形成於源極/汲極 205 及閘極電極 220 的暴露表面上。FET 200 是可在製程此時加以製造的 CMOS 裝置範例。其他類型的 CMOS 裝置或相容 CMOS (即，可使用 CMOS 製程技術加以製造)包括：雙極電晶體(包括 SiGe 電晶體)、二極體、電容器、溝渠電容器、及電阻器(包括多晶矽及金屬電阻器)。在製造 FET 200 (及/或多個 FET 及其他裝置)之後，在硬遮罩層 155、溝渠隔離 235 及 FET 200 的暴露部分上沈積介電保護層 240。在一範例中，介電層 240 係為二氧化矽。在一範例中，利用 CVD，使用四乙氧基矽烷(TEOS)，形成保護層 240 (即，形成 TEOS 氧化物)。在一範例中，利用氧化物的高壓(大於 1 atm)電漿沈積，使用矽烷及/或矽烷衍生物，形成保護層 240 (即，形成 HDP 氧化物)。

在圖 2B 中，形成穿過保護層 240 到達源極/汲極 205 及閘極電極 220 的金屬接點 245。在一範例中，接點 245 包含鎢。金屬接點 245 係使用鑲嵌製程形成。

鑲嵌程序如下：其中在介電層中形成線路溝渠或介層開

口，在介電質的頂面上沈積填充溝渠之足夠厚度的導電體，及執行化學機械拋光(CMP)程序以移除多餘導體，及使導體表面與介電層表面共面以形成鑲嵌線路(或鑲嵌介層)。僅形成一溝渠及一線路(或一介層開口及介層)時，將此程序稱為「單鑲嵌」。用語「線路」包括用語「接點」。

在圖 2C 中，使用微影/RIE 製程在前導貫穿矽介層 190 之上形成穿過保護層 240 及硬遮罩層 155 的開口 250。注意，在此製程期間移除介電帽蓋 180 (見圖 2B)，且硬遮罩層 155 及二氧化矽層 145 的上方區域在開口 250 中暴露。

在圖 2D 中，自溝渠 140 中移除填料層 160 (見圖 2C)。在第一範例中，使用對硬遮罩層 155 及二氧化矽層 145 的材料有選擇性的多晶矽波希(Bosch)蝕刻法移除填料層 160 (見圖 2C)。在第二範例中，對 160 (見圖 2C)使用濕式蝕刻，其使用水性 TMAH 或水性氫氧化銨。在第三範例中，使用對硬遮罩層 155 及二氧化矽層 145 的材料有選擇性的多晶矽波希蝕刻法移除填料層 160 (見圖 2C)，繼而利用水性氫氧化四甲銨(TMAH)或水性氫氧化銨的濕式清除蝕刻。

在圖 2E 中，導電核心 255 完全填充溝渠 140 及開口 250 中的空間。核心 255 的頂面與保護層 240 的頂面共面。核心 255 已使用鑲嵌製程形成。在一範例中，核心 255 包含金屬。在一範例中，核心 255 包含耐火金屬。耐火金屬是一種特別耐熱、耐磨且耐腐蝕的金屬類。五種耐火金屬是：鎢(W)、鉬(Mo)、鈮(Nb)、鉭(Ta)、及銠(Re)。在一範例中，核

心 255 包含鎢、鈦或其組合。在一範例中，核心 255 包含銅或銅及鈦的組合。在一範例中，核心 255 包含摻雜多晶矽。透過所謂前段製程(FEOL)或簡稱 FEOL 的作業，完成積體電路的製造。核心 255 包括在保護層 240 中的整體接點區域 257。

在圖 2F 中，在所謂後段製程(BEOL)或簡稱 BEOL 的作業期間，藉由添加一或多個配線層級，完成積體電路的製造。在圖 2F 中，添加兩個配線層級。第一配線層級 255 包括在層間介電(ILD)層 265 中形成的雙鑲嵌線路 260。

雙鑲嵌程序如下：其中形成穿過介電層整個厚度的介層開口，接著形成部分穿過任何給定橫截面圖中介電層的溝渠。所有介層開口均與上方的整合線路溝渠及下方的線路溝渠相交，但並非所有溝渠必須與介層開口相交。在介電質的頂面上沈積填充溝渠及介層開口之足夠厚度的導體，然後執行 CMP 程序，以使溝渠中的導體表面與介電層表面共面，以形成雙鑲嵌線路及具有整合雙鑲嵌介層的雙鑲嵌線路。在一些雙鑲嵌製程中，首先形成溝渠，繼而再形成介層開口。

或者，可使用介層的單鑲嵌製程及線路的單鑲嵌製程形成線路 260(但 ILD 265 包含兩個介電層)。第二配線層級 270 包括在 ILD 層 280 中形成的雙鑲嵌線路 275。此完成積體電路的 BEOL 製造。

在 BEOL 後，執行其他作業。在圖 2G 中，已執行背面研磨及/或 CMP，以使基板 100 變薄並暴露核心 255 的底面 290，然後完成貫穿矽介層 285 的製造。核心 255 的底面 190 與基板 100 的底面 295 共面。

現在可對線路 275 及貫穿矽介層 285 製作各種互連結構，諸如對核心 290 及線路 275 形成焊料凸塊連接。此類互連結構範例如圖 2H 中所圖解。

在圖 2H 中，在基板 100 的底面 295 上形成介電底部保護層 300。導電底部襯墊 305 穿過底部保護層 300 的開口在貫穿矽介層 285 之上接觸核心 255。底部焊料凸塊 310 在底部襯墊 305 上形成。導電頂部襯墊 325 穿過頂部保護層 315 的開口在線路 275 之上接觸線路 275。頂部焊料凸塊 330 在頂部襯墊 325 上形成。儘管將單一貫穿介層 285 連接至襯墊 305，但可將二或多個貫穿矽介層連接至襯墊 305 並因此共用單一底部互連線。

因此，根據本發明具體實施例之貫穿晶圓介層的製造包含以下步驟：(1)在 FEOL 前形成貫穿矽介層前導結構，(2)在 FEOL 期間藉由添加核心導體而改變貫穿矽介層前導結構，及(3)在 BEOL 之後完成貫穿矽介層。

因此，本發明具體實施例提供貫穿矽介層及製造貫穿矽

介層的方法，其相容於 CMOS 技術，且具有從積體電路晶片頂面至積體電路底面的絕緣體厚度比目前業界所得更為優異。

上述本發明具體實施例的說明是為了瞭解本發明。應明白，本發明不限於本文所述的特定具體實施例，而是在不脫離本發明範疇下，能夠進行各種修改、重新配置及替換，正如本技術人士所明白的。因此，以下申請專利範圍是用來涵蓋此種在本發明精神及範疇之內的修改及變更。

【圖式簡單說明】

本發明的特色如隨附的申請專利範圍所述。然而，要完全瞭解本發明本身，請在連同附圖一起閱讀時，參考解說性實施例的詳細說明，圖式中：

圖 1A 至 1M 根據本發明具體實施例，為圖解貫穿矽介層之初始製造步驟的橫截面圖；及

圖 2A 至 2H 根據本發明具體實施例，為圖解貫穿矽介層之製造步驟整合 CMOS 積體電路裝置及線路之製造的橫截面圖。

【主要元件符號說明】

100	基板
105、165、170、175、185	頂面
110	障壁層
115	第一層
120	第二層

125	光阻層
130、135、250	開口
140、140A、140B	溝渠
141、142、143	側壁
144	底部
145	二氧化矽層
150	尖端
155	硬遮罩層
160	填料層
180	介電帽蓋
190	前導貫穿矽介層
200	場效電晶體(FET)
205	源極/汲極
210	井
215	通道區域
220	閘極電極
225	閘極介電質
230	間隔物
235	介電溝渠隔離
240	介電保護層
245	金屬接點
255	導電核心
255A	第一配線層級
257	接點區域
260、275	雙鑲嵌線路

265、280	層間介電(ILD)層
270	第二配線層級
290、295	底面
300	底部保護層
305	導電底部襯墊
310	底部焊料凸塊
315	頂部保護層
325	導電頂部襯墊
330	頂部焊料凸塊

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98125343

※ 申請日：98年7月28日 ※IPC分類：*H01L 21/768* (2006.01)
H01L 23/52 (2006.01)

一、發明名稱：(中文/英文)

貫穿矽介層及其製造方法

THROUGH SILICON VIA AND METHOD OF FABRICATING SAME

二、中文發明摘要：

一種貫穿矽介層結構及製造貫穿矽介層的方法。該方法包括：(a)形成一溝渠於一矽基板中，該溝渠開啟至基板之一頂面；(b)形成一二氧化矽層於溝渠的側壁上，且二氧化矽層未填充溝渠；(c)用多晶矽填充溝渠中的其餘空間；(d)在(c)之後，製造 CMOS 裝置的至少一部分於基板中；(e)自溝渠移除多晶矽，介電層繼續保留在溝渠的側壁上；(f)用一導電核心再填充溝渠；及(g)在(f)之後，形成一或多個配線層於基板的頂面之上，一或多個配線層級之一配線層級的一線路接近於接觸導電核心之一頂面的基板。

三、英文發明摘要：

A through silicon via structure and a method of fabricating the through silicon via. The method includes: (a) forming a trench in a silicon substrate, the trench open to a top surface of the substrate; (b) forming a silicon dioxide layer on sidewalls of the trench, the silicon dioxide layer not filling the trench; (c) filling remaining space in the trench

with polysilicon; after (c), (d) fabricating at least a portion of a CMOS device in the substrate; (e) removing the polysilicon from the trench, the dielectric layer remaining on the sidewalls of the trench; (f) re-filling the trench with an electrically conductive core; and after (f), (g) forming one or more wiring layers over the top surface of the substrate, a wire of a wiring level of the one or more wiring levels close to the substrate contacting a top surface of the conductive core.

七、申請專利範圍：

1. 一種製造貫穿矽介層的方法，包含：

(a)形成一溝渠於一矽基板中，該溝渠開啟至該基板之一頂面；

(b)形成一二氧化矽層於該溝渠的側壁上，該二氧化矽層未填充該溝渠；

(c)用多晶矽填充該溝渠中的其餘空間；

在(c)之後，(d)製造一 CMOS 裝置的至少一部分於該基板中；

(e)自該溝渠移除該多晶矽，該介電層繼續留在該溝渠的該側壁上；

(f)用一導電核心再填充該溝渠；及

在(f)之後，(g)形成一或多個配線層於該基板的該頂面上，該一或多個配線層級之一配線層級的一線路接近於接觸該導電核心之一頂面的該基板。

2. 如申請專利範圍第 1 項所述之方法，另外包括：

(h)從一底面薄化該基板以形成一薄化基板，在該薄化之後，該核心之一底面與該薄化基板之一底面共面。

3. 如申請專利範圍第 2 項所述之方法，另外包括：

形成至該核心之該底面的一互連結構。

4. 如申請專利範圍第 3 項所述之方法，其中該形成該互連結構包括：

形成一介電層於該薄化基板的該底面上；

形成一開口於該介電層中，該核心在該開口的一底

部中暴露；

形成一金屬襯墊於該介電層上；該襯墊的一周圍與該開口的一周圍重疊，該襯墊接觸該核心的該底面；及形成一焊料凸塊於該金屬襯墊上。

5. 如申請專利範圍第 1 項所述之方法，其中該二氧化矽層係藉由熱氧化該溝渠之該側壁上暴露的該基板而形成。
6. 如申請專利範圍第 1 項所述之方法，其中該二氧化矽層厚度至少約 0.5 微米。
7. 如申請專利範圍第 6 項所述之方法，其中該二氧化矽層在該溝渠的該側壁上的該二氧化矽層之最薄及最厚區域之間具有一厚度變化小於約 10%。
8. 如申請專利範圍第 1 項所述之方法，其中(a)包括：
 - 形成一氧化障壁於該基板的該頂面上；
 - 形成一開口於該氧化障壁中，該基板之該頂面的一區域在該開口中暴露；及
 - 電漿蝕刻在該開口中暴露的該基板。
9. 如申請專利範圍第 1 項所述之方法，其中(a)包括：
 - 形成一氧化障壁層於該基板的一頂面上；
 - 形成一圖案化光阻層於該障壁層的一頂面上；
 - 蝕刻該障壁層以暴露該基板中該障壁層未受該圖案化光阻層保護的該頂面；

在蝕刻該障壁層之後，蝕刻該基板以形成該溝渠；
及

在蝕刻該溝渠之後及在(b)之前，移除該光阻層。

10. 如申請專利範圍第 1 項所述之方法，另外包括：

在(b)及(c)之間，形成一襯墊介電層於該基板的該頂面及該二氧化矽層的暴露表面上。

11. 如申請專利範圍第 10 項所述之方法，另外包括：

在(c)及(d)之間，在該溝渠中移除該多晶矽的一上方區域及在該溝渠中的其餘多晶矽上形成一介電帽蓋。

12. 如申請專利範圍第 1 項所述之方法，其中該 CMOS 裝置為一場效電晶體及(d)包括：

形成該場效電晶體之後，形成一保護層於該基板的該頂面之上；

形成穿過該保護層到達該場效電晶體之一源極、一汲極及一閘極電極的金屬接點；及

形成一開口於該溝渠之上的該保護層中。

13. 如申請專利範圍第 12 項所述之方法，其中在執行(f)之後，該核心的一上方區域填充在該保護層中的該開口。

14. 如申請專利範圍第 1 項所述之方法，其中該溝渠具有與該晶圓之該頂面垂直的平直側壁及實質上一致的一寬度。

15. 如申請專利範圍第 1 項所述之方法，其中該溝渠具有朝向彼此逐漸變窄的平直側壁，致使該溝渠在該溝渠之該頂面的一第一寬度大於該溝渠在該溝渠之一底部的一第二寬度。
16. 如申請專利範圍第 1 項所述之方法，其中該溝渠具有遠離彼此逐漸變寬的平直側壁，致使該溝渠在該溝渠之該頂面的一第一寬度小於該溝渠在該溝渠之一底部的一第二寬度。
17. 一種製造貫穿矽介層的方法，包含：
 - (a)形成一氧化障壁層於一矽基板的一頂面上及形成一開口於該障壁層中，該基板之該頂面的一區域在該開口的一底部中暴露；
 - (b)形成一溝渠於該基板未受該障壁層保護的該矽基板中，該溝渠開啟至該基板的一頂面；
 - (c)形成一二氧化矽層於該溝渠的側壁上，該二氧化矽層未填充該溝渠；
 - (d)移除該氧化障壁層；
 - (e)形成一硬遮罩層於該基板的該頂面及該二氧化矽層的所有暴露表面上；
 - (f)用多晶矽填充該溝渠中的其餘空間，其後該多晶矽的一頂面與該硬遮罩層的一頂面共面；在(f)之後，(g)形成一場效電晶體之一源極、一汲極及一通道區域於該基板中，一閘極介電質於該通道區域

上，及一閘極電極於該閘極介電質上；

(h)形成一保護層於該硬遮罩層及該場效電晶體之上；

(i)形成穿過該保護層到達該場效電晶體之相應的該源極、該汲極及該閘極電極的金屬接點，該金屬接點的頂面與該保護層的一頂面共面；

(j)形成一開口於該溝渠之上的該保護層中及自該溝渠移除該多晶矽，該介電層及該硬遮罩層繼續留在該溝渠的該側壁上；

(k)用一導電核心再填充該溝渠，該介電層及該硬遮罩層繼續留在該溝渠的該側壁上，該核心的一頂面與該保護層的該頂面共面；及

在(k)之後，(l)形成一或多個配線層於該保護層上，該一或多個配線層級之一配線層級的一線路接近於接觸該導電核心之該頂面的該基板。

18. 如申請專利範圍第 17 項所述之方法，另外包括：

(m)從一底面薄化該基板以形成一薄化基板，在該薄化之後，該核心之一底面與該薄化基板之一底面共面。

19. 如申請專利範圍第 18 項所述之方法，另外包括：

形成一介電層於該薄化基板的該底面上；

形成一開口於該底部保護層中，該核心在該開口的一底部中暴露；

形成一金屬襯墊於該介電層上；該襯墊的一周圍與該開口的一周圍重疊，該襯墊接觸該核心的該底面；及

形成一焊料凸塊於該底部金屬襯墊上。

20. 如申請專利範圍第 17 項所述之方法，其中該二氧化矽層係藉由熱氧化在該溝渠之該側壁上暴露的該基板而形成。
21. 如申請專利範圍第 17 項所述之方法，其中該二氧化矽層厚度至少約 0.5 微米。
22. 如申請專利範圍第 21 項所述之方法，其中該二氧化矽層在該溝渠的該側壁上的該二氧化矽層之最薄及最厚區域之間具有一厚度變化小於約 10%。
23. 如申請專利範圍第 17 項所述之方法，其中：
 - (a) 包括形成一圖案化光阻層在該障壁層的一頂面上及蝕刻該障壁層以在該障壁層中該障壁層未受該圖案化光阻層保護處形成該開口；及
 - (b) 包括藉由電漿蝕刻在該開口中暴露的該基板而形成該溝渠，及在蝕刻該溝渠之後及在(c)之前，移除該光阻層。
24. 如申請專利範圍第 17 項所述之方法，另外包括：
 - 在(f)及(g)之間，在該溝渠中移除該多晶矽的一上方區域，及在該溝渠中的其餘多晶矽上形成一介電帽蓋，
 - 及(j)包括移除該介電帽蓋。

25. 如申請專利範圍第 17 項所述之方法，其中該溝渠具有與該晶圓之該頂面垂直的平直側壁及實質上一致的一寬度。
26. 如申請專利範圍第 17 項所述之方法，其中該溝渠具有朝向彼此逐漸變窄的平直側壁，致使該溝渠在該溝渠之該頂面的一第一寬度大於該溝渠在該溝渠之一底部的一第二寬度。
27. 如申請專利範圍第 17 項所述之方法，其中該溝渠具有遠離彼此逐漸變寬的平直側壁，致使該溝渠在該溝渠之該頂面的一第一寬度小於該溝渠在該溝渠之一底部的一第二寬度。
28. 一種半導體結構，包含：
 - 在一矽基板中的一溝渠；
 - 在該溝渠之側壁上的一二氧化矽層，該二氧化矽層未填充該溝渠，該二氧化矽層在該溝渠的該側壁上的該二氧化矽層之的最薄及最厚區域之間具有一厚度變化小於約 10%；
 - 填充該溝渠中其餘空間的一導電核心；
 - 至少一部分在該基板中的一 CMOS 裝置；及
 - 在該基板之該頂面上的一或多個配線層，該一或多個配線層級之一配線層級的一線路接近於接觸該導電核心之一頂面的該基板。

29. 如申請專利範圍第 28 項所述之半導體結構，其中該導電核心包含一耐火金屬。
30. 如申請專利範圍第 28 項所述之半導體結構，另外包括：
在該基板之一底面上的一介電層；
在該底部介電層中的一開口，該核心在該開口的一底部中暴露；
在該介電層上的一金屬襯墊；該襯墊的一周圍與該開口的一周圍重疊，該襯墊接觸該核心的該底面；及
在該金屬襯墊上的一焊料凸塊。
31. 如申請專利範圍第 28 項所述之半導體結構，其中該溝渠具有(i)與該晶圓之該頂面垂直的平直側壁及實質上一致的一寬度，(ii)該溝渠具有逐朝向彼此漸變窄的平直側壁，致使該溝渠在該溝渠之該頂面上的一第一寬度大於該溝渠在該溝渠之一底部的一第二寬度，或(iii)該溝渠具有遠離彼此逐漸變寬的平直側壁，致使該溝渠在該溝渠之該頂面的該第一寬度小於該溝渠在該溝渠之該底部的該第二寬度。
32. 一種半導體結構，其包含：
在一矽基板中的一溝渠；
在該溝渠之側壁上的一二氧化矽層，該二氧化矽層未填充該溝渠；
在該基板之該頂面上及在該二氧化矽層上的一介電層，該介電層未填充該溝渠；

填充該溝渠中其餘空間的一導電核心；

在該基板中的一場效電晶體之一源極、一汲極及一通道區域，在該通道區域上的一閘極介電質及在該閘極介電質上的一閘極電極；

在該介電層及該場效電晶體之上的一保護層；該核心延伸穿過該保護層，該核心之一頂面與該保護層之該頂面共面；

穿過該保護層到達該場效電晶體之相應的該源極、該汲極及該閘極電極的金屬接點，該金屬接點的頂面與該保護層的一頂面共面；及

在該保護層上的一或多個配線層，該一或多個配線層級之一配線層級的一線路接近於接觸該導電核心之該頂面的該基板。

33. 如申請專利範圍第 32 項所述之半導體結構，另外包括：

在該基板之一底面上的一介電層；

在該底部介電層中的一開口，該核心在該開口的一底部中暴露；

在該介電層上的一金屬襯墊；該襯墊的一周圍與該開口的一周圍重疊，該襯墊接觸該核心的該底面；及

在該金屬襯墊上的一焊料凸塊。

34. 如申請專利範圍第 32 項所述之半導體結構，其中該核心包含一耐火金屬。

35. 如申請專利範圍第 32 項所述之半導體結構，其中該溝渠

具有(i)與該晶圓之該頂面垂直的平直側壁及實質上一致的一寬度，(ii)該溝渠具有逐朝向彼此漸變窄的平直側壁，致使該溝渠在該溝渠之該頂面上的一第一寬度大於該溝渠在該溝渠之一底部的一第二寬度，或(iii)該溝渠具有遠離彼此逐漸變寬的平直側壁，致使該溝渠在該溝渠之該頂面的該第一寬度小於該溝渠在該溝渠之該底部的該第二寬度。

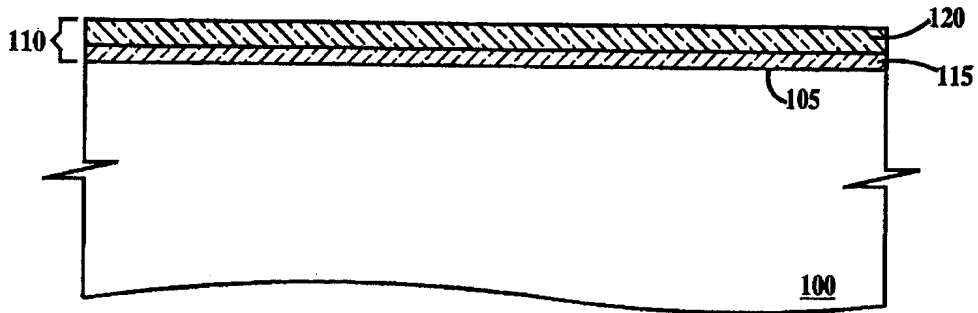


圖 1A

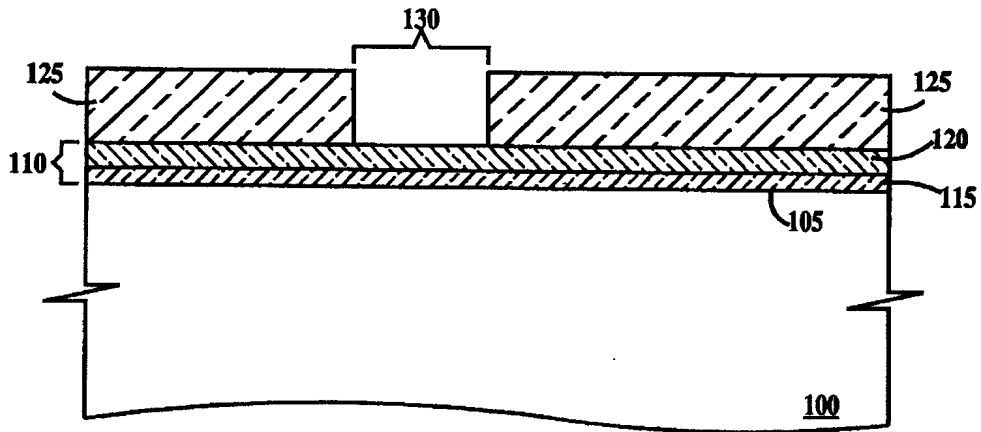


圖 1B

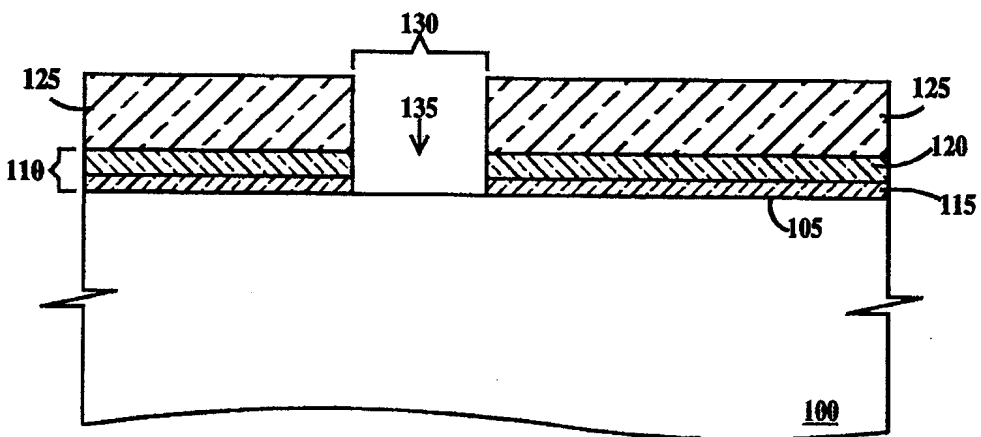


圖 1C

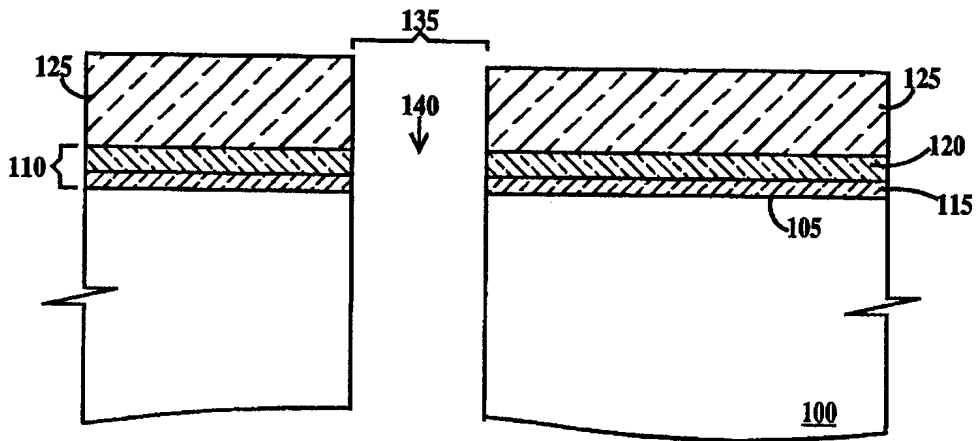


圖 1D

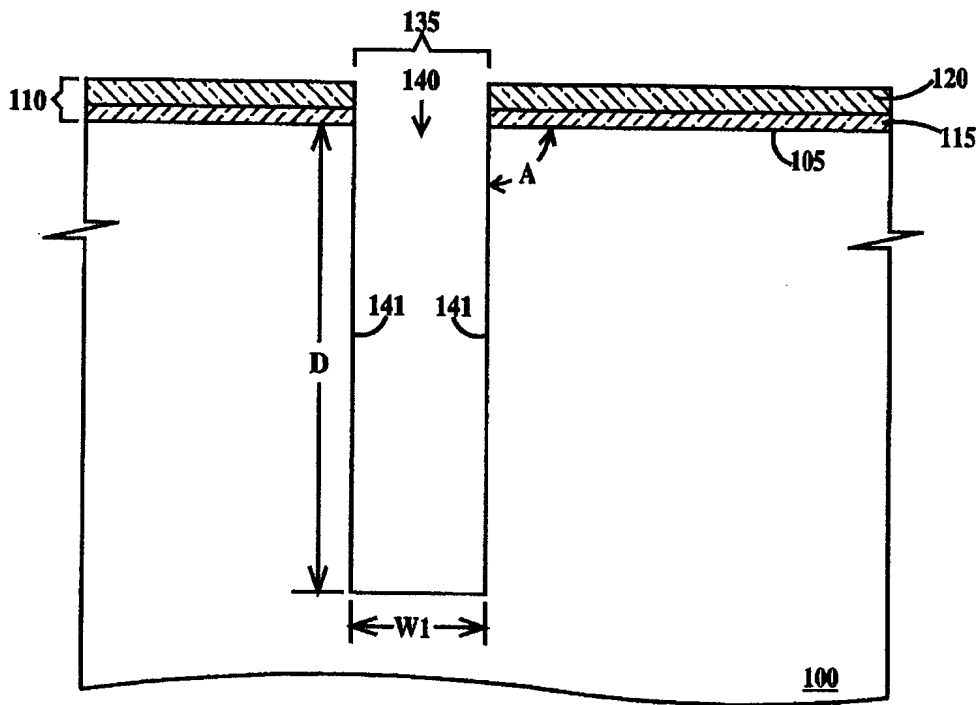


圖 1E

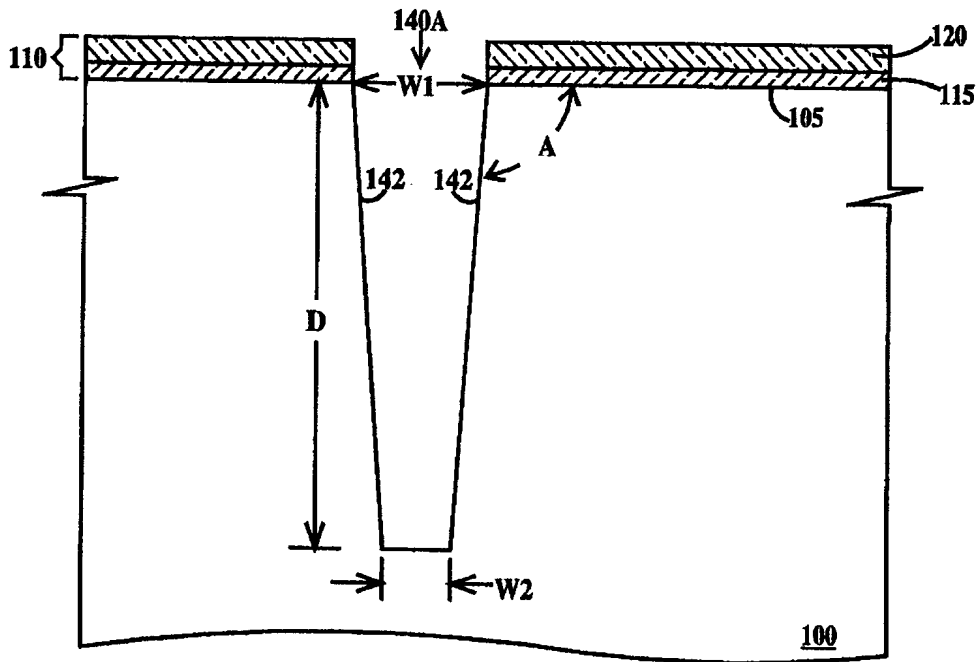


圖 1F

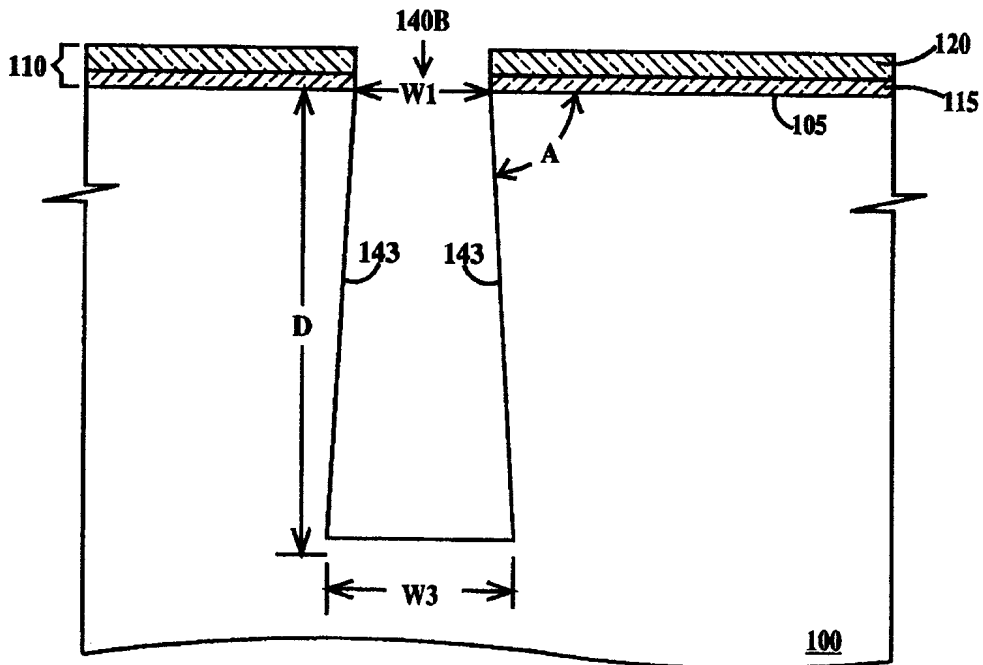


圖 1G

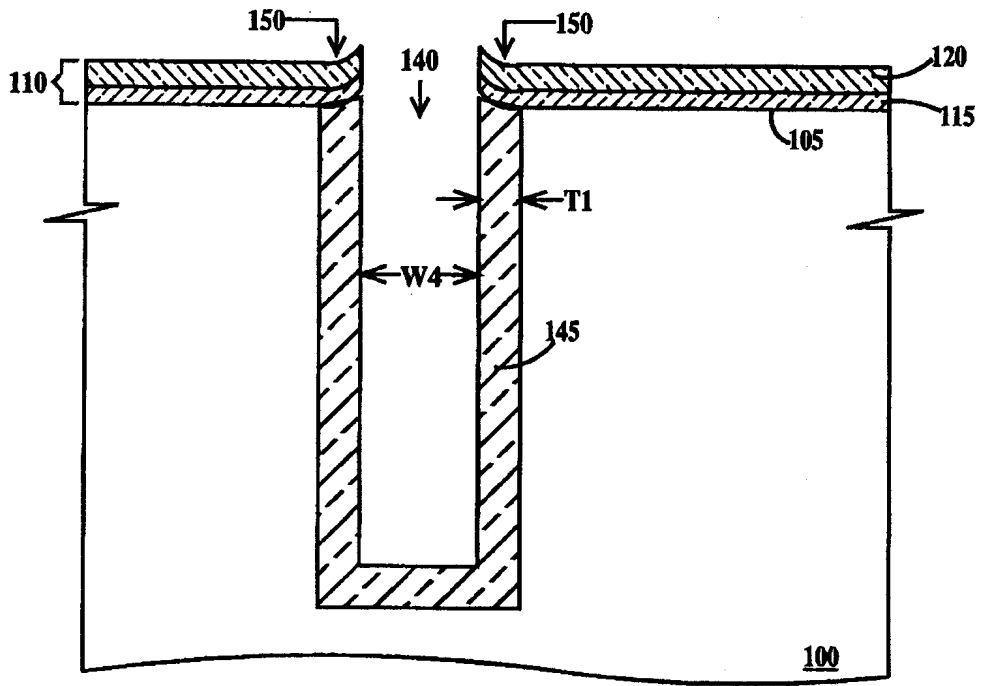


圖 1H

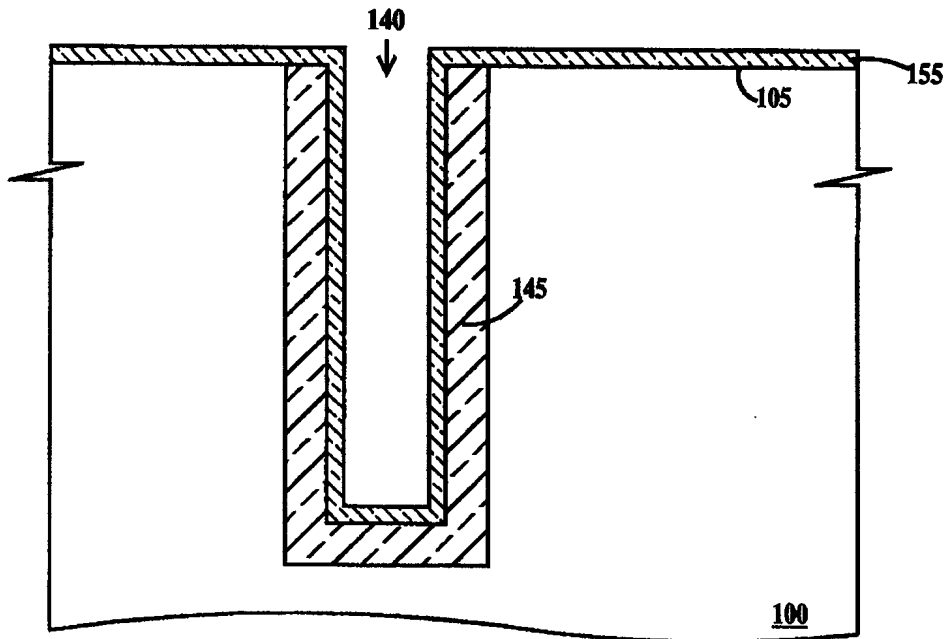


圖 1I

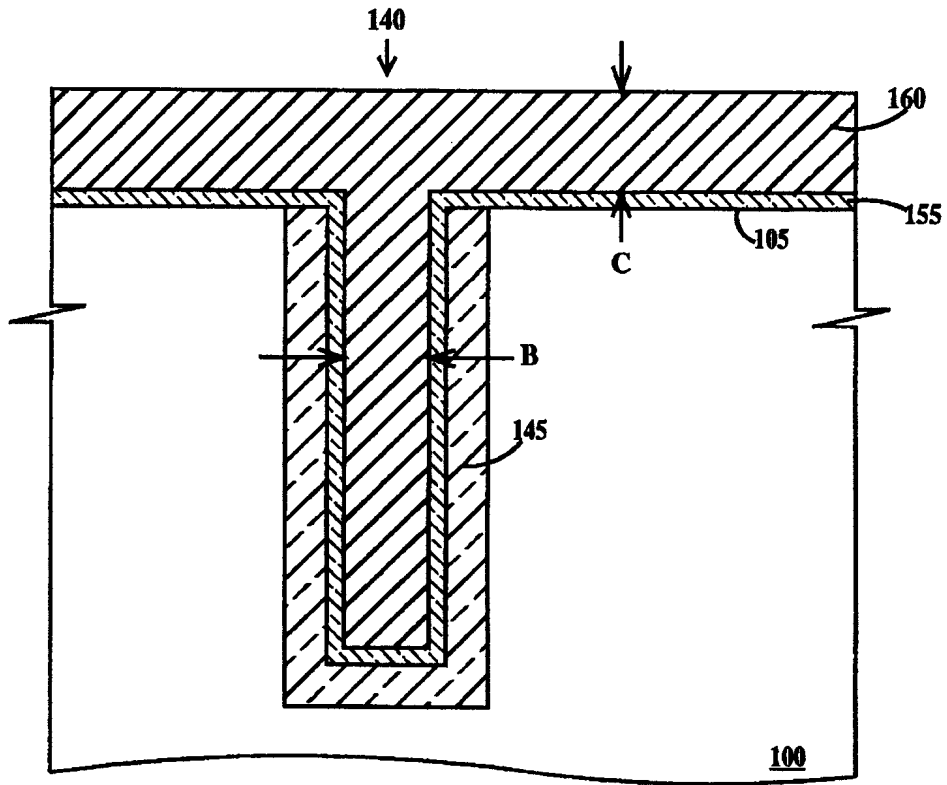


圖 1J

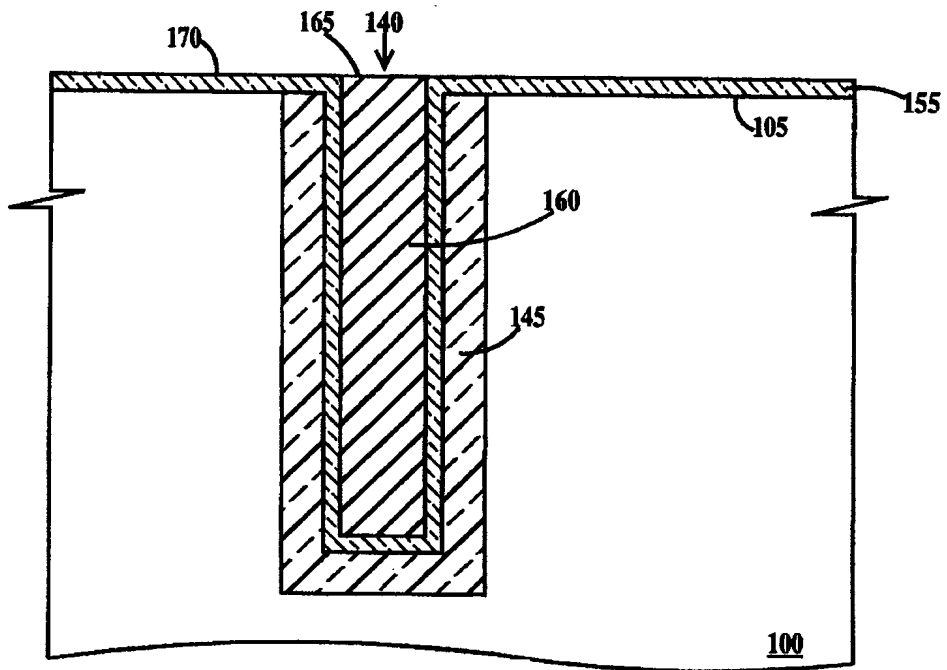


圖 1K

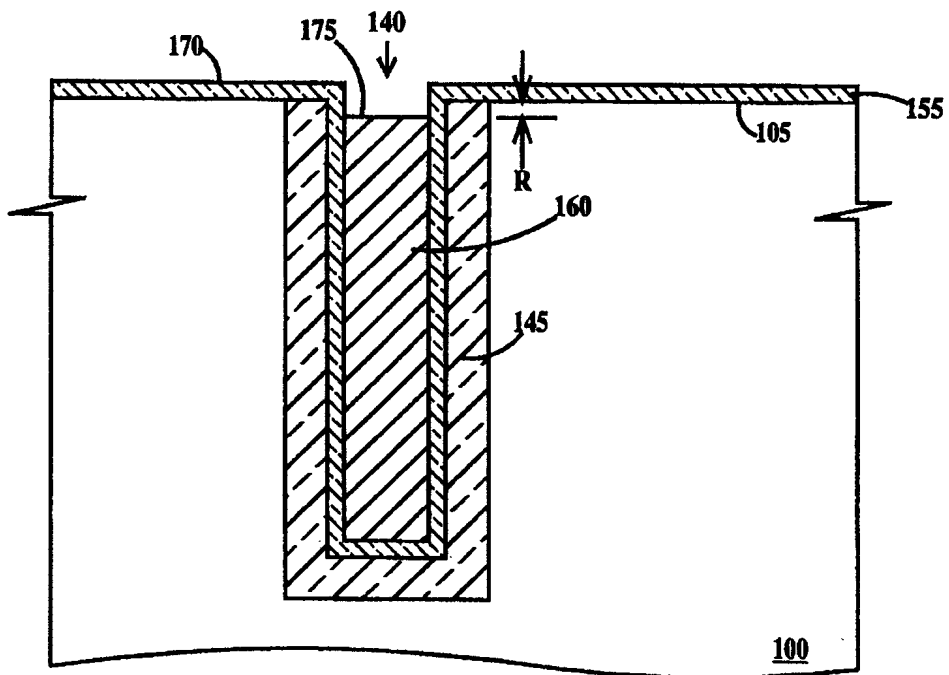


圖 1L

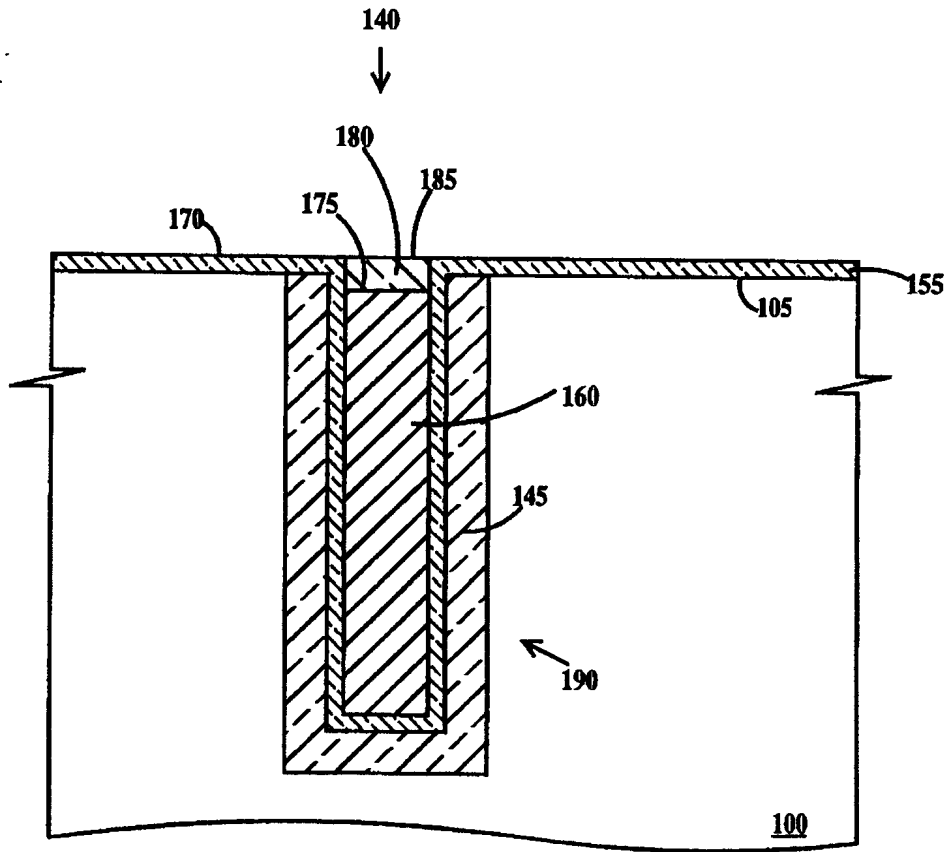


圖 1M

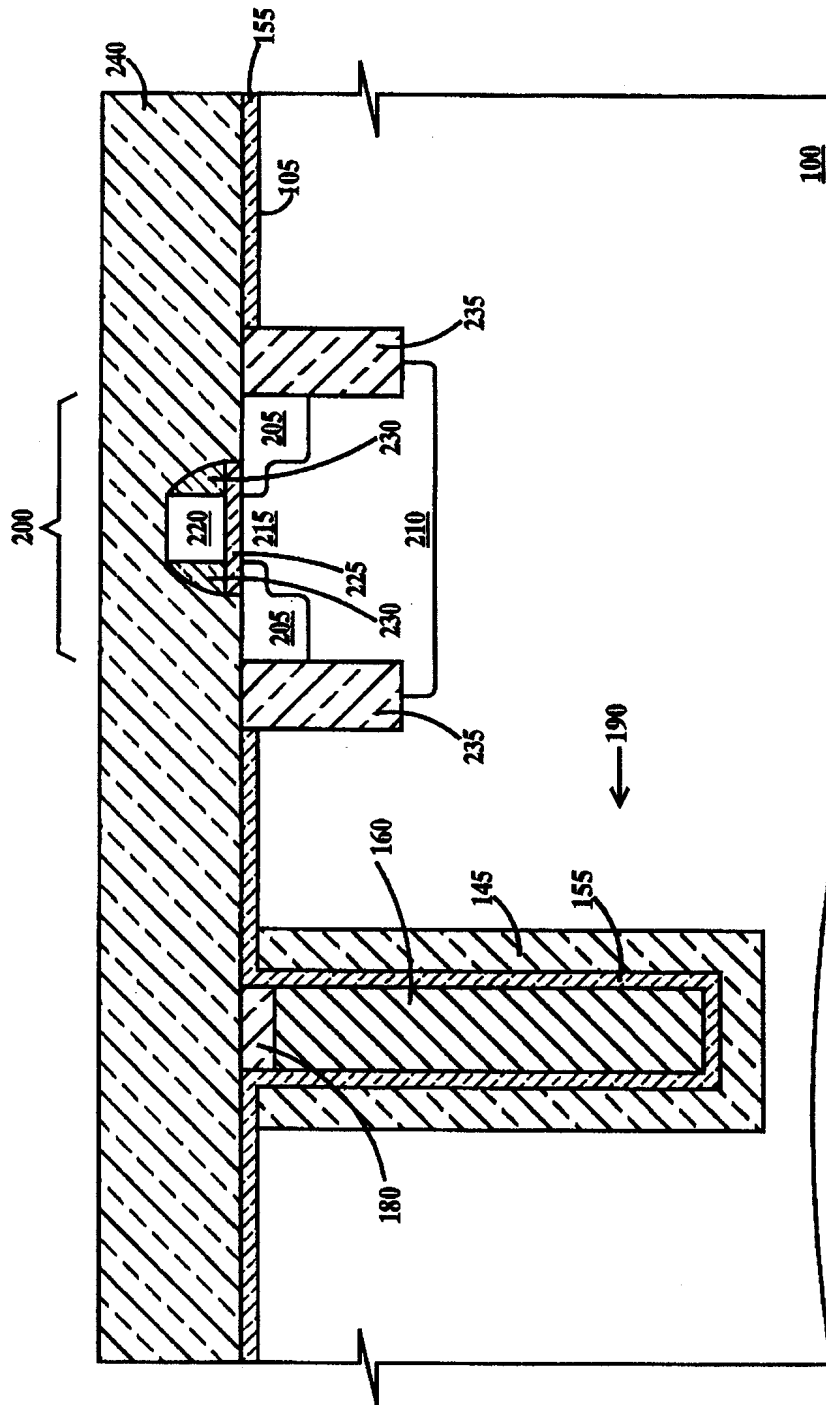


圖2A

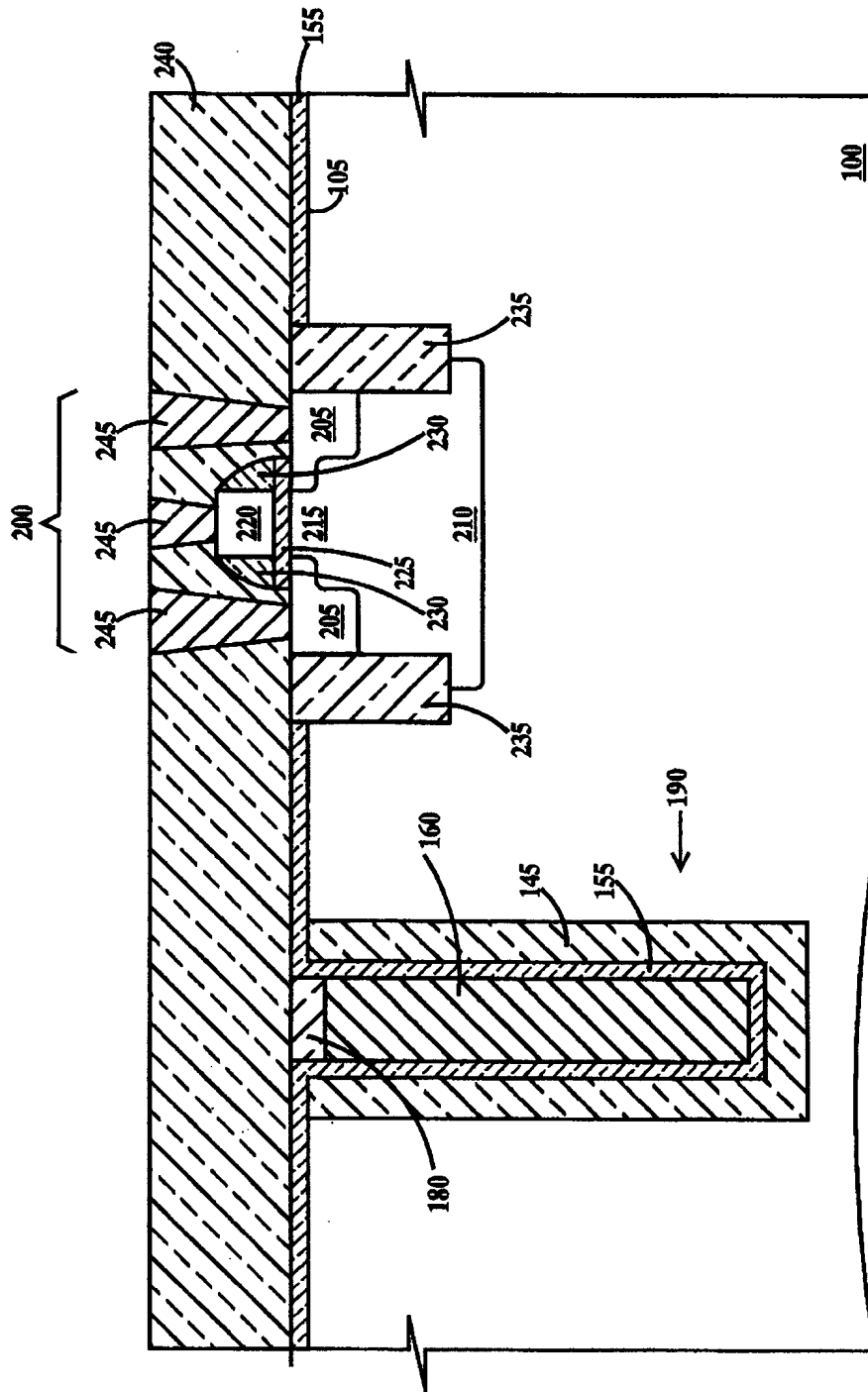


圖 2B

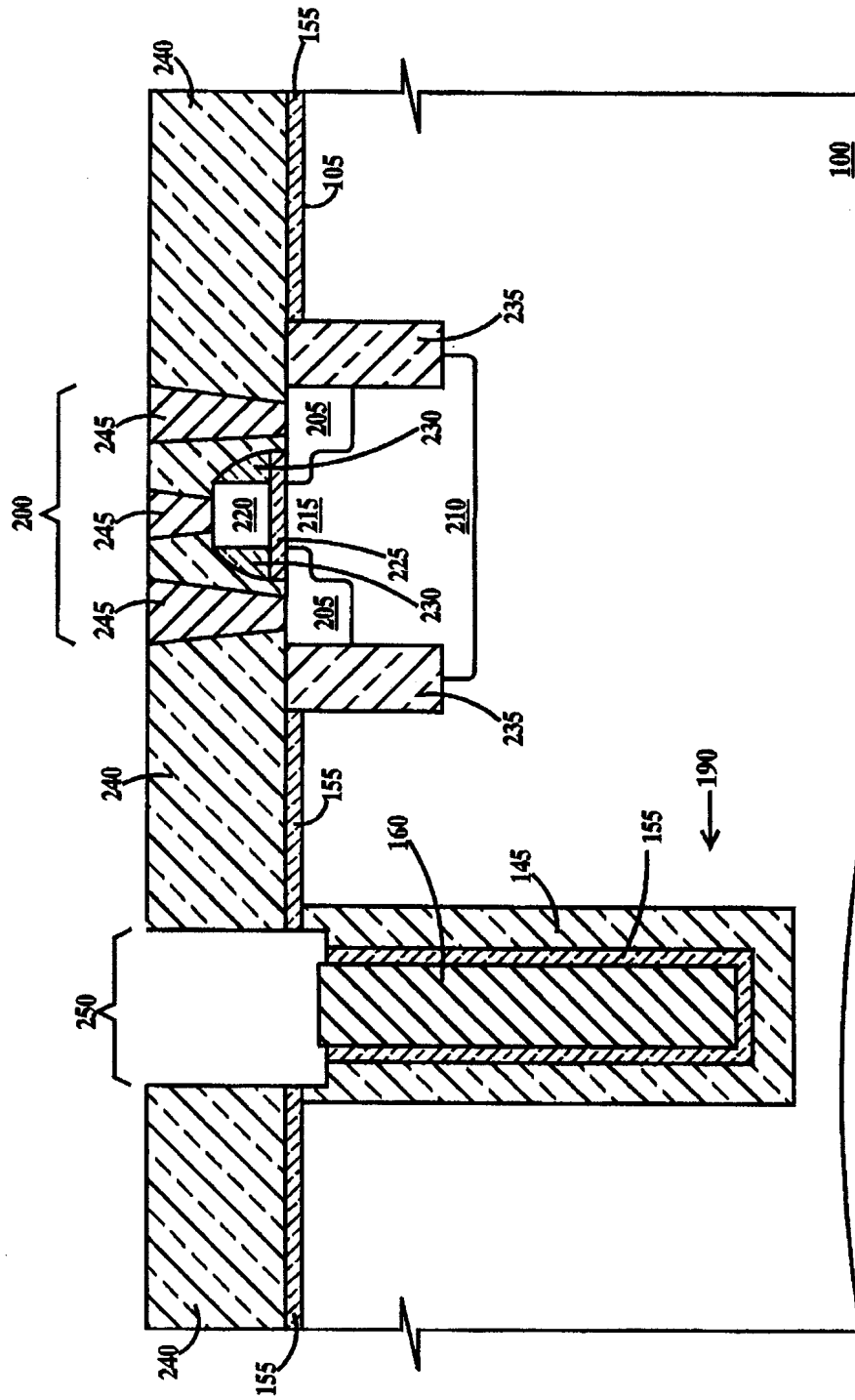


圖 2C

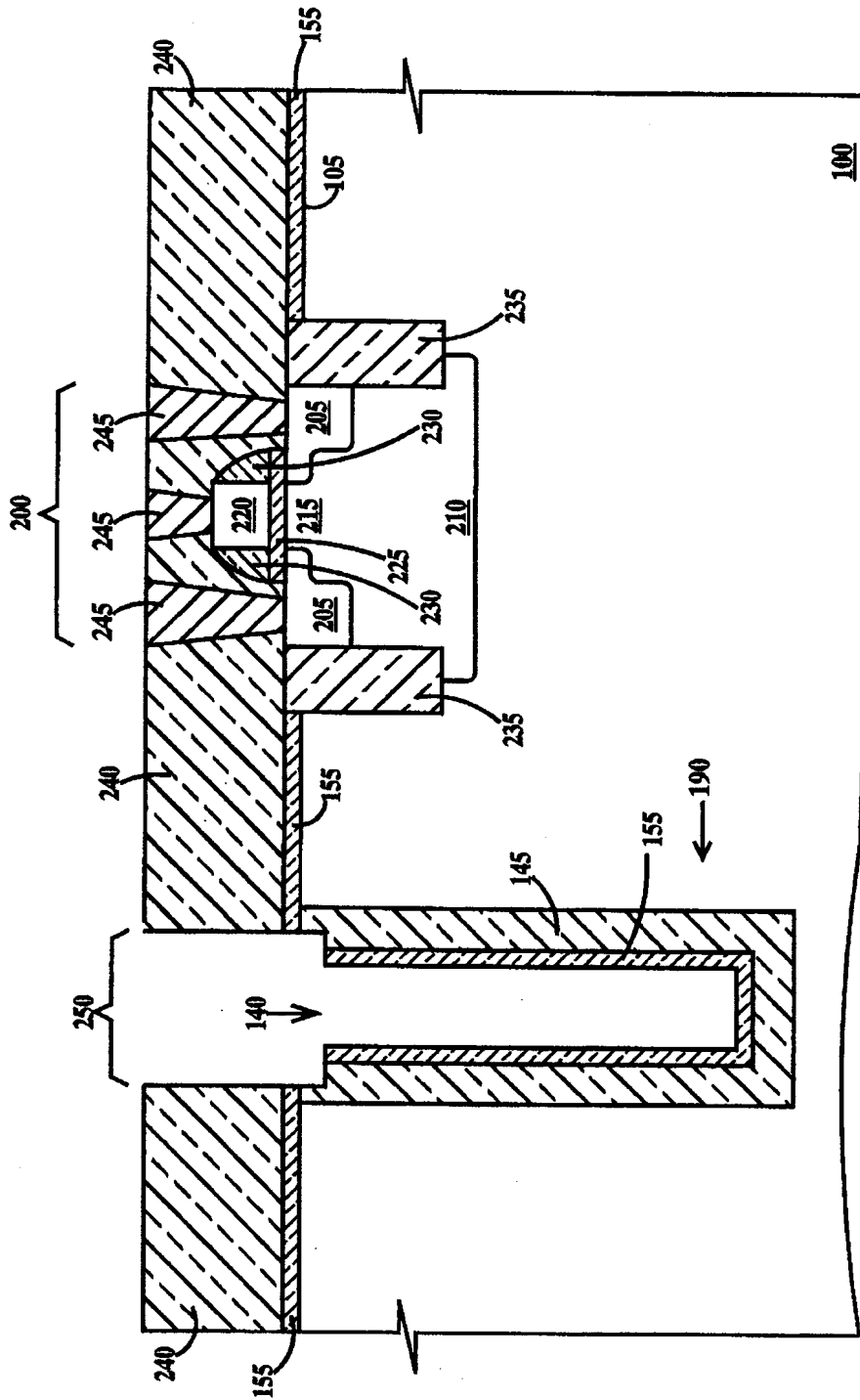


圖2D

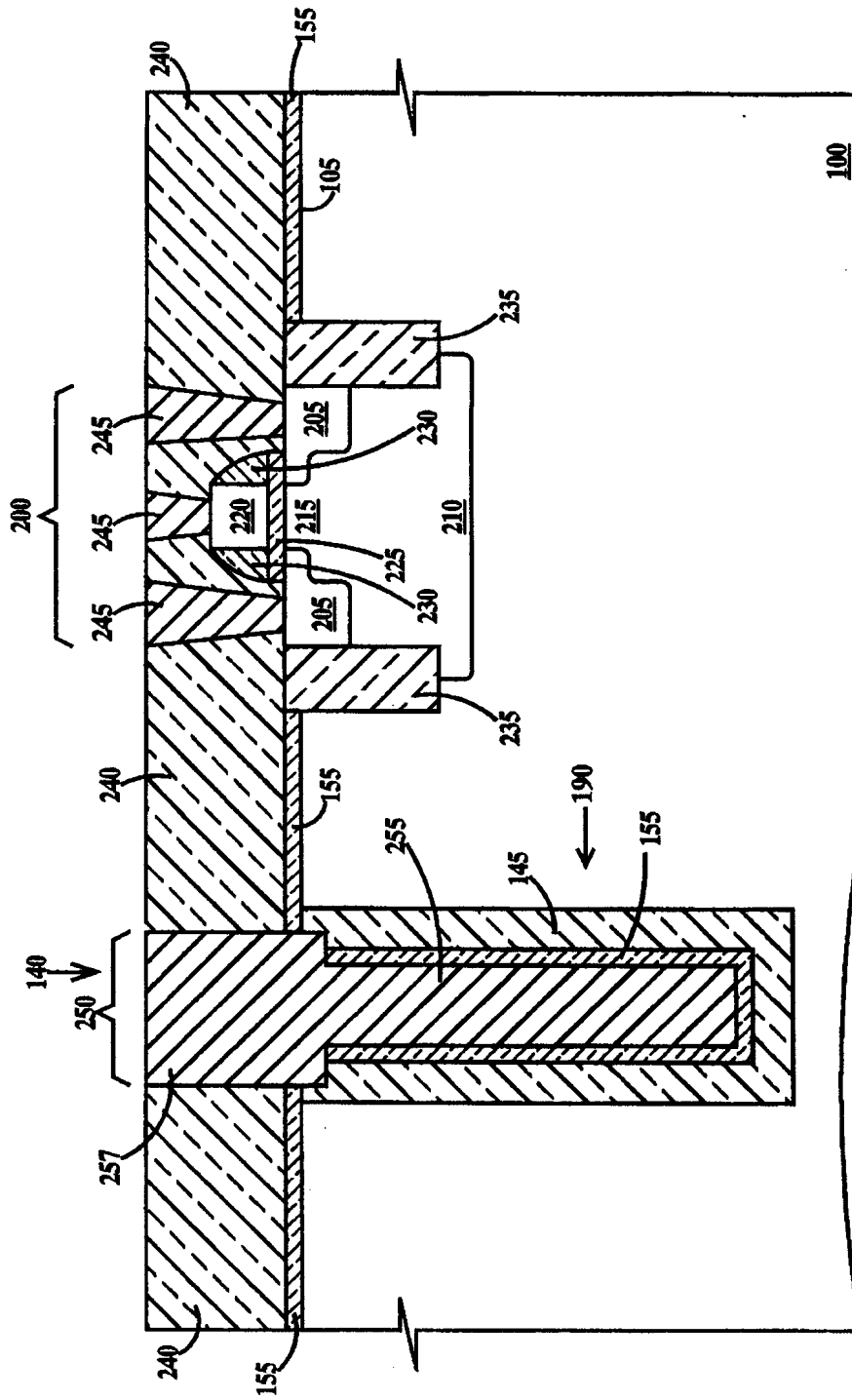


圖2E

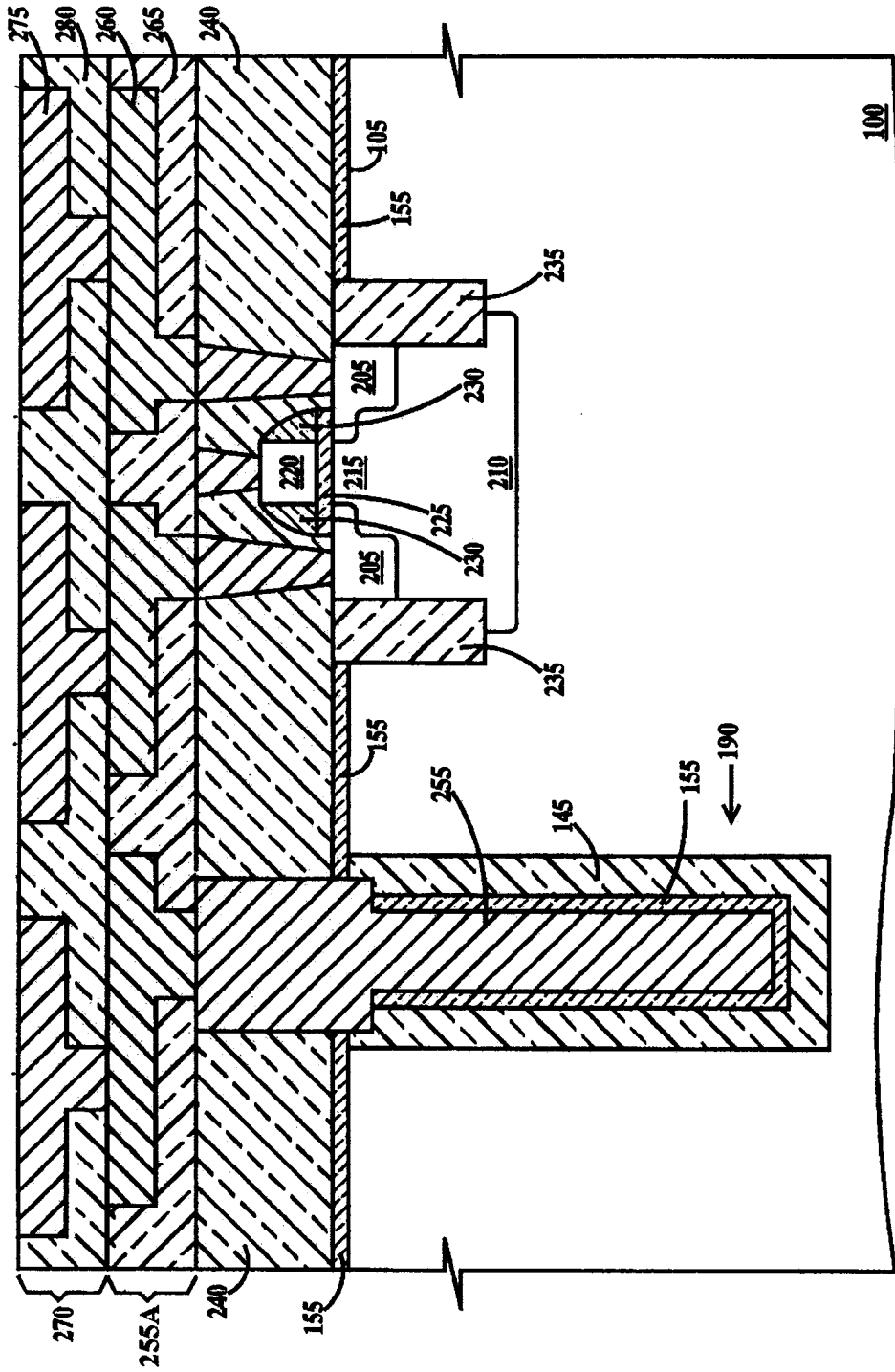


圖2F

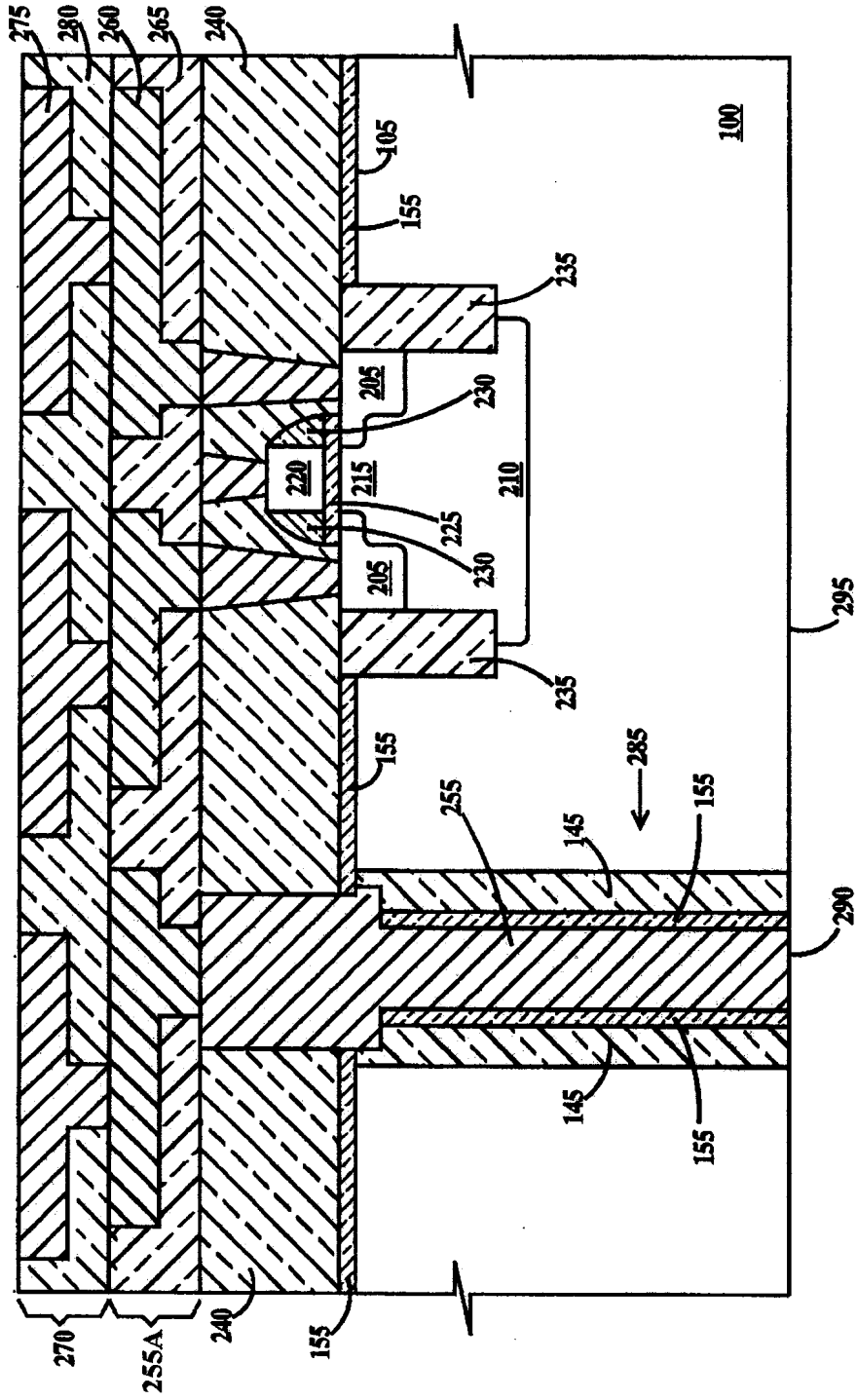


圖 2G

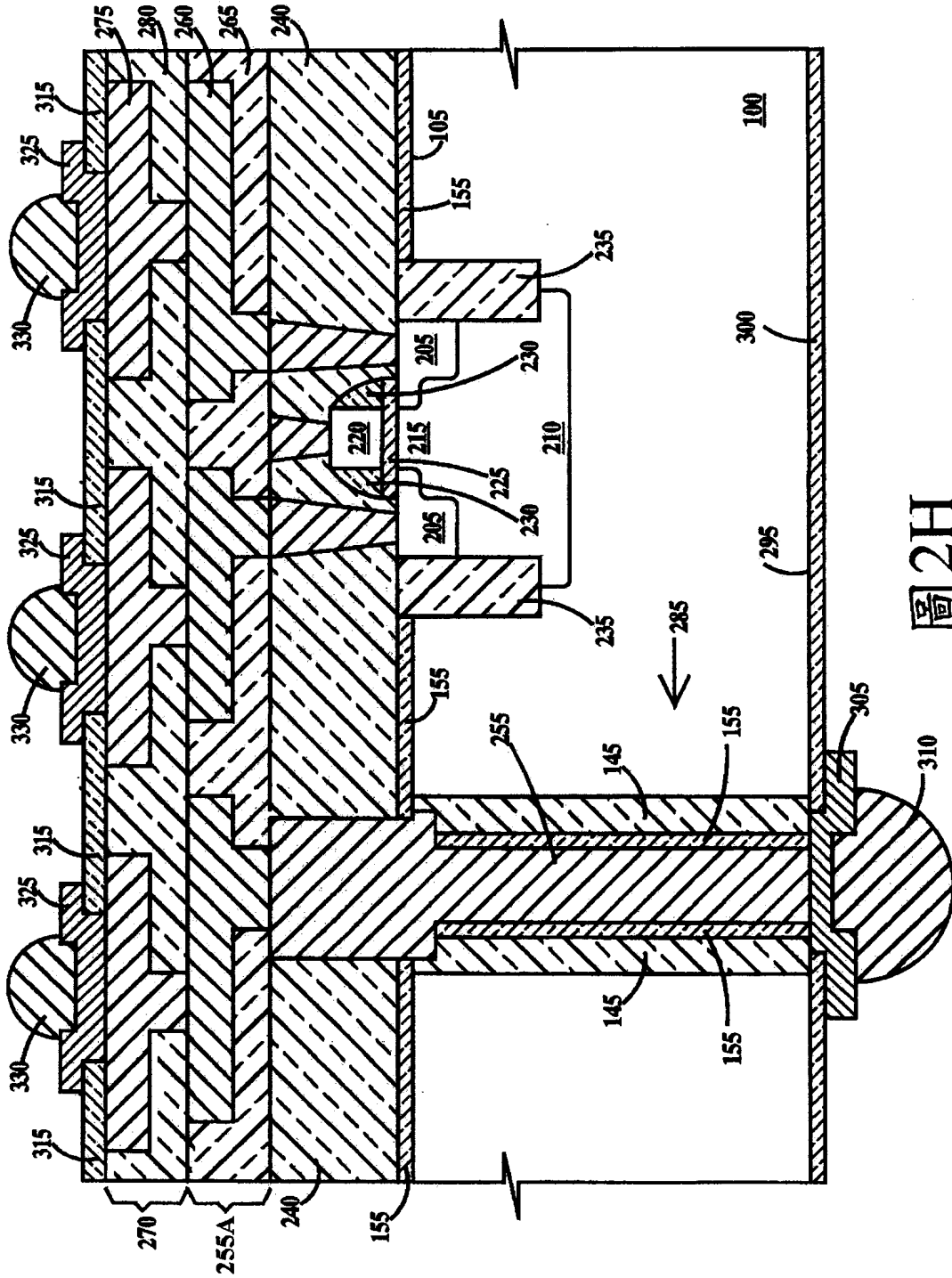


圖 2H

四、指定代表圖：

(一)本案指定代表圖為：圖 1M。

(二)本代表圖之元件符號簡單說明：

100	基板
105	頂面
140	溝渠
145	二氧化矽層
155	硬遮罩層
160	填料層
170、175、185	頂面
180	介電帽蓋
190	前導貫穿矽介層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。