

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-103586

(P2007-103586A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int. Cl.	F I	テーマコード (参考)
H05K 1/09 (2006.01)	H05K 1/09 C	4E351
H05K 3/28 (2006.01)	H05K 3/28 B	5E314
H01L 23/12 (2006.01)	H01L 23/12 501F	

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願2005-290169 (P2005-290169)
 (22) 出願日 平成17年10月3日 (2005.10.3)

(71) 出願人 000003964
 日東電工株式会社
 大阪府茨木市下穂積 1 丁目 1 番 2 号
 (74) 代理人 100098305
 弁理士 福島 祥人
 (72) 発明者 恒川 誠
 大阪府茨木市下穂積 1 丁目 1 番 2 号 日東電工株式会社内
 Fターム(参考) 4E351 AA03 BB01 BB29 BB35 CC03
 CC07 DD04 DD12 GG09 GG12
 5E314 AA25 BB06 CC01 DD06 FF05
 GG05 GG11 GG19

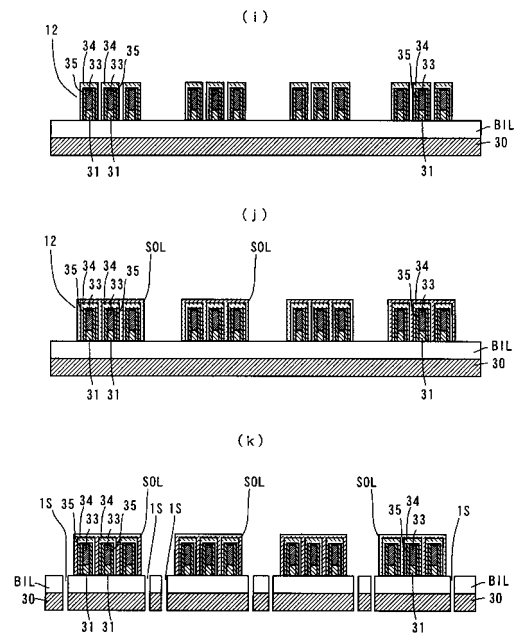
(54) 【発明の名称】 配線回路基板の製造方法

(57) 【要約】

【課題】 ウィスカーの発生を抑制するとともに、電子部品との接続性を確保しつつ接続性のばらつきを低減することができる配線回路基板の製造方法を提供することである。

【解決手段】 ベース絶縁層 B I L 上に金属薄膜 3 1 および導体層 3 3 からなる配線パターン 1 2 を形成し、配線パターン 1 2 を覆うように無電解錫めっき層 3 4 を形成する。ここで、配線パターン 1 2 および錫めっき層 3 4 に加熱処理を施す。加熱処理温度は 175 ~ 225 とし、加熱処理時間は 2 ~ 10 分とする。加熱処理を施すことにより、銅および錫からなる混合層 3 5 が形成される。その後、ベース絶縁層上の所定領域で配線パターン 1 2 および錫めっき層 3 4 を覆うようにソルダーレジスト S O L を形成する。次に、ソルダーレジスト S O L の熱硬化処理を行う。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

絶縁層上に少なくとも銅を含む導体パターンを形成する工程と、

前記導体パターンを覆うように錫皮膜を形成する工程と、

前記錫皮膜形成後に前記導体パターンおよび前記錫皮膜に加熱処理を行う工程と、

前記導体パターンおよび前記錫皮膜の所定部を覆うように前記絶縁層上に被覆層を形成する工程と、

前記被覆層に加熱処理を行う工程とを備え、

前記導体パターンおよび前記錫皮膜に前記加熱処理を行う工程において、前記加熱処理の温度は 175 以上 225 以下であり、前記加熱処理の時間は 2 分以上 10 分以下であることを特徴とする配線回路基板の製造方法。 10

【請求項 2】

前記被覆層を形成する工程は、前記導体パターンおよび前記錫皮膜の所定部を覆うように前記絶縁層上に前記被覆層としてソルダーレジストを形成する工程を含み、

前記被覆層に加熱処理を行う工程は、前記ソルダーレジストに熱硬化処理を行う工程を含むことを特徴とする請求項 1 記載の配線回路基板の製造方法。

【請求項 3】

前記ソルダーレジストの熱硬化処理の温度は、80 以上 160 以下であることを特徴とする請求項 2 記載の配線回路基板の製造方法。

【発明の詳細な説明】 20

【技術分野】

【0001】

本発明は、配線回路基板の製造方法に関する。

【背景技術】

【0002】

TAB (Tape Automated Bonding) 用テープキャリア等の配線回路基板は、一般に、絶縁層からなる基板上に導体層からなる配線パターンが形成されたものであり、様々な電子機器に用いられる。

【0003】

配線回路基板には、種々の電子部品が実装され、配線パターンの端子部に接続される。電子部品の端子は、例えば金からなる。この場合、配線パターンの端子部と電子部品の端子との接続性を向上させるために、配線パターンの端子部を覆うように錫皮膜（錫めっき）が形成される。ここで、配線パターンと電子部品との接続性とは、配線パターンと電子部品との電気的および物理的接続の確実性をいう。しかしながら、端子部上の錫皮膜にウイスキーと呼ばれる髭状の結晶が成長することがあり、このウイスキーが原因となって配線パターンに短絡事故が発生するおそれがある。 30

【0004】

そこで、特許文献 1 には、銅からなる配線パターンに錫めっき層を形成した後 80 ~ 140 の加熱処理を行うことにより、長期にわたってウイスキーの発生が抑制されることが開示されている。この特許文献 1 によれば、140 より高い温度で加熱すると錫めっき層が変色する等の問題が生じることが指摘されている。 40

【特許文献 1】特開 2002 - 124547 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記の方法により加熱処理を行った後、配線パターンを覆うようにソルダーレジスト層を形成し、配線回路基板が完成する。しかしながら、このような方法により形成された配線回路基板では、電子部品との接続性のばらつきが大きくなる。ここで、接続性のばらつきとは、配線パターンと電子部品との電気的および物理的接続の確実性のばらつきをいう。この場合、接続性の低い配線回路基板は不良品として処理される。それにより、製造の 50

歩留まりが大きく変動する。

【0006】

本発明の目的は、ウイスキーの発生を抑制するとともに、電子部品との接続性を確保しつつ接続性のばらつきを低減することができる配線回路基板の製造方法を提供することである。

【課題を解決するための手段】

【0007】

本発明者は、種々の実験および検討を行った結果、上記の加熱処理により形成される銅および錫からなる混合層がソルダーレジスト形成時の熱硬化処理時に不必要に増加し、配線パターンと電子部品との接続性のばらつきの原因となることを見出した。一般的に、加熱処理の温度が高いと上記の混合層の厚みが大きくなり、錫皮膜の厚みが小さくなる。それにより、配線パターンと電子部品との接続性が悪くなる。そのため、従来は、加熱処理を140以下

10

【0008】

(1)本発明に係る配線回路基板の製造方法は、絶縁層上に少なくとも銅を含む導体パターンを形成する工程と、導体パターンを覆うように錫皮膜を形成する工程と、錫皮膜形成後に導体パターンおよび錫皮膜に加熱処理を行う工程と、導体パターンおよび錫皮膜の所定部を覆うように絶縁層上に被覆層を形成する工程と、被覆層に加熱処理を行う工程とを備え、導体パターンおよび錫皮膜に加熱処理を行う工程において、加熱処理の温度は175以上225以下であり、加熱処理の時間は2分以上10分以下であるものである。

20

【0009】

本発明に係る配線回路基板の製造方法においては、絶縁層上に少なくとも銅を含む導体パターンが形成される。次いで、導体パターンを覆うように錫皮膜が形成される。次に、導体パターンおよび錫皮膜に加熱処理が行われる。このとき、加熱処理の温度は、175以上225以下に設定され、加熱処理の時間は2分以上10分以下に設定される。次に、導体パターンおよび錫皮膜の所定部を覆うように絶縁層上に被覆層が形成される。次いで、被覆層に加熱処理が行われる。

30

【0010】

この場合、導体パターンおよび錫皮膜に加熱処理が行われることにより、銅および錫からなる混合層が形成され、ウイスキーの発生を抑制することができる。

【0011】

ここで、被覆層の加熱処理の際には混合層の厚みが増加する。混合層の厚みの増加量が大きいと、混合層の厚みのばらつきが大きくなる。

【0012】

また、混合層の厚みが大きくなると、錫皮膜の厚みが小さくなる。導体パターンと電子部品との接続性を向上させるためには、錫皮膜の厚みが必要量確保されなければならない。

40

【0013】

そこで、導体パターンおよび錫皮膜の加熱処理の温度を175以上225以下に設定し、加熱処理の時間を2分以上10分以下に設定することにより、被覆層の加熱処理の際に、錫皮膜の厚みを必要量確保することができるとともに、混合層の厚みの増加量を低減することができる。それにより、導体パターンと電子部品との接続性を確保しつつ接続性のばらつきを低減することができる。

【0014】

(2)被覆層を形成する工程は、導体パターンおよび錫皮膜の所定部を覆うように絶縁層上に被覆層としてソルダーレジストを形成する工程を含み、被覆層に加熱処理を行う工

50

程は、ソルダーレジストに熱硬化処理を行う工程を含んでもよい。

【0015】

この場合、導体パターンおよび錫皮膜に熱処理が行われた後、導体パターンおよび錫皮膜の所定部を覆うように絶縁層上にソルダーレジストが形成される。次いで、ソルダーレジストの熱硬化処理が行われる。

【0016】

導体パターンおよび錫皮膜の加熱処理の温度を175以上225以下に設定し、加熱処理の時間を2分以上10分以下に設定することにより、ソルダーレジストの熱硬化処理の際に、錫皮膜の厚みを必要量確保することができるとともに、混合層の厚みの増加量を低減することができる。それにより、導体パターンと電子部品との接続性を確保しつつ接続性のばらつきを低減することができる。

10

【0017】

(3)ソルダーレジストの熱硬化処理の温度は、80以上160以下であってもよい。この場合、ソルダーレジストの熱硬化処理の際に、錫皮膜の厚みを確実に必要量確保することができるとともに、混合層の厚みの増加量を十分に低減することができる。それにより、導体パターンと電子部品との接続性を確実に確保しつつ接続性のばらつきを十分に低減することができる。

【発明の効果】

【0018】

本発明によれば、導体パターンおよび錫皮膜の加熱処理の温度を175以上225以下に設定し、加熱処理の時間を2分以上10分以下に設定することにより、被覆層の加熱処理の際に、錫皮膜の厚みを必要量確保することができるとともに、混合層の厚みの増加量を低減することができる。それにより、導体パターンと電子部品との接続性を確保しつつ接続性のばらつきを低減することができる。

20

【発明を実施するための最良の形態】

【0019】

以下、本発明の一実施の形態に係る配線回路基板の製造方法について、図面を参照しながら説明する。なお、本実施の形態においては、配線回路基板として、TAB(Tape Automated Bonding)用テープキャリアを用いる。

【0020】

30

(1)TAB用テープキャリアの基本構成

図1は、本実施の形態に係る方法により製造されるTAB用テープキャリアの平面図である。図1に示すように、長尺状のTAB用テープキャリア1は、半導体チップ等の電子部品を実装するための複数の実装部11を備える。各実装部11は、TAB用テープキャリア1の長さ方向にそれぞれ所定間隔を隔てて設けられている。

【0021】

TAB用テープキャリア1の両側方には、正形状の複数のスプロケットホール15がTAB用テープキャリア1の長さ方向に延びるように所定間隔で形成されている。各実装部11には、電子部品等の電極をボンディングするための配線パターン12が形成されている。

40

【0022】

配線パターン12は、レジスト膜を露光および現像し、所定の処理を施すことにより形成される(詳細は後述する)。

【0023】

(2)実装部の構成

以下、実装部11についてさらに詳細に説明する。

【0024】

図2は、実装部11を示す平面図である。図2に示すように、ベース絶縁層BIL上に複数の配線パターン12が形成される。複数の配線パターン12には、ベース絶縁層BILの中央部から一方の側部に向かうように形成されるものと、ベース絶縁層BILの中央

50

部から他方の側部に向かうように形成されるものがある。

【0025】

ベース絶縁層BILの一方の側部の領域と他方の側部の領域とを除く領域を覆うようにソルダーレジストSOLが設けられる。このソルダーレジストSOLにより各導体パターン12の端部が覆われていない領域をアウターリード部20という。

【0026】

また、ベース絶縁層BILの中央部における各配線パターン12の端部には、半導体チップ等の電子部品(図示せず)が実装される。この電子部品の実装領域は、実装領域21として示されている。この実装領域21内に位置する各配線パターン12の配置領域をインナーリード部22という。なお、インナーリード部22は、ソルダーレジストSOLにより被覆されていない。

10

【0027】

(3)TAB用テープキャリアの製造方法

次に、TAB用テープキャリア1の製造方法をセミアディティブ法を用いた場合、およびサブトラクティブ法を用いた場合に分けて説明する。なお、本製造工程においては、4本のTAB用テープキャリア1が同時に形成され、最後の工程で各TAB用テープキャリア1に分断され、図1に示したTAB用テープキャリア1が形成される。以下、詳細を説明する。

【0028】

(a)セミアディティブ法を用いた場合

図3～図6は、セミアディティブ法を用いた場合のTAB用テープキャリア1の製造方法を説明するための製造工程図である。

20

【0029】

まず、図3(a)に示すように、長尺状基板30を用意する。長尺状基板30としては、例えば、ステンレス板、銅板またはニッケル板等の金属を用いることができる。

【0030】

次に、図3(b)に示すように、長尺状基板30上にベース絶縁層BILを形成する。ベース絶縁層BILは、例えば、ポリイミドまたはポリエステル等の樹脂からなる。

【0031】

次に、図3(c)に示すように、ベース絶縁層BIL上にスパッタリングにより金属薄膜31を形成する。

30

【0032】

次に、図3(d)に示すように、金属薄膜31上に所定のパターンの溝部Rを有するめっきレジスト32を形成する。めっきレジスト32は、例えば、ドライフィルムレジスト等により金属薄膜31上にレジスト膜を形成し、そのレジスト膜を所定のパターンで露光し、その後、現像することにより形成される。

【0033】

次に、図4(e)に示すように、金属薄膜31上の溝部Rに、電解めっきにより導体層33を形成する。金属薄膜31および導体層33としては、銅、銅合金等の少なくとも銅を含有する金属材料を用いることができる。また、金属薄膜31および導体層33としては、異なる材料を用いてもよいが、同一の材料を用いることが好ましい。以下、本実施の形態においては金属薄膜31および導体層33として銅を用いる場合について説明する。

40

【0034】

次に、図4(f)に示すように、めっきレジスト32を化学エッチング(ウェットエッチング)または剥離によって除去する。次に、図4(g)に示すように、金属薄膜31の露出する領域をエッチングにより除去する。これにより、金属薄膜31および導体層33からなる配線パターン12(図1および図2参照)が形成される。

【0035】

次に、図4(h)に示すように、配線パターン12を覆うように無電解錫めっき層34を形成する。ここで、配線パターン12および錫めっき層34に加熱処理を施す。加熱処

50

理温度は175～225とし、加熱処理時間は2～10分とする。加熱処理を施すことにより、配線パターン12を構成する金属薄膜31および導体層33の材料である銅が錫めっき層34内に拡散する。それにより、図5(i)に示すように、銅および錫からなる混合層35が形成される。

【0036】

なお、混合層35の厚みが0.2μm以上である場合には、ウイスキーの発生を十分に抑制することができる。混合層35の厚みが0.45μm以下である場合には、配線パターン12と電子部品との接続性を確実に向上させるために必要な錫めっき層34の厚みを確保することができる。したがって、混合層35の厚みは、0.2μm以上0.45μm以下であることが好ましい。

10

【0037】

また、混合層35の厚みが0.25μm以上である場合には、ウイスキーの発生をより十分に抑制することができる。混合層35の厚みが0.4μm以下である場合には、配線パターン12と電子部品との接続性をより確実に向上させるために必要な錫めっき層34の厚みを確保することができる。したがって、混合層35の厚みは、0.25μm以上0.4μm以下であることがより好ましい。

【0038】

その後、図5(j)に示すように、実装部11(図1および図2参照)の所定領域で配線パターン12および錫めっき層34を覆うようにスクリーン印刷等によりソルダーレジストSOLを形成する。次に、ソルダーレジストSOLの熱硬化処理を行う。熱硬化処理の温度は、80～160であることが好ましく、110～130であることがより好ましい。

20

【0039】

次に、図5(k)に示すように、実装部11の両側方(図1および図2参照)にスプロケットホール15を形成する。次に、図6(l)に示すように、実装部11の下の領域の長尺状基板30をエッチングにより除去する。

【0040】

最後に、図6(l)に示すスリットラインSLに沿って4本のTAB用テープキャリア1に分割する。これにより、図1および図2に示したTAB用テープキャリア1が完成する。

30

【0041】

(b) サブトラクティブ法を用いた場合

次に、サブトラクティブ法を用いた場合のTAB用テープキャリア1の製造方法について説明する。

【0042】

まず、図3(a)～(c)と同様に、長尺状基板30上にベース絶縁層BILおよび金属薄膜31を形成する。

【0043】

次に、図7(a)に示すように、金属薄膜31上に導体層41を形成する。導体層41としては、例えば、銅を用いることができる。

40

【0044】

次に、図7(b)に示すように、導体層41上に所定のパターンを有するエッチングレジスト42を形成する。エッチングレジスト42は、例えば、ドライフィルムレジスト等により導体層41上にレジスト膜を形成し、そのレジスト膜を所定のパターンで露光し、その後、現像することにより形成される。

【0045】

次に、図7(c)に示すように、エッチングにより、エッチングレジスト42の下の領域を除く金属薄膜31および導体層41の領域を除去する。次に、図7(d)に示すように、エッチングレジスト42を剥離液により除去する。これにより、金属薄膜31および導体層41からなる配線パターン12(図1および図2参照)が形成される。

50

【 0 0 4 6 】

その後、図 4 (h) ~ 図 6 (1) で説明した工程を経て、T A B 用テープキャリア 1 が完成する。

【 0 0 4 7 】

(4) 本実施の形態の効果

本実施の形態においては、配線パターン 1 2 および錫めっき層 3 4 に加熱処理が施される。それにより、銅および錫からなる混合層 3 5 が形成され、ウイスキーの発生を抑制することができる。

【 0 0 4 8 】

ソルダーレジスト S O L の熱硬化処理の際に混合層 3 5 の厚みが増加する。混合層 3 5 の厚みの増加量が大きいと、混合層 3 5 の厚みのばらつきが大きくなる。 10

【 0 0 4 9 】

また、混合層の厚みが大きくなると、錫めっき層 3 4 の厚みが小さくなる。配線パターン 1 2 と電子部品との接続性を向上させるためには、錫めっき層 3 4 の厚みが必要量確保されなければならない。

【 0 0 5 0 】

本実施の形態では、配線パターン 1 2 および錫めっき層 3 4 の加熱処理温度を 1 7 5 ~ 2 2 5 に設定し、加熱処理時間を 2 ~ 1 0 分に設定する。それにより、ソルダーレジスト S O L の熱硬化処理の際に、錫めっき層 3 4 の厚みを必要量確保することができる。同時に、混合層 3 5 の厚みの増加量を低減することができる。それにより、配線パターン 1 2 と電子部品との接続性を確保しつつ接続性のばらつきを低減することができる。 20

【 0 0 5 1 】

なお、本実施の形態においては、ベース絶縁層 B I L と導体層 3 3 との間に金属薄膜 3 1 を形成しているが、ベース絶縁層 B I L と導体層 3 3 との密着性が十分に確保されている場合には、ベース絶縁層 B I L と導体層 3 3 との間に金属薄膜 3 1 を形成しなくてもよい。

【 実施例 】

【 0 0 5 2 】

以下の実施例 1 ~ 4 では、上記実施の形態におけるセミアディティブ法を用いて T A B 用テープキャリア 1 を作製した。以下の比較例 1 , 2 では、加熱処理温度および加熱処理時間を除いて、実施例 1 ~ 4 と同様の方法で T A B 用テープキャリア 1 を作製した。 30

【 0 0 5 3 】

(実施例 1)

加熱処理温度を 1 7 5 に設定し、加熱処理時間を 2 分、5 分および 1 0 分に設定した。

【 0 0 5 4 】

(実施例 2)

加熱処理温度を 1 8 5 に設定し、加熱処理時間を 2 分、5 分および 1 0 分に設定した。

【 0 0 5 5 】

(実施例 3)

加熱処理温度を 2 0 0 に設定し、加熱処理時間を 2 分、5 分および 1 0 分に設定した。

【 0 0 5 6 】

(実施例 4)

加熱処理温度を 2 2 5 に設定し、加熱処理時間を 2 分、5 分および 1 0 分に設定した。

【 0 0 5 7 】

(比較例 1)

加熱処理温度を 1 5 0 に設定し、加熱処理時間を 2 分、5 分および 1 0 分に設定した 50

【0058】

(比較例2)

加熱処理温度を175、185、200および225に設定し、加熱処理時間を15分に設定した。

【0059】

(評価)

実施例1～4および比較例1、2で作製したTAB用テープキャリア1について、加熱処理時に形成される混合層35の厚み、ソルダーレジストSOL形成時の混合層35の厚みの増加量、およびソルダーレジストSOL形成後の混合層35の厚みをそれぞれ調べた。その結果を表1に示す。

10

【0060】

【表1】

	熱処理温度	熱処理時間 [分]	混合層 [μm]	ソルダーレジスト形成時の混合層の厚みの増加量 [μm]	ソルダーレジスト形成後の混合層の厚み [μm]
実施例1	175	2	0.2	0.03	0.23
		5	0.22	0.03	0.25
		10	0.27	0.02	0.29
実施例2	185	2	0.21	0.03	0.24
		5	0.25	0.02	0.27
		10	0.36	0.02	0.38
実施例3	200	2	0.26	0.02	0.28
		5	0.35	0.01	0.36
		10	0.42	0.01	0.43
実施例4	225	2	0.31	0.02	0.33
		5	0.4	0.01	0.41
		10	0.44	0.01	0.45
比較例1	150	2	0.09	0.09	0.18
		5	0.14	0.08	0.22
		10	0.19	0.07	0.26
比較例2	175	15	0.37	0.02	0.39
	185		0.47	0.01	0.48
	200		0.51	0.01	0.52
	225		0.54	0.01	0.55

20

30

40

【0061】

表1に示すように、実施例1～4では、ソルダーレジストSOL形成時の混合層35の厚みの増加量が0.01～0.03μmとなった。

【0062】

それに対して、比較例1では、ソルダーレジストSOL形成時の混合層35の厚みの増加量が、0.07～0.09μmとなり、実施例1～4と比べて大きくなった。

【0063】

また、加熱処理温度が175の場合で、実施例1のように、加熱処理時間が2～10分のときには、ソルダーレジストSOL形成後の混合層35の厚みが0.23～0.29

50

μm と小さくなった。それに対して、比較例2のように、加熱処理時間が15分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.39\mu\text{m}$ と大きくなった。

【0064】

加熱処理温度が185の場合で、実施例2のように、加熱処理時間が2~10分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.24\sim 0.38\mu\text{m}$ と小さくなった。それに対して、比較例2のように、加熱処理時間が15分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.48\mu\text{m}$ と大きくなった。

【0065】

加熱処理温度が200の場合で、実施例3のように、加熱処理時間が2~10分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.28\sim 0.43\mu\text{m}$ と小さくなった。それに対して、比較例2のように、加熱処理時間が15分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.52\mu\text{m}$ と大きくなった。

10

【0066】

加熱処理温度が225の場合で、実施例4のように、加熱処理時間が2~10分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.33\sim 0.45\mu\text{m}$ と小さくなった。それに対して、比較例2のように、加熱処理時間が15分のときには、ソルダーレジストSOL形成後の混合層35の厚みが $0.55\mu\text{m}$ と大きくなった。

【0067】

配線パターン12と電子部品との接続性を向上させるためには、ソルダーレジストSOL形成後の混合層35の厚みが大きくなりすぎず、錫めっき層34の厚みが必要量確保されなければならない。

20

【0068】

そこで、実施例1~4と比較例2との比較から、加熱処理時間は、2~10分が好ましいことがわかった。

【0069】

これらの結果により、加熱処理温度を $175\sim 225$ とし、加熱処理時間を2~10分とすることにより、混合層35の厚みの増加量が低減されかつ配線パターン12と電子部品との接続性を向上させるために必要な錫めっき層34の厚みを確保することができることがわかった。

【0070】

30

(請求項の各構成要素と実施の形態の各部の対応)

上記実施の形態においては、ベース絶縁層BILが絶縁層に相当し、配線パターン12が導体パターンに相当し、錫めっき層34が錫皮膜に相当し、ソルダーレジストSOLが被覆層に相当する。

【産業上の利用可能性】

【0071】

本発明は、種々の電気機器または電子機器等に利用することができる。

【図面の簡単な説明】

【0072】

【図1】本実施の形態に係るTAB用テープキャリアの平面図である。

40

【図2】実装部を示す平面図である。

【図3】セミアディティブ法を用いた場合のTAB用テープキャリアの製造方法を説明するための製造工程図である。

【図4】セミアディティブ法を用いた場合のTAB用テープキャリアの製造方法を説明するための製造工程図である。

【図5】セミアディティブ法を用いた場合のTAB用テープキャリアの製造方法を説明するための製造工程図である。

【図6】セミアディティブ法を用いた場合のTAB用テープキャリアの製造方法を説明するための製造工程図である。

【図7】サブトラクティブ法を用いた場合のTAB用テープキャリアの製造方法を説明す

50

るための製造工程図である。

【符号の説明】

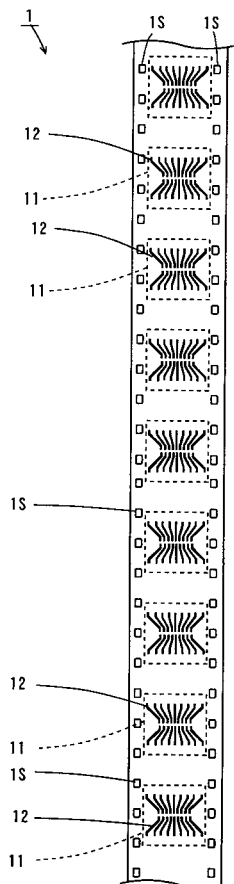
【0073】

- 1 TAB用テープキャリア
- 1S スプロケットホール
- 11 実装部
- 12 配線パターン
- 20 アウターリード部
- 21 実装領域
- 22 インナーリード部
- 30 長尺状基板
- 31 金属薄膜
- 32 めっきレジスト
- 33 導体層
- 34 無電解錫めっき層
- 35 混合層
- 41 導体層
- 42 エッチングレジスト
- BIL ベース絶縁層
- SL スリットライン
- SOL ソルダーレジスト

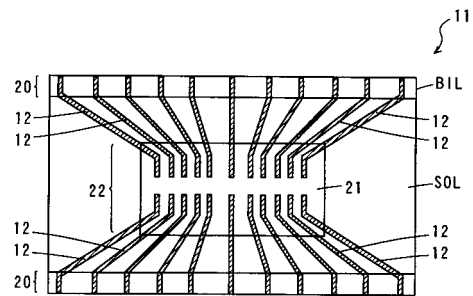
10

20

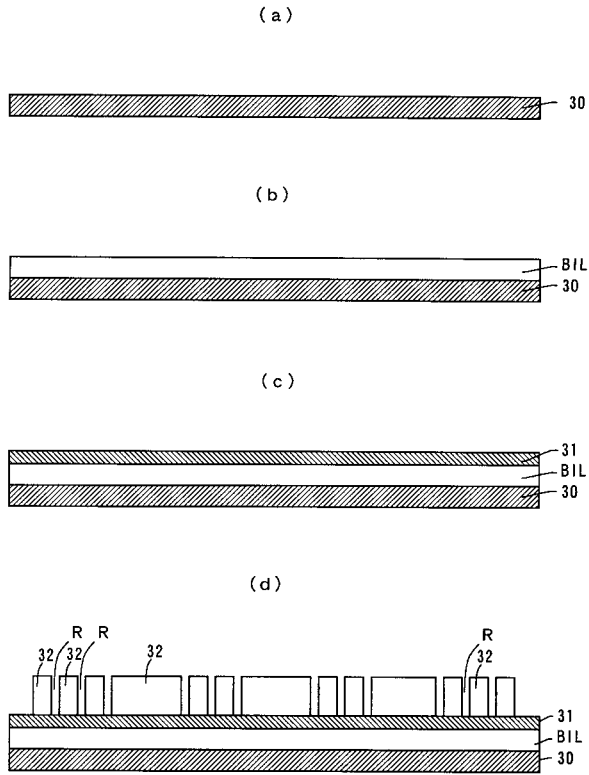
【図1】



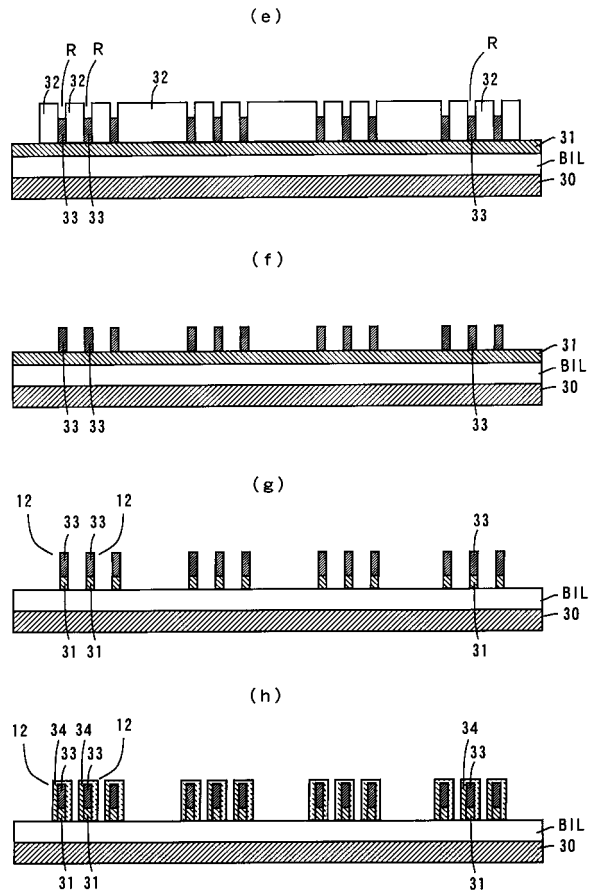
【図2】



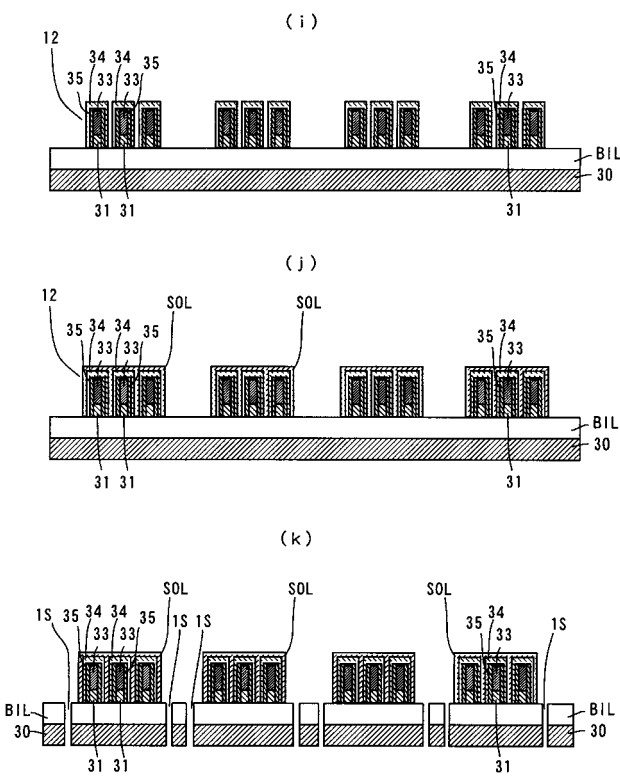
【 図 3 】



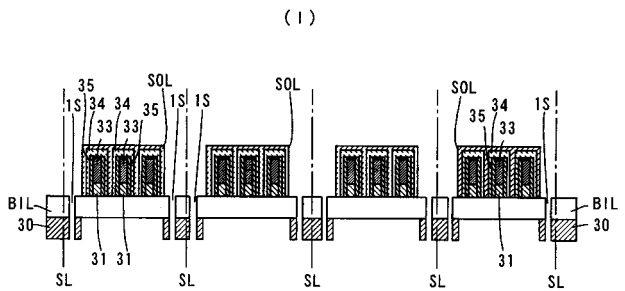
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

