

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-41648
(P2006-41648A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl. F I テーマコード (参考)
 HO4N 7/26 (2006.01) HO4N 7/13 Z 5C059

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号	特願2004-215064 (P2004-215064)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成16年7月23日 (2004.7.23)	(74) 代理人	100081938 弁理士 徳若 光政
		(72) 発明者	小林 幸史 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
		Fターム(参考)	5C059 KK50 NN43 PP05 PP06 TA16 TB04 TC01 TD05 TD12 UA02

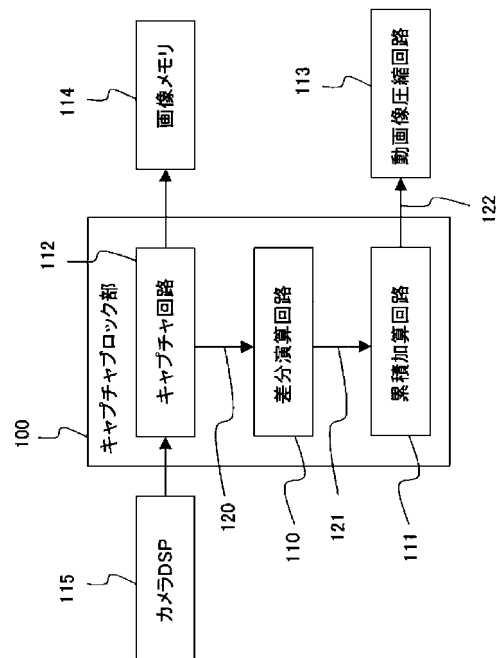
(54) 【発明の名称】 動画像処理ユニット

(57) 【要約】

【課題】 高性能で半導体集積回路に適した動画像処理ユニットを提供する。

【解決手段】 時系列的に隣り合う画素信号を受けて差分信号を第1差分演算回路で形成し、その出力信号を累積加算回路で累積加算し、所定範囲の画素信号に対応した上記累積加算回路の累積加算値を保持部で保持し、1フレーム遅れて形成された上記累積加算回路の上記累積加算値とを比較部で比較して変化量が所定量を超えたときにシーンチェンジ信号を形成する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

時系列的に隣り合う画素信号を受けて差分信号を形成する第 1 差分演算回路と、
上記第 1 差分演算回路の出力信号を受ける累積加算回路と、
所定範囲の画素信号に対応した上記累積加算回路の累積加算値を保持する保持部と、
上記保持部の累積加算値と 1 フレーム遅れて形成された上記累積加算回路の上記累積加算値とを比較する比較部とを備え、
上記比較部の出力信号が所定量を超えたときにシーンチェンジ信号を形成してなることを特徴とする動画像処理ユニット。

【請求項 2】

請求項 1 において、
時系列的な画素信号を受けるキャプチャ回路及び動画像圧縮部を備え、
上記第 1 差分演算回路、累積加算回路は、上記キャプチャ回路とともにキャプチャブロック部に設けられ、
上記動画像圧縮部は、上記シーンチェンジ信号が形成されないフレームでは P ピクチャによる符号化を行い、上記シーンチェンジ信号が形成されたフレームでは I ピクチャによる符号化を行うものであることを特徴とする動画像処理ユニット。

10

【請求項 3】

請求項 2 において、
上記所定範囲の画素信号は 1 フレーム分の画素信号であることを特徴とする動画像処理

20

【請求項 4】

請求項 3 において、
上記第 1 差分演算回路と累積加算回路とは、上記キャプチャ回路による画素信号の画像メモリへの画素データの書き込みと同期して上記時系列的な画素信号の差分と上記累積加算値を求めることを特徴とする動画像処理ユニット。

【請求項 5】

請求項 3 において、
更に、第 2 差分演算回路を備え、
上記第 1 差分演算回路の出力信号は、上記第 2 差分演算回路に入力されて時系列的に隣接する差分信号の更に差分信号が形成されて、上記累積加算回路に伝えられるものであることを特徴とする動画像処理ユニット。

30

【請求項 6】

請求項 3 において、
上記キャプチャブロック部に入力される時系列的な画像信号は、カメラ回路により形成されるものであることを特徴とする動画像処理ユニット。

【請求項 7】

請求項 3 において、
上記動画像処理ユニットは、CPU コア、画像処理ブロック及外部インターフェイス回路を更に備えて、1 チップの半導体集積回路装置で構成されてなることを特徴とする動画像処理ユニット。

40

【請求項 8】

請求項 3 において、
上記第 1 差分演算回路は上記差分信号の絶対値を求めることを特徴とする動画像処理ユニット。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、動画像処理ユニットに関し、例えば動画圧縮回路を備えて半導体集積回路装置に構成されるものに利用して有効な技術に関するものである。

50

【背景技術】

【0002】

MPEG-4やH.264等のような動画像圧縮技術においては、Iピクチャと呼ばれるフレーム内符号化とPピクチャと呼ばれるフレーム間符号化がある。上記Pピクチャではフレーム間の差分をとり画像データ圧縮するため連続したシーンでは圧縮効率が良いが、シーンが変わった場合には符号化効率が悪くなる。シーンチェンジのときの画像では、上記Iピクチャの方が圧縮効率が良くなる。シーンチェンジ検出方法に関しては、特開2000-324499公報があり、動きベクトル検出方法に関しては特開2002-354483公報がある。

【特許文献1】特開2000-324499公報

10

【特許文献1】特開2002-354483公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記特許文献1の技術では、現フレームとフレームメモリに記憶された1つ前のフレームの画像信号の差分の絶対値を累積加算するものであり、1フレーム分の画像信号を保持するフレームメモリが必要になる。特許文献2では、入力映像信号と1フレーム遅延回路により遅延させた信号との差分の絶対値を累積加算するものであり、1フレーム分に対応した遅延回路が必要になり、半導体集積回路により構成しようとする回路規模が大きくなってしまおうという問題がある。

20

【0004】

この発明の目的は、高性能で半導体集積回路に適した動画像処理ユニットを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。時系列的に隣り合う画素信号を受けて差分信号を第1差分演算回路で形成し、その出力信号を累積加算回路で累積加算し、所定範囲の画素信号に対応した上記累積加算回路の累積加算値を保持部で保持、1フレーム遅れて形成された上記累積加算回路の上記累積加算値とを比較部で比較して変化量が所定量を超えたときにシーンチェンジ信号を形成する。

30

【発明の効果】

【0006】

簡単な構成で符号化効率を高くした動画像処理ユニットを得ることができる。

【発明を実施するための最良の形態】

【0007】

図1には、この発明に係る動画像処理ユニットの一実施例のブロック図が示されている。この実施例の動画像処理ユニットは、キャプチャブロック部100、画像メモリ114及び動画像圧縮回路113から構成される。本実施例の特徴は、キャプチャブロック部100にシーンチェンジ検出部として画素の差分演算回路110と累積加算演算回路111を備えた点である。ここで、キャプチャブロック部100は、本来のキャプチャ回路と上記差分演算回路と累積加算回路により構成される。

40

【0008】

カメラDSP(デジタル・シグナル・プロセッサ)115は、図示しないCCD等の撮像素子により形成され映像信号を受けて、所定の信号処理を行って撮像画面の左上から横方向に順番の画像データを形成してキャプチャ回路112に送る。キャプチャ回路112はカメラDSP115から送られてくる画像データをキャプチャし、つまりは1画面(フレーム)分のデジタル画像データを取り出して画像メモリ114に格納する。この実施例では、上記キャプチャ回路112でキャプチャしたデジタル画素データは、上記画像メモ

50

リ 1 1 4 に格納する一方で、同時に信号線 1 2 0 を通して差分演算回路 1 1 0 に送られる。差分演算回路 1 1 0 では、上記キャプチャによって時系列的に隣接する画素データ同士の差分を形成する。この差分データは、信号線 1 2 1 を通して累積加算回路 1 1 1 に入力される。累積加算回路 1 1 1 では、1 画面分の累積加算値を形成し、信号線 1 2 2 を通して動画像圧縮回路 1 1 3 に送る。

【 0 0 0 9 】

図 2 には、図 1 の差分演算回路 1 1 0 の一実施例のブロック図が示されている。差分演算回路 1 1 0 は上記キャプチャ回路 1 1 2 から送られてくる画素を保持する画素保持部 2 0 0、画素保持部 2 0 0 からの画素を保持する画素保持部 2 0 1、時間的に隣接する、つまりは撮像画面では横方向に隣接する画素ごとの輝度成分の差分演算を行う差分演算部 2 0 2 で構成される。差分演算回路 1 1 0 では、上記信号線 1 2 0 で送られてきた画素データをまず画素保持部 2 0 0 に保持する。次の画素データが送られてきた際に、その画素データを画素保持部 2 0 0 に保持すると同時にそれまで画素保持部 2 0 0 に保持していた画素データを画素保持部 2 0 1 に渡す。つまり、上記画素保持部 2 0 0 と 2 0 1 とは、シフトレジスタ等で構成される。

10

【 0 0 1 0 】

上記画素保持部 2 0 0 と 2 0 1 は、1 つの画素データが複数ビットからなるときには、各ビットに対応した複数の記憶回路（ラッチ）を備え、パラレルに送られた複数ビット分の画素データを上記のように転送するというシフトレジスタとしての動作を行う。そして、差分演算部 2 0 2 で上記 2 つの画素保持部 2 0 0 と 2 0 1 に保持された 2 つの画素データの差分演算及びその差分演算の結果の絶対値を求める演算を行い、その差分値の絶対値が信号線 1 2 1 を通して累積加算回路 1 1 1 に送られる。

20

【 0 0 1 1 】

図 3 には、累積加算回路 1 1 1 の一実施例のブロック図が示されている。累積加算回路 1 1 1 は、加算演算部 3 0 0、累積加算値保持部 3 0 1 とで構成される。信号線 1 2 1 を通して送られてくる差分値の絶対値に対し、それまでの累積加算値との間で加算演算を行う。演算結果は再び累積加算値保持部 3 0 1 に格納される。これを 1 フレーム分繰り返して、1 フレーム分の累積加算値を求める。累積加算値は信号線 1 2 2 により図 1 に示した動画像圧縮部 1 1 3 に送られる。

【 0 0 1 2 】

図 3 において、上記動画像圧縮部 1 1 3 に設けられるシーンチェンジ検出回路も例示的に示されている。この実施例のシーンチェンジ検出回路は、保持部 3 0 2 と比較部 3 0 3 からなり、保持部 3 0 2 は、1 つ前のフレームの累積加算値が保持されている。比較部 3 0 3 は、この 1 フレーム前の累積加算値と上記累積加算回路 1 1 1 で形成された当該フレームの累積加算値とを比較し、その差分が所定量を超えるか否かの判定を行い。もしも、予め決められて所定量を超えたときにはシーンチェンジ検出信号を一方のレベルにし、上記所定量を超えないときにはシーンチェンジ検出信号を他方のレベルにするという動作を行う。

30

【 0 0 1 3 】

図 4 には、この発明に係る動画像処理ユニットを備えたビデオカメラ部の一実施例の要部ブロック図が示されている。カメラ DSP は、CDD 等のような撮像素子及びその駆動回路及び撮像素子から出力される信号処理を行う DSP（デジタル・シグナル・プロセッサ）から構成される。キャプチャブロックは、前記図 1 のキャプチャブロック部 1 0 0 に対応し、動画像圧縮部は前記図 1 の動画像圧縮回路 1 1 3 に対応し、内部メモリは一時的なデータの保持に用いられる。そして、前記図 1 に示した回路以外に、画像処理ブロック及び CPU（中央処理ユニット）コア、外部メモリとのインターフェイス回路としてのバスステートコントローラが設けられて 1 つのシステム（System）LSI に内蔵される。SDRAM は、システム LSI の外部メモリであり、動画像圧縮処理に用いられる前記図 1 の画像メモリ 1 1 4 を構成する。上記動画像圧縮処理で形成された画像データは、特に制限されないが、ハードディスクメモリ又は DVD 等のような記録媒体に記録される。

40

50

【0014】

前記キャプチャブロック部112に設けられた差分演算回路110、累積加算回路111及びシーンチェンジ検出回路は、時系列的に入力された画素データをリアルタイムで処理して前記のようなシーンチェンジ検出信号を形成するものであり、それに用いられるデータ保持部も極小さな記憶容量のレジスタ又はメモリ回路で構成でき、前記特許公報1や2のような1フレーム分のメモリ回路や遅延回路等に比べて小さな回路規模で実現することができる。それ故に、上記動画像処理ユニットを構成するシステムLSIに搭載してもかかるシステムLSIの回路規模を大きくしないで済む。

【0015】

図5には、前記図1の差分演算回路110及び累積加算回路111の動作を説明するための模式図が示されている。撮像画面の左上から順番に時系列的に送られてくる画素同士の差分値を逐一取り、その差分値を1フレーム分全て加算する。この加算値が動画像圧縮部113に送られる。つまり、同図において示した画素は、1番目と2番目、2番目と3番目、3番目と4番目...のように隣接するもの同士が引き算(-)され、それぞれの引き算値が順次に1フレームにわたって加算されて1フレーム分の累積加算値が求められる。

10

【0016】

図6には、前記図1の動画像圧縮部113でのシーンチェンジ検出動作と符号化動作を説明するための模式図が示されている。動画像圧縮部113では、上記差分演算回路110及び累積加算回路111で形成された累積加算値に対し、フレームごとの変化量を計算し、変化量が多い場合にはシーンチェンジと判定し、Iピクチャによる符号化を行う。つまり、同図に示すように、黒丸で示したフレーム毎の累積加算値の変化量を見て、変化量が少ない場合は連続した画像と判定しPピクチャで符号化を行い、変化量が多い場合にはシーンチェンジと判定し、Iピクチャで符号化を行う。

20

【0017】

図7には、この発明に係るシーンチェンジ情報検出及び符号化ピクチャ決定動作を説明するためのフローチャート図が示されている。ステップ(1)では、画像データをキャプチャする。ステップ(2)では、上記キャプチャの過程で形成される時系列的な画像データを用いて隣接画素間で差分演算を行う。ステップ(3)では、上記差分値を累積加算する。そして、ステップ(4)で1フレームの終了かを判定し、未終了(no)なら次の画像データとの差分及びその累積演算を繰り返す。上記ステップ(4)において、1フレームの終了(yes)と判定されたなら、ステップ(5)において、累積加算値の変化が予め決められた変化量と比較され、変化量大きい(yes)と判定されたなら、ステップ(6)によりシーンチェンジと判定し、上記画像メモリにキャプチャされた画像データをIピクチャで符号化する。上記ステップ(5)において、変化量が小さい(no)と判定されたなら、ステップ(7)により連続した画像であると判定し、上記画像メモリにキャプチャされた画像データをPピクチャで符号化する。このようにシーンチェンジ時にIピクチャを挿入できるため、Pピクチャで符号化する場合と比較し、圧縮効率を高めることができる。

30

【0018】

例えば、従来のMPEG等の画像圧縮では、15フレームに1回Iピクチャで符号化し、それ以外はPピクチャで符号化するなどある決められた仕様に従い一定間隔でIピクチャを挿入するものである。この場合、動画像のシーンの内容に関係なくIピクチャが挿入されるため、シーンチェンジの場合にもPピクチャで符号化してしまい、圧縮効率を下げてしまうことがある。これに対して、本願発明の動画像処理ユニットでは、圧縮の対象となる動画像をキャプチャする際に画素の横方向(時系列)の差分値を累積加算し、その累積加算値のフレームごとの変化量をもとにシーンチェンジを決定し、Iピクチャの挿入タイミングを決定するものである。

40

【0019】

この実施例のように時系列的な画素の差分値の累積加算値は画像の複雑さに大きく関係

50

し、シーンチェンジの場合など画像の内容が大きく変わった場合には、その累積加算値も大きく変化する。そのため、この累積加算値の変化量によりシーンチェンジの有無を検出することができる。この実施例では、横方向つまりは時系列的な画素の差分演算、および累積加算演算を行うものである。この実施例では、キャプチャ動作と同時にシーンチェンジ情報が検出でき、シーンチェンジ情報のために前記特許文献1のように1フレーム分も画像データの書き込みや画像の読み出しといった余計なメモリアクセスが必要なくなり、小さな回路規模でシーンチェンジ検出を実現できるとともに、上記のような効率的な動画像圧縮の効率化を図ることができる。又、この実施例では時系列的な画素の差分値は輝度成分のみを取り、色差成分においては差分値を取り、その絶対値を累積加算するようなことは行わない。これにより演算量を削減する事ができる

10

図8には、この発明に用いられる差分演算回路の他の一実施例のブロック図が示されている。この実施例では、差分演算回路110の出力信号を同様な差分演算回路110'によって更に差分を求めるというものである。上記差分演算回路110は、前記図2と同様に上記キャプチャ回路112から送られてくる画素を保持する画素保持部200、画素保持部200からの画素を保持する画素保持部201、時間的に隣接する、つまりは撮像画面では横方向に隣接する画素ごとの輝度成分の差分演算及びその差分演算の結果の絶対値を求める演算を行う差分演算部202で構成される。差分演算回路110では、上記信号線120で送られてきた画素データをまず画素保持部200に保持する。次の画素データが送られてきた際に、その画素データを画素保持部200に保持すると同時にそれまで画素保持部200に保持していた画素データを画素保持部201に渡す。つまり、上記画素保持部200と201とは、シフトレジスタ等で構成される。

20

【0020】

上記差分演算回路110'においても、上記信号線121で送られてきた差分データをまず差分保持部200'に保持する。上記差分演算回路110から次の差分データが送られてきた際に、その差分データを差分保持部200'に保持すると同時にそれまで差分保持部200'に保持していた差分データを差分保持部201'に渡す。つまり、上記差分保持部200'と201'とは、前記同様にシフトレジスタ等で構成される。そして、差分演算部202'で上記2つの差分保持部200'と201'に保持された2つの差分データの更に差分演算を行い、2回差分値の絶対値、言い換えるならば2回微分の絶対値の和を累積加算回路111に送る。このようにして演算されたフレーム毎の累積加算値の変化量を判定して前記同様にしてシーンチェンジ検出の有無を行うことができる。このようにシーンチェンジを検出することにより、1回差分値の絶対値を累積加算するよりも精度を高くシーンチェンジを検出可能となる。

30

【0021】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。上記シーンチェンジ検出は、図3に示したような回路を動画像圧縮回路に設けるようにしたハードウェアにより実現するもの他、図4に示したシステムLSIにおいては、内部メモリを前記画素保持部200、201、累積加算値保持部301、保持部302として使い、CPUを差分演算回路202や加算演算部300として使い、内部メモリに書き込まれたプログラムによってソフトウェアにより前記シーンチェンジ検出のための信号処理を行うようにするものであってもよい。また、画像データは、カメラDSPから受けるもの他、テレビジョン放送あるいはVTR等から読み出されたアナログ映像信号を受取るものであってもよい。この場合には、まずアナログ映像信号はキャプチャ回路においてデジタル信号に変換される。この発明は、動画像処理ユニットとして広く利用することができる。

40

【図面の簡単な説明】

【0022】

【図1】この発明に係る動画像処理ユニットの一実施例を示すブロック図である。

【図2】図1の差分演算回路110の一実施例を示すブロック図である。

50

【図3】図1の累積加算回路111の一実施例を示すブロック図である。

【図4】この発明に係る動画像処理ユニットを備えたビデオカメラ部の一実施例を示す要部ブロック図である。

【図5】図1の差分演算回路110及び累積加算回路111の動作を説明するための模式図である。

【図6】図1の動画圧縮部113でのシーンチェンジ検出動作と符号化動作を説明するための模式図である。

【図7】この発明に係るシーンチェンジ情報検出及び符号化ピクチャ決定動作を説明するフローチャート図である。

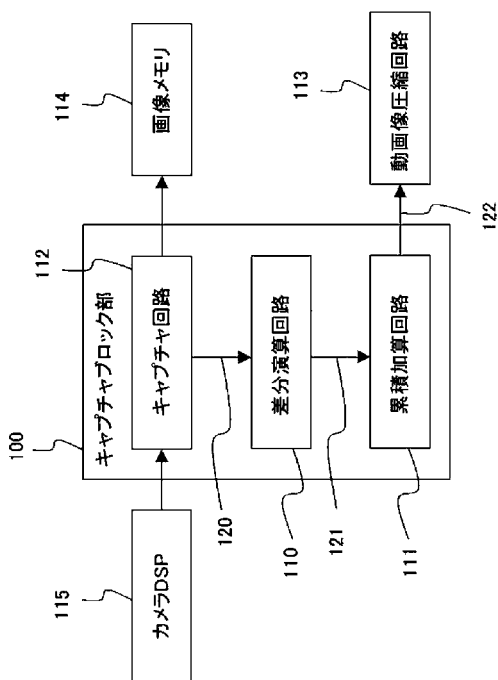
【図8】この発明に用いられる差分演算回路の他の一実施例を示すブロック図である。

【符号の説明】

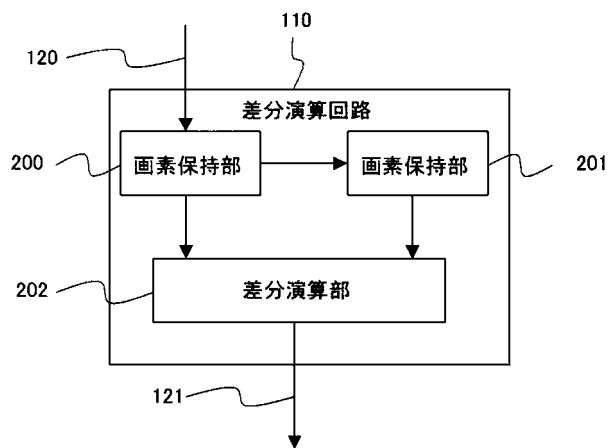
【0023】

100...キャプチャブロック部、110, 110'...差分演算回路、111...累積加算回路、112...キャプチャ回路、113...動画像圧縮回路、114...画像メモリ、115...カメラDSP、120~122...信号線、200, 201...画素保持部、200', 201'...差分保持部、202, 202'...差分演算部、300...加算演算部、301...累積加算値保持部、302...保持部、303...比較部。

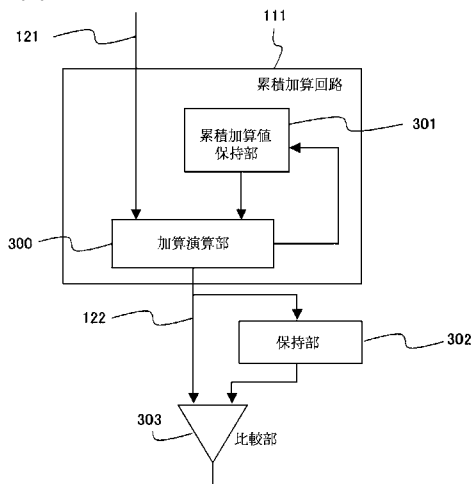
【図1】



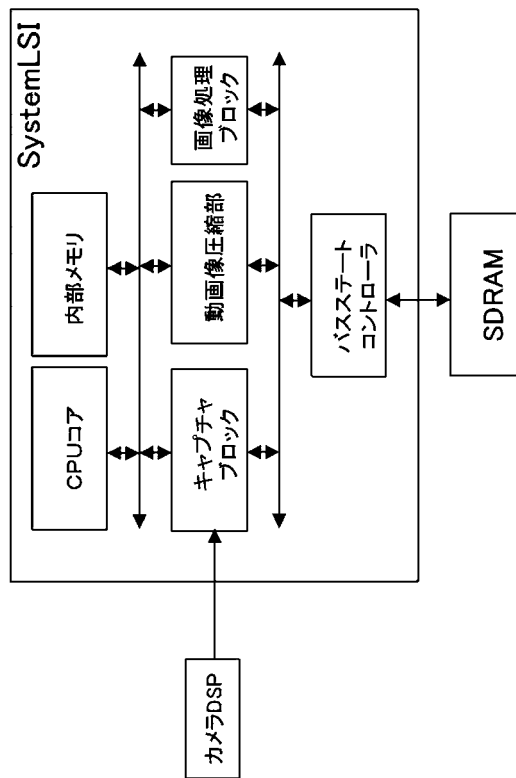
【図2】



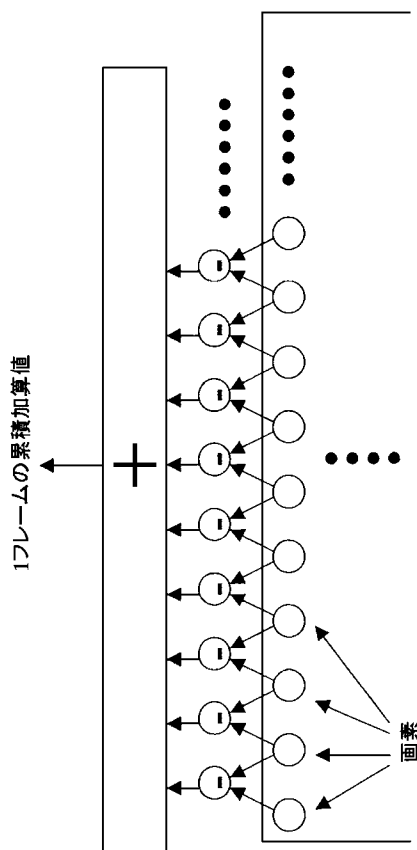
【 図 3 】



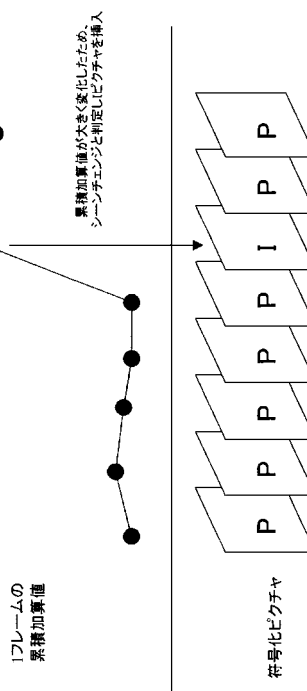
【 図 4 】



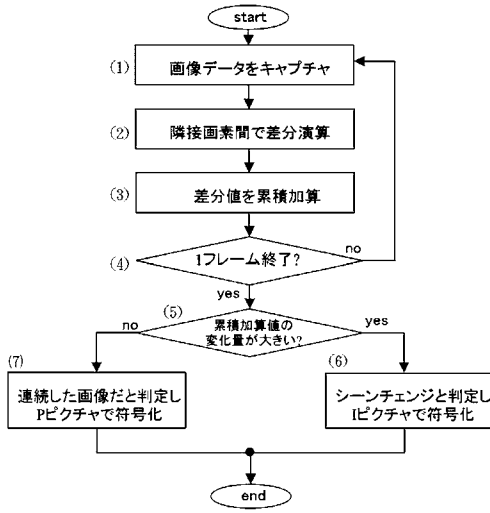
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

