



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 102 41 170 A1 2004.03.18**

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **102 41 170.0**  
 (22) Anmeldetag: **05.09.2002**  
 (43) Offenlegungstag: **18.03.2004**

(51) Int Cl.7: **H01L 27/115**  
**H01L 21/8247**

(71) Anmelder:  
**Infineon Technologies AG, 81669 München, DE**

(72) Erfinder:  
**Rösner, Wolfgang, 85521 Ottobrunn, DE;**  
**Hofmann, Franz, 80995 München, DE; Specht,**  
**Michael, 80799 München, DE; Landsgraf, Erhard,**  
**81543 München, DE; Lyken, R. Johannes, 81825**  
**München, DE**

(74) Vertreter:  
**Müller-Boré & Partner, Patentanwälte, European**  
**Patent Attorneys, 81671 München**

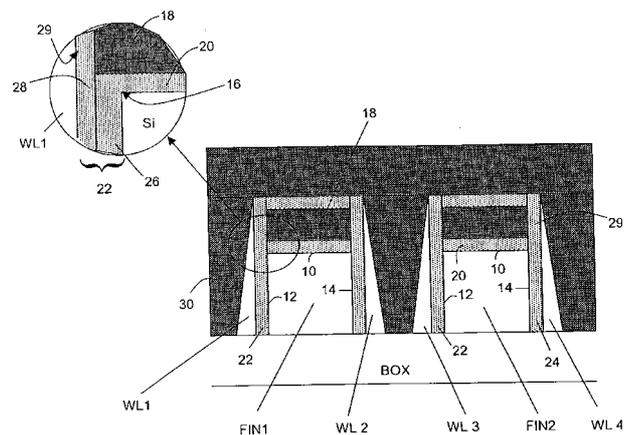
Prüfungsantrag gemäß § 44 PatG ist gestellt.

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Hochdichter NROM-FINFET**

(57) Zusammenfassung: Die Erfindung betrifft einen Halbleiterspeicher mit einer Vielzahl von Speicherzellen, wobei jede Speicherzelle umfaßt:

- einen ersten leitfähig dotierten Kontaktbereich (S/D), einen zweiten leitfähig dotierten Kontaktbereich (S/D) und einen dazwischen angeordneten Kanalbereich, welche in einer stegartigen Rippe (FIN) aus Halbleitermaterial ausgebildet und in dieser Reihenfolge in Längsrichtung der Rippe (FIN) hintereinander angeordnet sind, wobei die Rippe (FIN) zumindest in dem Kanalbereich in einem senkrecht zu der Längsrichtung der Rippe (FIN) verlaufenden Schnitt eine im wesentlichen rechteckförmige Gestalt mit einer Rippenoberseite (10) und gegenüberliegenden Rippenseitenflächen (12, 14) aufweist;
- eine zum Programmieren der Speicherzelle ausgelegte Speicherschicht (18), welche durch eine erste Isolatorschicht (20) beabstandet auf der Rippenoberseite (10) angeordnet ist, wobei die Speicherschicht (18) über zumindest eine der Rippenseitenflächen (12) in Normalenrichtung der einen Rippenseitenfläche (12) hinausragt, so daß die eine Rippenseitenfläche (12) und die Rippenoberseite (10) eine Injektionskante (16) zur Injektion von Ladungsträgern von dem Kanalbereich in die Speicherschicht (18) bilden; und
- zumindest eine Gateelektrode (WL1), welche durch eine zweite Isolatorschicht (22) von der einen Rippenseitenfläche (12) und durch eine dritte Isolatorschicht (29) von der Speicherschicht (18) beabstandet ist, wobei die Gateelektrode (WL1) gegenüber dem ...



## Beschreibung

[0001] Die Erfindung betrifft einen Halbleiterspeicher gemäß Anspruch 1 sowie ein Verfahren zur Herstellung eines Halbleiterspeichers gemäß Anspruch 19.

[0002] Konventionelle nichtflüchtige Halbleiterspeicherelemente existieren je nach Anwendung in einer Vielzahl verschiedener Ausführungen, z.B. PROM, EPROM, EEPROM, FLASH EEPROM, SONGS etc. Diese unterschiedlichen Ausführungsformen unterscheiden sich insbesondere in Löschoption, Programmierbarkeit und Programmierzeit, Haltezeit, Speicherdichte sowie ihren Herstellungskosten. Ein besonderer Bedarf besteht an hochdichten und preiswerten Flash-Halbleiterspeichern. Bekannte Ausführungen sind insbesondere sogenannte NAND und ETOX-Speicherzellen, deren Speicherdichte jedoch mehr als  $4F^2$  erfordert, wobei F die kleinste im Prozeß vorkommende Strukturabmessung der Halbleiterspeicher ist. In der Veröffentlichung von B. Eitan et al. "NROM: A novel localized trapping, 2-bit nonvolatile Memory Cell", IEEE Electron Device Letters vol.21, n.11, November 2000, ist ein sogenannter NROM-Speicher beschrieben, welcher mit Hilfe einer 2-Bit Zelle eine Speicherzelle mit einem  $2F^2$  Flächenmaß ermöglicht.

[0003] Alle oben genannten nichtflüchtigen Speicherelemente benötigen jedoch vergleichsweise hohe Spannungen von zumindest 10 V zum Programmieren bzw. Löschen der in einer Speicherschicht gespeicherten Bits. Beispielsweise ist eine NROM-Speicherzelle auf Gatespannungen im Bereich von 9 V angewiesen. Da in den typischen Einsatzfeldern von Flash-Speicherelementen keine externen Spannungen von 10 V oder mehr zur Verfügung stehen, müssen derartige Spannungen "on-chip" generiert werden. Zwar sind die hierzu notwendigen Ladungspumpen (charge pumps) allgemein bekannt, jedoch benötigen diese einen erheblichen Flächenbedarf auf dem Speicherchip, wodurch dessen Integrationsgrad geschmälert und folglich die Herstellungskosten in nachteiliger Weise erhöht werden.

## Aufgabenstellung

[0004] Aufgabe der Erfindung ist es demgemäß, einen Halbleiterspeicher mit einer Vielzahl von Speicherzellen anzugeben, welcher insbesondere kleinere Programmierspannungen benötigt und ein hochdichtes Speicherzellenfeld gestattet. Ferner ist es Aufgabe der Erfindung, ein Herstellungsverfahren für einen derartigen Halbleiterspeicher anzugeben.

[0005] Diese Aufgabe wird durch einen Halbleiterspeicher mit einer Vielzahl von Speicherzellen gemäß Anspruch 1 bzw. durch ein Verfahren zur Herstellung eines Halbleiterspeichers gemäß Anspruch 19 gelöst. Bevorzugte Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

[0006] Erfindungsgemäß umfaßt ein Halbleiterspeicher eine Vielzahl von Speicherzellen, wobei jede Speicherzelle umfaßt:

- einen ersten leitfähig dotierten Kontaktbereich, einen zweiten leitfähig dotierten Kontaktbereich und einen dazwischen angeordneten Kanalbereich, welche in einer stegartigen Rippe aus Halbleitermaterial ausgebildet und in dieser Reihenfolge in Längsrichtung der Rippe hintereinander angeordnet sind, wobei die Rippe zumindest in dem Kanalbereich in einem senkrecht zu der Längsrichtung der Rippe verlaufenden Schnitt eine im wesentlichen rechtecksförmige Gestalt mit einer Rippenoberseite und gegenüberliegenden Rippenseitenflächen aufweist;
- eine zum Programmieren der Speicherzelle ausgelegte Speicherschicht, welche durch eine erste Isolatorschicht beabstandet auf der Rippenoberseite angeordnet ist, wobei die Speicherschicht über zumindest eine der Rippenseitenflächen in Normalenrichtung der einen Rippenseitenfläche hinausragt, so daß die eine Rippenseitenfläche und die Rippenoberseite eine Injektionskante zur Injektion von Ladungsträgern von dem Kanalbereich in die Speicherschicht bilden; und
- zumindest eine Gateelektrode, welche durch eine zweite Isolatorschicht von der einen Rippenseitenfläche und durch eine dritte Isolatorschicht von der Speicherschicht beabstandet ist, wobei die Gateelektrode gegenüber dem Kanalbereich elektrisch isoliert und zur Steuerung von dessen elektrischer Leitfähigkeit ausgelegt ist.

[0007] Bei dem Halbleiterspeicher handelt es sich um einen nichtflüchtigen Halbleiterspeicher, welcher elektrisch löschbar ist (EEPROM), insbesondere um einen FLASH-Halbleiterspeicher. Die Speicherung einer binären Information, d.h. eines "Bits", erfolgt in bekannter Weise mit Hilfe einer zum Programmieren der Speicherzelle ausgelegten Speicherschicht. Diese Speicherschicht ist zum Einfangen und Abgeben von Ladungsträgern von und in den Kanalbereich des Transistors ausgelegt, welcher sich in Längsrichtung der Rippe zwischen zwei dotierten Kontaktbereichen (Source- und Drainbereich des Transistors) erstreckt. Das Transistorlayout ähnelt somit demjenigen eines sogenannten FINFETs. Die Speicherschicht ist gegenüber den dotierten Kontaktbereichen sowie der Gateelektrode des Transistors elektrisch isoliert.

[0008] In der Speicherschicht eingefangene Elektronen bewirken über den Feldeffekt in bekannter Weise eine Verschiebung der Kennlinie des Transistors, insbesondere von dessen Einsatzspannung (Threshold-Spannung). Bei vorbestimmter Gatespannung sowie vorbestimmter Source-Drain-Spannung kann somit über die elektrische Leitfähigkeit des Transistorkanals festgestellt werden, ob in der Speicherschicht Ladungsträger eingefangen sind oder nicht.

[0009] Um die Speicherschicht zu "programmieren",

um beispielsweise eine logische "1" zu speichern, müssen beispielsweise Elektronen aus dem Kanalbereich des FINFETs in die Speicherschicht injiziert werden. Herkömmlicherweise sind für einen derartigen Injektionsprozeß unabhängig von dem zugrundeliegenden physikalischen Injektionsmechanismus (über heiße Elektronen (channel hot electrons, CHE) oder über einen feldunterstützten Tunnelprozeß (Fowler-Nordheim-Tunneln)) hohe Spannungsunterschiede zwischen den Kontaktbereichen bzw. der Gateelektroden notwendig.

[0010] Die Erfindung löst dieses Problem dadurch, daß eine spezielle Kanal-, Isolator- und Gategeometrie zum Einsatz kommt, welche zur Ausbildung einer Injektionskante zur Injektion von Ladungsträgern von dem Kanalbereich in die Speicherschicht führt. Die Injektionskante ist derart gestaltet, daß es in ihrer unmittelbaren Umgebung zu einer lokalen Feldüberhöhung kommt, so daß bereits bei vergleichsweise kleinen elektrischen Potentialunterschieden zwischen dem Kanalbereich und der Gateelektrode effizient Ladungsträger in die Speicherschicht injiziert werden können. Hierbei kann der Injektionsprozeß über heiße Elektronen (CHE) oder über feldunterstützte Tunneln (Fowler-Nordheim-Tunneln) erfolgen. Der Kanteneffekt führt zu einer signifikanten Verminderung der notwendigen Programmierspannung des erfindungsgemäßen Halbleiterspeichers im Vergleich zu herkömmlichen nichtflüchtigen Speicherelementen.

[0011] Der Kanalbereich des Halbleiterspeichers ist in einer stegartigen Rippe aus Halbleitermaterial, insbesondere aus Silizium, ausgebildet. In Längsrichtung der Rippe befinden sich vorzugsweise gleichmäßig voneinander beabstandete leitfähig dotierte Kontaktbereiche, welche später die Source- bzw. Drainkontakte der Transistoren darstellen. Jeder Kontaktbereich stellt einen Sourcekontakt eines Transistors und einen Drainkontakt eines benachbarten Transistors dar.

[0012] Die Rippe weist eine im wesentlichen rechtecksförmige Gestalt in einer Schnittebene auf, welche senkrecht zu der Rippenlängsachse verläuft. Parallel zu dem Halbleitersubstrat, in welchem die Rippe gebildet ist, verläuft die Rippenoberseite, während die einander gegenüberliegende Rippenseitenflächen senkrecht zu der Substratebene angeordnet sind. In jedem Kanalbereich der Rippe ist auf der Rippenoberseite eine erste Isolatorschicht, beispielsweise eine Oxidschicht, angeordnet. Die Speicherschicht ist auf der ersten Isolatorschicht aufgebracht. Die Speicherschicht ragt über zumindest eine der Rippenseitenflächen in einer Richtung hinaus, welche parallel zu der Normalenrichtung dieser Rippenseitenfläche verläuft.

[0013] Die Injektionskante zur Injektion von Ladungsträgern von dem Kanalbereich in die Speicherschicht wird durch die Kante gebildet, welche durch diese Rippenseitenfläche und die Rippenoberseite definiert wird. Die Rippenseitenfläche ist von der Ga-

teelektrode, über welche die Leitfähigkeit des Kanalbereichs über den Feldeffekt gesteuert werden kann, durch eine zweite Isolatorschicht beabstandet. Die Gateelektrode erstreckt sich in Normalenrichtung des Halbleitersubstrats über die Rippenoberseite hinaus bis vorzugsweise zur Oberseite der Speicherschicht. Die Gateelektrode ist in diesem Bereich durch die dritte Isolatorschicht von der Speicherschicht beabstandet.

[0014] Ein elektrischer Potentialunterschied zwischen dem Kanalbereich und der Gateelektrode führt bei einer derartigen Geometrie zu einer lokalen Feldüberhöhung im Bereich der Injektionskante, so daß bei vergleichsweise kleinen Potentialdifferenzen Ladungsträger den Kanalbereich an der Injektionskante verlassen und von der Speicherschicht eingefangen werden können.

[0015] Bevorzugt ragt die Speicherschicht in einer Richtung, welche parallel zu den Normalenrichtungen der Rippenseitenflächen verläuft, über beide Rippenseitenflächen der Rippe hinaus. In dieser quer zu der Rippe verlaufenden Richtung ist die Rippenbreite somit vorzugsweise kleiner als die Speicherschichtbreite. Wenn – wie oben beschrieben – auch auf dieser Rippenseite eine Gateelektrode angeordnet wird, so stellt der Kantenbereich zwischen der Rippenoberseite und der zweiten Rippenseitenfläche im Kanalbereich eine zweite Injektionskante für Ladungsträger in die Speicherschicht dar.

[0016] Vorzugsweise weist die zweite Isolatorschicht eine größere Schichtdicke als die dritte Isolatorschicht auf. Beispielsweise weist die dritte Isolatorschicht eine Schichtdicke von 3 nm bis 6 nm, typischerweise 5 nm, auf, während die zweite Isolatorschicht um etwa 2 nm bis 5 nm dicker ist. Die erste Isolatorschicht weist typischerweise eine Schichtdicke von 2 bis 5 nm auf, wenn sie aus Siliziumdioxid gebildet ist.

[0017] Vorzugsweise weist die zweite Isolatorschicht eine zumindest an der einen Rippenseitenfläche angeordnete innere Oxidschicht und eine an der inneren Oxidschicht angeordnete äußere Oxidschicht auf.

[0018] Vorzugsweise wird die dritte Isolatorschicht durch die äußere Oxidschicht gebildet. Die äußere Oxidschicht erstreckt sich in Normalenrichtung des Halbleitersubstrats über die innere Oxidschicht hinaus und trennt die Gateelektrode von der Speicherschicht. Vorzugsweise bildet die nach außen weisende Oberfläche der äußeren Oxidschicht eine im wesentlichen ebene Fläche, insbesondere im Bereich der Rippenoberseite.

[0019] Vorzugsweise ist die innere Oxidschicht ein thermisches Oxid und die äußere Oxidschicht ein HT-Oxid (high temperature oxide, HTO). Wenn die innere Oxidschicht durch Oxidation des Halbleitermaterials der Rippe gebildet wird, ergibt sich eine besonders vorteilhafte Injektionskantengeometrie. Der Oxidationsprozeß des Halbleitermaterials der Rippe bei bereits aufgebrachtener erster Isolatorschicht und Spei-

cherschicht bewirkt nämlich, daß die Injektionskante in einer senkrecht zur Rippenlängsachse verlaufenden Schnittfläche einen Innenwinkel bildet, welcher kleiner als  $90^\circ$  ist. Diese Injektionskantengeometrie ergibt sich aufgrund der Oxidationsratenvariation des Halbleitermaterials der Rippe im Bereich der ersten Isolatorschicht. Eine derartig spitz zulaufende Injektionskante ist in besonderer Weise geeignet, eine lokale Felderhöhung hervorzurufen, durch welche die Programmierspannungen der Speicherschicht weiter gesenkt werden können.

[0020] Vorzugsweise ist die erste Isolatorschicht aus einem thermischen Oxid gebildet. Die Schichtdicke des thermischen Oxids beträgt beispielsweise 2 bis 5 nm.

[0021] Vorzugsweise ist die Rippe in einer Top-Siliziumschicht eines SOI-Substrats (silicon-on insulator) angeordnet. Die der Rippenoberseite gegenüberliegende Fläche der Rippe grenzt an das "vergrabene Oxid" (buried oxide; BOX) des SOI-Substrats an. Die Top-Siliziumschicht (auch body-Siliziumschicht genannt) des SOI-Substrats weist typischerweise eine Schichtdicke von 20 nm bis 50 nm auf. Die Breite der in dieser Top-Siliziumschicht strukturierten Rippe, welche auch als Finne bezeichnet wird, liegt beispielsweise zwischen 40 und 100 nm. Alternativ kann die Rippe auch durch eine hochdotierte Wanne unterhalb der Rippe gegenüber benachbarten Rippen isoliert werden. Ist das Halbleitermaterial der Rippe beispielsweise schwach p-dotiert, kann eine hochdotierte p<sup>+</sup>-Wanne zur elektrischen Isolierung der Rippen zueinander zum Einsatz kommen.

[0022] Vorzugsweise ist eine Vielzahl von gleichmäßig voneinander beabstandeten Rippen vorgesehen, deren Längsachsen parallel zueinander verlaufen, und in jeder der Rippen ist eine Vielzahl von Speicherzellen ausgebildet. Die Abstände zwischen den parallel verlaufenden Rippen werden durch die zur strukturierende Gateelektrode sowie die zur Verfügung stehenden Prozeßtechniken beschränkt.

[0023] Vorzugsweise ist die Speicherschicht eine sogenannte Trapping-Schicht (trapping layer) oder ein Floating-Gate. Bei der Trapping-Schicht handelt es sich um eine elektrisch nicht leitfähige Schicht mit einer großen Anzahl von sogenannten "Trapping-Zuständen", welche Ladungsträger einfangen können. Das Floating Gate ist hingegen elektrisch leitfähig.

[0024] Vorzugsweise ist die Trapping-Schicht eine Nitridschicht, eine siliziumreiche Oxidschicht (silicon rich oxide) oder eine undotierte Poly-Siliziumschicht, welche von dem Kanalbereich und der Gateelektrode durch Oxidschichten getrennt sind. Wenn die Trapping-Schicht eine durch Oxid, insbesondere Siliziumdioxid, umhüllte Siliziumnitridschicht ist, handelt es sich bei der Speicherschichtanordnung um einen sogenannten ONO-Stack). Das Programmieren einer derartigen Trapping-Schicht erfolgt vorzugsweise über heiße Kanalelektronen (channel hot electrons; CHE), welche durch eine starke Vorwärtsspannung und eine positive Gatespannung beschleunigt und in

die Speicherschicht hineingezogen werden. Das Löschen der Trapping-Schicht erfolgt vorzugsweise über eine Injektion "heißer Löcher" in die Trapping-Schicht (sogenanntes "band-to-band tunnel enhanced hot hole injection") analog zu dem Löschprozeß bei den eingangs genannten NROM-Speicherzellen.

[0025] Durch den Spitzeneffekt der Injektionskante sind bereits Gatespannungen im Bereich von 5 bis 7 V ausreichend, um Feldstärken zu erzeugen, um Elektronen (oder Löcher eines p-Kanaltransistors) auf die Trapping-Schicht zu bringen. Für das Löschen der Trapping-Schicht sind ebenfalls Spannungen von etwa 5 V ausreichend.

[0026] Vorzugsweise sind zwei elektrisch voneinander isolierte Gateelektroden für die zumindest eine Rippe vorgesehen, wobei sich die Gateelektroden in Richtung der Rippenlängsachse erstrecken und durch zweite Isolatorschichten von den gegenüberliegenden Rippenseitenflächen beabstandet sind. In diesem Fall sind für jeden Kanalbereich jeder Rippe vorzugsweise zwei Injektionskanten vorgesehen, welche durch die Kanten zwischen den gegenüberliegenden Rippenseitenflächen und der Rippenoberseite gebildet werden. Die Gateelektroden verlaufen entlang den Flanken der Rippenstruktur parallel zu der Rippenlängsachse. Sie bilden die Wortleitungen des Halbleiterspeichers.

[0027] Bei einer derartigen Anordnung können in jeder Trapping-Schicht oberhalb jedes Kanalbereichs maximal 4 Bit gespeichert werden. So können 2 Bit in der Speicherschicht nahe dem ersten Kontaktbereich jeweils dicht bei den gegenüberliegenden Injektionskanten gespeichert werden. Weitere 2 Bit können in der Speicherschicht nahe dem zweiten Kontaktbereich in Regionen nahe den gegenüberliegenden Injektionskanten gespeichert werden. Diese Anordnung gestattet somit eine Ausbildung einer 2 Bit Speicherzelle, welche ein  $2F^2$  Flächenmaß aufweist, wobei F die kleinste Strukturgröße des Halbleiterspeichers ist. Zum Auslesen der Bits wird vorzugsweise das von B. Eitan in der eingangs genannten Veröffentlichung vorgeschlagene Leseverfahren herangezogen, wie es bei NROM-Speicherelementen bekannt ist. In diesem Zusammenhang wird auf den Offenbarungsgehalt der eingangs genannten Veröffentlichung von B. Eitan et al. sowie auf die internationale Patentanmeldung WO 99/07000 (PCT/IL 98/00363) in vollem Umfang Bezug genommen, welche hinsichtlich des darin beschriebenen Lese-, Programmier- und Löschverfahrens integraler Bestandteil der Offenbarung der vorliegenden Anmeldung sind.

[0028] Vorzugsweise sind die Gateelektroden aus hochdotiertem Poly-Silizium gebildet. Derartige Gateelektroden können vorzugsweise durch ein sogenanntes Spacerätzverfahren selbstjustierend hergestellt werden. Zwischen den Gateelektroden benachbarter Rippen ist vorzugsweise Nitrid zu Isolierung vorgesehen. Die Dotierung der beiden Gateelektroden jeder Rippe kann unterschiedlich sein, um unter-

schiedliche Kennlinienverläufe des linken und rechten Seitenwandtransistors zu bewirken.

[0029] Vorzugsweise sind für jede der Rippen zwei voneinander isolierte Gateelektroden als Wortleitungen des Halbleiterspeichers, welcher eine Vielzahl von gleichmäßig voneinander beabstandeten Rippen aufweist, vorgesehen.

[0030] Vorzugsweise umfaßt der Halbleiterspeicher eine Vielzahl von senkrecht zu den Wortleitungen verlaufenden Bitleitungen, wobei jede der Bitleitungen mit einem der Kontaktbereiche jeder Rippe elektrisch verbunden ist. Wort- und Bitleitungen ergeben eine spalten- und zeilenweise Anordnung eines Speicherzellenfeldes, bei welchem jeder Source- bzw. Drainkontakt der Rippentransistoren gezielt ansteuerbar ist, so daß ein sogenanntes "virtual ground array (VGA)" gebildet wird.

[0031] Alternativ zu einer als Trapping-Schicht ausgebildeten Speicherschicht kann die Speicherschicht auch ein Floating-Gate aus Metall oder hochdotiertem Poly-Silizium sein.

[0032] Gemäß einer bevorzugten Ausführungsform umfaßt der Halbleiterspeicher eine Vielzahl der Gateelektroden, wobei jedem der Kanalbereiche in einer der Rippen genau eine der Gateelektroden zugeordnet ist, welcher als Wortleitung des Halbleiterspeichers senkrecht zur Längsachse der Rippe über eine Vielzahl von Rippen verläuft. Im Gegensatz zu der zuvor beschriebenen Ausführungsform verlaufen bei der vorliegenden Ausführungsform die Gateelektroden, d.h. die Wortleitungen, senkrecht zu den Rippen. "Bitleitungen" im engeren Sinn sind bei dieser NAND-Anordnung nicht vorhanden, sondern werden durch eine Serienschaltung der Rippentransistoren entlang jeder Rippe gebildet. Das Programmieren der Speicherschichten derartiger Speicherzellen erfolgt über feldunterstützte Tunneln, welches als Fowler-Nordheim-Tunneln bekannt ist. Auch in diesem Fall führt die lokale Felderhöhung entlang der Injektionskante zu einer deutlichen Senkung der notwendigen Programmierspannungen.

[0033] Vorzugsweise weist das Floating-Gate zumindest eine Löschkante zur Injektion von Ladungsträgern von dem Floating-Gate zu der (Steuer-)Gateelektrode durch die dritte Isolatorschicht auf. Die Löschkante befindet sich vorzugsweise in unmittelbarer Nähe zu der Injektionskante. Die Löschkante des Floating-Gates grenzt vorzugsweise an einen Kantenbereich an, welcher durch die erste Isolatorschicht und die dritte Isolatorschicht gebildet wird. In anderen Worten wird die Löschkante durch dasjenige Speicherschichtmaterial gebildet, welches an die Kante angrenzt, welche durch die erste Isolatorschicht und die dritte Isolatorschicht definiert wird. Durch eine geeignete Vorwärtsspannung des Kanalbereichs gegenüber der Gateelektrode kann ein feldunterstütztes Tunneln von Elektronen ausgehend von der Löschkante in den Kanalbereich bzw. Gateelektrodenbereich ausgelöst werden.

[0034] Die Speicherdichte einer derartigen

NAND-Anordnung ist kleiner als bei dem oben beschriebenen "virtual ground array (VGA)" und beträgt etwa 4 bis 5  $F^2$ . Gegenüber konventionellen NAND-Speichern erwartet man jedoch eine merkliche Reduzierung der notwendigen Programmier- und Löschnspannungen. Damit sinkt die für Ladungspumpen notwendige Fläche, wodurch der Integrationsgrad gesteigert und somit die Herstellungskosten gesenkt werden können. Ferner ist eine gesteigerte Ausleserate erzielbar, da der Lesestrom der einzelnen Speicherzellen durch die Seitenwandtransistoren gegenüber herkömmlichen planaren Bauelementen verstärkt wird.

[0035] Gemäß der Erfindung umfaßt ein Verfahren zur Herstellung eines erfindungsgemäßen Halbleiterspeichers folgende Schritte:

- Bereitstellen eines SOI-Substrats mit einer Top-Siliziumschicht;
- Aufbringen der ersten Isolatorschicht auf die Top-Siliziumschicht;
- Aufbringen der Speicherschicht auf die erste Isolatorschicht;
- Strukturieren der Top-Siliziumschicht, der ersten Isolatorschicht und der Speicherschicht in zumindest eine stegartige Rippenform, wobei die erste Isolatorschicht auf der Rippenoberseite der aus Silizium bestehenden Rippe und die Speicherschicht auf der ersten Isolatorschicht angeordnet ist;
- Oxidieren der Rippenseitenflächen der Rippe zur Bildung einer inneren Oxidschicht der zweiten Isolatorschicht;
- Aufbringen der dritten Isolatorschicht;
- Aufbringen der zumindest einen Gateelektrode; und
- lokales Dotieren der Rippe zur Bildung von dotierten Kontaktbereichen.

[0036] Gemäß dem erfindungsgemäßen Verfahren wird zunächst die Top-Siliziumschicht mit der darauf angeordneten ersten Isolatorschicht und der Speicherschicht in eine stegartige Rippenform strukturiert. Quer zur Rippe aus Halbleitermaterial weisen die erste Isolatorschicht sowie die Speicherschicht in diesem Prozeßstadium dieselbe Breite auf. Nachfolgend wird ein Oxidationsschritt der Rippenseitenflächen der Rippe zur Bildung einer inneren Oxidschicht ausgeführt, welche einen Teil der zweiten Isolatorschicht darstellt. Durch die im Kantenbereich nahe der ersten Isolatorschicht unterschiedlichen Oxidationsraten wird eine spitzwinklige Injektionskante in der Rippe im Kantenbereich der Rippenoberseite mit jeder der Rippenseitenflächen erzeugt, was für eine effiziente Ladungsträgerinjektion vorteilhaft ist. Im Anschluß wird die dritte Isolatorschicht definiert.

[0037] Vorzugsweise umfaßt das Aufbringen der dritten Isolatorschicht das Aufbringen einer äußeren Oxidschicht, welche an der Speicherschicht und an der inneren Oxidschicht angeordnet ist. Die dritte Isolatorschicht, welche die Gateelektrode von der Spei-

cherschicht trennt, kann beispielsweise aus einem CVD-abgeschiedenen Hochtemperaturoxid (HTO) bestehen, welches an der Außenfläche der inneren Oxidschicht sowie die freiliegenden Flächen der Speicherschicht umgebend abgeschieden wird.

#### Ausführungsbeispiel

[0038] Nachfolgend wird die Erfindung anhand begleitender Zeichnungen bevorzugter Ausführungsformen beispielhaft beschrieben. Es zeigt:

[0039] **Fig. 1** eine vereinfachte, schematische Aufsicht auf ein Speicherzellenfeld einer bevorzugten Ausführungsform des erfindungsgemäßen Halbleiterspeichers in einer "virtual ground array" Anordnung;

[0040] **Fig. 2** eine schematische Querschnittsansicht entlang der Linie A-A von **Fig. 1**;

[0041] **Fig. 3** eine schematische Querschnittsansicht entlang der Linie B-B in **Fig. 1**,

[0042] **Fig. 4** eine schematische Aufsicht eines Zellenfeldes einer weiteren bevorzugten Ausführungsform eines erfindungsgemäßen Halbleiterspeichers in einer "NAND"-Anordnung;

[0043] **Fig. 5** eine schematische Querschnittsansicht entlang der Linie A-A von **Fig. 4**;

[0044] **Fig. 6–9** schematische Querschnittsansichten von Zwischenprodukten des in **Fig. 1** dargestellten bevorzugten Halbleiterspeichers entlang der Linie A-A; und

[0045] **Fig. 10–14** schematische Querschnittsansichten von Zwischenprodukten des in **Fig. 1** dargestellten Halbleiterspeichers entlang der Linie C-C.

[0046] In **Fig. 1** ist eine stark schematisierte Aufsicht auf ein Speicherzellenfeld einer bevorzugten Ausführungsform eines erfindungsgemäßen Halbleiterspeichers dargestellt. Mit WL1, WL2, WL3 und WL4 sind Wortleitungen bezeichnet, welche sich entlang Flanken zweier stegartiger Rippen (Finnen) aus Silizium erstrecken. Die erste stegartige Rippe erstreckt sich zwischen der Wortleitung WL1 und der Wortleitung WL2 in der durch den Pfeil (FIN) bezeichneten Richtung und ist mit dem Bezugszeichen FIN1 versehen. Die zweite Rippe erstreckt sich zwischen der Wortleitung WL3 und der Wortleitung WL4 und trägt das Bezugszeichen FIN2. Es sollte verstanden werden, daß **Fig. 1** lediglich einen kleinen Ausschnitt eines großen Speicherzellenfeldes darstellt, bei welchem eine Vielzahl von zueinander parallel verlaufenden Rippen FIN gleichmäßig voneinander beabstandet vorgesehen sind.

[0047] In den Rippen FIN sind um einen Abstand F voneinander beabstandete hochdotierte Kontaktbereiche S/D vorgesehen, welche in **Fig. 1** durch ein Punktmuster hervorgehoben sind. Jeweils zwei benachbarte Kontaktbereiche S/D jeder Rippe FIN bilden den Source- bzw. Drainanschluß eines FINFETs, dessen Kanalbereich in der Rippe FIN zwischen diesen Kontaktbereichen S/D angeordnet ist. Die Kontaktbereiche S/D sind über Bitleitungen BL kontak-

tiert, welche im wesentlichen senkrecht zu den Wortleitungen WL verlaufen. Durch jede Bitleitung WL wird pro Rippe FIN ein Kontaktbereich S/D kontaktiert. Die Bitleitungen BL sind in **Fig. 1** gestrichelt dargestellt.

[0048] In **Fig. 2** ist eine schematische Querschnittsansicht entlang der Linie A-A von **Fig. 1** gezeigt. Die Rippen FIN1, FIN2 weisen in dieser senkrecht zu ihrer Längsachse verlaufenden Schnittebene eine im wesentlichen rechteckigförmige Gestalt auf. Die Rippen FIN sind in einer Top-Siliziumschicht (body-Siliziumschicht) eines SOI-Substrats ausgebildet, dessen vergrabene Oxidschicht mit BOX bezeichnet ist. Unterhalb der vergrabenen Oxidschicht BOX befindet sich typischerweise ein Silizium-Wafer, welcher in **Fig. 2** nicht näher dargestellt ist. Die Rippen FIN weisen eine der vergrabenen Oxidschicht BOX abgewandte Rippenoberseite **10** und zwei einander gegenüberliegende Rippenseitenflächen **12**, **14** auf. Die Rippenoberseite **10** verläuft im wesentlichen parallel zu der SOI-Substratebene, d.h. parallel zu der vergrabenen Oxidschicht BOX. Die Rippenseitenflächen **12**, **14** stehen im wesentlichen senkrecht auf der Substratebene. Die Rippenseitenflächen **12**, **14** sind vorzugsweise 40–200 nm, besonders bevorzugt 40–60 nm voneinander beabstandet.

[0049] In dem in **Fig. 2** dargestellten Inset ist die Kantenregion zwischen der Rippenseitenfläche **12** und der Rippenoberseite **10** der Rippe FIN1 vergrößert dargestellt. Die Rippenseitenfläche **12** bildet an ihrem Berührungspunkt mit der Rippenoberseite **10** eine Injektionskante **16** aus, deren Effekte nachfolgend näher beschrieben werden. Die Rippenoberseite **10** der Rippen FIN ist von einer Speicherschicht **18** durch eine erste Isolatorschicht **20** getrennt. Bei der in **Fig. 2** dargestellten Ausführungsform besteht die erste Isolatorschicht **20** aus einer Siliziumdioxidschicht, vorzugsweise aus einer thermischen Siliziumdioxidschicht. Die Speicherschicht **18** ist als eine sogenannte Trapping-Schicht ausgelegt, welche eine große Anzahl von "trap"-Zuständen zum Einfangen von Ladungsträgern aufweist. Beispielsweise besteht die Speicherschicht **18** aus Siliziumnitrid.

[0050] In dem in **Fig. 2** dargestellten Querschnitt weist die Speicherschicht **18** einen im wesentlichen rechteckförmigen Querschnitt auf, wobei die Breite der Speicherschicht **18** größer als die Breite der Rippen FIN (Abstand zwischen den Rippenseitenflächen **12** und **14**) ist. Der Kanalbereich der Rippen FIN, welcher in **Fig. 2** dargestellt ist, ist durch zweite Isolatorschichten **22**, **24** von den angrenzenden Wortleitungen WL1 und WL2 bzw. WL3 und WL4 getrennt. Die Wortleitungen WL bilden die Gateelektroden der "Seitenwandtransistoren" mit FINFET ähnlichem Aufbau. Die erste Isolatorschicht **22** besteht vorzugsweise aus einer inneren Oxidschicht **26** und einer äußeren Oxidschicht **28**. In identischer Weise besteht die zweite Isolatorschicht **24**, welche die Rippenseitenfläche **14** von der Wortleitung WL2 bzw. WL4 trennt, ebenfalls aus einer inneren und einer äußeren Oxid-

schicht. Wenn die Rippen FIN aus Silizium gebildet sind, kommt vorzugsweise Siliziumdioxid für die Oxidschichten zum Einsatz. Die innere Oxidschicht **26** und die äußere Oxidschicht **28** weisen vorzugsweise jeweils eine Schichtdicke von etwa 2–5 nm auf. [0051] Die äußere Oxidschicht **28** erstreckt sich vorzugsweise von der vergrabenen Oxidschicht BOX entlang der Außenfläche der inneren Oxidschicht **26** und entlang den Seitenflächen der Speicherschicht **18**. Somit ragt die Speicherschicht **18** in einer parallel zu der Normalenrichtung der Rippenseitenflächen **12**, **14** um die Schichtdicke der inneren Oxidschicht **26** hinaus. Die Wortleitungen WL (Gateelektroden) grenzen an die Außenflächen der äußeren Oxidschichten **28** an. Der Abschnitt der äußeren Oxidschicht **28**, welcher zwischen einer WL und der zugeordneten Speicherschicht **18** angeordnet ist, wird als dritte Isolatorschicht **29** bezeichnet.

[0052] Vorzugsweise sind die Wortleitungen aus hochdotiertem Polysilizium gebildet, wobei es möglich ist, die einer Rippe FIN zugeordneten beiden Wortleitungen WL unterschiedlich zu dotieren. Beispielsweise kann die "linke" Wortleitung WL1 der Rippe FIN1 n<sup>+</sup>-dotiert sein während die "rechte" Wortleitung WL2 p<sup>+</sup>-dotiert ist. Hierdurch lassen sich unterschiedliche Einsatzspannungen (Threshold-Spannungen) der Seitenwandtransistoren erzielen. Sämtliche weitere Flächen der Speicherschicht **18** werden ebenfalls durch Isolatorschichten, vorzugsweise Oxidschichten, begrenzt, so daß die Speicherschicht **18** von ihrer Umgebung vollständig elektrisch isoliert ist.

[0053] Um ein "Bit" in der Speicherschicht **18** zu "programmieren" wird beispielsweise ein Injektionsprozeß heißer Kanalelektronen verwendet. Hierzu wird eine starke Vorwärtsspannung in dem Transistorkanal aufgebaut, in dem beispielsweise ein erster Kontaktbereich S/D (Source-Kontakt) auf 0 V und ein benachbarter, zweiter Kontaktbereich S/D (Drain-Kontakt) je nach Kanallänge auf 2 bis 5 V gelegt wird. Zusätzlich wird beispielsweise die Wortleitung WL1, welcher dieser Rippe FIN1 zugeordnet ist, auf ein Potential von 5–7 V gelegt. Wenn es sich bei dem Transistor um einen n-Kanal-Transistor handelt, werden bei diesen Potentialverhältnissen in bekannter Weise heiße Kanalelektronen nahe dem Drainkontakt erzeugt. Durch die Injektionskante **16** kommt es aufgrund des Kanteneffekts zu einer lokalen Feldüberhöhung zwischen dem Kanalbereich (d.h. der Rippe FIN1) und der Wortleitung WL1 (Gateelektrode), wobei der Pfad mit der größten Feldstärke von der Injektionskante **16** durch die Speicherschicht **18** zu der Gateelektrode verläuft. Somit werden die heißen Elektronen nahe dem zweiten Kontaktbereich (Drainbereich) von der Injektionskante **16** in einen Bereich der Speicherschicht **18** injiziert, welcher nahe an der Injektionskante **16** liegt. Bei einer als Trapping-Schicht ausgelegten Speicherschicht **18** werden die so in die Speicherschicht **18** eingebrachten Elektronen "getrappt" und in der Speicherschicht

**18** gehalten.

[0054] Wie beispielsweise bei NROMs bekannt, führen die in der Speicherschicht **18** getrappten Ladungsträger zu einer Verschiebung der Einsatzspannung des zugeordneten Seitenwandtransistors, was beim Auslesen der Zelle nachgewiesen werden kann. Hierbei kommt vorzugsweise das Leseverfahren zum Einsatz, welches von B. Eitan et al. in "NROM: A novel localized trapping, 2-bit nonvolatile Memory Cell" in IEEE Electron Device Letters vol. 21, n. 11, November 2000, sowie in WO 99/97000 beschrieben ist. Hinsichtlich des Programmier-, Löscher- und Leseverfahrens wird auf die oben genannten Veröffentlichungen in vollem Umfang Bezug genommen, so daß deren Offenbarungsgehalt integraler Bestandteil der Gesamtoffenbarung der vorliegenden Anmeldung ist.

[0055] Die in Fig. 1 und 2 dargestellte Ausführungsform zeichnet sich insbesondere dadurch aus, daß die notwendigen Programmierspannungen über den "channel hot electron (CHE)" erheblich geringer als die von herkömmlichen EEPROM Speichern bekannten Programmierspannungen sind, da eine gezielt aufgebaute, lokale Feldüberhöhung zwischen der Injektionskante **16** und den Wortleitungen WL zur Injektion der Ladungsträger aus dem Drain-nahen Kanalbereich in die Speicherschicht **18** erfolgt. Somit muß auf dem Speicherchip weniger Fläche für erhöhte Programmierspannungen vorgesehen werden, wodurch eine höhere Integrationsdichte des Speichers und damit kleinere Herstellungskosten möglich sind.

[0056] Die Rippen FIN sind hinsichtlich ihrer Breite derart dimensioniert, daß ein beispielsweise nahe der Wortleitung WL1 gespeichertes Bit in der Speicherschicht **18** lediglich einen Einfluß auf die Kanalleitfähigkeit des Seitenwandtransistors an der Rippenseitenfläche **12** hat, jedoch nicht zu einer wesentlichen Kennlinien- bzw. Threshold-Verschiebung des Seitenwandtransistors führt, welcher an der Rippenseitenfläche **14** gebildet wird. Das "Übersprechen" des Einflusses des "linken" und "rechten" Bits in der Speicherschicht **18** begrenzt die minimale Breite der Rippen FIN.

[0057] Zum Löschen der im Programmierschritt in die Speicherschicht **18** eingebrachten Ladungsträger (Elektronen oder Löcher) wird beispielsweise an dem zweiten Kontaktbereich (Drain-Kontakt) 0 V, am ersten Kontaktbereich (Source-Kontakt) **5V** und an der Gateelektrode **-5 V** angelegt wird. Durch diese Potentialverhältnisse wird der n-Kanal Seitenwandtransistor in starke Akkumulation getrieben, was zu sogenanntem "band to band tunnel enhanced hot hole injection" führt. Die von der Injektionskante **16** in die Speicherschicht **18** injizierten heißen Löcher neutralisieren die beim Programmieren eingebrachten heißen Elektronen. Das Programmieren und Löschen eines p-Kanal Transistors erfordert jeweils umgekehrte Spannungsverhältnisse.

[0058] Vorzugsweise weisen die Rippen FIN eine Höhe (Abstand der an die vergrabene Oxidschicht

BOX angrenzenden Rippenunterseite zu der Rippenoberseite **10**) von 20 bis 50 nm auf. Durch die getrennte Ansteuerung des linken und rechten Seitenwandtransistors (an den Rippenseitenflächen **12** bzw. **14** verlaufende Transistorkanäle) lassen sich in der Speicherschicht **18** beidseitig Ladungen speichern. Unter Verwendung der von NROMs bekannten Auslesetechnik können somit in jeder Speicherschicht **18** in deren Eckbereichen nahe den Kontaktbereichen S/D insgesamt 4 Bit gespeichert werden. Dies ermöglicht die Ausbildung eines hochdichten  $1F^2$ -Speicherelements mit einer  $2F^2$  Zelle mit jeweils 2 Bit. Die  $2F^2$ -Zellen ist schematisch in **Fig. 1** dargestellt.

[0059] **Fig. 3** zeigt eine schematische Querschnittsansicht entlang der Schnittlinie B-B von **Fig. 1**. Die Schnittebene verläuft durch die Bitleitung BL1 und einen der Kontaktbereiche S/D des Zellenfeldes. Die Gateelektroden WL sind voneinander durch eine Isolierumhüllung **30**, vorzugsweise bestehend aus Siliziumnitrid, elektrisch isoliert. Die Längsrichtung der Rippe FIN1 ist in **Fig. 3** durch einen mit (FIN) bezeichneten Pfeil schematisch angedeutet. Die Bitleitung BL1 ist über eine Diffusionsbarriere **34** mit einem hochdotierten Kontaktbereich S/D elektrisch verbunden. Die Bitleitung BL1 besteht aus Metall, vorzugsweise Wolfram, und ist in der in **Fig. 3** dargestellten Schnittebene durch Spacer **36**, welche vorzugsweise aus einem HTO-Oxid (high temperature oxide) bestehen, von der Speicherschicht **18** und den Wortleitungen WL getrennt.

[0060] Die anhand von **Fig. 1** bis **3** beschriebene bevorzugte Ausführungsform eines erfindungsgemäßen Halbleiterspeichers zeichnet sich insbesondere durch niedrigere Programmierspannungen als bei herkömmlichen NROM- oder ETOX-Zellen aus. Ferner besteht ein geringerer Flächenbedarf für Ladungspumpen durch die Verringerung der benötigten Spitzenspannung. Die getrennte Ansteuerung der linken und rechten Flanke der FINFETs (linker und rechter Seitenwandtransistor) ermöglicht ferner die ausgezeichnete Speicherdichte von  $1F^2$  pro Bit.

[0061] **Fig. 4** zeigt eine schematische Aufsicht einer weiteren Ausführungsform eines erfindungsgemäßen Halbleiterspeichers. Bereits im Zusammenhang mit **Fig. 1–3** beschriebene gleiche oder ähnliche Merkmale sind in **Fig. 4** und **5** mit gleichen Bezugszeichen versehen und auf eine erneute Beschreibung wird verzichtet. Während es sich bei der anhand von **Fig. 1–3** beschriebenen Ausführungsform um ein sogenanntes "virtual ground array (VGA)" handelt, ist in **Fig. 4** und **5** ein Speicherzellenfeld in sogenannter NAND-Anordnung gezeigt. Die Verlaufsrichtung der stegartigen Rippen FIN aus Halbleitermaterial ist wiederum durch einen mit (FIN) bezeichneten Pfeil dargestellt. Im Unterschied zu der in **Fig. 1** dargestellten Anordnung verlaufen jedoch die Wortleitungen WL im wesentlichen senkrecht zur Längsrichtung (FIN) der Rippen FIN. "Bitleitungen" im engeren Sinn sind bei einer derartigen NAND-An-

ordnung von Speicherzellen nicht vorhanden, sondern bestehen aus einer Serienschaltung einer Vielzahl von Transistoren mit FINFET-artigem Aufbau.

[0062] **Fig. 5** zeigt einen schematischen Querschnitt entlang der Schnittlinie A-A von **Fig. 4**. Die Schnittebene verläuft durch die Rippen FIN1 und FIN2 entlang der Wortleitung WL1. Im Gegensatz zu der zuvor beschriebenen Ausführungsform verlaufen die Wortleitungen WL, d.h. die Gateelektroden, senkrecht zu den Rippenlängsachsen. Die Speicherschicht **18** ist als ein elektrisch leitfähiges Floating-Gate ausgebildet, welches beispielsweise aus hochdotiertem Polysilizium besteht. Eine starke positive Beaufschlagung der Wortleitung WL gegenüber dem Kanalbereich der Transistoren führt zu einer feldunterstützten Tunnelinjektion von Elektronen von der Injektionskante **16** zu dem Floating-Gate **18** durch die erste Isolatorschicht **20** (vgl. inset von **Fig. 5**). Durch den Kanteneffekt der Injektionskante **16** reichen für dieses sogenannte Fowler-Nordheim-Tunneln der Ladungsträger aus dem Kanalbereich in die Speicherschicht **18** bereits Potentialunterschiede aus, welche deutlich geringer als die bei herkömmlichen NAND-Speicherzellen bekannten Programmierspannungen sind.

[0063] Zum Löschen des leitfähigen Floating-Gates kommt vorzugsweise eine Löschkante **32** zum Einsatz, welche in dem Floating-Gate **18** im Kantenbereich der ersten Isolatorschicht **20** mit der äußeren Oxidschicht **28** gebildet ist. Die Speicherdichte dieser Ausführungsform ist mit 4 bis  $5F^2$  (vgl. die in **Fig. 4** eingezeichnete  $4F^2$ -Speicherzelle) zwar geringer als der in Zusammenhang mit **Fig. 1–3** beschriebenen ersten Ausführungsform. Gegenüber konventionellen NAND-Speichern erwartet man jedoch eine deutliche Spannungsreduzierung durch die Ausnutzung eines Spitzen- bzw. Kanteneffekts sowohl für die Programmierung als auch für die Löschung der Speicherschicht **18**. Ferner ist eine höhere Ausleserate erzielbar, da der Lesestrom der einzelnen Speicherzellen durch die Seitenwandtransistoren gegenüber konventionellen planaren Bauelementen verstärkt wird.

[0064] **Fig. 6–14** zeigen schematische Schnittansichten von Zwischenprodukten eines bevorzugten erfindungsgemäßen Halbleiterspeichers, wie er in Zusammenhang mit **Fig. 1–3** beschrieben wurde. **Fig. 6** zeigt eine schematische Querschnittsansicht eines Zwischenprodukts des Halbleiterspeichers von **Fig. 1** entlang der Linie A-A. Auf einem SOI-Wafer (silicon on insulator wafer) wurde zunächst ein thermisches Oxid gebildet, welches später die erste Isolatorschicht **20** darstellt. Auf die Oxidschicht **20** wird eine Siliziumnitridschicht aufgebracht, welche später die Speicherschicht **18** (trapping-Schicht) bildet. Nachfolgend wird eine Schicht aus TEOS auf die Nitridschicht **18** aufgebracht. Mittels optischer Lithographie oder Elektronenstrahlolithographie werden in dem Resist zwischen den Rippen FIN Fenster geöffnet und durch einen Ätzschritt die TEOS-, Nitrid-, Oxid- und Top-Siliziumschicht abgetragen, so daß

eine stegartige Rippenstruktur (Finnenstruktur) gebildet wird. Anschließend wird der Resist sowie die TEOS-Schicht entfernt. Das nach diesem Verfahrensschritt erhaltene Zwischenprodukt ist in **Fig. 6** dargestellt.

[0065] Nachfolgend werden die Rippenseitenflächen **12**, **14** thermisch oxidiert, um die Injektionskanten **16** zu erzeugen. Aufgrund der geringeren Oxidationsrate der Rippen FIN nahe der ersten Isolatorschicht **20** weisen die Rippenseitenflächen **12**, **14** nahe der ersten Isolatorschicht **20** einen gekrümmten Verlauf auf. Die Injektionskanten **16** werden daher nicht wie vereinfacht in den Figuren dargestellt ein rechteckiges Kantenprofil aufweisen. Die unterschiedlichen Oxidationsraten im Bereich der Rippenoberseite **10** führen dazu, daß die Injektionskanten **16** einen Innenwinkel aufweisen, welcher kleiner als  $90^\circ$  ist. Derartige Injektionskanten **16** sind für lokale Feldüberhöhungen – und damit geringere notwendige Programmierspannungen – besonders geeignet. Im Anschluß an die thermische Oxidation zur Erstellung der inneren Oxidschichten **26** erfolgt die Abscheidung eines Hochtemperaturoxids (high temperature oxide; HTO) als äußere Oxidschicht **28**. Die Oxidschicht **28** bildet das sogenannte "control gate oxid", welches die dritte Isolatorschicht **29** darstellt. Das Zwischenprodukt nach diesem Verfahrensschritt ist in **Fig. 7** dargestellt.

[0066] Anschließend erfolgt eine Abscheidung von Poly-Silizium, welches in situ zur Ausbildung der Wortleitungen hochdotiert wird. Wie in **Fig. 8** dargestellt ist, erhält man den schematisch dargestellten Querschnitt der Wortleitungen WL durch eine Spacerätzung, welche ohne zusätzliche Maskentechnik selbstjustiert zu Wortleitungen WL führt, welche entlang den Flanken der Rippen FIN verlaufen. Dieser Zustand ist in **Fig. 8** schematisch dargestellt.

[0067] Nach dem Auffüllen der Zwischenräume durch Nitrid (vgl. **Fig. 9**) erfolgt die Strukturierung der Bitleitungen. **Fig. 10** zeigt in einer schematischen Querschnittsansicht entlang der Linie C-C von **Fig. 1** des späteren Halbleiterspeichers einen Schnitt entlang der Bitleitung BL1. Die Bitleitung BL1, welche später parallel zu der Zeichenebene von **Fig. 10–14** verläuft, wird durch einen Fotoschritt mit nachfolgenden Ätzschritten der die Isolierumhüllung **30** bildenden Nitridschicht, der auf der Speicherschicht **18** angeordneten HTO-Schicht, der Speicherschicht **18** (Nitridschicht), einer Rückätzung der Poly-Siliziumwortleitung WL sowie einer Ätzung der ersten Isolatorschicht **20** (Oxidschicht) vorbereitet (vgl. **Fig. 10**). Anschließend wird in den rückgeätzten Wortleitungsraum Nitrid aufgefüllt und rückgeätzt (**Fig. 11**). In der in **Fig. 12** dargestellten Querschnittsansicht läßt sich die nachfolgende HTO Abscheidung und Spacerätzung des HTO-Oxids zur Herstellung der in **Fig. 3** gezeigten Spacerschicht **36** nicht erkennen. Die HTO-Spacerschicht **36** schützt die Speicherschicht **18** (Nitrid-Trapping-Schicht) an der Wand zur Wortleitung WL und vermeidet einen Kurzschluß mit dieser.

[0068] **Fig. 13** zeigt das Zwischenprodukt nach erfolgter  $n^+$ -Implantation der Kontaktbereiche S/D. Die Kontaktbereiche S/D (Source- bzw. Drainkontaktbereiche der FINFETs) werden durch senkrecht zu den Wortleitungen WL verlaufende Bitleitungen BL über eine Diffusionsbarriere **34** mit einer metallischen Bitleitung BL elektrisch verbunden. Zum Abtragen und Planarisieren der Oberfläche der Bitleitung BL wird ein CMP-Schritt (chemical mechanical polishing) eingesetzt. In diesem

[0069] Zustand ist die Halbleiterspeichervorrichtung in **Fig. 14** dargestellt.

#### Bezugszeichenliste

10	Rippenoberseite
12	(linke) Rippenseitenfläche
14	(rechte) Rippenseitenfläche
16	Injektionskante
18	Speicherschicht, insbesondere Trapping-Schicht oder Floating-Gate
20	erste Isolatorschicht
22	(linke) zweite Isolatorschicht
24	(rechte) zweite Isolatorschicht
26	innere Oxidschicht
28	äußere Oxidschicht
29	dritte Isolatorschicht (control gate Oxid; vorzugsweise gebildet durch äußere Oxidschicht 28)
30	Isolierumhüllung
32	Löschkante für NAND-Zelle über F/N-Tunneln
34	Diffusionsbarriere
36	Spacerschicht aus HTO
BL	Bitleitung
FIN	Rippe aus Halbleitermaterial
WL	Wortleitung

#### Patentansprüche

- Halbleiterspeicher mit einer Vielzahl von Speicherzellen, wobei jede Speicherzelle umfaßt:
  - einen ersten leitfähig dotierten Kontaktbereich (S/D), einen zweiten leitfähig dotierten Kontaktbereich (S/D) und einen dazwischen angeordneten Kanalbereich, welche in einer stegartigen Rippe (FIN) aus Halbleitermaterial ausgebildet und in dieser Reihenfolge in Längsrichtung der Rippe (FIN) hintereinander angeordnet sind, wobei die Rippe (FIN) zumindest in dem Kanalbereich in einem senkrecht zu der Längsrichtung der Rippe (FIN) verlaufenden Schnitt eine im wesentlichen rechtsecksförmige Gestalt mit einer Rippenoberseite (**10**) und gegenüberliegenden Rippenseitenflächen (**12**, **14**) aufweist;
  - eine zum Programmieren der Speicherzelle ausgelegten Speicherschicht (**18**), welche durch eine erste Isolatorschicht (**20**) beabstandet auf der Rippenoberseite (**10**) angeordnet ist, wobei die Speicherschicht (**18**) über zumindest eine (**12**) der Rippenseitenflä-

chen (**12**) in Normalenrichtung der einen Rippenseitenfläche (**12**) hinausragt, so daß die eine Rippenseitenfläche (**12**) und die Rippenoberseite (**10**) eine Injektionskante (**16**) zur Injektion von Ladungsträgern von dem Kanalbereich in die Speicherschicht (**18**) bilden; und

– zumindest eine Gateelektrode (WL1), welche durch eine zweite Isolatorschicht (**22**) von der einen Rippenseitenfläche (**12**) und durch eine dritte Isolatorschicht (**29**) von der Speicherschicht (**18**) beabstandet ist, wobei die Gateelektrode (WL1) gegenüber dem Kanalbereich elektrisch isoliert und zur Steuerung von dessen elektrischer Leitfähigkeit ausgelegt ist.

2. Halbleiterspeicher nach Anspruch 1, wobei die zweite Isolatorschicht (**22**) eine größere Schichtdicke als die dritte Isolatorschicht (**29**) aufweist.

3. Halbleiterspeicher nach Anspruch 1 oder 2, wobei die zweite Isolatorschicht (**22**) eine zumindest an der einen Rippenseitenfläche (**12**) angeordnete innere Oxidschicht (**26**) und eine an der inneren Oxidschicht (**26**) angeordnete äußere Oxidschicht (**28**) aufweist.

4. Halbleiterspeicher nach Anspruch 3, wobei die äußere Oxidschicht (**28**) die dritte Isolatorschicht (**29**) bildet.

5. Halbleiterspeicher nach einem der Ansprüche 3 oder 4, wobei die innere Oxidschicht (**26**) ein thermisches Oxid und die äußere Oxidschicht (**28**) ein HT-Oxid ist.

6. Halbleiterspeicher nach einem der vorangehenden Ansprüche, wobei die erste Isolatorschicht (**20**) aus einem thermischen Oxid gebildet ist.

7. Halbleiterspeicher nach einem der vorangehenden Ansprüche, wobei die Rippe (FIN) in einer Top-Siliziumschicht eines SOI-Substrats angeordnet ist.

8. Halbleiterspeicher nach einem der vorangehenden Ansprüche, wobei eine Vielzahl von gleichmäßig voneinander beabstandeten Rippen (FIN1, FIN2) vorgesehen ist, deren Längsachsen parallel zueinander verlaufen, und in jeder der Rippen (FIN1, FIN2) eine Vielzahl von Speicherzellen ausgebildet ist.

9. Halbleiterspeicher nach einem der vorangehenden Ansprüche, wobei die Speicherschicht (**18**) eine Trapping-Schicht oder ein Floating-Gate ist.

10. Halbleiterspeicher nach Anspruch 9, wobei die Trapping-Schicht eine Nitridschicht, eine siliziumreiche Oxidschicht (Silicon rich Oxide) oder eine undotierte Poly-Siliziumschicht ist, welche von dem Ka-

nalbereich und der Gateelektrode (WL) durch Oxidschichten (**20**, **29**) getrennt sind.

11. Halbleiterspeicher nach Anspruch 10, wobei zwei elektrisch voneinander isolierte Gateelektroden (WL1, WL2) für die zumindest eine Rippe (FIN1) vorgesehen sind, wobei sich die Gateelektroden (WL1, WL2) in Richtung der Rippenlängsachse erstrecken und durch zweite Isolatorschichten (**22**, **24**) von den gegenüberliegenden Rippenseitenflächen (**12**, **14**) beabstandet sind.

12. Halbleiterspeicher nach Anspruch 11, wobei die Gateelektroden (WL) aus hochdotiertem Poly-Silizium gebildet sind.

13. Halbleiterspeicher nach einem der Ansprüche 11 oder 12 und Anspruch 8, wobei für jede der Rippen (FIN1; FIN2) zwei voneinander isolierte Gateelektroden als Wortleitungen (WL1, WL2; WL3, WL4) des Halbleiterspeichers vorgesehen sind.

14. Halbleiterspeicher nach Anspruch 13 mit einer Vielzahl von senkrecht zu den Wortleitungen (WL) verlaufenden Bitleitungen (BL), wobei jede der Bitleitungen (BL) mit einem der Kontaktbereiche (S/D) jeder Rippe (FIN) elektrisch verbunden ist.

15. Halbleiterspeicher nach Anspruch 9, wobei das Floating-Gate aus Metall oder hochdotiertem Poly-Silizium besteht.

16. Halbleiterspeicher nach Anspruch 15 und Anspruch 8 mit einer Vielzahl der Gateelektroden (WL), wobei jedem der Kanalbereiche in einer der Rippen (FIN) genau eine der Gateelektroden (WL) zugeordnet ist, welche als Wortleitung (WL) des Halbleiterspeichers senkrecht zur Längsachse der Rippen (FIN) über eine Vielzahl von Rippen (FIN) verläuft.

17. Halbleiterspeicher nach einem der Ansprüche 15 oder 16, wobei das Floating-Gate zumindest eine Löschkante (**32**) zur Injektion von Ladungsträgern von dem Floating-Gate zu der Gateelektrode (WL) durch die dritte Isolatorschicht (**29**) aufweist.

18. Halbleiterspeicher nach Anspruch 17, wobei die Löschkante (**32**) des Floating-Gates an einen Kantenbereich angrenzt, welcher durch die erste Isolatorschicht (**20**) und die dritte Isolatorschicht (**29**) gebildet wird.

19. Verfahren zur Herstellung eines Halbleiterspeichers nach einem der vorangehenden Ansprüche mit den Schritten:

- Bereitstellen eines SOI-Substrats mit einer Top-Siliziumschicht;
- Aufbringen der ersten Isolatorschicht (**20**) auf die Top-Siliziumschicht;
- Aufbringen der Speicherschicht (**18**) auf die erste

Isolatorschicht (20);

- Strukturieren der Top-Siliziumschicht, der ersten Isolatorschicht (20) und der Speicherschicht (18) in zumindest eine stegartige Rippenform, wobei die erste Isolatorschicht (20) auf der Rippenoberseite (10) der aus Silizium bestehenden Rippe (FIN) und die Speicherschicht (18) auf der ersten Isolatorschicht (20) angeordnet ist;
- Oxidieren der Rippenseitenflächen (12, 14) der Rippe (FIN) zur Bildung einer inneren Oxidschicht (26) der zweiten Isolatorschicht (22, 24);
- Aufbringen der dritten Isolatorschicht (29);
- Aufbringen der zumindest einen Gatelektrode (WL);
- und
- lokales Dotieren der Rippe (FIN) zur Bildung von dotierten Kontaktbereichen (S/D).

20. Verfahren nach Anspruch 19, wobei das Aufbringen der dritten Isolatorschicht (29) das Aufbringen einer äußeren Oxidschicht (28) umfaßt, welche an der Speicherschicht (18) und an der inneren Oxidschicht (26) angeordnet ist.

Es folgen 14 Blatt Zeichnungen

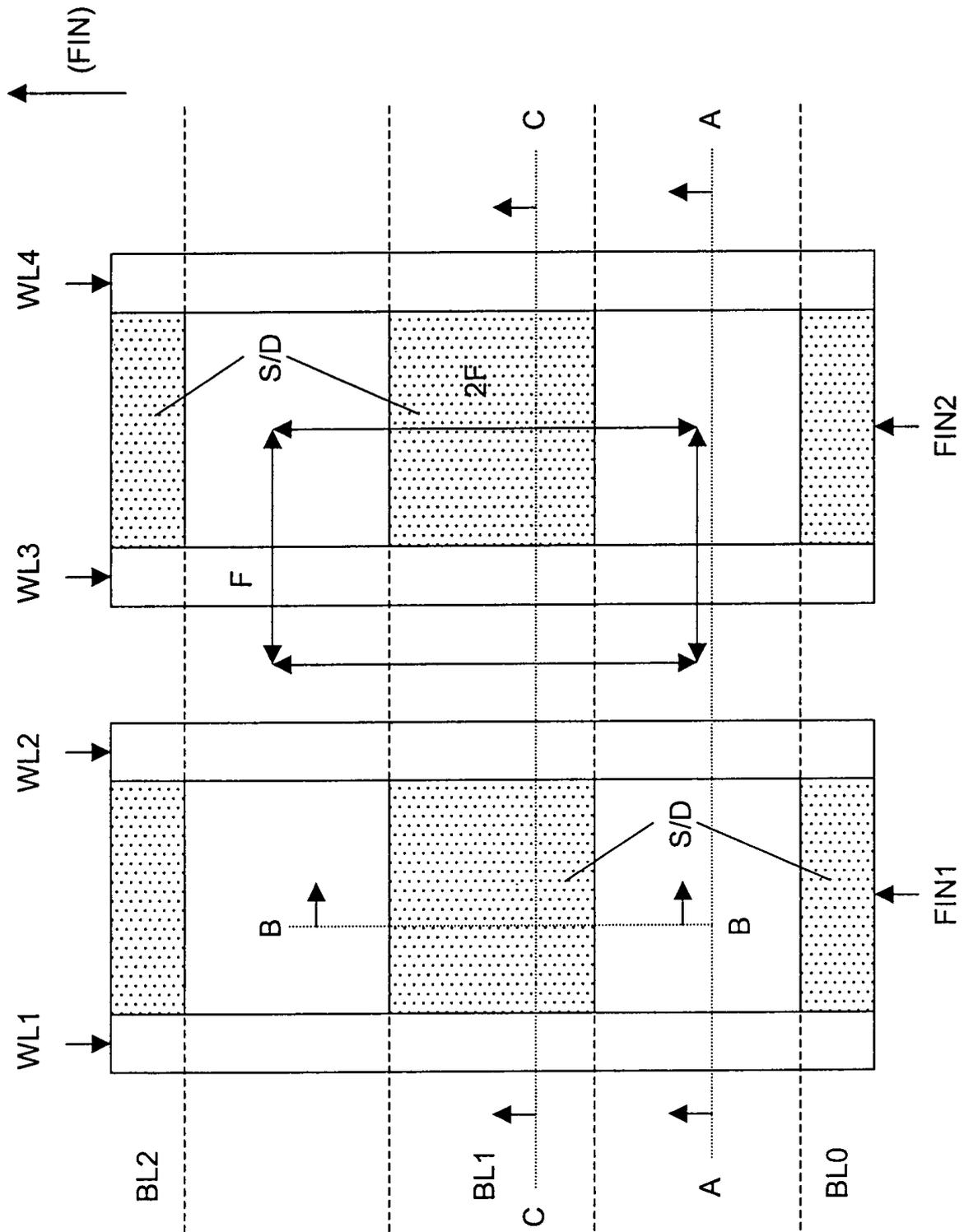


Fig. 1

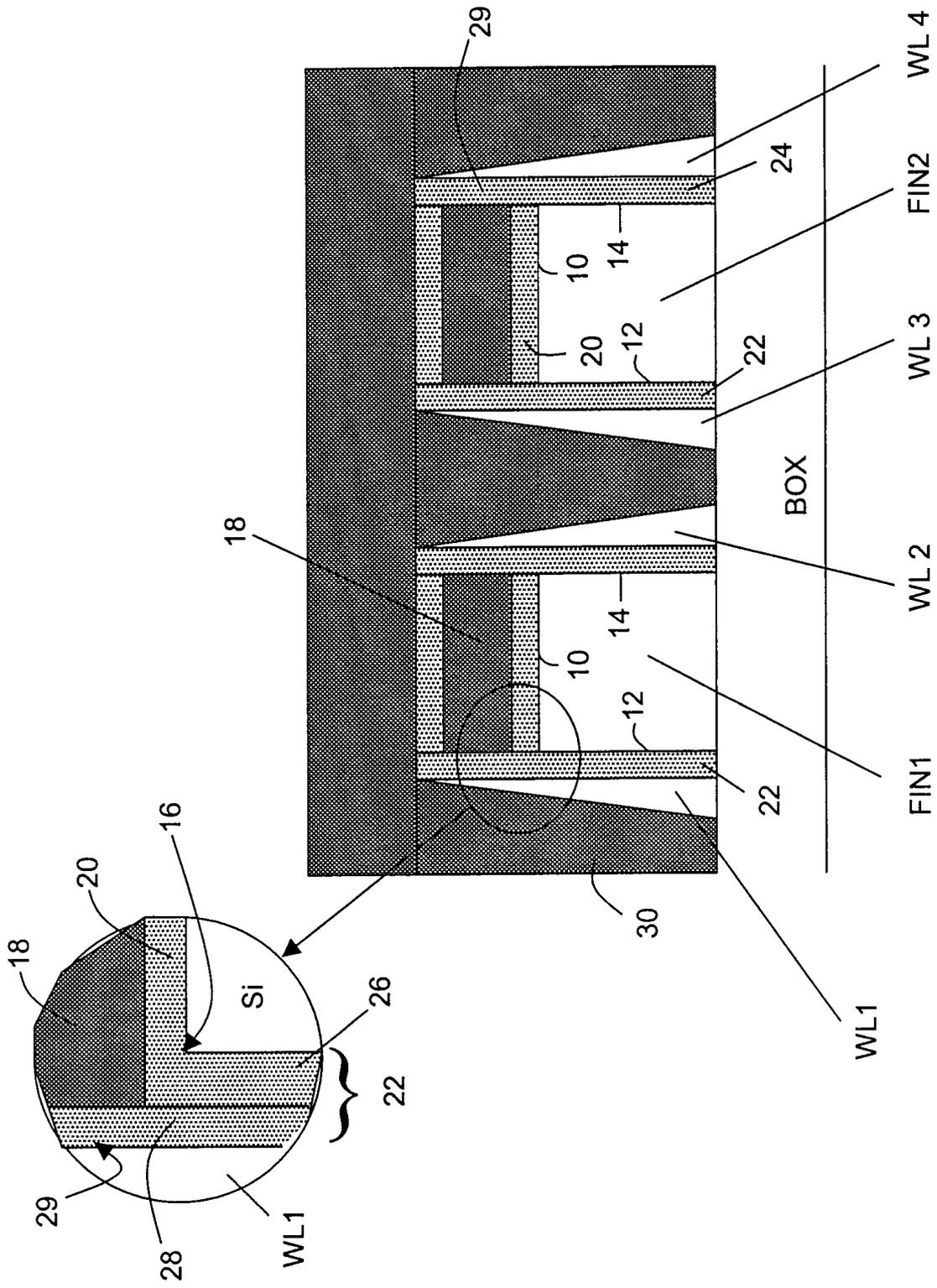


Fig. 2

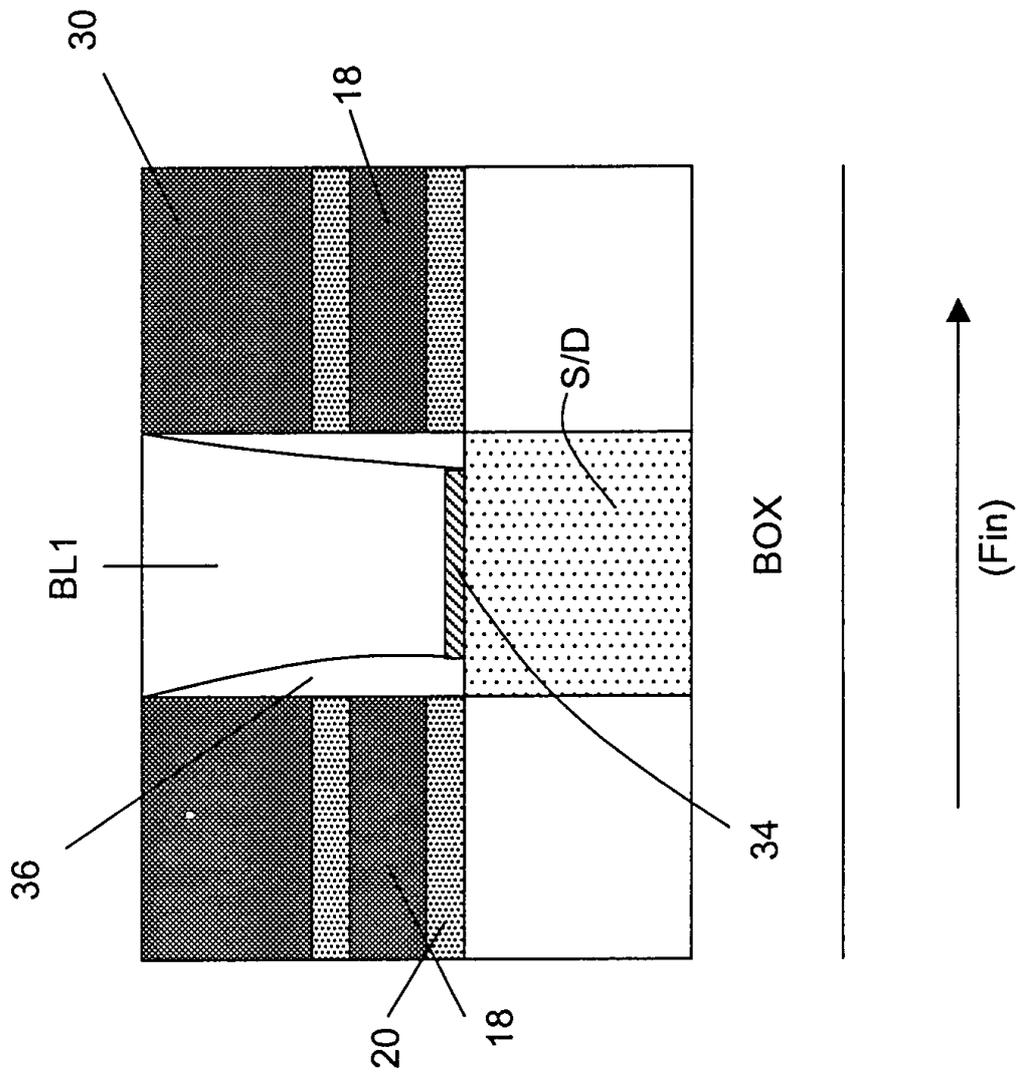


Fig. 3

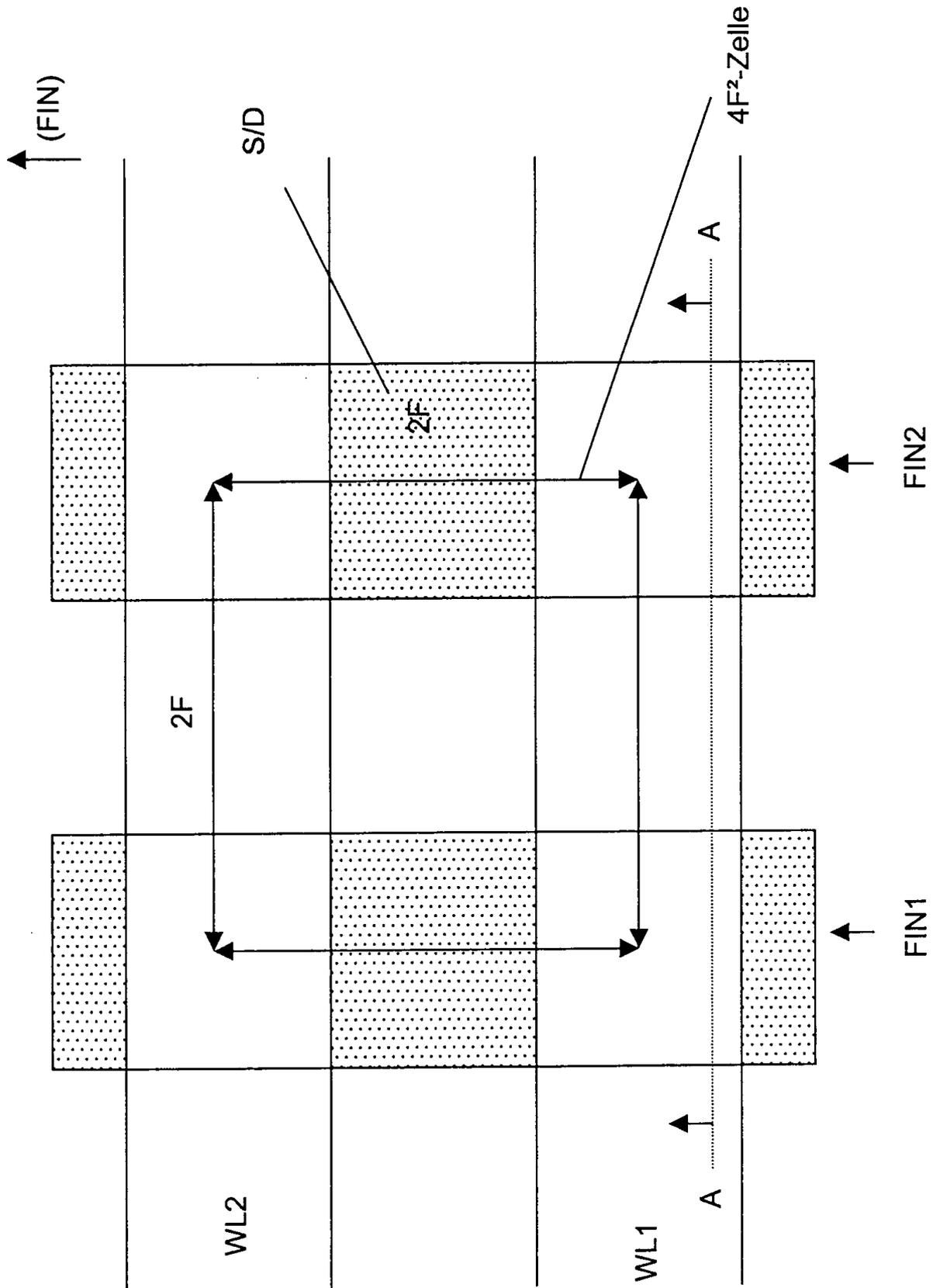


Fig. 4

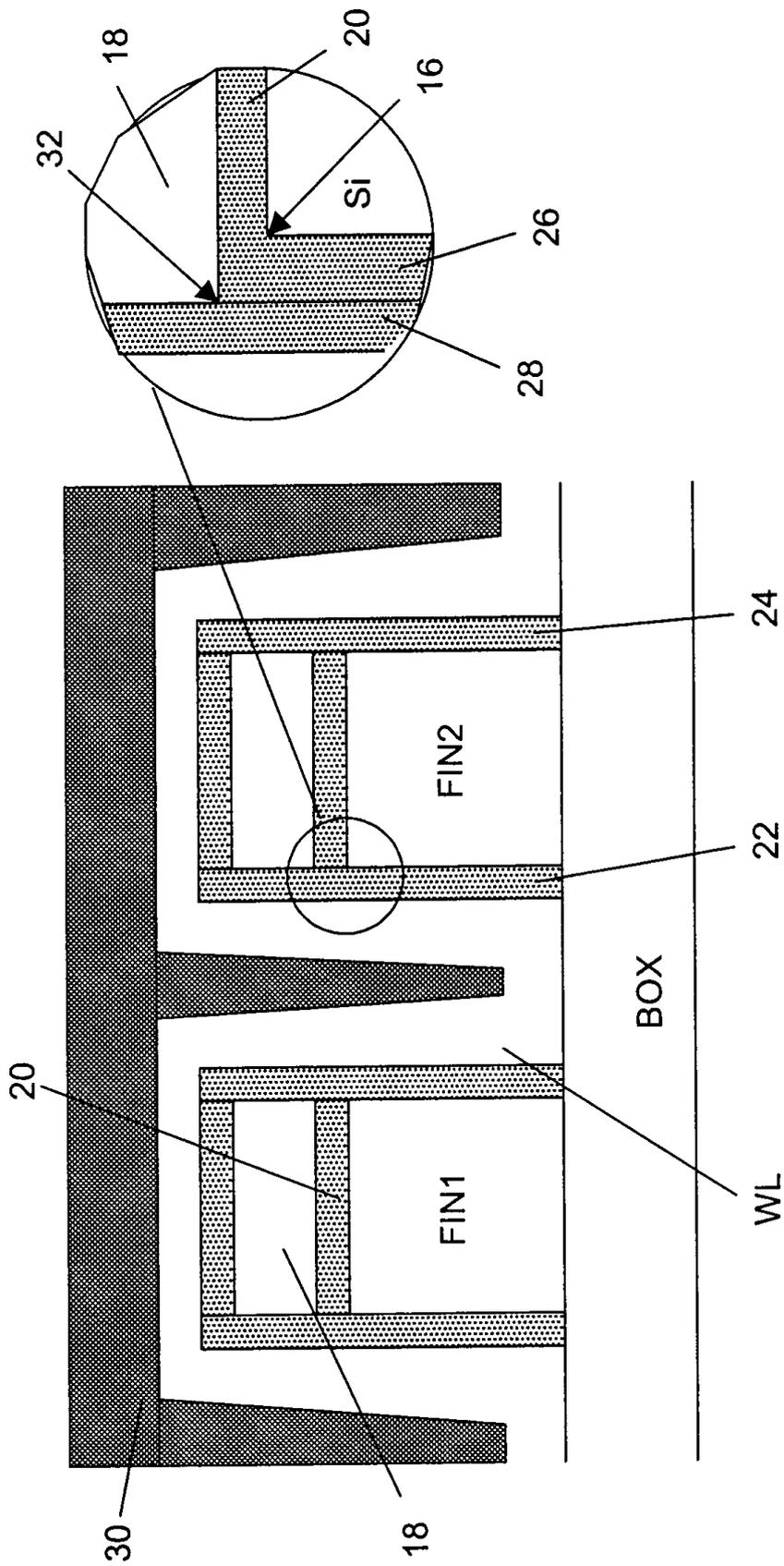


Fig. 5

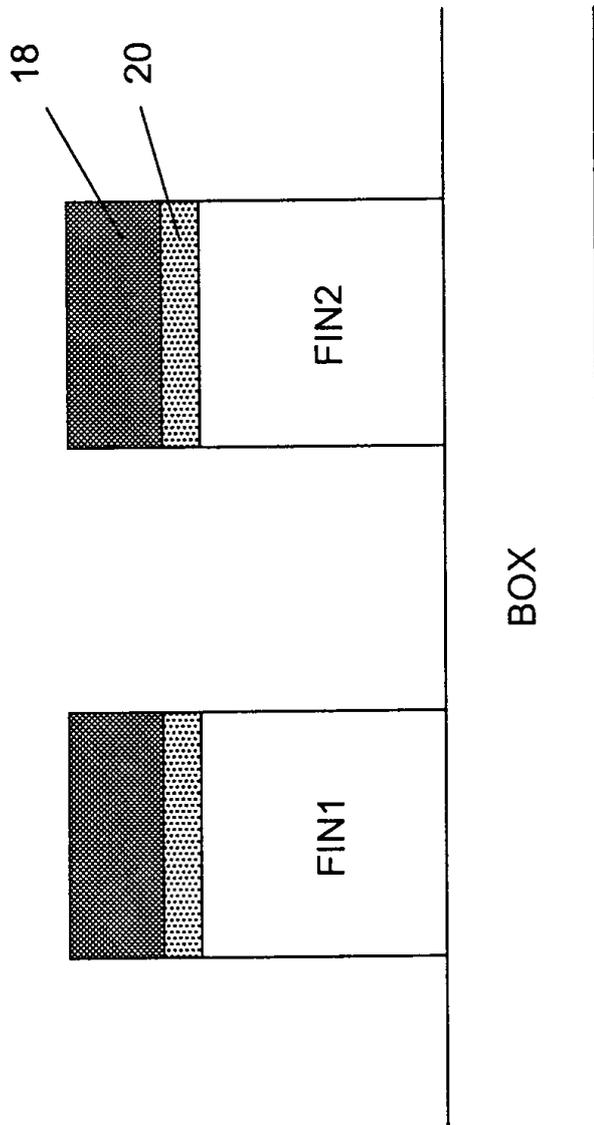


Fig. 6

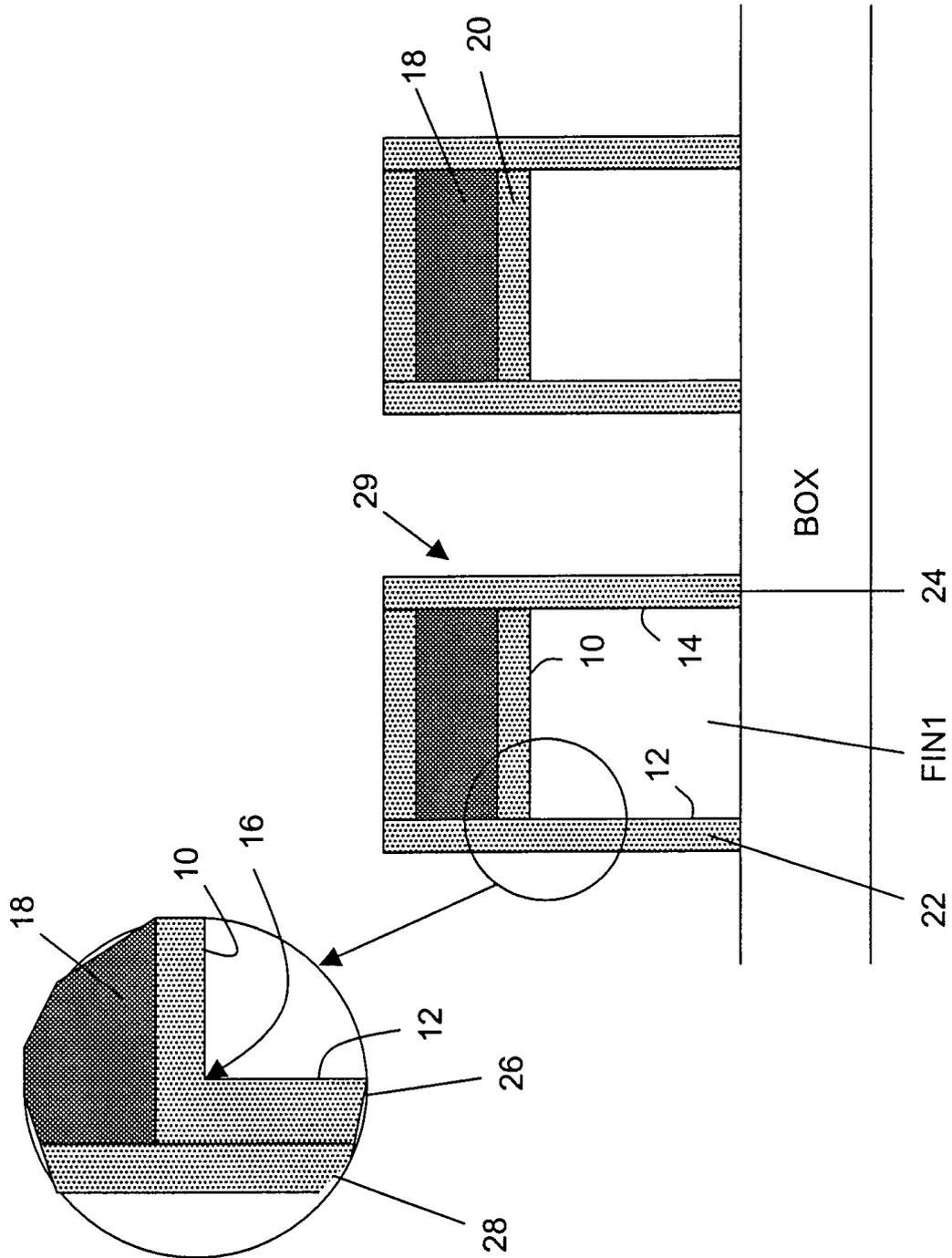


Fig. 7

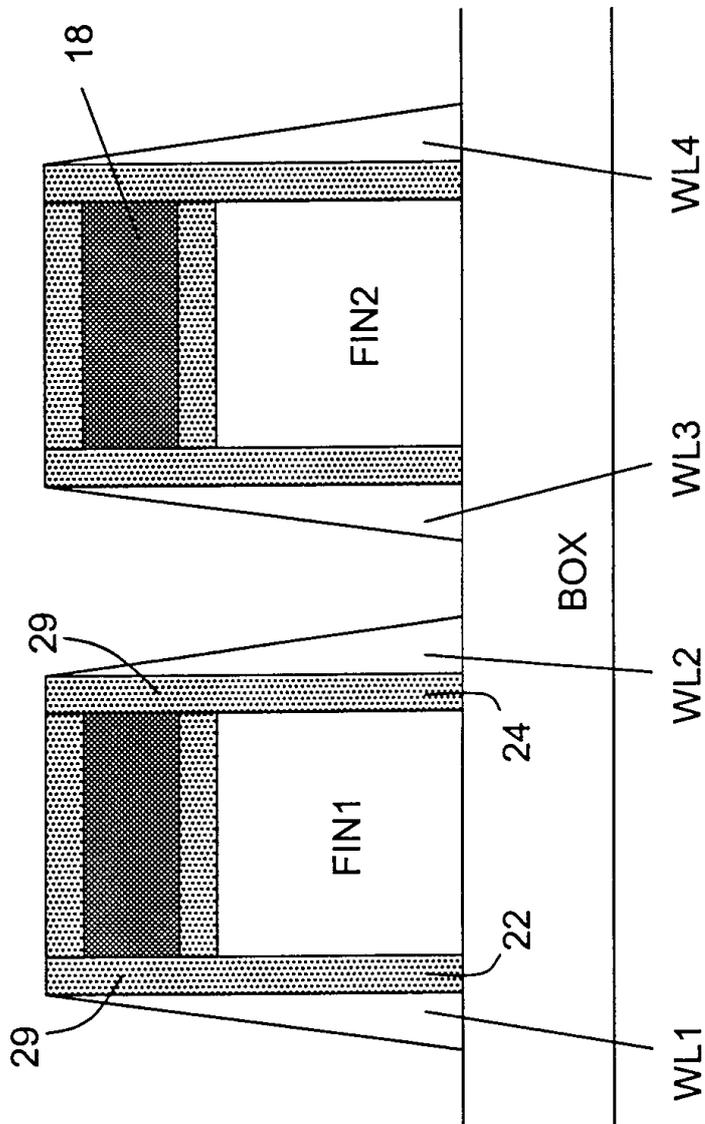


Fig. 8

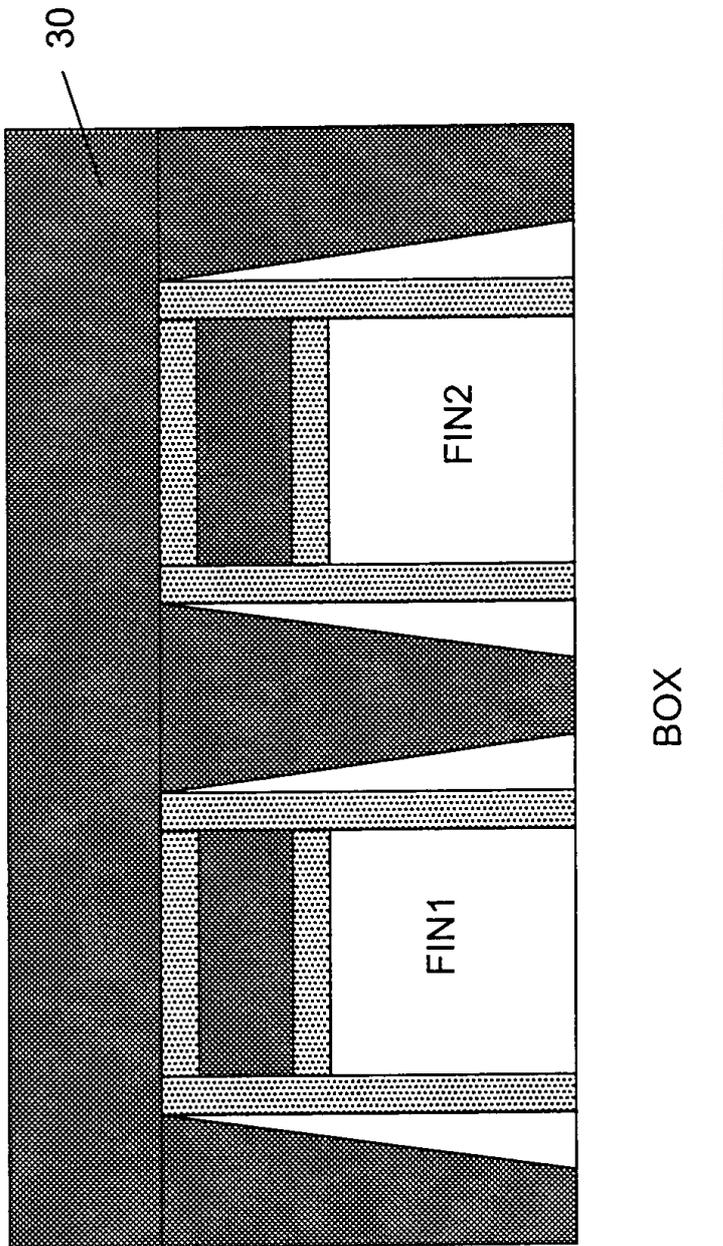


Fig. 9

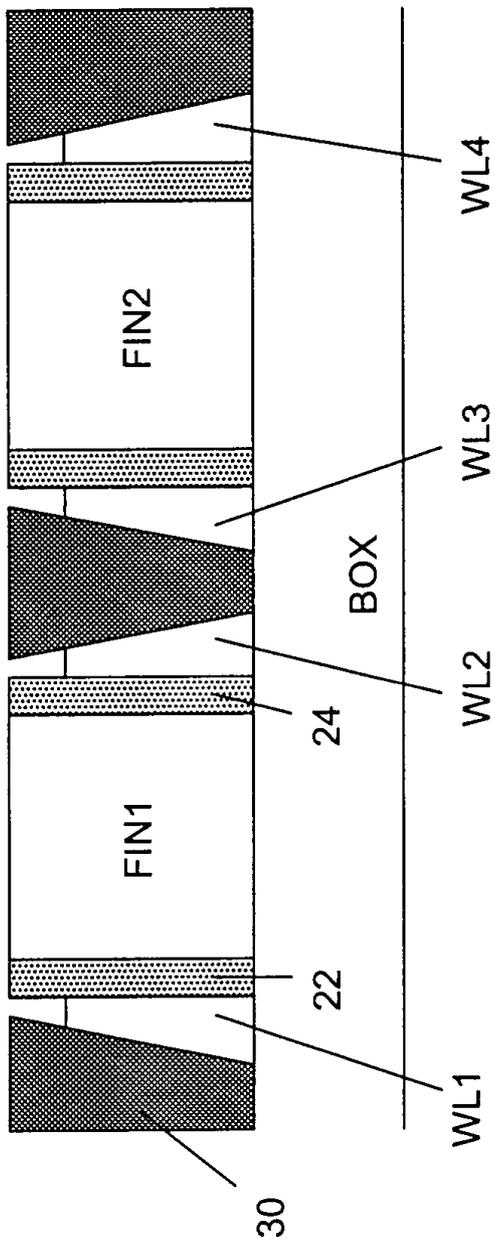


Fig. 10

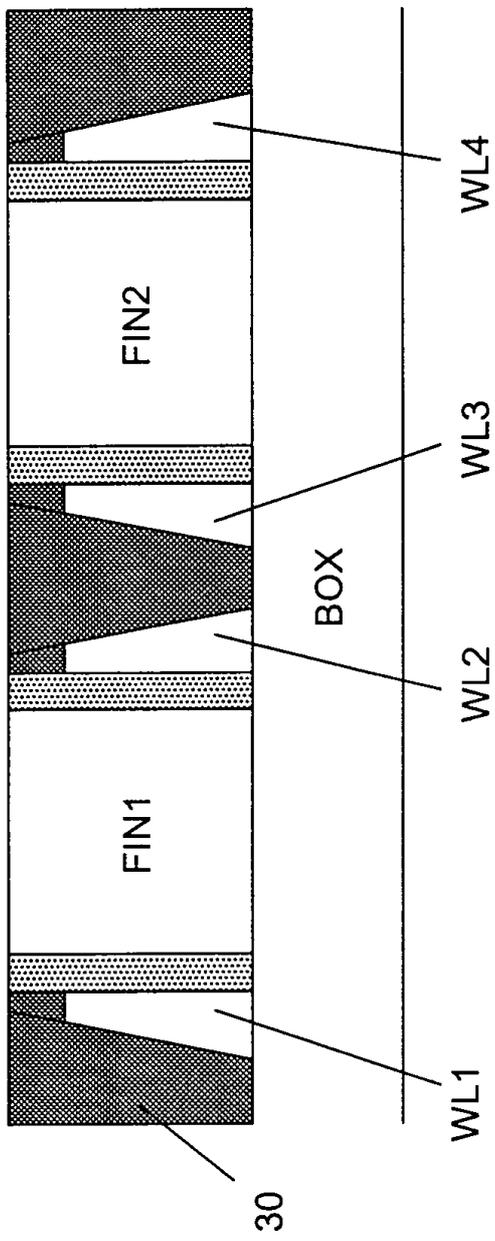


Fig. 11

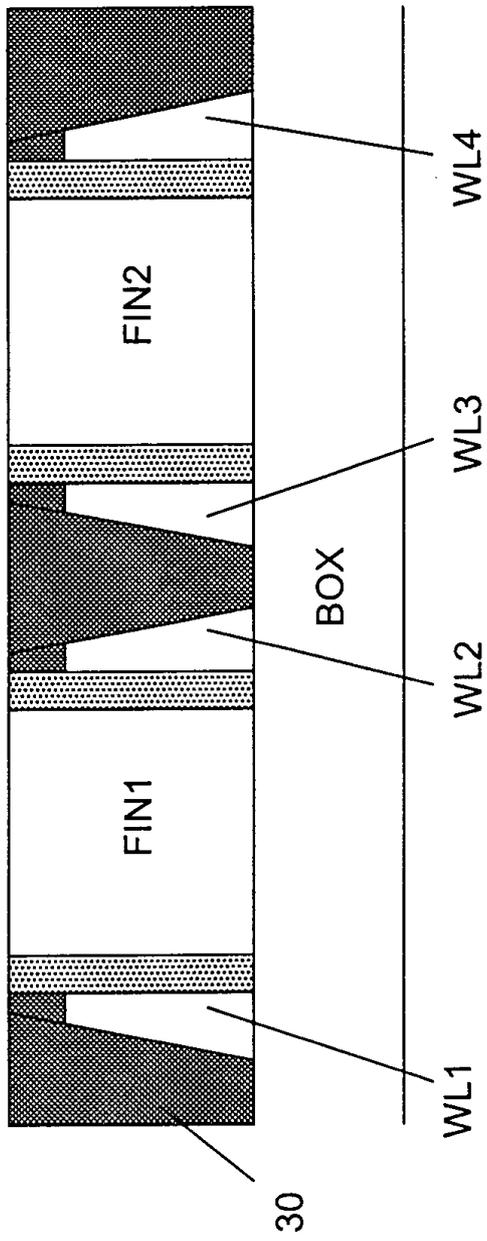


Fig. 12

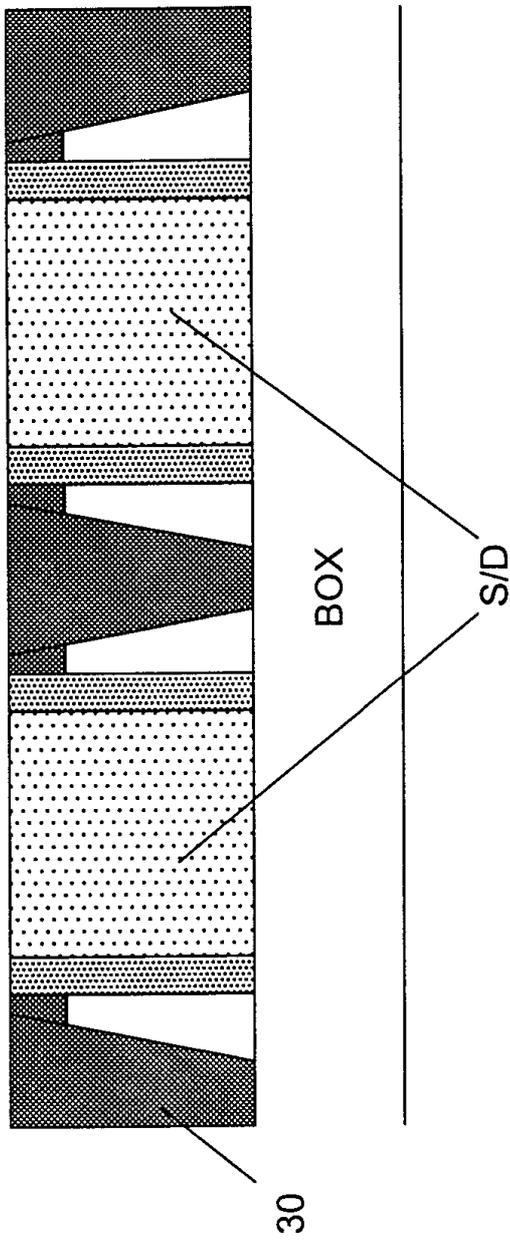


Fig. 13

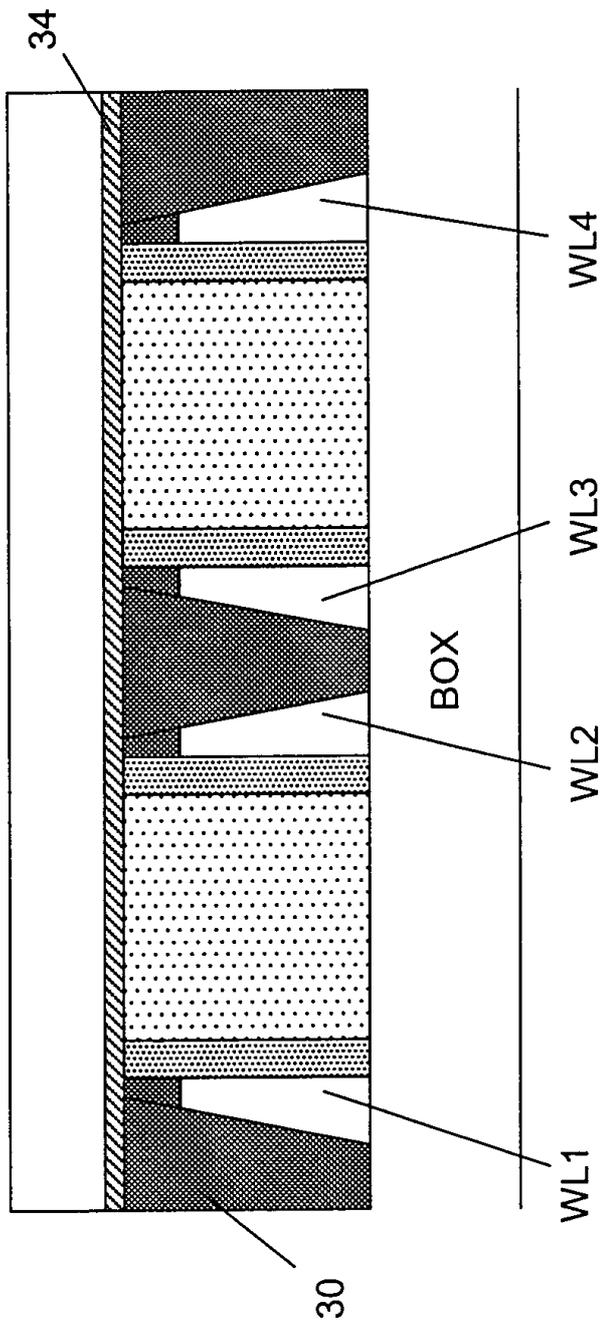


Fig. 14