

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6054621号
(P6054621)

(45) 発行日 平成28年12月27日 (2016.12.27)

(24) 登録日 平成28年12月9日 (2016.12.9)

(51) Int.Cl.		F I		
HO 1 L 21/338	(2006.01)	HO 1 L	29/80	H
HO 1 L 29/778	(2006.01)	HO 1 L	29/78	3 O 1 B
HO 1 L 29/812	(2006.01)	HO 1 L	21/205	
HO 1 L 21/336	(2006.01)			
HO 1 L 29/78	(2006.01)			

請求項の数 6 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2012-81975 (P2012-81975)
 (22) 出願日 平成24年3月30日 (2012.3.30)
 (65) 公開番号 特開2013-211481 (P2013-211481A)
 (43) 公開日 平成25年10月10日 (2013.10.10)
 審査請求日 平成27年3月5日 (2015.3.5)

(73) 特許権者 514107233
 トランスフォーム・ジャパン株式会社
 神奈川県横浜市港北区新横浜 2 - 5 - 1 5
 新横浜センタービル9 F
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100109346
 弁理士 大貫 敏史
 (74) 代理人 100117189
 弁理士 江口 昭彦
 (74) 代理人 100134120
 弁理士 内藤 和彦
 (74) 代理人 100144325
 弁理士 小澁 高弘

最終頁に続く

(54) 【発明の名称】 化合物半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

二次元電子ガスが生成される化合物半導体積層構造と、
 前記化合物半導体積層構造の上方に形成されたゲート電極と
 を含み、
 前記化合物半導体積層構造は、前記二次元電子ガスの生成部位の下方に p 型半導体層を
 有しており、
前記 p 型半導体層は、前記ゲート電極の直下に位置整合する部分がその他の部分よりも
イオン化アクセプタ量が多く、
前記 p 型半導体層は、前記その他の部分が不活性不純物を含有することを特徴とする化合 10
物半導体装置。

【請求項 2】

二次元電子ガスが生成される化合物半導体積層構造と、
 前記化合物半導体積層構造の上方に形成されたゲート電極と
 を含み、
前記化合物半導体積層構造は、前記二次元電子ガスの生成部位の下方に p 型半導体層を
有しており、
前記 p 型半導体層は、前記ゲート電極の直下に位置整合する部分がその他の部分よりも
イオン化アクセプタ量が多く、
 前記 p 型半導体層は、前記その他の部分が前記イオン化アクセプタ量の多い部分よりも薄 20

いことを特徴とする化合物半導体装置。

【請求項 3】

前記 p 型半導体層は、p - GaN、p - AlGa_N、p - InAlN、及び p - AlN から選ばれた 1 種を材料とすることを特徴とする請求項 1 または 2 に記載の化合物半導体装置。

【請求項 4】

二次元電子ガスが生成される化合物半導体積層構造を形成する工程と、
前記化合物半導体積層構造の上方にゲート電極を形成する工程と
を含み、

前記化合物半導体積層構造を形成する際に、前記二次元電子ガスの生成部位の下方に相当する部分に p 型半導体層を形成し、

前記 p 型半導体層は、前記ゲート電極の直下に位置整合する部分がその他の部分よりもイオン化アクセプタ量が多く、

前記 p 型半導体層は、前記その他の部分が不活性不純物を含有することを特徴とする化合物半導体装置の製造方法。

【請求項 5】

二次元電子ガスが生成される化合物半導体積層構造を形成する工程と、
前記化合物半導体積層構造の上方にゲート電極を形成する工程と
を含み、

前記化合物半導体積層構造を形成する際に、前記二次元電子ガスの生成部位の下方に相当する部分に p 型半導体層を形成し、

前記 p 型半導体層は、前記ゲート電極の直下に位置整合する部分がその他の部分よりもイオン化アクセプタ量が多く、

前記 p 型半導体層は、前記その他の部分が前記イオン化アクセプタ量の多い部分よりも薄いことを特徴とする化合物半導体装置の製造方法。

【請求項 6】

前記 p 型半導体層は、p - GaN、p - AlGa_N、p - InAlN、及び p - AlN から選ばれた 1 種を材料とすることを特徴とする請求項 4 または 5 に記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、化合物半導体装置及びその製造方法に関する。

【背景技術】

【0002】

窒化物半導体装置は、高い飽和電子速度及びワイドバンドギャップ等の特徴を利用し、高耐圧及び高出力の半導体デバイスとしての開発が活発に行われている。窒化物半導体デバイスとしては、電界効果トランジスタ、特に高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) についての報告が数多くなされている。特に、GaN を電子走行層として、AlGa_N を電子供給層として用いた AlGa_N/GaN・HEMT が注目されている。AlGa_N/GaN・HEMT では、GaN と AlGa_N との格子定数差に起因した歪みが AlGa_N に生じる。これにより発生したピエゾ分極及び AlGa_N の自発分極により、高濃度の二次元電子ガス (2DEG) が得られる。そのため、高耐圧及び高出力が実現できる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特公平 7 - 93428 号公報

【特許文献 2】特開 2008 - 112868 号公報

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0004】

窒化物半導体デバイスを電力用途に用いる場合には、安全動作及び既存システムとの整合性の観点から、いわゆるノーマリオフが強く求められる。ところが、例えばAlGa_nN/GaN・HEMTでは、その強いピエゾ分極及び自発分極の作用により電子走行層の電子濃度が非常に高く、ノーマリオフの実現が比較的難しい。現在、ノーマリオフ化のためには様々な手法が検討されており、化合物半導体層に形成したリセスを埋め込むようにゲート電極を形成したゲートリセス構造、化合物半導体層とゲート電極との間にp-GaN層を形成したp-GaNキャップ構造等の様々な構造が提案されている。その中でも、p-GaNキャップ構造は、p型半導体層によるエネルギーバンドの持ち上げ効果を用いることにより、閾値の正方向へのシフトが大きく、ノーマリオフ化に適していることが知られている。

10

【0005】

しかしながら、p-GaNキャップ構造においては、p-GaN層の挿入により、必ずゲート電極と2DEGの生成部位との距離が増加するため、ピンチオフ特性の劣化、gmの低下を惹起するという問題があった。また更に、横方向の導電性を確保するため、ゲート電極の直下以外に位置するp-GaN層を除去する必要があるところ、この除去時のエッチングダメージにより、電流コラプス等のトラップ起因の特性劣化を惹起するという問題があった。

【0006】

20

本発明は、上記の課題に鑑みてなされたものであり、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及びgmを向上させるも、確実なノーマリオフを実現する信頼性の高い化合物半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

化合物半導体装置の一態様は、二次元電子ガスが生成される化合物半導体積層構造と、前記化合物半導体積層構造の上方に形成された電極とを含み、前記化合物半導体積層構造は、前記二次元電子ガスの生成部位の下方にp型半導体層を有しており、前記p型半導体層は、前記電極の下方に位置整合する部分がその他の部分よりもイオン化アクセプタ量が多い。

30

【0008】

化合物半導体装置の製造方法の一態様は、二次元電子ガスが生成される化合物半導体積層構造を形成する工程と、前記化合物半導体積層構造の上方に電極を形成する工程とを含み、前記化合物半導体積層構造を形成する際に、前記二次元電子ガスの生成部位の下方に相当する部分にp型半導体層を形成し、前記p型半導体層は、前記電極の下方に位置整合する部分がその他の部分よりもイオン化アクセプタ量が多い。

【発明の効果】

【0009】

上記の諸態様によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及びgmを向上させるも、確実なノーマリオフを実現する信頼性の高い化合物半導体装置が得られる。

40

【図面の簡単な説明】

【0010】

【図1】第1の実施形態によるAlGa_nN/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図2】図1に引き続き、第1の実施形態によるAlGa_nN/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図3】第1の実施形態によるAlGa_nN/GaN・HEMTにおける代表的な伝達特性(ドレイン電流-ゲート電圧特性)について、従来のp-GaNキャップ構造を採用した比較例のAlGa_nN/GaN・HEMTとの比較に基づいて調べた結果を示す特性図であ

50

る。

【図4】第2の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図5】図4に引き続き、第2の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図6】第3の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図7】図6に引き続き、第3の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図8】第4の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

10

【図9】図8に引き続き、第4の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図10】第5の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図11】図10に引き続き、第5の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図12】第6の実施形態によるInAlIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図13】図12に引き続き、第6の実施形態によるInAlIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

20

【図14】第7の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図15】図14に引き続き、第7の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図16】第8の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図17】図16に引き続き、第8の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図18】第9の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

30

【図19】図18に引き続き、第9の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図20】第10の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図21】図20に引き続き、第10の実施形態によるAlGaIn/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【図22】第1～第10の実施形態から選ばれたHEMTを用いたHEMTチップを示す概略平面図である。

【図23】第1～第10の実施形態から選ばれたHEMTを用いたHEMTチップのディスプレイパッケージを示す概略平面図である。

40

【図24】第11の実施形態によるPFC回路を示す結線図である。

【図25】第12の実施形態による電源装置の概略構成を示す結線図である。

【図26】第13の実施形態による高周波増幅器の概略構成を示す結線図である。

【発明を実施するための形態】

【0011】

以下、諸実施形態について図面を参照して詳細に説明する。以下の諸実施形態では、化合物半導体装置の構成について、その製造方法と共に説明する。

なお、以下の図面において、図示の便宜上、相対的に正確な大きさ及び厚みに示していない構成部材がある。

50

【 0 0 1 2 】

(第1の実施形態)

本実施形態では、化合物半導体装置としてショットキー型のAlGa_nN/GaN・HEMTを開示する。

図1及び図2は、第1の実施形態によるAlGa_nN/GaN・HEMTの製造方法を工程順に示す概略断面図である。

【 0 0 1 3 】

先ず、図1(a)に示すように、成長用基板として例えば半絶縁性のSiC基板1上に、i(インテンシヨナリ・アンドープ)-GaN層2a及びp-GaN部2b1となるp-GaN層を順次形成する。

成長用基板としては、SiC基板の代わりに、Si基板、サファイア基板、GaAs基板、GaN基板等を用いても良い。また、基板の導電性としては、半絶縁性、導電性を問わない。

【 0 0 1 4 】

SiC基板1上に、例えば有機金属気相成長(MOVPE: Metal Organic Vapor Phase Epitaxy)法により、i-GaN層2a及びp-GaN部2b1となるp-GaN層を順次成長する。MOVPE法の代わりに、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法等を用いても良い。

i-GaN層2aは、i-GaNを例えば3μm程度の厚みに成長することで形成される。p-GaN部2b1となるp-GaN層は、p-GaNを例えば50nm程度の厚みに成長することで形成される。

【 0 0 1 5 】

GaNの成長には、原料ガスとしてGa源であるトリメチルガリウム(TMGa)ガス及びアンモニア(NH₃)ガスの混合ガスを用いる。TMGaガスの流量は適宜設定し、NH₃ガスの流量は、100sccm~10slm程度とする。また、成長圧力は50Torr~300Torr程度、成長温度は1000~1200程度とする。

【 0 0 1 6 】

GaNをp型として成長する際、即ちp-GaN部2b1となるp-GaN層の形成には、p型不純物であるMg、C、Zn等、例えばMgをGaNの原料ガスに添加する。ここでは、例えばMgを含む例えばCp2Mgガスを所定の流量で原料ガスに添加し、GaNにMgをドーピングする。Mgのドーピング濃度は、 $1 \times 10^{16} / \text{cm}^3$ 程度~ $1 \times 10^{21} / \text{cm}^3$ 程度、例えば $1 \times 10^{19} / \text{cm}^3$ 程度とする。

p-GaN層を形成した後、400~1200程度、例えば800程度でp-GaN層を熱処理し、p型不純物であるMgを活性化する。

【 0 0 1 7 】

続いて、図1(b)に示すように、バックバリア層2bを形成する。

先ず、p-GaN層上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、p-GaN層のゲート電極の形成予定位置の下方に位置整合する部分(p-GaN部2b1となる部分)を覆い、他の部分を開口するレジストマスクが形成される。

このレジストマスクを用いて、p-GaNのp型不純物を不活性する不純物、例えばアルゴン(Ar)を加速エネルギー15keV、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ の条件でイオン注入する。不活性不純物として、Ar以外にホウ素(B)、酸素(O)、リン(P)、鉄(Fe)等を用いても良い。このイオン注入により、p-GaN層のゲート電極の形成予定位置以外の部分が不活性し、p⁻-GaNとなってp⁻-GaN部2b2, 2b3が形成される。p⁻-GaN部2b2, 2b3は、イオン化アクセプタ濃度がp-GaN部2b1よりも低濃度である。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【 0 0 1 8 】

以上により、ゲート電極の形成予定位置の下方に位置整合する部分に形成されたp-G

10

20

30

40

50

a N部 2 b 1 と、p - Ga N部 2 b 1 の両側に形成された p⁻ - Ga N部 2 b 2 , 2 b 3 とを有するバックバリア層 2 b が形成される。バックバリア層 2 b では、p - Ga N部 2 b 1 は、p⁻ - Ga N部 2 b 2 , 2 b 3 よりもイオン化アクセプタ量が多い、ここではイオン化アクセプタ濃度が高い部分となる。

【 0 0 1 9 】

続いて、図 1 (c) に示すように、バックバリア層 2 b 上に、電子走行層 2 c、中間層 2 d、及び電子供給層 2 e を順次形成する。

M O V P E 法により、バックバリア層 2 b 上に、電子走行層 2 c、中間層 2 d、及び電子供給層 2 e となる各化合物半導体を順次成長する。電子走行層 2 c は、i - Ga N を 1 0 0 n m 程度の厚みに成長することで形成される。中間層 2 d は、i - Al Ga N を 5 n m 程度の厚みに成長することで形成される。電子供給層 2 e は、n - Al Ga N を 3 0 n m 程度の厚みに成長することで形成される。中間層 2 d は形成しない場合もある。電子供給層は、i - Al Ga N を形成するようにしても良い。

【 0 0 2 0 】

G a N の成長には、原料ガスとして G a 源であるトリメチルガリウム (T M G a) ガス及びアンモニア (N H ₃) ガスの混合ガスを用いる。Al Ga N の成長には、原料ガスとして T M A l ガス、T M G a ガス及び N H ₃ ガスの混合ガスを用いる。成長する化合物半導体層に応じて、T M A l ガス、T M G a ガスの供給の有無及び流量を適宜設定する。共通原料である N H ₃ ガスの流量は、1 0 0 s c c m ~ 1 0 s l m 程度とする。また、成長圧力は 5 0 Torr ~ 3 0 0 Torr 程度、成長温度は 1 0 0 0 ~ 1 2 0 0 程度とする。

【 0 0 2 1 】

Al Ga N を n 型として成長する際、即ち電子供給層 2 e (n - Al Ga N) の形成には、n 型不純物を Al Ga N の原料ガスに添加する。ここでは、例えば S i を含む例えばシラン (S i H ₄) ガスを所定の流量で原料ガスに添加し、Al Ga N に S i をドーピングする。S i のドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度 ~ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

以上により、i - Ga N 層 2 a、バックバリア層 2 b、電子走行層 2 c、中間層 2 d、及び電子供給層 2 e が順次積層されてなる化合物半導体積層構造 2 が形成される。

【 0 0 2 2 】

続いて、素子分離構造を形成する。

詳細には、化合物半導体積層構造 2 の素子分離領域に例えばアルゴン (A r) を注入する。これにより、化合物半導体積層構造 2 及び S i C 基板 1 の表層部分に素子分離構造が形成される。素子分離構造により、化合物半導体積層構造 2 上で活性領域が画定される。

なお、素子分離は、上記の注入法の代わりに、例えば S T I (Shallow Trench Isolation) 法を用いて行っても良い。

【 0 0 2 3 】

続いて、図 2 (a) に示すように、ソース電極 3 及びドレイン電極 4 を形成する。

電極材料として例えば T a / A l (下層が T a、上層が A l) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば庇構造 2 層レジストを用いる。このレジストを化合物半導体積層構造 2 上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、T a / A l を堆積する。T a の厚みは 2 0 n m 程度、A l の厚みは 2 0 0 n m 程度とする。リフトオフ法により、庇構造のレジストマスク及びその上に堆積した T a / A l を除去する。その後、S i C 基板 1 を、例えば窒素雰囲気中において 4 0 0 ~ 1 0 0 0、例えば 5 5 0 程度で熱処理し、残存した T a / A l を電子供給層 2 e とオーミックコンタクトさせる。なお、T a / A l が熱処理を行わずとも電子供給層 2 e とオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、T a / A l からなるソース電極 3 及びドレイン電極 4 が形成される。

【 0 0 2 4 】

続いて、図 2 (b) に示すように、化合物半導体積層構造 2 の表面に、開口 5 a を有す

る保護膜5を形成する。

詳細には、まず、ソース電極3上及びドレイン電極4上を含む化合物半導体積層構造2の全面にSiNを、プラズマCVD法又はスパッタ法等により例えば2nm程度~200nm、例えば20nm程度の厚みに堆積する。以上により、保護膜5が形成される。

【0025】

次に、保護膜5の全面にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、保護膜5のゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、保護膜5を例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、保護膜5のゲート電極の形成予定位置に開口5aが形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

10

【0026】

続いて、図2(c)に示すように、ゲート電極6を形成する。

電極材料として例えばNi/Au(下層がNi、上層がAu)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを開口5a内を含む保護膜5上に塗布し、開口5aを含むゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni/Auを堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したNi/Auを除去する。これにより、開口5a内をゲートメタルで埋め込み化合物半導体積層構造2の表面とショットキー接触する、ゲート電極6が形成される。ゲート電極6は、開口5a内を埋め込み保護膜5上に乗り上げるNiと、Ni上に堆積したAuとから、いわゆるオーバーハング形状に形成される。

20

【0027】

しかる後、ソース電極3及びドレイン電極4、ゲート電極6の電気的接続等の諸工程を経て、ショットキー型のAlGaN/GaN・HEMTが形成される。

【0028】

本実施形態によるAlGaN/GaN・HEMTでは、化合物半導体積層構造2の2DEGの生成部位の下方にバックバリア層2bが形成されている。バックバリア層2bのイオン化アクセプタ濃度の比較的高いp-GaN部2b1により、確実なノーマリオフが実現する。更に、バックバリア層2bの形成位置が2DEGの生成部位の下方であることから、ゲート電極6と2DEGとの距離が短く保持され、gmが向上する。また、化合物半導体積層構造2の表面には、ドライエッチングしないためにエッチングダメージはなく、エッチングダメージに起因したトラップ起因の現象(電流コラプス等)も抑制される。

30

【0029】

バックバリア層2bは、p-GaN部2b1の両側にp-GaN部2b2, 2b3を有している。従来のp-GaNキャップ構造、即ちチャネル直下にp-GaNを埋め込み、水平方向の濃度変調を施す構造においては、構造的に必ず再成長のプロセスが必須であり、再成長界面が存在する。この界面は、一旦結晶成長装置の外の雰囲気にも曝され、様々な欠陥の原因となる。デバイスの高電圧動作時には、この欠陥がリークパスとなり、電源オフ時のリーク電流が増加することが懸念される。本実施形態では、電極間(即ちゲート電極6の直下以外の、ソース電極3-ゲート電極6間、ゲート電極6-ドレイン電極4間)の下方に位置整合するp-GaN部2b2, 2b3の存在により、再成長界面のリークパスが低減され、良好なピンチオフ特性を得ることができる。

40

【0030】

本実施形態によるAlGaN/GaN・HEMTにおける代表的な伝達特性(ドレイン電流-ゲート電圧特性)について、従来のp-GaNキャップ構造を採用した比較例のAlGaN/GaN・HEMTとの比較に基づいて調べた。その結果を図3に示す。

【0031】

50

比較例では、ピンチオフ時のリーク電流が大きく、最大ドレイン電流 ($I_{d_{max}}$) が小さいという問題がある。これに対して本実施形態では、ゲート電極と2DEGとの距離低減及び再成長界面のリークパス低減により、良好なピンチオフ特性が得られていることが判る。

【0032】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及び g_m を向上させるも、確実なノーマリオフを実現する信頼性の高いAlGaIn/GaN・HEMTが得られる。

【0033】

(第2の実施形態)

本実施形態では、化合物半導体装置としてMIS型のAlGaIn/GaN・HEMTを開示する。

なお、第1の実施形態によるAlGaIn/GaN・HEMTと同様の構成部材等については、同符号を付して詳しい説明を省略する。

図4及び図5は、第2の実施形態によるAlGaIn/GaN・HEMTの製造方法における主要工程を示す概略断面図である。

【0034】

先ず、図4(a)～図5(a)に示すように、第1の実施形態の図1(a)～図2(a)の諸工程を経る。このとき、図5(a)に示すように、ソース電極3及びドレイン電極4が形成される。

【0035】

続いて、図5(b)に示すように、化合物半導体積層構造2の表面に保護膜5を形成する。

詳細には、ソース電極3上及びドレイン電極4上を含む化合物半導体積層構造2の全面にSiNを、プラズマCVD法又はスパッタ法等により例えば2nm程度～200nm、例えば20nm程度の厚みに堆積する。以上により、保護膜5が形成される。本実施形態では、保護膜5はゲート絶縁膜としても機能する。

【0036】

続いて、図5(c)に示すように、ゲート電極6を形成する。

電極材料として例えばNi/Au(下層がNi、上層がAu)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを保護膜5上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni/Auを堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したNi/Auを除去する。これにより、保護膜5上にゲート電極6が形成される。

【0037】

しかる後、ソース電極3及びドレイン電極4、ゲート電極6の電気的接続等の諸工程を経て、MIS型のAlGaIn/GaN・HEMTが形成される。

【0038】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及び g_m を向上させるも、確実なノーマリオフを実現する信頼性の高いAlGaIn/GaN・HEMTが得られる。

【0039】

(第3の実施形態)

本実施形態では、化合物半導体装置としてMIS型のAlGaIn/GaN・HEMTを開示する。

なお、第1の実施形態によるAlGaIn/GaN・HEMTと同様の構成部材等については、同符号を付して詳しい説明を省略する。

図6及び図7は、第3の実施形態によるAlGaIn/GaN・HEMTの製造方法にお

10

20

30

40

50

ける主要工程を示す概略断面図である。

【0040】

先ず、図6(a)～図6(c)に示すように、第1の実施形態の図1(a)～図1(c)の諸工程を経る。このとき、図6(c)に示すように、化合物半導体積層構造2が形成される。

【0041】

続いて、素子分離構造を形成した後、図7(a)に示すように、電子供給層4eに電極用リセス4e1を形成した後、ソース電極3及びドレイン電極4を形成する。

詳細には、先ず、化合物半導体積層構造2の全面にレジストを塗布し、リソグラフィによりレジストを加工する。これにより、電子供給層4eにおけるゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層2eの表層の一部を、例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、電子供給層2eのゲート電極の形成予定位置に電極用リセス4e1が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【0042】

次に、電極材料として例えばTa/Al(下層がTa、上層がAl)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを化合物半導体積層構造2上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ta/Alを堆積する。Taの厚みは20nm程度、Alの厚みは200nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したTa/Alを除去する。その後、SiC基板1を、例えば窒素雰囲気中において400～1000、例えば550程度で熱処理し、残存したTa/Alを電子供給層2eとオーミックコンタクトさせる。なお、Ta/Alが熱処理を行わずとも電子供給層2eとオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、Ta/Alからなるソース電極3及びドレイン電極4が形成される。

【0043】

続いて、図7(b)に示すように、化合物半導体積層構造2の表面に保護膜5を形成する。

詳細には、ソース電極3上及びドレイン電極4上を含む化合物半導体積層構造2の全面にSiNを、プラズマCVD法又はスパッタ法等により例えば2nm程度～200nm、例えば20nm程度の厚みに堆積する。以上により、保護膜5が形成される。本実施形態では、保護膜5はゲート絶縁膜としても機能する。

【0044】

続いて、図7(c)に示すように、ゲート電極6を形成する。

電極材料として例えばNi/Au(下層がNi、上層がAu)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを保護膜5上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni/Auを堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したNi/Auを除去する。これにより、電極用リセス4e1内を保護膜5を介してゲートメタルで埋め込むゲート電極6が形成される。ゲート電極6は、保護膜5を介して電極用リセス4e1内を埋め込み保護膜5上に乗上げるNiと、Ni上に堆積したAuとから、いわゆるオーバーハング形状に形成される。

【0045】

しかる後、ソース電極3及びドレイン電極4、ゲート電極6の電氣的接続等の諸工程を経て、MIS型のAlGaIn/GaN・HEMTが形成される。

【0046】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化

10

20

30

40

50

を防止し、ピンチオフ特性及び g_m を向上させるも、確実なノーマリオフを実現する信頼性の高い $AlGaIn/GaN \cdot HEMT$ が得られる。

【0047】

(第4の実施形態)

本実施形態では、化合物半導体装置としてMIS型の $AlGaIn/GaN \cdot HEMT$ を開示する。

なお、第1の実施形態による $AlGaIn/GaN \cdot HEMT$ と同様の構成部材等については、同符号を付して詳しい説明を省略する。

図8及び図9は、第4の実施形態による $AlGaIn/GaN \cdot HEMT$ の製造方法における主要工程を示す概略断面図である。

10

【0048】

まず、図8(a)～図8(b)に示すように、第1の実施形態の図1(a)～図1(b)の諸工程を経る。このとき、図8(b)に示すように、バックバリア層2bが形成される。

【0049】

続いて、図8(c)に示すように、バックバリア層2b上に、電子走行層2c、中間層2d、及び電子供給層2e、キャップ層2fを順次形成する。

MOVPE法により、バックバリア層2b上に、電子走行層2c、中間層2d、電子供給層2e、及びキャップ層2fとなる各化合物半導体を順次成長する。電子走行層2cは、 $i-GaN$ を100nm程度の厚みに成長することで形成される。中間層2dは、 $i-AlGaIn$ を5nm程度の厚みに成長することで形成される。電子供給層2eは、 $n-AlGaIn$ を30nm程度の厚みに成長することで形成される。キャップ層2fは、 $n-GaN$ を10nm程度の厚みに成長することで形成される。中間層2dは形成しない場合もある。電子供給層は、 $i-AlGaIn$ を形成するようにしても良い。

20

【0050】

GaN の成長には、原料ガスとしてGa源であるTMGaガス及び NH_3 ガスの混合ガスを用いる。 $AlGaIn$ の成長には、原料ガスとしてTMAIガス、TMGaガス及び NH_3 ガスの混合ガスを用いる。成長する化合物半導体層に応じて、TMAIガス、TMGaガスの供給の有無及び流量を適宜設定する。共通原料である NH_3 ガスの流量は、100sccm～10slm程度とする。また、成長圧力は50Torr～300Torr程度、成長温度は1000～1200程度とする。

30

【0051】

$AlGaIn$ 、 GaN をn型として成長する際、即ち電子供給層2e($n-AlGaIn$)及びキャップ層2f($n-GaN$)の形成には、n型不純物を $AlGaIn$ 、 GaN の原料ガスに添加する。ここでは、例えばSiを含む例えばシラン(SiH_4)ガスを所定の流量で原料ガスに添加し、 $AlGaIn$ 、 GaN にSiをドーピングする。Siのドーピング濃度は、 $1 \times 10^{18} / cm^3$ 程度～ $1 \times 10^{20} / cm^3$ 程度、例えば $5 \times 10^{18} / cm^3$ 程度とする。

以上により、 $i-GaN$ 層2a、バックバリア層2b、電子走行層2c、中間層2d、電子供給層2e、及びキャップ層2fが順次積層されてなる化合物半導体積層構造2が形成される。

40

【0052】

続いて、素子分離構造を形成した後、図9(a)に示すように、ソース電極3及びドレイン電極4を形成する。

詳細には、まず、化合物半導体積層構造2の全面にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、電子供給層4eにおけるソース電極及びドレイン電極の各形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層2eの表面が露出するまで、例えばフッ素系ガスをエッチングガスとして用いてキャップ層2fをドライエッチングする。これにより、キャップ層2fソース電極及びドレイン電極の各形成予定位置に電極用リセス2f1、

50

2 f 2 が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【 0 0 5 3 】

次に、電極材料として例えば Ta / Al (下層が Ta、上層が Al) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを化合物半導体積層構造 2 上に塗布し、電極用リセス 2 f 1, 2 f 2 を露出する開口を有するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ta / Al を堆積する。Ta の厚みは 20 nm 程度、Al の厚みは 200 nm 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した Ta / Al を除去する。その後、SiC 基板 1 を、例えば窒素雰囲気中において 400 ~ 1000、
10
例えば 550 程度で熱処理し、残存した Ta / Al を電子供給層 2 e とオーミックコンタクトさせる。なお、Ta / Al が熱処理を行わずとも電子供給層 2 e とオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、電極用リセス 2 f 1, 2 f 2 を埋め込むように、Ta / Al からなるソース電極 3 及びドレイン電極 4 が形成される。

【 0 0 5 4 】

続いて、図 9 (b) に示すように、化合物半導体積層構造 2 の表面に保護膜 5 を形成する。

詳細には、ソース電極 3 上及びドレイン電極 4 上を含む化合物半導体積層構造 2 の全面に SiN を、プラズマ CVD 法又はスパッタ法等により例えば 2 nm 程度 ~ 200 nm、
20
例えば 20 nm 程度の厚みに堆積する。以上により、保護膜 5 が形成される。本実施形態では、保護膜 5 はゲート絶縁膜としても機能する。

【 0 0 5 5 】

続いて、図 9 (c) に示すように、ゲート電極 6 を形成する。

電極材料として例えば Ni / Au (下層が Ni、上層が Au) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを保護膜 5 上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni / Au を堆積する。Ni の厚みは 30 nm 程度、Au の厚みは 400 nm 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した Ni / Au を除去する。これにより、保護膜 5 上にゲ
30
ート電極 6 が形成される。

【 0 0 5 6 】

しかる後、ソース電極 3 及びドレイン電極 4、ゲート電極 6 の電気的接続等の諸工程を経て、MIS 型の AlGaIn / GaN · HEMT が形成される。

【 0 0 5 7 】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及び gm を向上させるも、確実なノーマリオフを実現する信頼性の高い AlGaIn / GaN · HEMT が得られる。

【 0 0 5 8 】

(第 5 の実施形態)

本実施形態では、化合物半導体装置として MIS 型の AlGaIn / GaN · HEMT を開示する。
40

なお、第 1 の実施形態による AlGaIn / GaN · HEMT と同様の構成部材等については、同符号を付して詳しい説明を省略する。

図 10 及び図 11 は、第 5 の実施形態による AlGaIn / GaN · HEMT の製造方法における主要工程を示す概略断面図である。

【 0 0 5 9 】

先ず、図 10 (a) に示すように、第 1 の実施形態の図 1 (a) の工程を実行し、SiC 基板 1 上に、i - GaN 層 2 a 及び p - GaN 部 2 b 1 となる p - GaN 層が順次形成される。
50

【 0 0 6 0 】

続いて、図 1 0 (b) に示すように、バックバリア層 2 b を形成する。

先ず、p - G a N 層上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、p - G a N 層のゲート電極の形成予定位置の下方に位置整合する部分 (p - G a N 部 2 b 1 とする部分) を覆い、他の部分を開口するレジストマスクが形成される。本実施形態では、レジストマスクで覆われる p - G a N 層の部分は、ゲート電極の形成予定位置の下方に位置整合する部分を含み、ドレイン電極の形成予定位置に位置整合する部分に偏倚するように延在している。

【 0 0 6 1 】

このレジストマスクを用いて、p - G a N の p 型不純物を不活性する不純物、例えばアルゴン (A r) を加速エネルギー 1 5 k e V 、ドーズ量 $1 \times 1 0^{14} / \text{cm}^2$ の条件でイオン注入する。不活性不純物として、A r 以外にホウ素 (B) , 酸素 (O) , リン (P) , 鉄 (F e) 等を用いても良い。このイオン注入により、p - G a N 層のゲート電極の形成予定位置以外の部分が不活性し、 p^- - G a N となって p^- - G a N 部 2 b 4 , 2 b 5 が形成される。 p^- - G a N 部 2 b 5 , 2 b 5 は、イオン化アクセプタ濃度が p - G a N 部 2 b 1 よりも低濃度である。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【 0 0 6 2 】

以上により、ゲート電極の形成予定位置の下方に位置整合する部分に形成された p - G a N 部 2 b 1 と、p - G a N 部 2 b 1 の両側に形成された p^- - G a N 部 2 b 4 , 2 b 5 とを有するバックバリア層 2 b が形成される。バックバリア層 2 b では、p - G a N 部 2 b 1 は、 p^- - G a N 部 2 b 4 , 2 b 5 よりもイオン化アクセプタ量が多い、ここではイオン化アクセプタ濃度が高い部分となる。p - G a N 部 2 b 1 は、ゲート電極の形成予定位置の下方に位置整合する部分を含み、ドレイン電極の形成予定位置に位置整合する部分に偏倚するように延在している。

【 0 0 6 3 】

続いて、図 1 0 (c) に示すように、バックバリア層 2 b 上に、電子走行層 2 c 、中間層 2 d 、及び電子供給層 2 e を順次形成する。

M O V P E 法により、バックバリア層 2 b 上に、電子走行層 2 c 、中間層 2 d 、及び電子供給層 2 e となる各化合物半導体を順次成長する。電子走行層 2 c は、i - G a N を 1 0 0 n m 程度の厚みに成長することで形成される。中間層 2 d は、i - A l G a N を 5 n m 程度の厚みに成長することで形成される。電子供給層 2 e は、n - A l G a N を 3 0 n m 程度の厚みに成長することで形成される。中間層 2 d は形成しない場合もある。電子供給層は、i - A l G a N を形成するようにしても良い。

【 0 0 6 4 】

G a N の成長には、原料ガスとして G a 源であるトリメチルガリウム (T M G a) ガス及びアンモニア (N H ₃) ガスの混合ガスを用いる。A l G a N の成長には、原料ガスとして T M A l ガス、T M G a ガス及び N H ₃ ガスの混合ガスを用いる。成長する化合物半導体層に応じて、T M A l ガス、T M G a ガスの供給の有無及び流量を適宜設定する。共通原料である N H ₃ ガスの流量は、1 0 0 s c c m ~ 1 0 s l m 程度とする。また、成長圧力は 5 0 Torr ~ 3 0 0 Torr 程度、成長温度は 1 0 0 0 ~ 1 2 0 0 程度とする。

【 0 0 6 5 】

A l G a N を n 型として成長する際、即ち電子供給層 2 e (n - A l G a N) の形成には、n 型不純物を A l G a N の原料ガスに添加する。ここでは、例えば S i を含む例えばシラン (S i H ₄) ガスを所定の流量で原料ガスに添加し、A l G a N に S i をドーピングする。S i のドーピング濃度は、 $1 \times 1 0^{18} / \text{cm}^3$ 程度 ~ $1 \times 1 0^{20} / \text{cm}^3$ 程度、例えば $5 \times 1 0^{18} / \text{cm}^3$ 程度とする。

以上により、i - G a N 層 2 a 、バックバリア層 2 b 、電子走行層 2 c 、中間層 2 d 、及び電子供給層 2 e が順次積層されてなる化合物半導体積層構造 2 が形成される。

【 0 0 6 6 】

10

20

30

40

50

続いて、素子分離構造を形成した後、図 1 1 (a) に示すように、電子供給層 4 e に電極用リセス 4 e 1 を形成した後、ソース電極 3 及びドレイン電極 4 を形成する。

詳細には、先ず、化合物半導体積層構造 2 の全面にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、電子供給層 4 e におけるゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層 2 e の表層の一部を、例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、電子供給層 2 e のゲート電極の形成予定位置に電極用リセス 4 e 1 が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【 0 0 6 7 】

次に、電極材料として例えば T a / A l (下層が T a 、上層が A l) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを化合物半導体積層構造 2 上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、T a / A l を堆積する。T a の厚みは 2 0 n m 程度、A l の厚みは 2 0 0 n m 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した T a / A l を除去する。その後、S i C 基板 1 を、例えば窒素雰囲気中において 4 0 0 ~ 1 0 0 0 、例えば 5 5 0 程度で熱処理し、残存した T a / A l を電子供給層 2 e とオーミックコンタクトさせる。なお、T a / A l が熱処理を行わずとも電子供給層 2 e とオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、T a / A l からなるソース電極 3 及びドレイン電極 4 が形成される。

【 0 0 6 8 】

続いて、図 1 1 (b) に示すように、化合物半導体積層構造 2 の表面に保護膜 5 を形成する。

詳細には、ソース電極 3 上及びドレイン電極 4 上を含む化合物半導体積層構造 2 の全面に S i N を、プラズマ C V D 法又はスパッタ法等により例えば 2 n m 程度 ~ 2 0 0 n m 、例えば 2 0 n m 程度の厚みに堆積する。以上により、保護膜 5 が形成される。本実施形態では、保護膜 5 はゲート絶縁膜としても機能する。

【 0 0 6 9 】

続いて、図 1 1 (c) に示すように、ゲート電極 6 を形成する。

電極材料として例えば N i / A u (下層が N i 、上層が A u) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを保護膜 5 上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、N i / A u を堆積する。N i の厚みは 3 0 n m 程度、A u の厚みは 4 0 0 n m 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した N i / A u を除去する。これにより、電極用リセス 4 e 1 内を保護膜 5 を介してゲートメタルで埋め込むゲート電極 6 が形成される。ゲート電極 6 は、保護膜 5 を介して電極用リセス 4 e 1 内を埋め込み保護膜 5 上に乗上げる N i と、N i 上に堆積した A u とから、いわゆるオーバーハング形状に形成される。

【 0 0 7 0 】

しかる後、ソース電極 3 及びドレイン電極 4 、ゲート電極 6 の電氣的接続等の諸工程を経て、M I S 型の A l G a N / G a N ・ H E M T が形成される。

【 0 0 7 1 】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及び g m を向上させるも、確実なノーマリオフを実現する信頼性の高い A l G a N / G a N ・ H E M T が得られる。

【 0 0 7 2 】

(第 6 の実施形態)

本実施形態では、化合物半導体装置として M I S 型の I n A l N / G a N ・ H E M T を開示する。

10

20

30

40

50

なお、第1の実施形態によるAlGaIn/GaN・HEMTと同様の構成部材等については、同符号を付して詳しい説明を省略する。

図12及び図13は、第6の実施形態によるInAlN/GaN・HEMTの製造方法における主要工程を示す概略断面図である。

【0073】

先ず、図12(a)～図12(b)に示すように、第1の実施形態の図1(a)～図1(b)の諸工程を経る。このとき、図12(b)に示すように、バックバリア層2bが形成される。

【0074】

続いて、図12(c)に示すように、バックバリア層2b上に、電子走行層2c、中間層2d、及び電子供給層11を順次形成する。

MOVPE法により、バックバリア層2b上に、電子走行層2c、中間層2d、及び電子供給層11となる各化合物半導体を順次成長する。電子走行層2cは、i-GaNを100nm程度の厚みに成長することで形成される。中間層2dは、i-AlGaInを5nm程度の厚みに成長することで形成される。電子供給層11は、i-InAlNを20nm程度の厚みに成長することで形成される。中間層2dは形成しない場合もある。電子供給層は、i-InAlNを形成するようにしても良い。

【0075】

GaNの成長には、原料ガスとしてGa源であるトリメチルガリウム(TMGa)ガス及びアンモニア(NH₃)ガスの混合ガスを用いる。AlGaInの成長には、原料ガスとしてTMAIガス、TMGaガス及びNH₃ガスの混合ガスを用いる。成長する化合物半導体層に応じて、TMAIガス、TMGaガスの供給の有無及び流量を適宜設定する。InAlNの成長には、原料ガスとしてIn源であるトリメチルインジウム(TMIn)ガス、TMAIガス及びアンモニア(NH₃)ガスの混合ガスを用いる。共通原料であるNH₃ガスの流量は、100sccm～10slm程度とする。また、成長圧力は50Torr～300Torr程度、成長温度は1000～1200程度とする。

【0076】

以上により、i-GaN層2a、バックバリア層2b、電子走行層2c、中間層2d、及び電子供給層11が順次積層されてなる化合物半導体積層構造2が形成される。

【0077】

続いて、素子分離構造を形成した後、図13(a)に示すように、ソース電極3及びドレイン電極4を形成する。

電極材料として例えばTa/Al(下層がTa、上層がAl)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば庇構造2層レジストを用いる。このレジストを化合物半導体積層構造2上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ta/Alを堆積する。Taの厚みは20nm程度、Alの厚みは200nm程度とする。リフトオフ法により、庇構造のレジストマスク及びその上に堆積したTa/Alを除去する。その後、SiC基板1を、例えば窒素雰囲気中において400～1000、例えば550程度で熱処理し、残存したTa/Alを電子供給層11とオーミックコンタクトさせる。なお、Ta/Alが熱処理を行わずとも電子供給層11とオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、Ta/Alからなるソース電極3及びドレイン電極4が形成される。

【0078】

続いて、図13(b)に示すように、化合物半導体積層構造2の表面に、開口5aを有する保護膜5を形成する。

詳細には、先ず、ソース電極3上及びドレイン電極4上を含む化合物半導体積層構造2の全面にSiNを、プラズマCVD法又はスパッタ法等により例えば2nm程度～200nm、例えば20nm程度の厚みに堆積する。以上により、保護膜5が形成される。

【0079】

10

20

30

40

50

次に、保護膜 5 の全面にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、保護膜 5 のゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、保護膜 5 を例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、保護膜 5 のゲート電極の形成予定位置に開口 5 a が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【 0 0 8 0 】

続いて、図 1 3 (c) に示すように、ゲート電極 6 を形成する。

電極材料として例えば Ni / Au (下層が Ni 、上層が Au) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを開口 5 a 内を含む保護膜 5 上に塗布し、開口 5 a を含むゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni / Au を堆積する。Ni の厚みは 3 0 n m 程度、Au の厚みは 4 0 0 n m 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した Ni / Au を除去する。これにより、開口 5 a 内をゲートメタルで埋め込み化合物半導体積層構造 2 の表面とショットキー接触する、ゲート電極 6 が形成される。ゲート電極 6 は、開口 5 a 内を埋め込み保護膜 5 上に乗り上げる Ni と、Ni 上に堆積した Au とから、いわゆるオーバーハング形状に形成される。

【 0 0 8 1 】

しかる後、ソース電極 3 及びドレイン電極 4 、ゲート電極 6 の電気的接続等の諸工程を経て、MIS 型の InAlN / GaN ・ HEMT が形成される。

【 0 0 8 2 】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及び gm を向上させるも、確実なノーマリオフを実現する信頼性の高い InAlN / GaN ・ HEMT が得られる。

【 0 0 8 3 】

なお、本実施形態では、電子供給層 1 1 として i - InAlN 層を形成したが、i - InAlN 層の代わりに、例えば InAlGaN 層を形成しても良い。

【 0 0 8 4 】

(第 7 の実施形態)

本実施形態では、化合物半導体装置として MIS 型の AlGaN / GaN ・ HEMT を開示する。

なお、第 1 の実施形態による AlGaN / GaN ・ HEMT と同様の構成部材等については、同符号を付して詳しい説明を省略する。

図 1 4 及び図 1 5 は、第 7 の実施形態による AlGaN / GaN ・ HEMT の製造方法における主要工程を示す概略断面図である。

【 0 0 8 5 】

まず、図 1 4 (a) に示すように、第 1 の実施形態の図 1 (a) の工程を実行し、SiC 基板 1 上に、i - GaN 層 2 a 及び p - GaN 部 2 b 1 となる p - GaN 層 (例えば、Mg 濃度 $1 \times 10^{19} / \text{cm}^3$ 程度、膜厚 5 0 n m 程度) が順次形成される。

【 0 0 8 6 】

続いて、図 1 4 (b) に示すように、バックバリア層 2 b を形成する。

まず、p - GaN 層上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、p - GaN 層のゲート電極の形成予定位置の下方に位置整合する部分 (p - GaN 部 2 b 1 となる部分) を覆い、他の部分を開口するレジストマスクが形成される。

【 0 0 8 7 】

このレジストマスクを用いて、p - GaN 層の他の部分を、塩素系ガスをエッチングガスとしてドライエッチングし、当該他の部分の膜厚を減少させる。ここでは、当該他の部

10

20

30

40

50

分の膜厚を10nm程度とする。

【0088】

以上により、ゲート電極の形成予定位置の下方に位置整合する部分に形成されたp-GaN部2b1と、p-GaN部2b1の両側でp-GaN部2b1よりも薄いp⁻-GaN部2b6、2b7とを有するバックバリア層2bが形成される。バックバリア層2bでは、p-GaN部2b1とp⁻-GaN部2b6、2b7とではイオン化アクセプタ濃度は同一であるが、p-GaN部2b1がp⁻-GaN部2b6、2b7よりも厚くイオン化アクセプタ量が多い部分となる。

【0089】

続いて、図14(c)に示すように、バックバリア層2b上に、電子走行層2c、中間層2d、及び電子供給層2eを順次形成する。

MOVPE法により、バックバリア層2b上に、電子走行層2c、中間層2d、及び電子供給層2eとなる各化合物半導体を順次成長する。電子走行層2cは、i-GaNを100nm程度の厚みに成長することで形成される。中間層2dは、i-AlGaNを5nm程度の厚みに成長することで形成される。電子供給層2eは、n-AlGaNを30nm程度の厚みに成長することで形成される。中間層2dは形成しない場合もある。電子供給層は、i-AlGaNを形成するようにしても良い。

【0090】

GaNの成長には、原料ガスとしてGa源であるトリメチルガリウム(TMGa)ガス及びアンモニア(NH₃)ガスの混合ガスを用いる。AlGaNの成長には、原料ガスとしてTMAIガス、TMGaガス及びNH₃ガスの混合ガスを用いる。成長する化合物半導体層に応じて、TMAIガス、TMGaガスの供給の有無及び流量を適宜設定する。共通原料であるNH₃ガスの流量は、100sccm~10slm程度とする。また、成長圧力は50Torr~300Torr程度、成長温度は1000~1200程度とする。

【0091】

AlGaNをn型として成長する際、即ち電子供給層2e(n-AlGaN)の形成には、n型不純物をAlGaNの原料ガスに添加する。ここでは、例えばSiを含む例えばシラン(SiH₄)ガスを所定の流量で原料ガスに添加し、AlGaNにSiをドーピングする。Siのドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度~ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

以上により、i-GaN層2a、バックバリア層2b、電子走行層2c、中間層2d、及び電子供給層2eが順次積層されてなる化合物半導体積層構造2が形成される。

【0092】

続いて、素子分離構造を形成した後、図15(a)に示すように、電子供給層4eに電極用リセス4e1を形成した後、ソース電極3及びドレイン電極4を形成する。

詳細には、まず、化合物半導体積層構造2の全面にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、電子供給層4eにおけるゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層2eの表層の一部を、例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、電子供給層2eのゲート電極の形成予定位置に電極用リセス4e1が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【0093】

次に、電極材料として例えばTa/Al(下層がTa、上層がAl)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを化合物半導体積層構造2上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ta/Alを堆積する。Taの厚みは20nm程度、Alの厚みは200nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したTa/Alを除去する。その後、SiC基板1を、例えば窒素雰囲気中において400~1000

10

20

30

40

50

、例えば550程度で熱処理し、残存したTa/Alを電子供給層2eとオーミックコンタクトさせる。なお、Ta/Alが熱処理を行わずとも電子供給層2eとオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、Ta/Alからなるソース電極3及びドレイン電極4が形成される。

【0094】

続いて、図15(b)に示すように、化合物半導体積層構造2の表面に保護膜5を形成する。

詳細には、ソース電極3上及びドレイン電極4上を含む化合物半導体積層構造2の全面にSiNを、プラズマCVD法又はスパッタ法等により例えば2nm程度～200nm、例えば20nm程度の厚みに堆積する。以上により、保護膜5が形成される。本実施形態では、保護膜5はゲート絶縁膜としても機能する。

10

【0095】

続いて、図15(c)に示すように、ゲート電極6を形成する。

電極材料として例えばNi/Au(下層がNi、上層がAu)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを保護膜5上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni/Auを堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したNi/Auを除去する。これにより、電極用リセス4e1内を保護膜5を介してゲートメタルで埋め込むゲート電極6が形成される。ゲート電極6は、保護膜5を介して電極用リセス4e1内を埋め込み保護膜5上に乗上げるNiと、Ni上に堆積したAuとから、いわゆるオーバーハング形状に形成される。

20

【0096】

しかる後、ソース電極3及びドレイン電極4、ゲート電極6の電気的接続等の諸工程を経て、MIS型のAlGaIn/GaN・HEMTが形成される。

【0097】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及びgmを向上させるも、確実なノーマリオフを実現する信頼性の高いAlGaIn/GaN・HEMTが得られる。

【0098】

(第8の実施形態)

本実施形態では、化合物半導体装置としてMIS型のAlGaIn/GaN・HEMTを開示する。

なお、第1の実施形態によるAlGaIn/GaN・HEMTと同様の構成部材等については、同符号を付して詳しい説明を省略する。

図16及び図17は、第8の実施形態によるAlGaIn/GaN・HEMTの製造方法における主要工程を示す概略断面図である。

【0099】

まず、図16(a)に示すように、SiC基板1上に、i-GaN層2a及びp-AlGaIn部12aとなるp-AlGaIn層を順次形成する。

40

詳細には、SiC基板1上に、MOVPE法により、i-GaN層2a及びp-AlGaIn部12aとなるp-AlGaIn層を順次成長する。

i-GaN層2aは、i-GaNを例えば3μm程度の厚みに成長することで形成される。p-AlGaIn部12aとなるp-AlGaIn層は、p-AlGaInを例えば50nm程度の厚みに成長することで形成される。

【0100】

GaNの成長には、原料ガスとしてGa源であるTMGaガス及びNH₃ガスの混合ガスを用いる。AlGaInの成長には、原料ガスとしてGa源であるTMGaガス、Al源であるTMAIガス、及びNH₃ガスの混合ガスを用いる。TMGaガス、TMAIガスの流量は適宜設定し、NH₃ガスの流量は、100sccm～10slm程度とする。ま

50

た、成長圧力は50 Torr ~ 300 Torr程度、成長温度は1000 ~ 1200 程度とする。

【0101】

AlGaInをp型として成長する際、即ちp-AlGaIn部12aとなるp-AlGaIn層の形成には、p型不純物であるMg、C、Zn等、例えばMgをAlGaInの原料ガスに添加する。ここでは、例えばMgを含む例えばCp2Mgガスを所定の流量で原料ガスに添加し、AlGaInにMgをドーピングする。Mgのドーピング濃度は、 $1 \times 10^{16} / \text{cm}^3$ 程度 ~ $1 \times 10^{21} / \text{cm}^3$ 程度、例えば $1 \times 10^{19} / \text{cm}^3$ 程度とする。

p-AlGaIn層を形成した後、400 ~ 1200 程度、例えば800 程度でp-AlGaIn層を熱処理し、p型不純物であるMgを活性化する。

10

【0102】

続いて、図16(b)に示すように、バックバリア層12を形成する。

先ず、p-AlGaIn層上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、p-AlGaIn層のゲート電極の形成予定位置の下方に位置整合する部分(p-AlGaIn部12aとなる部分)を覆い、他の部分を開口するレジストマスクが形成される。

【0103】

このレジストマスクを用いて、p-AlGaInのp型不純物を不活性する不純物、例えばアルゴン(Ar)を加速エネルギー15 keV、ドーズ量 $1 \times 10^{14} / \text{cm}^2$ の条件でイオン注入する。不活性不純物として、Ar以外にホウ素(B)、酸素(O)、リン(P)、鉄(Fe)等を用いても良い。このイオン注入により、p-AlGaIn層のゲート電極の形成予定位置以外の部分が不活性し、p-AlGaInとなってp-AlGaIn部12b、12cが形成される。p-AlGaIn部12b、12cは、イオン化アクセプタ濃度がp-AlGaIn部12aよりも低濃度である。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

20

【0104】

以上により、ゲート電極の形成予定位置の下方に位置整合する部分に形成されたp-AlGaIn部12aと、p-AlGaIn部12aの両側に形成されたp-AlGaIn部12b、12cとを有するバックバリア層12が形成される。バックバリア層12では、p-AlGaIn部12aは、p-AlGaIn部12b、12cよりもイオン化アクセプタ

30

【0105】

続いて、図16(c)に示すように、バックバリア層12上に、電子走行層2c、中間層2d、及び電子供給層2eを順次形成する。

MOVPE法により、バックバリア層12上に、電子走行層2c、中間層2d、及び電子供給層2eとなる各化合物半導体を順次成長する。電子走行層2cは、i-GaNを100 nm程度の厚みに成長することで形成される。中間層2dは、i-AlGaInを5 nm程度の厚みに成長することで形成される。電子供給層2eは、n-AlGaInを30 nm程度の厚みに成長することで形成される。中間層2dは形成しない場合もある。電子供給層は、i-AlGaInを形成するようにしても良い。

40

【0106】

GaNの成長には、原料ガスとしてGa源であるTMGaガス及びアンモニア(NH₃)ガスの混合ガスを用いる。AlGaInの成長には、原料ガスとしてTMAIガス、TMGaガス及びNH₃ガスの混合ガスを用いる。成長する化合物半導体層に応じて、TMAIガス、TMGaガスの供給の有無及び流量を適宜設定する。共通原料であるNH₃ガスの流量は、100 sccm ~ 10 slm程度とする。また、成長圧力は50 Torr ~ 300 Torr程度、成長温度は1000 ~ 1200 程度とする。

【0107】

AlGaInをn型として成長する際、即ち電子供給層2e(n-AlGaIn)の形成には、n型不純物をAlGaInの原料ガスに添加する。ここでは、例えばSiを含む例えば

50

シラン (SiH_4) ガスを所定の流量で原料ガスに添加し、 AlGaN に Si をドーピングする。 Si のドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度 ~ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

以上により、 $i\text{-GaN}$ 層 2 a、バックバリア層 1 2、電子走行層 2 c、中間層 2 d、及び電子供給層 2 e が順次積層されてなる化合物半導体積層構造 2 が形成される。

【0108】

続いて、素子分離構造を形成した後、図 17 (a) に示すように、電子供給層 4 e に電極用リセス 4 e 1 を形成した後、ソース電極 3 及びドレイン電極 4 を形成する。

詳細には、先ず、化合物半導体積層構造 2 の全面にレジストを塗布し、リソグラフィによりレジストを加工する。これにより、電子供給層 4 e におけるゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層 2 e の表層の一部を、例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、電子供給層 2 e のゲート電極の形成予定位置に電極用リセス 4 e 1 が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【0109】

次に、電極材料として例えば Ta/Al (下層が Ta 、上層が Al) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを化合物半導体積層構造 2 上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、 Ta/Al を堆積する。 Ta の厚みは 20 nm 程度、 Al の厚みは 200 nm 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した Ta/Al を除去する。その後、 SiC 基板 1 を、例えば窒素雰囲気中において 400 ~ 1000、例えば 550 程度で熱処理し、残存した Ta/Al を電子供給層 2 e とオーミックコンタクトさせる。なお、 Ta/Al が熱処理を行わずとも電子供給層 2 e とオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、 Ta/Al からなるソース電極 3 及びドレイン電極 4 が形成される。

【0110】

続いて、図 17 (b) に示すように、化合物半導体積層構造 2 の表面に保護膜 5 を形成する。

詳細には、ソース電極 3 上及びドレイン電極 4 上を含む化合物半導体積層構造 2 の全面に SiN を、プラズマ CVD 法又はスパッタ法等により例えば 2 nm 程度 ~ 200 nm、例えば 20 nm 程度の厚みに堆積する。以上により、保護膜 5 が形成される。本実施形態では、保護膜 5 はゲート絶縁膜としても機能する。

【0111】

続いて、図 17 (c) に示すように、ゲート電極 6 を形成する。

電極材料として例えば Ni/Au (下層が Ni 、上層が Au) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造 2 層レジストを用いる。このレジストを保護膜 5 上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、 Ni/Au を堆積する。 Ni の厚みは 30 nm 程度、 Au の厚みは 400 nm 程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積した Ni/Au を除去する。これにより、電極用リセス 4 e 1 内を保護膜 5 を介してゲートメタルで埋め込むゲート電極 6 が形成される。ゲート電極 6 は、保護膜 5 を介して電極用リセス 4 e 1 内を埋め込み保護膜 5 上に乗り上げる Ni と、 Ni 上に堆積した Au とから、いわゆるオーバーハング形状に形成される。

【0112】

しかる後、ソース電極 3 及びドレイン電極 4、ゲート電極 6 の電気的接続等の諸工程を経て、MIS 型の $\text{AlGaN}/\text{GaN} \cdot \text{HEMT}$ が形成される。

【0113】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化

10

20

30

40

50

を防止し、ピンチオフ特性及び g_m を向上させるも、確実なノーマリオフを実現する信頼性の高い $AlGaN/GaN \cdot HEMT$ が得られる。

【0114】

(第9の実施形態)

本実施形態では、化合物半導体装置としてMIS型の $AlGaN/GaN \cdot HEMT$ を開示する。

なお、第1の実施形態による $AlGaN/GaN \cdot HEMT$ と同様の構成部材等については、同符号を付して詳しい説明を省略する。

図18及び図19は、第9の実施形態による $AlGaN/GaN \cdot HEMT$ の製造方法における主要工程を示す概略断面図である。

10

【0115】

まず、図18(a)に示すように、SiC基板1上に、 $i-GaN$ 層2a及び $p-InAlN$ 部13aとなる $p-InAlN$ 層を順次形成する。

詳細には、SiC基板1上に、MOVPE法により、 $i-GaN$ 層2a及び $p-InAlN$ 部13aとなる $p-InAlN$ 層を順次成長する。

$i-GaN$ 層2aは、 $i-GaN$ を例えば $3 \mu m$ 程度の厚みに成長することで形成される。 $p-InAlN$ 部13aとなる $p-InAlN$ 層は、 $p-InAlN$ を例えば $50 nm$ 程度の厚みに成長することで形成される。

【0116】

GaN の成長には、原料ガスとしてGa源であるTMGaガス及び NH_3 ガスの混合ガスを用いる。 $InAlN$ の成長には、原料ガスとしてIn源であるTMInガス、Al源であるTMAIガス、及び NH_3 ガスの混合ガスを用いる。TMInガス、TMAIガスの流量は適宜設定し、 NH_3 ガスの流量は、 $100 sccm \sim 10 slm$ 程度とする。また、成長圧力は $50 Torr \sim 300 Torr$ 程度、成長温度は $1000 \sim 1200$ 程度とする。

20

【0117】

$InAlN$ をp型として成長する際、即ち $p-InAlN$ 部13aとなる $p-InAlN$ 層の形成には、p型不純物であるMg、C、Zn等、例えばMgを $InAlN$ の原料ガスに添加する。ここでは、例えばMgを含む例えば $Cp2Mg$ ガスを所定の流量で原料ガスに添加し、 $InAlN$ にMgをドーピングする。Mgのドーピング濃度は、 $1 \times 10^{16} / cm^3$ 程度 $\sim 1 \times 10^{21} / cm^3$ 程度、例えば $1 \times 10^{19} / cm^3$ 程度とする。

30

$p-InAlN$ 層を形成した後、 $400 \sim 1200$ 程度、例えば 800 程度で $p-InAlN$ 層を熱処理し、p型不純物であるMgを活性化する。

【0118】

続いて、図18(b)に示すように、バックバリア層13を形成する。

まず、 $p-InAlN$ 層上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、 $p-InAlN$ 層のゲート電極の形成予定位置の下方に位置整合する部分($p-InAlN$ 部13aとなる部分)を覆い、他の部分を開口するレジストマスクが形成される。

【0119】

40

このレジストマスクを用いて、 $p-InAlN$ のp型不純物を不活性する不純物、例えばアルゴン(Ar)を加速エネルギー $15 keV$ 、ドーズ量 $1 \times 10^{14} / cm^2$ の条件でイオン注入する。不活性不純物として、Ar以外にホウ素(B)、酸素(O)、リン(P)、鉄(Fe)等を用いても良い。このイオン注入により、 $p-AlGaN$ 層のゲート電極の形成予定位置以外の部分が不活性し、 $p-InAlN$ となって $p-InAlN$ 部13b, 13cが形成される。 $p-InAlN$ 部13b, 13cは、イオン化アクセプタ濃度が $p-InAlN$ 部13aよりも低濃度である。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【0120】

以上により、ゲート電極の形成予定位置の下方に位置整合する部分に形成された $p-I$

50

n-AlN部13aと、p-InAlN部13aの両側に形成されたp⁻-InAlN部13b, 13cとを有するバックバリア層13が形成される。バックバリア層13では、p-InAlN部13aは、p⁻-InAlN部13b, 13cよりもイオン化アクセプタ量が多い、ここではイオン化アクセプタ濃度が高い部分となる。

【0121】

続いて、図18(c)に示すように、バックバリア層13上に、電子走行層2c、中間層2d、及び電子供給層2eを順次形成する。

MOVPE法により、バックバリア層13上に、電子走行層2c、中間層2d、及び電子供給層2eとなる各化合物半導体を順次成長する。電子走行層2cは、i-GaNを100nm程度の厚みに成長することで形成される。中間層2dは、i-AlGaNを5nm程度の厚みに成長することで形成される。電子供給層2eは、n-AlGaNを30nm程度の厚みに成長することで形成される。中間層2dは形成しない場合もある。電子供給層は、i-AlGaNを形成するようにしても良い。

【0122】

GaNの成長には、原料ガスとしてGa源であるTMGaガス及びNH₃ガスの混合ガスを用いる。AlGaNの成長には、原料ガスとしてTMAIガス、TMGaガス及びNH₃ガスの混合ガスを用いる。成長する化合物半導体層に応じて、TMAIガス、TMGaガスの供給の有無及び流量を適宜設定する。共通原料であるNH₃ガスの流量は、100sccm~10slm程度とする。また、成長圧力は50Torr~300Torr程度、成長温度は1000~1200程度とする。

【0123】

AlGaNをn型として成長する際、即ち電子供給層2e(n-AlGaN)の形成には、n型不純物をAlGaNの原料ガスに添加する。ここでは、例えばSiを含む例えばシラン(SiH₄)ガスを所定の流量で原料ガスに添加し、AlGaNにSiをドーピングする。Siのドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度~ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

以上により、i-GaN層2a、バックバリア層13、電子走行層2c、中間層2d、及び電子供給層2eが順次積層されてなる化合物半導体積層構造2が形成される。

【0124】

続いて、素子分離構造を形成した後、図19(a)に示すように、電子供給層4eに電極用リセス4e1を形成した後、ソース電極3及びドレイン電極4を形成する。

詳細には、先ず、化合物半導体積層構造2の全面にレジストを塗布し、リソグラフィによりレジストを加工する。これにより、電子供給層4eにおけるゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層2eの表層の一部を、例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、電子供給層2eのゲート電極の形成予定位置に電極用リセス4e1が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【0125】

次に、電極材料として例えばTa/Al(下層がTa、上層がAl)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを化合物半導体積層構造2上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ta/Alを堆積する。Taの厚みは20nm程度、Alの厚みは200nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したTa/Alを除去する。その後、SiC基板1を、例えば窒素雰囲気中において400~1000、例えば550程度で熱処理し、残存したTa/Alを電子供給層2eとオーミックコンタクトさせる。なお、Ta/Alが熱処理を行わずとも電子供給層2eとオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、Ta/Alからなるソース電極3及びドレイン電極4が形成される。

【 0 1 2 6 】

続いて、図 1 9 (b) に示すように、化合物半導体積層構造 2 の表面に保護膜 5 を形成する。

詳細には、ソース電極 3 上及びドレイン電極 4 上を含む化合物半導体積層構造 2 の全面に SiN を、プラズマ CVD 法又はスパッタ法等により例えば 2 nm 程度 ~ 200 nm、例えば 20 nm 程度の厚みに堆積する。以上により、保護膜 5 が形成される。本実施形態では、保護膜 5 はゲート絶縁膜としても機能する。

【 0 1 2 7 】

続いて、図 1 9 (c) に示すように、ゲート電極 6 を形成する。

電極材料として例えば Ni / Au (下層が Ni、上層が Au) を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば庇構造 2 層レジストを用いる。このレジストを保護膜 5 上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni / Au を堆積する。Ni の厚みは 30 nm 程度、Au の厚みは 400 nm 程度とする。リフトオフ法により、庇構造のレジストマスク及びその上に堆積した Ni / Au を除去する。これにより、電極用リセス 4 e 1 内を保護膜 5 を介してゲートメタルで埋め込むゲート電極 6 が形成される。ゲート電極 6 は、保護膜 5 を介して電極用リセス 4 e 1 内を埋め込み保護膜 5 上に乗り上げる Ni と、Ni 上に堆積した Au とから、いわゆるオーバーハング形状に形成される。

【 0 1 2 8 】

しかる後、ソース電極 3 及びドレイン電極 4、ゲート電極 6 の電気的接続等の諸工程を経て、MIS 型の AlGaIn / GaN · HEMT が形成される。

【 0 1 2 9 】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及び gm を向上させるも、確実なノーマリオフを実現する信頼性の高い AlGaIn / GaN · HEMT が得られる。

【 0 1 3 0 】

なお、本実施形態では、バックバリア層として p - InAlN 層 (p - InAlN 及び p⁻ - InAlN) を形成したが、p - InAlN 層の代わりに p - AlN 層 (p - AlN 及び p⁻ - AlN) を形成しても良い。

【 0 1 3 1 】

(第 1 0 の実施形態)

本実施形態では、化合物半導体装置として MIS 型の AlGaIn / GaN · HEMT を開示する。

なお、第 1 の実施形態による AlGaIn / GaN · HEMT と同様の構成部材等については、同符号を付して詳しい説明を省略する。

図 2 0 及び図 2 1 は、第 1 0 の実施形態による AlGaIn / GaN · HEMT の製造方法における主要工程を示す概略断面図である。

【 0 1 3 2 】

まず、図 2 0 (a) に示すように、SiC 基板 1 上に、i - GaN 層 2 a を形成する。

詳細には、SiC 基板 1 上に、MOVPE 法により、i - GaN を例えば 3 μ m 程度の厚みに成長し、i - GaN 層 2 a を形成する。

【 0 1 3 3 】

GaN の成長には、原料ガスとして Ga 源である TMGa ガス及び NH₃ ガスの混合ガスを用いる。AlGaIn の成長には、原料ガスとして Ga 源である TMGa ガス、Al 源である TMAI ガス、及び NH₃ ガスの混合ガスを用いる。TMGa ガス、TMAI ガスの流量は適宜設定し、NH₃ ガスの流量は、100 sccm ~ 10 slm 程度とする。また、成長圧力は 50 Torr ~ 300 Torr 程度、成長温度は 1000 ~ 1200 程度とする。

【 0 1 3 4 】

続いて、図 2 0 (b) に示すように、バックバリア層 2 b を形成する。

まず、i - GaN層2 a上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、i - GaN層2 aのゲート電極の形成予定位置の下方に位置整合する部分(p - GaN部となる部分)を開口し、i - GaN層2 aの他の部分を覆うレジストマスクが形成される。

【0135】

このレジストマスクを用いて、p型不純物であるMg、C、Zn等、例えばMgをi - GaN層2 aの表層部分にイオン注入する。400 ~ 1200 程度、例えば800 程度で熱処理し、p型不純物であるMgを活性化する。以上により、i - GaN層2 aの表層には、ゲート電極の形成予定位置の下方に位置整合する部分にp - GaN部2 b 1が形成される。p - GaN部2 b 1は、イオン化アクセプタ濃度が $1 \times 10^{16} / \text{cm}^3$ 程度 ~ $1 \times 10^{21} / \text{cm}^3$ 程度、例えば $1 \times 10^{19} / \text{cm}^3$ 程度となる。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

10

【0136】

次に、p - GaN部2 b 1上を含むi - GaN層2 a上にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、p - GaN部2 b 1を覆い、i - GaN層2 aの他の部分を開口するレジストマスクが形成される。

【0137】

このレジストマスクを用いて、p型不純物であるMg、C、Zn等、例えばMgをi - GaN層2 aの表層部分にイオン注入する。400 ~ 1200 程度、例えば800 程度で熱処理し、p型不純物であるMgを活性化する。以上により、i - GaN層2 aの表層には、p - GaN部2 b 1の両側にp⁻ - GaN部2 b 8, 2 b 9が形成される。p⁻ - GaN部2 b 8, 2 b 9は、厚みがp - GaN部2 b 1と同一であり、イオン化アクセプタ濃度がp - GaN部2 b 1よりも低濃度である。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

20

【0138】

以上により、ゲート電極の形成予定位置の下方に位置整合する部分に形成されたp - GaN部2 b 1と、p - GaN部2 b 1の両側に形成されたp⁻ - GaN部2 b 8, 2 b 9とを有するバックバリア層2 bが形成される。バックバリア層2 bでは、p - GaN部2 b 1は、p⁻ - GaN部2 b 8, 2 b 9よりもイオン化アクセプタ量が多い、ここではイオン化アクセプタ濃度が高い部分となる。

30

【0139】

続いて、図20(c)に示すように、バックバリア層2 b上に、電子走行層2 c、中間層2 d、及び電子供給層2 eを順次形成する。

MOVPE法により、バックバリア層2 b上に、電子走行層2 c、中間層2 d、及び電子供給層2 eとなる各化合物半導体を順次成長する。電子走行層2 cは、i - GaNを100 nm程度の厚みに成長することで形成される。中間層2 dは、i - AlGaInを5 nm程度の厚みに成長することで形成される。電子供給層2 eは、n - AlGaInを30 nm程度の厚みに成長することで形成される。中間層2 dは形成しない場合もある。電子供給層は、i - AlGaInを形成するようにしても良い。

【0140】

GaNの成長には、原料ガスとしてGa源であるTMGaガス及びNH₃ガスの混合ガスを用いる。AlGaInの成長には、原料ガスとしてTMAIガス、TMGaガス及びNH₃ガスの混合ガスを用いる。成長する化合物半導体層に応じて、TMAIガス、TMGaガスの供給の有無及び流量を適宜設定する。共通原料であるNH₃ガスの流量は、100 sccm ~ 10slm程度とする。また、成長圧力は50Torr ~ 300Torr程度、成長温度は1000 ~ 1200 程度とする。

40

【0141】

AlGaInをn型として成長する際、即ち電子供給層2 e(n - AlGaIn)の形成には、n型不純物をAlGaInの原料ガスに添加する。ここでは、例えばSiを含む例えばシラン(SiH₄)ガスを所定の流量で原料ガスに添加し、AlGaInにSiをドーピン

50

グする。Siのドーピング濃度は、 $1 \times 10^{18} / \text{cm}^3$ 程度～ $1 \times 10^{20} / \text{cm}^3$ 程度、例えば $5 \times 10^{18} / \text{cm}^3$ 程度とする。

以上により、i-GaN層2a、バックバリア層2b、電子走行層2c、中間層2d、及び電子供給層2eが順次積層されてなる化合物半導体積層構造2が形成される。

【0142】

続いて、素子分離構造を形成した後、図21(a)に示すように、電子供給層4eに電極用リセス4e1を形成した後、ソース電極3及びドレイン電極4を形成する。

詳細には、まず、化合物半導体積層構造2の全面にレジストを塗布し、リソグラフィーによりレジストを加工する。これにより、電子供給層4eにおけるゲート電極の形成予定位置を露出する開口を有するレジストマスクが形成される。

このレジストマスクを用いて、電子供給層2eの表層の一部を、例えばフッ素系ガスをエッチングガスとして用いてドライエッチングする。これにより、電子供給層2eのゲート電極の形成予定位置に電極用リセス4e1が形成される。レジストマスクは、アッシング処理又は所定の薬液を用いたウェット処理により除去される。

【0143】

次に、電極材料として例えばTa/Al(下層がTa、上層がAl)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを化合物半導体積層構造2上に塗布し、ソース電極及びドレイン電極の各形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ta/Alを堆積する。Taの厚みは20nm程度、Alの厚みは200nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したTa/Alを除去する。その後、SiC基板1を、例えば窒素雰囲気中において400～1000、例えば550程度で熱処理し、残存したTa/Alを電子供給層2eとオーミックコンタクトさせる。なお、Ta/Alが熱処理を行わずとも電子供給層2eとオーミックコンタクトする場合には、当該熱処理を行わなくても良い。以上により、Ta/Alからなるソース電極3及びドレイン電極4が形成される。

【0144】

続いて、図21(b)に示すように、化合物半導体積層構造2の表面に保護膜5を形成する。

詳細には、ソース電極3上及びドレイン電極4上を含む化合物半導体積層構造2の全面にSiNを、プラズマCVD法又はスパッタ法等により例えば2nm程度～200nm、例えば20nm程度の厚みに堆積する。以上により、保護膜5が形成される。本実施形態では、保護膜5はゲート絶縁膜としても機能する。

【0145】

続いて、図21(c)に示すように、ゲート電極6を形成する。

電極材料として例えばNi/Au(下層がNi、上層がAu)を用いる。電極形成には、蒸着法及びリフトオフ法に適した例えば底構造2層レジストを用いる。このレジストを保護膜5上に塗布し、ゲート電極の形成予定位置を開口するレジストマスクを形成する。このレジストマスクを用いて、例えば蒸着法により、Ni/Auを堆積する。Niの厚みは30nm程度、Auの厚みは400nm程度とする。リフトオフ法により、底構造のレジストマスク及びその上に堆積したNi/Auを除去する。これにより、電極用リセス4e1内を保護膜5を介してゲートメタルで埋め込むゲート電極6が形成される。ゲート電極6は、保護膜5を介して電極用リセス4e1内を埋め込み保護膜5上に乗上げるNiと、Ni上に堆積したAuとから、いわゆるオーバーハング形状に形成される。

【0146】

しかる後、ソース電極3及びドレイン電極4、ゲート電極6の電気的接続等の諸工程を経て、MIS型のAlGaN/GaN・HEMTが形成される。

【0147】

以上説明したように、本実施形態によれば、電流コラプス等のトラップ起因の特性劣化を防止し、ピンチオフ特性及びgmを向上させるも、確実なノーマリオフを実現する信頼

10

20

30

40

50

性の高いAlGa_N/Ga_N・HEMTが得られる。

【0148】

以上、第1～第10の実施形態を説明したが、これらの実施形態では、その特徴を適宜組み合わせることができる。数例を以下に示す。

例えば、第6の実施形態によるInAlN/GaN・HEMTにおいて、第3の実施形態の特徴であるゲートリセス構造（電子供給層11に形成された電極リセスに（保護膜5を介して）ゲート電極6が形成される構造）を採用することができる。

また例えば、第6の実施形態によるInAlN/GaN・HEMTにおいて、第1の実施形態の特徴であるショットキー接触の構造（保護膜5の開口5aを通じてゲート電極6が化合物半導体積層構造2とショットキー接触する）構造）を採用することができる。

また例えば、第9又は第10の実施形態によるAlGa_N/Ga_N・HEMTにおいて、第5の実施形態の特徴であるバックバリア層のイオン化アクセプタ量の多い部分の偏倚延在構造を採用することができる。

また例えば、第9又は第10の実施形態によるAlGa_N/Ga_N・HEMTにおいて、第7の実施形態の特徴であるバックバリア層の膜厚を部分的に変えた構造を採用することができる。

【0149】

第1～第10の実施形態によるHEMTは、いわゆるディスクリートパッケージに適用される。

このディスクリートパッケージでは、第1～第10の実施形態によるHEMTのチップが搭載される。以下、第1～第10の実施形態によるHEMTのチップ（以下、HEMTチップと言う）のディスクリートパッケージについて例示する。

【0150】

HEMTチップの概略構成を図22に示す。

HEMTチップ100では、その表面に、上述したAlGa_N/Ga_N・HEMTのトランジスタ領域101と、ドレイン電極が接続されたドレインパッド102と、ゲート電極が接続されたゲートパッド103と、ソース電極が接続されたソースパッド104とが設けられている。

【0151】

図23は、ディスクリートパッケージを示す概略平面図である。

ディスクリートパッケージを作製するには、まず、HEMTチップ100を、ハンダ等のダイアタッチ剤111を用いてリードフレーム112に固定する。リードフレーム112にはドレインリード112aが一体形成されており、ゲートリード112b及びソースリード112cがリードフレーム112と別体として離間して配置される。

【0152】

続いて、Alワイヤ113を用いたボンディングにより、ドレインパッド102とドレインリード112a、ゲートパッド103とゲートリード112b、ソースパッド104とソースリード112cをそれぞれ電氣的に接続する。

その後、モールド樹脂114を用いて、トランスファーマールド法によりHEMTチップ100を樹脂封止し、リードフレーム112を切り離す。以上により、ディスクリートパッケージが形成される。

【0153】

（第11の実施形態）

本実施形態では、第1～第10の実施形態から選ばれたHEMTを備えたPFC（Power Factor Correction）回路を開示する。

図24は、PFC回路を示す結線図である。

【0154】

PFC回路20は、スイッチ素子（トランジスタ）21と、ダイオード22と、チョークコイル23と、コンデンサ24、25と、ダイオードブリッジ26と、交流電源（AC）27とを備えて構成される。スイッチ素子21に、第1～第10の実施形態から選ばれ

10

20

30

40

50

た H E M T が適用される。

【 0 1 5 5 】

P F C 回路 2 0 では、スイッチ素子 2 1 のドレイン電極と、ダイオード 2 2 のアノード端子及びチョークコイル 2 3 の一端とが接続される。スイッチ素子 2 1 のソース電極と、コンデンサ 2 4 の一端及びコンデンサ 2 5 の一端とが接続される。コンデンサ 2 4 の他端子とチョークコイル 2 3 の他端子とが接続される。コンデンサ 2 5 の他端子とダイオード 2 2 のカソード端子とが接続される。コンデンサ 2 4 の両端子間には、ダイオードブリッジ 2 6 を介して A C 2 7 が接続される。コンデンサ 2 5 の両端子間には、直流電源 (D C) が接続される。なお、スイッチ素子 2 1 には不図示の P F C コントローラが接続される。

10

【 0 1 5 6 】

本実施形態では、第 1 ~ 第 1 0 の実施形態から選ばれた H E M T を P F C 回路 2 0 に適用する。これにより、信頼性の高い P F C 回路 3 0 が実現する。

【 0 1 5 7 】

(第 1 2 の実施形態)

本実施形態では、第 1 ~ 第 1 0 の実施形態から選ばれた H E M T を備えた電源装置を開示する。

図 2 5 は、第 1 2 の実施形態による電源装置の概略構成を示す結線図である。

【 0 1 5 8 】

本実施形態による電源装置は、高圧の一次側回路 3 1 及び低圧の二次側回路 3 2 と、一次側回路 3 1 と二次側回路 3 2 との間に配設されるトランス 3 3 とを備えて構成される。

20

一次側回路 3 1 は、第 1 1 の実施形態による P F C 回路 2 0 と、P F C 回路 2 0 のコンデンサ 2 5 の両端子間に接続されたインバータ回路、例えばフルブリッジインバータ回路 3 0 とを有している。フルブリッジインバータ回路 3 0 は、複数 (ここでは 4 つ) のスイッチ素子 3 4 a , 3 4 b , 3 4 c , 3 4 d を備えて構成される。

二次側回路 3 2 は、複数 (ここでは 3 つ) のスイッチ素子 3 5 a , 3 5 b , 3 5 c を備えて構成される。

【 0 1 5 9 】

本実施形態では、一次側回路 3 1 を構成する P F C 回路が第 2 の実施形態による P F C 回路 2 0 であると共に、フルブリッジインバータ回路 3 0 のスイッチ素子 3 4 a , 3 4 b , 3 4 c , 3 4 d が、第 1 ~ 第 1 0 の実施形態から選ばれた H E M T とされている。一方、二次側回路 3 2 のスイッチ素子 3 5 a , 3 5 b , 3 5 c は、シリコンを用いた通常の M I S ・ F E T とされている。

30

【 0 1 6 0 】

本実施形態では、第 1 1 の実施形態による P F C 回路 2 0 と、第 1 ~ 第 1 0 の実施形態から選ばれた H E M T とを、高圧回路である一次側回路 3 1 に適用する。これにより、信頼性の高い大電力の電源装置が実現する。

【 0 1 6 1 】

(第 1 3 の実施形態)

本実施形態では、第 1 ~ 第 1 0 の実施形態から選ばれた H E M T を備えた高周波増幅器を開示する。

40

図 2 6 は、第 1 3 の実施形態による高周波増幅器の概略構成を示す結線図である。

【 0 1 6 2 】

本実施形態による高周波増幅器は、デジタル・プレディストーション回路 4 1 と、ミキサ 4 2 a , 4 2 b と、パワーアンプ 4 3 とを備えて構成される。

デジタル・プレディストーション回路 4 1 は、入力信号の非線形歪みを補償するものである。ミキサ 4 2 a は、非線形歪みが補償された入力信号と交流信号をミキシングするものである。パワーアンプ 4 3 は、交流信号とミキシングされた入力信号を増幅するものであり、第 1 の実施形態及び変形例のうちから選ばれた 1 種による A l G a N / G a N ・ H E M T を有している。なお図 2 6 では、例えばスイッチの切り替えにより、出力側の

50

信号をミキサー 4 2 b で交流信号とミキシングしてデジタル・プレディストーション回路 4 1 に送出できる構成とされている。

【 0 1 6 3 】

本実施形態では、第 1 ~ 第 1 0 の実施形態から選ばれた H E M T を高周波増幅器に適用する。これにより、信頼性の高い高耐圧の高周波増幅器が実現する。

【 0 1 6 4 】

以下、化合物半導体装置及びその製造方法、並びに電源装置及び高周波増幅器の諸態様を付記としてまとめて記載する。

【 0 1 6 5 】

(付記 1) 二次元電子ガスが生成される化合物半導体積層構造と、
前記化合物半導体積層構造の上方に形成された電極と
を含み、
前記化合物半導体積層構造は、前記二次元電子ガスの生成部位の下方に p 型半導体層を有しており、
前記 p 型半導体層は、前記電極の下方に位置整合する部分その他の部分よりもイオン化アクセプタ量が多いことを特徴とする化合物半導体装置。

10

【 0 1 6 6 】

(付記 2) 前記 p 型半導体層は、p - G a N、p - A l G a N、p - I n A l N、及び p - A l N から選ばれた 1 種を材料とすることを特徴とする付記 1 に記載の化合物半導体装置。

20

【 0 1 6 7 】

(付記 3) 前記 p 型半導体層は、前記その他の部分が不活性不純物を含有することを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

【 0 1 6 8 】

(付記 4) 前記 p 型半導体層は、前記その他の部分が前記イオン化アクセプタ量の多い部分よりも薄いことを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

【 0 1 6 9 】

(付記 5) 前記 p 型半導体層は、前記その他の部分が前記イオン化アクセプタ量の多い部分よりもイオン化アクセプタ濃度が低いことを特徴とする付記 1 又は 2 に記載の化合物半導体装置。

30

【 0 1 7 0 】

(付記 6) 前記 p 型半導体層は、前記イオン化アクセプタ量の多い部分が前記電極の片方側に偏倚するように延在することを特徴とする付記 1 ~ 5 のいずれか 1 項に記載の化合物半導体装置。

【 0 1 7 1 】

(付記 7) 前記電極は、前記化合物半導体積層構造に接触して形成されることを特徴とする付記 1 ~ 5 のいずれか 1 項に記載の化合物半導体装置。

【 0 1 7 2 】

(付記 8) 前記電極は、前記化合物半導体積層構造上で絶縁膜を介して形成されることを特徴とする付記 1 ~ 5 のいずれか 1 項に記載の化合物半導体装置。

40

【 0 1 7 3 】

(付記 9) 前記電極は、前記化合物半導体積層構造に形成されたりセスを前記絶縁膜を介して埋め込むように形成されることを特徴とする付記 8 に記載の化合物半導体装置。

【 0 1 7 4 】

(付記 1 0) 二次元電子ガスが生成される化合物半導体積層構造を形成する工程と、
前記化合物半導体積層構造の上方に電極を形成する工程と
を含み、
前記化合物半導体積層構造を形成する際に、前記二次元電子ガスの生成部位の下方に相当する部分に p 型半導体層を形成し、
前記 p 型半導体層は、前記電極の下方に位置整合する部分その他の部分よりもイオン

50

化アクセプタ量が多いことを特徴とする化合物半導体装置の製造方法。

【0175】

(付記11)前記p型半導体層は、p-GaN、p-AlGaN、p-InAlN、及びp-AlNから選ばれた1種を材料とすることを特徴とする付記10に記載の化合物半導体装置の製造方法。

【0176】

(付記12)前記p型半導体層は、前記その他の部分が不活性不純物を含有することを特徴とする付記10又は11に記載の化合物半導体装置の製造方法。

【0177】

(付記13)前記p型半導体層は、前記その他の部分が前記イオン化アクセプタ量の多い部分よりも薄いことを特徴とする付記10又は11に記載の化合物半導体装置の製造方法。

10

【0178】

(付記14)前記p型半導体層は、前記その他の部分が前記イオン化アクセプタ量の多い部分よりもイオン化アクセプタ濃度が低いことを特徴とする付記10又は11に記載の化合物半導体装置の製造方法。

【0179】

(付記15)前記p型半導体層は、前記イオン化アクセプタ量の多い部分が前記電極の片方側に偏倚するように延在することを特徴とする付記10～14のいずれか1項に記載の化合物半導体装置の製造方法。

20

【0180】

(付記16)前記電極は、前記化合物半導体積層構造に接触して形成されることを特徴とする付記10～14のいずれか1項に記載の化合物半導体装置の製造方法。

【0181】

(付記17)前記電極は、前記化合物半導体積層構造上で絶縁膜を介して形成されることを特徴とする付記10～14のいずれか1項に記載の化合物半導体装置の製造方法。

【0182】

(付記18)前記電極は、前記化合物半導体積層構造に形成されたりセスを前記絶縁膜を介して埋め込むように形成されることを特徴とする付記17に記載の化合物半導体装置の製造方法。

30

【0183】

(付記19)変圧器と、前記変圧器を挟んで高圧回路及び低圧回路とを備えた電源回路であって、

前記高圧回路はトランジスタを有しており、

前記トランジスタは、

二次元電子ガスが生成される化合物半導体積層構造と、

前記化合物半導体積層構造の上方に形成された電極と

を含み、

前記化合物半導体積層構造は、前記二次元電子ガスの生成部位の下方にp型半導体層を有しており、

40

前記p型半導体層は、前記電極の下方に位置整合する部分がある他の部分よりもイオン化アクセプタ量が多いことを特徴とする電源回路。

【0184】

(付記20)入力した高周波電圧を増幅して出力する高周波増幅器であって、

トランジスタを有しており、

前記トランジスタは、

二次元電子ガスが生成される化合物半導体積層構造と、

前記化合物半導体積層構造の上方に形成された電極と

を含み、

前記化合物半導体積層構造は、前記二次元電子ガスの生成部位の下方にp型半導体層を

50

有しており、

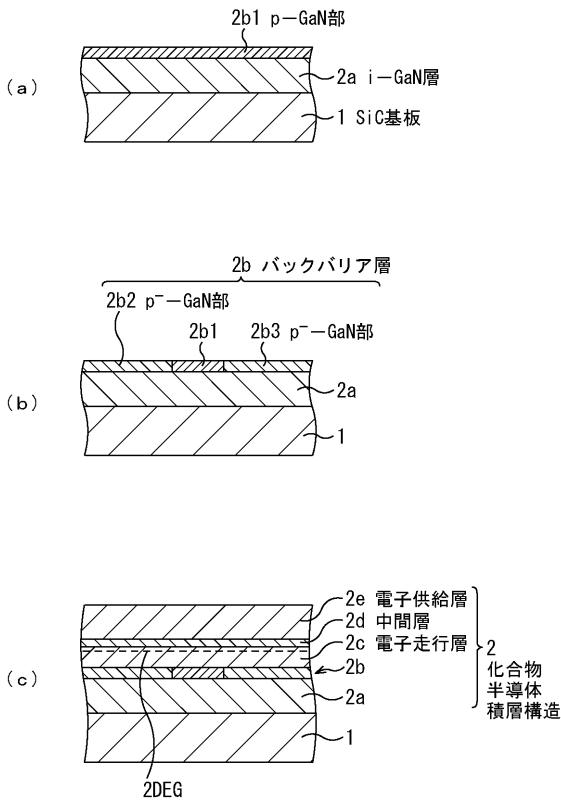
前記 p 型半導体層は、前記電極の下方に位置整合する部分がその他の部分よりもイオン化アクセプタ量が多いことを特徴とする高周波増幅器。

【符号の説明】

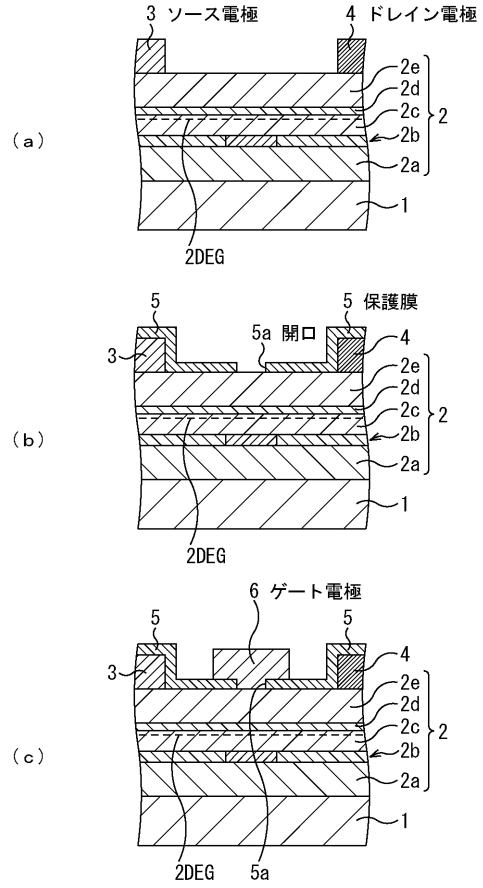
【 0 1 8 5 】

1	S i C 基板	
2	化合物半導体積層構造	
2 a	i - G a N 層	
2 b , 1 2 , 1 3	バックバリア層	
2 b 1	p - G a N 部	10
2 b 2 , 2 b 3 , 2 b 4 , 2 b 5 , 2 b 6 , 2 b 7 , 2 b 8 , 2 b 9	p ⁻ - G a N 部	
2 c	電子走行層	
2 d	中間層	
2 e , 1 1	電子供給層	
2 e 1 , 2 f 1 , 2 f 2	電極用リセス	
2 f	キャップ層	
3	ソース電極	
4	ドレイン電極	
5	保護膜	
6	ゲート電極	20
1 2 a	p - A l G a N 部	
1 2 b , 1 2 c	p ⁻ - A l G a N 部	
1 3 a	p - I n A l N 部	
1 3 b , 1 3 c	p ⁻ - I n A l N 部	
2 0	P F C 回路	
2 1 , 3 4 a , 3 4 b , 3 4 c , 3 4 d , 3 5 a , 3 5 b , 3 5 c	スイッチ素子	
2 2	ダイオード	
2 3	チョークコイル	
2 4 , 2 5	コンデンサ	
2 6	ダイオードブリッジ	30
3 0	フルブリッジインバータ回路	
3 1	一次側回路	
3 2	二次側回路	
3 3	トランス	
4 1	デジタル・プレディストーション回路	
4 2 a , 4 2 b	ミキサー	
4 3	パワーアンプ	
1 0 0	H E M T チップ	
1 0 1	トランジスタ領域	
1 0 2	ドレインパッド	40
1 0 3	ゲートパッド	
1 0 4	ソースパッド	
1 1 1	ダイアタッチ剤	
1 1 2	リードフレーム	
1 1 2 a	ドレインリード	
1 1 2 b	ゲートリード	
1 1 2 c	ソースリード	
1 1 3	A l ワイヤ	
1 1 4	モールド樹脂	

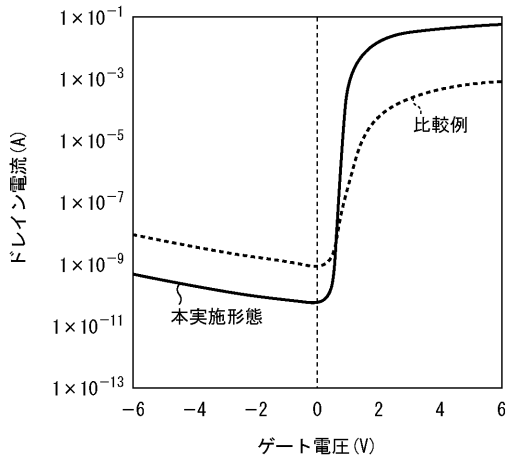
【図1】



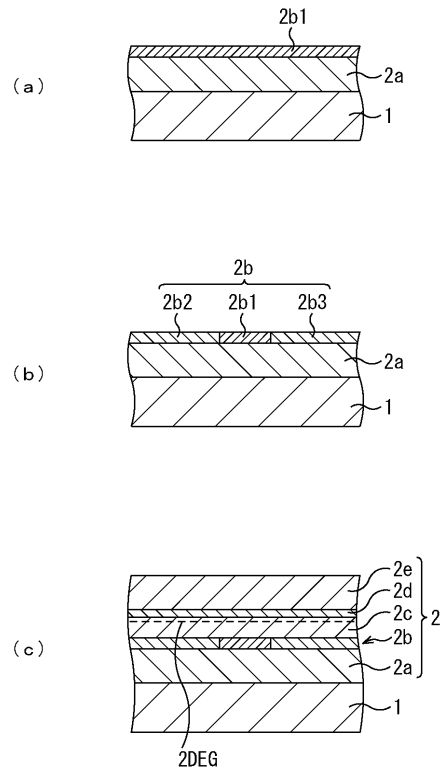
【図2】



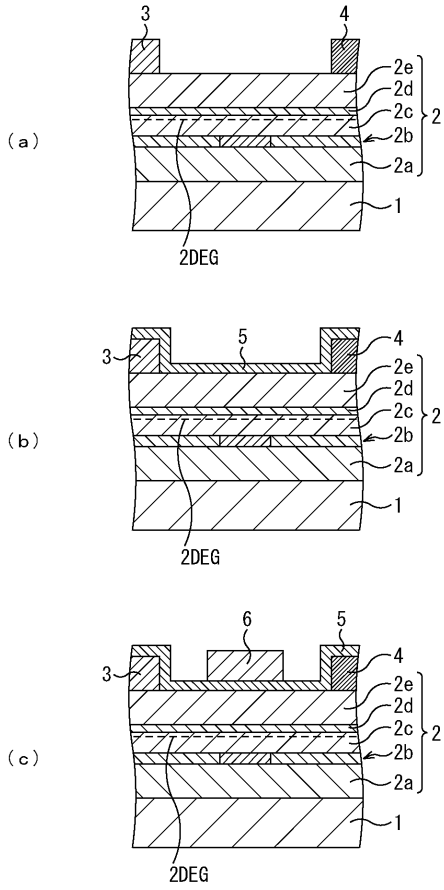
【図3】



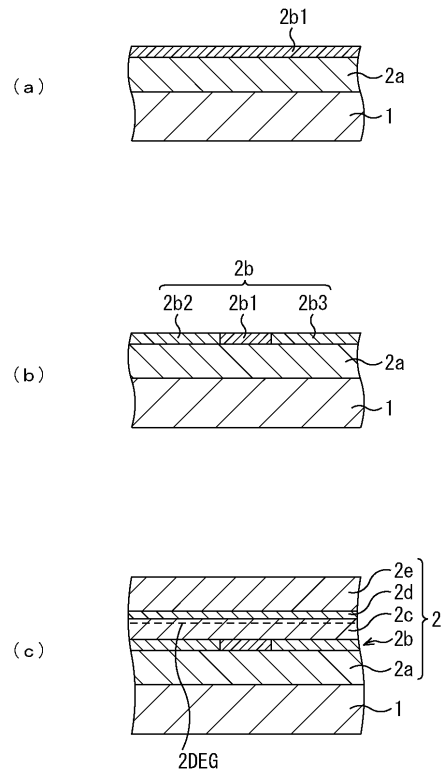
【図4】



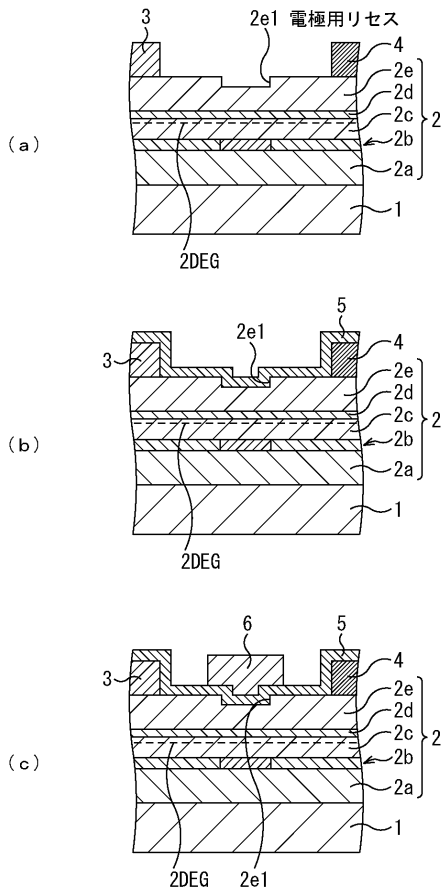
【図5】



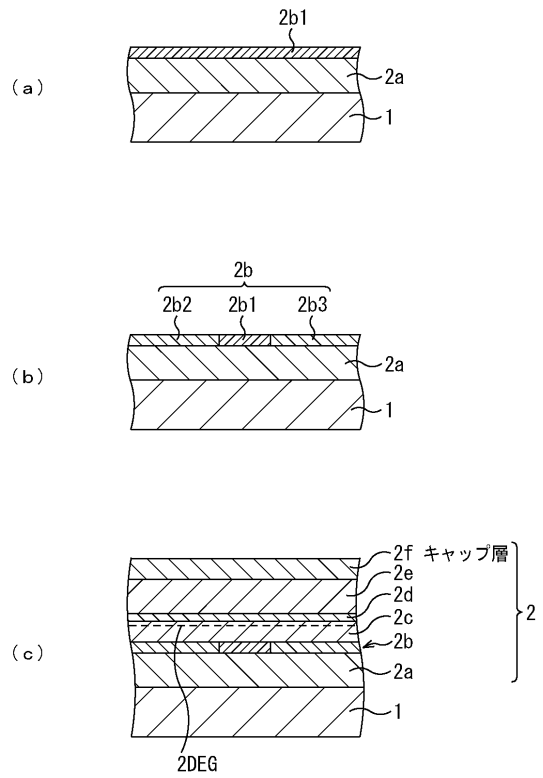
【図6】



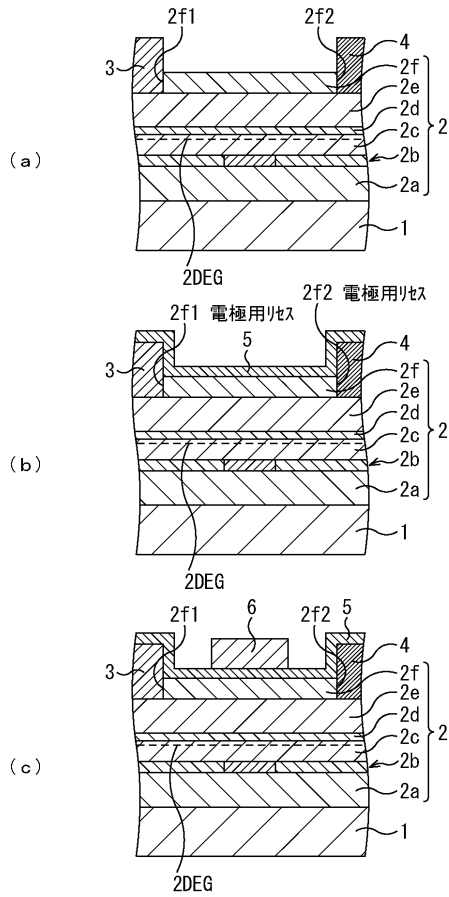
【図7】



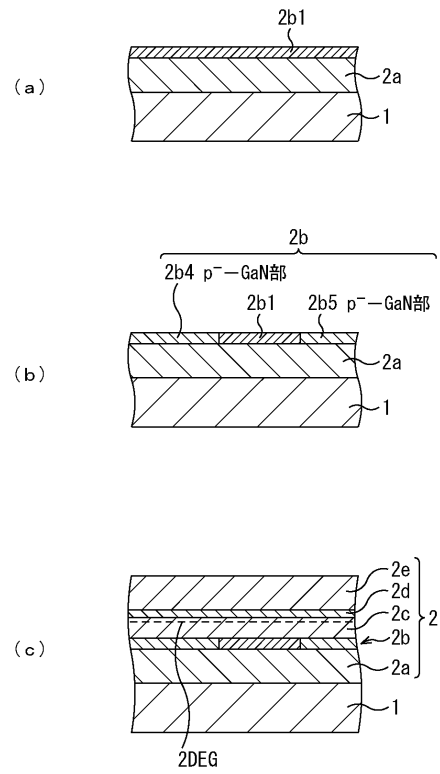
【図8】



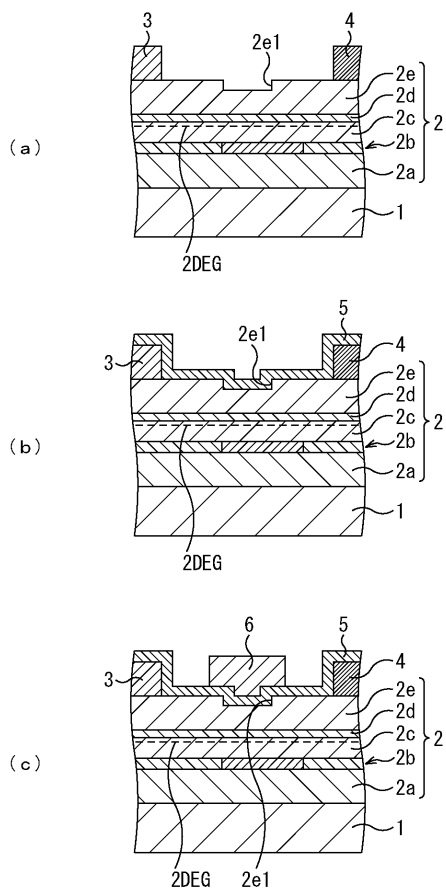
【図9】



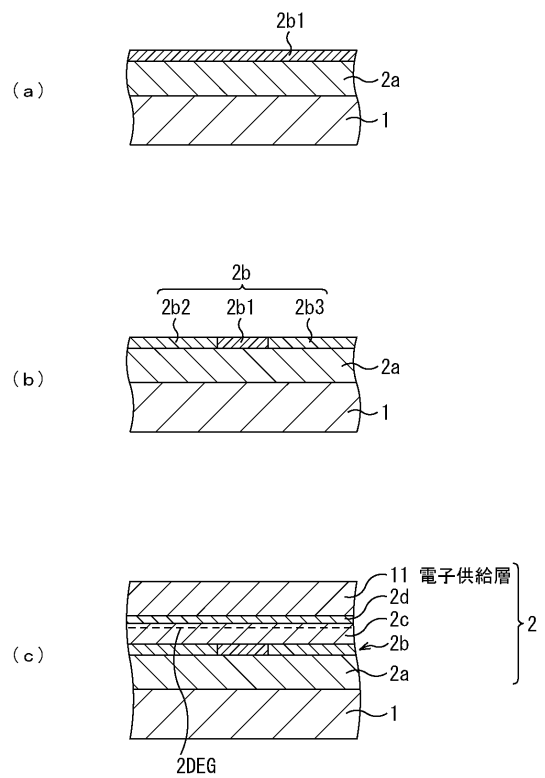
【図10】



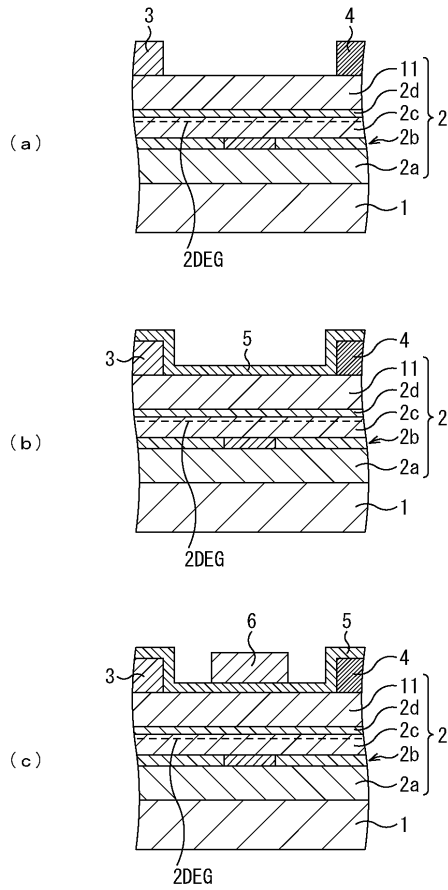
【図11】



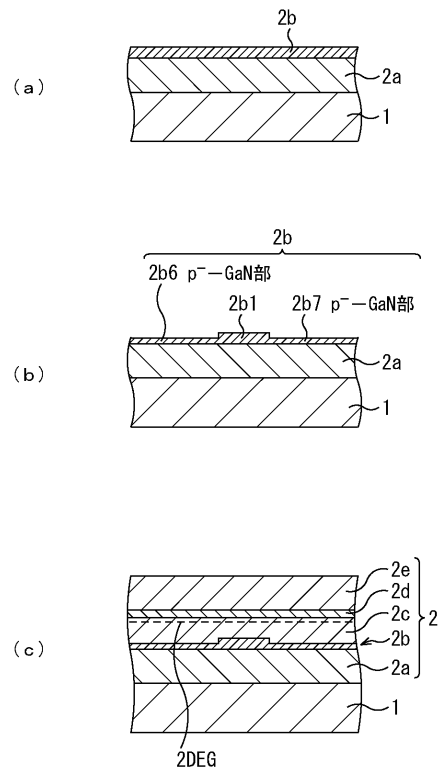
【図12】



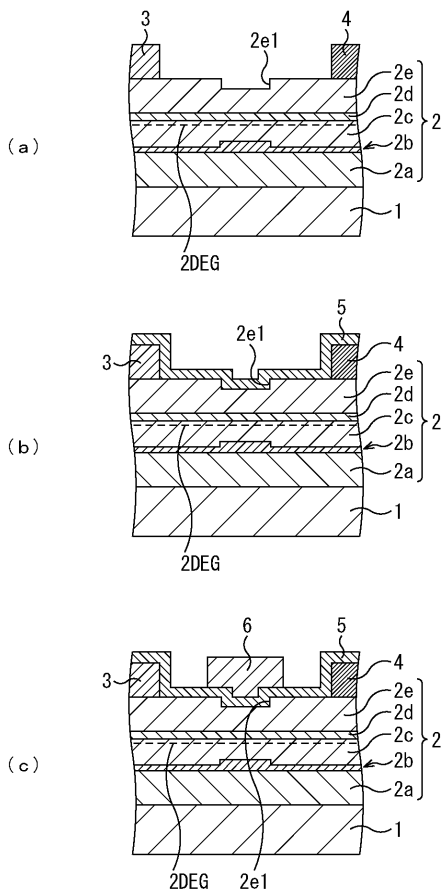
【図13】



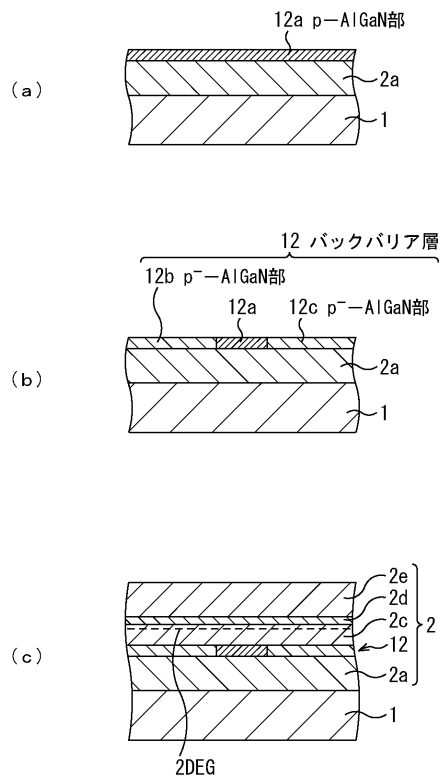
【図14】



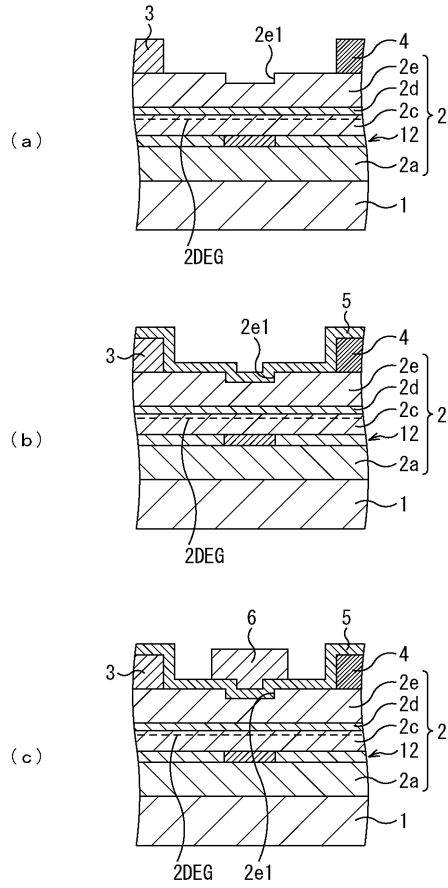
【図15】



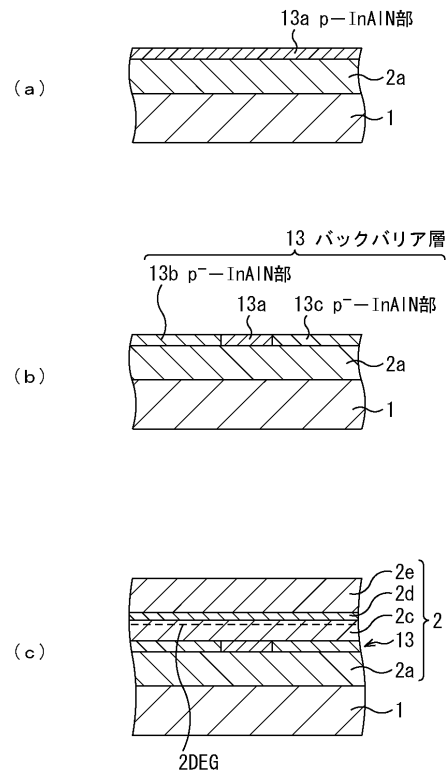
【図16】



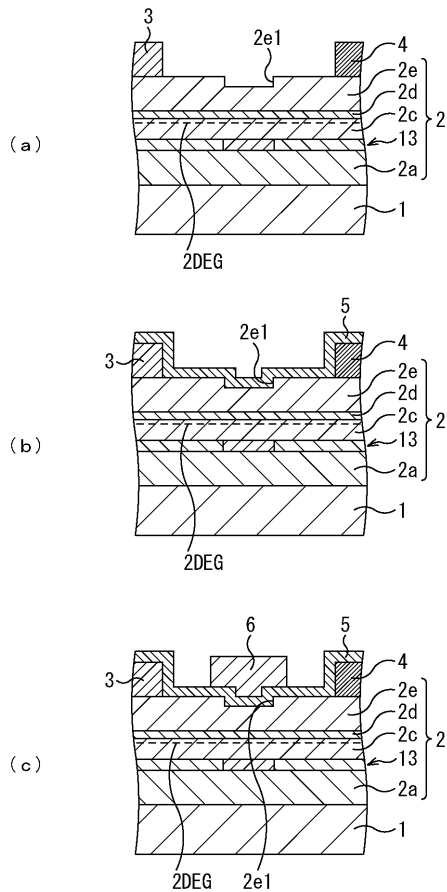
【図17】



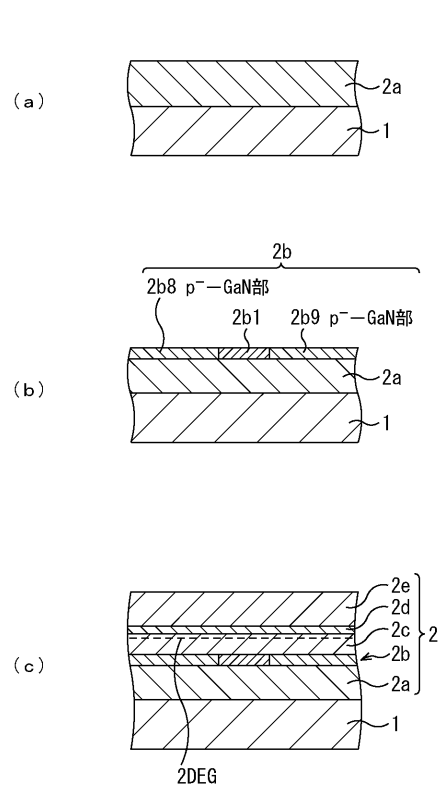
【図18】



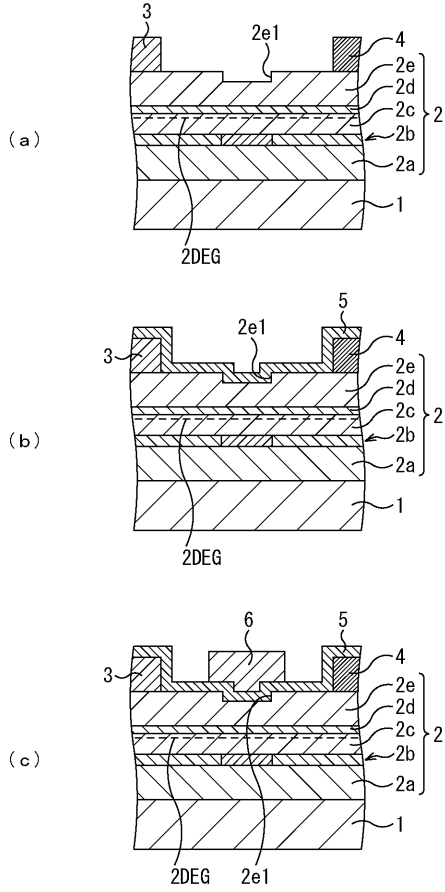
【図19】



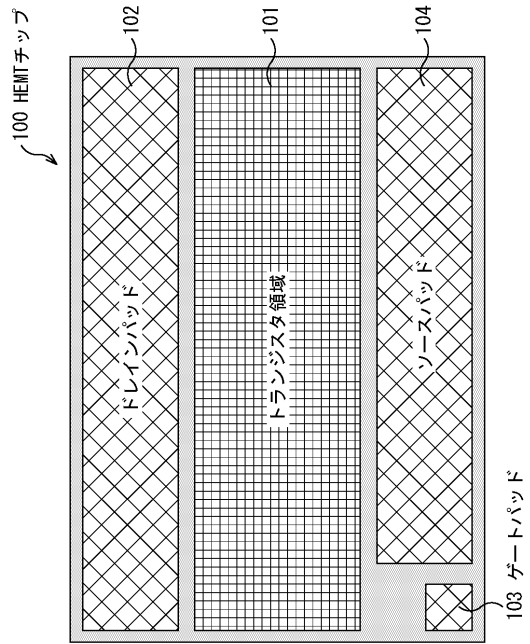
【図20】



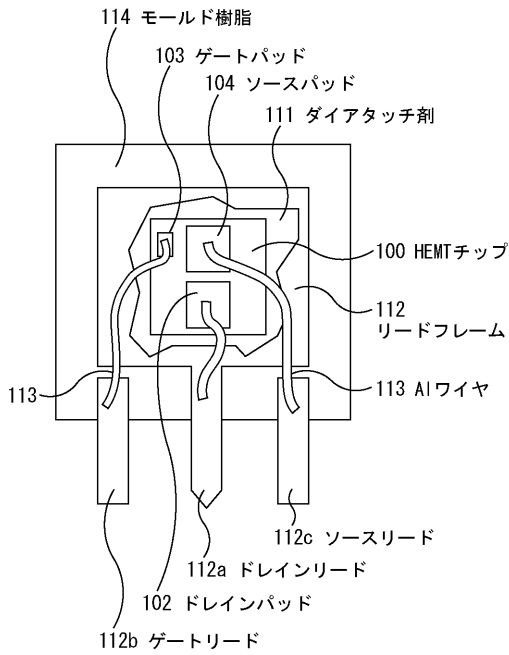
【図 2 1】



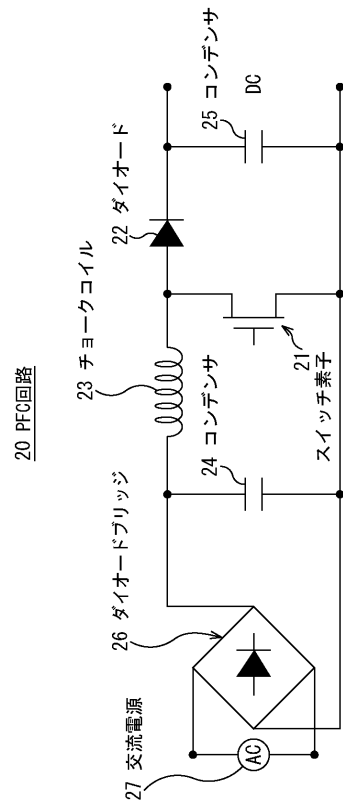
【図 2 2】



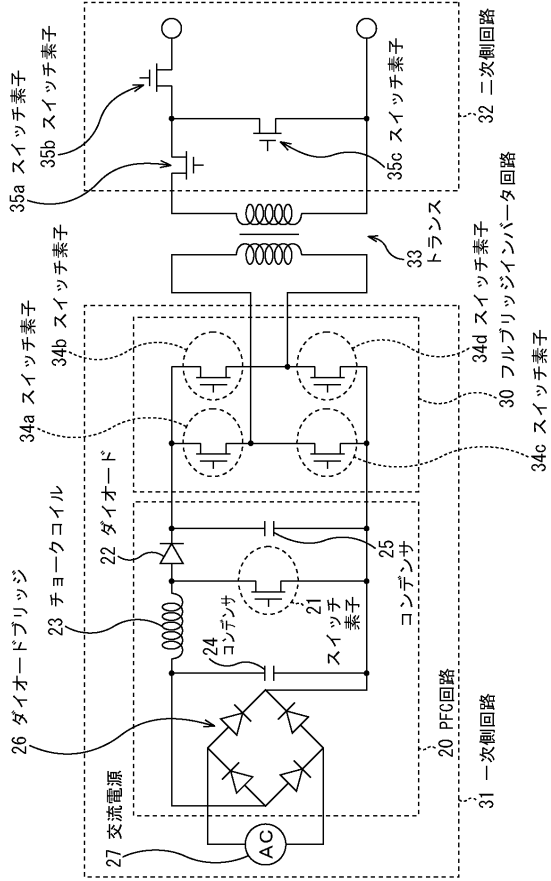
【図 2 3】



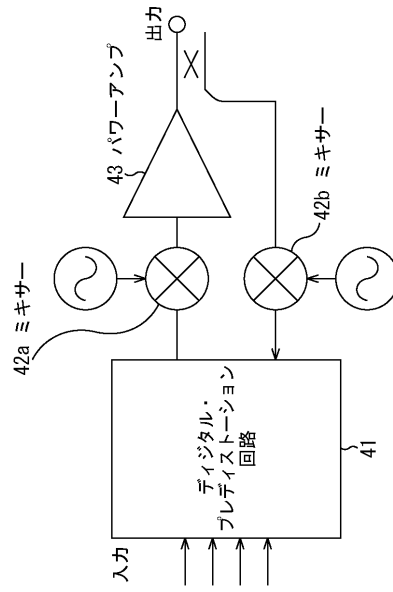
【図 2 4】



【図 25】



【図 26】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/205 (2006.01)

(72)発明者 多木 俊裕
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 小川 将之

(56)参考文献 特開2007-103451(JP,A)
特開2000-114275(JP,A)
特開2004-342810(JP,A)
特開2012-248632(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 7 8
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 1 2
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 3 3 8