



(12)发明专利申请

(10)申请公布号 CN 111463176 A

(43)申请公布日 2020.07.28

(21)申请号 201910057214.5

(22)申请日 2019.01.22

(71)申请人 矽品精密工业股份有限公司
地址 中国台湾台中市潭子区大丰路三段
123号

(72)发明人 邱志贤

(74)专利代理机构 北京戈程知识产权代理有限公司 11314
代理人 程伟 王锦阳

(51) Int. Cl.

H01L 23/31(2006.01)

H01L 21/56(2006.01)

H01L 25/16(2006.01)

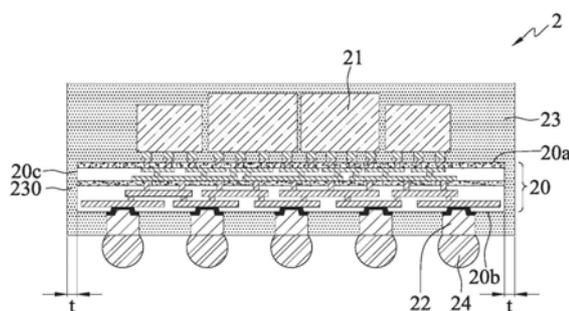
权利要求书2页 说明书6页 附图3页

(54)发明名称

电子封装件及其制法

(57)摘要

一种电子封装件及其制法,于一配置有电子元件的承载结构上形成包覆该承载结构上、下表面及侧面的封装层,以避免水分从该承载结构的侧面进入该电子封装件中。



1. 一种电子封装件,其特征在于,包括:

一承载结构,其具有相对的第一表面、第二表面及多个邻接该第一表面与第二表面的侧面;

至少一电子元件,其设于该承载结构的第一表面及/或第二表面上且电性连接该承载结构;以及

一封装层,其形成于该承载结构的第一表面、第二表面及至少一该侧面上,以包覆该电子元件。

2. 根据权利要求1所述的电子封装件,其特征在于,该电子元件为主动元件、被动元件或其组合。

3. 根据权利要求1所述的电子封装件,其特征在于,该电子元件的部分表面外露于该封装层的表面。

4. 根据权利要求1所述的电子封装件,其特征在于,该封装层定义有对应该第一表面的第一区块及对应该第二表面的第二区块,且该第一区块的厚度相同于该第二区块的厚度。

5. 根据权利要求1所述的电子封装件,其特征在于,该封装层定义有对应该第一表面的第一区块及对应该第二表面的第二区块,且该第一区块的厚度不同于该第二区块的厚度。

6. 根据权利要求1所述的电子封装件,其特征在于,该封装层于该承载结构的该多个侧面上的周部的宽度为相同。

7. 根据权利要求1所述的电子封装件,其特征在于,该封装层于该承载结构的其中一该侧面上的第一周部的宽度不同于该封装层于该承载结构的另一该侧面上的第二周部的宽度。

8. 根据权利要求1所述的电子封装件,其特征在于,该封装层延伸至该承载结构的侧面的周部的宽度至少为5微米。

9. 根据权利要求1所述的电子封装件,其特征在于,该电子封装件还包括埋设于该封装层中且电性连接该承载结构的导电体。

10. 根据权利要求9所述的电子封装件,其特征在于,该电子封装件还包括形成于该导电体上的导电元件。

11. 一种电子封装件的制法,其特征在于,包括:

提供一承载结构,其具有相对的第一表面、第二表面及多个邻接该第一表面与第二表面的侧面;

设置至少一电子元件于该承载结构的第一表面及/或第二表面上;以及

形成一封装层于该承载结构的第一表面、第二表面及至少一该侧面上,以包覆该电子元件。

12. 根据权利要求11所述的电子封装件的制法,其特征在于,该电子元件为主动元件、被动元件或其组合。

13. 根据权利要求11所述的电子封装件的制法,其特征在于,该电子元件的部分表面外露于该封装层的表面。

14. 根据权利要求11所述的电子封装件的制法,其特征在于,该封装层定义有对应该第一表面的第一区块及对应该第二表面的第二区块,且该第一区块的厚度相同于该第二区块的厚度。

15. 根据权利要求11所述的电子封装件的制法,其特征在于,该封装层定义有对应该第一表面的第一区块及对应该第二表面的第二区块,且该第一区块的厚度不同于该第二区块的厚度。

16. 根据权利要求11所述的电子封装件的制法,其特征在于,该封装层于该承载结构的该多个侧面上的周部的宽度为相同。

17. 根据权利要求11所述的电子封装件的制法,其特征在于,该封装层于该承载结构的其中一该侧面上的第一周部的宽度不同于该封装层于该承载结构的另一该侧面上的第二周部的宽度。

18. 根据权利要求11所述的电子封装件的制法,其特征在于,该封装层延伸至该承载结构的侧面的周部的宽度至少为5微米。

19. 根据权利要求11所述的电子封装件的制法,其特征在于,该制法还包括形成导电体于该封装层中,且该导电体电性连接该承载结构。

20. 根据权利要求19所述的电子封装件的制法,其特征在于,该制法还包括形成导电元件于该导电体上。

电子封装件及其制法

技术领域

[0001] 本发明有关一种电子封装件,尤指一种具防潮特性的电子封装件及其制法。

背景技术

[0002] 随着电子产业的蓬勃发展,电子产品也逐渐迈向多功能、高性能的趋势,其中应用于芯片封装领域的技术包含有:芯片尺寸构装(Chip Scale Package,简称CSP)、芯片直接贴附封装(Direct Chip Attached,简称DCA)或多芯片模组封装(Multi-Chip Module,简称MCM)等覆晶型态的封装模组,或将芯片立体堆叠化整合为三维积体电路(3D IC)芯片堆叠技术等。

[0003] 图1为悉知半导体封装件1的剖面示意图。如图1所示,该半导体封装件1于一封装基板10下侧10b形成多个导电柱12,且以第一封装胶体13a包覆该些导电柱12,并使该些导电柱12外露于该第一封装胶体13a,再于该封装基板10上侧10a设置半导体元件11,再以第二封装胶体13b包覆该些半导体元件11,之后形成多个焊球14于该些导电柱12的外露表面上,以供后续将该半导体封装件1透过该些焊球14接置一如电路板或另一线路板的电子装置(图略)。

[0004] 然而,悉知半导体封装件1中,因该封装基板10的侧面10c容易吸收水分,故于进行吸湿敏感性、湿度敏感性或相关湿度测试等制程作业(即MSL test)时,该半导体封装件1常含过多水分,导致于回焊该焊球14时,该封装基板10与该半导体元件11容易分离,甚至造成该半导体元件11碎裂,且于该第一封装胶体13a与第二封装胶体13b中容易产生爆米花效应,致使该半导体封装件1损坏或其使用寿命变短。

[0005] 因此,如何克服上述悉知技术的种种问题,实已成目前亟欲解决的课题。

发明内容

[0006] 鉴于上述悉知技术的种种缺失,本发明提供一种电子封装件及其制法,以避免水分从承载结构的侧面进入电子封装件中。

[0007] 本发明的电子封装件,包括:一承载结构,其具有相对的第一表面、第二表面及多个邻接该第一表面与第二表面的侧面;至少一电子元件,其设于该承载结构的第一表面及/或第二表面上且电性连接该承载结构;以及一封装层,其形成于该承载结构的第一表面、第二表面及至少一该侧面上,以包覆该电子元件。

[0008] 本发明还提供一种电子封装件的制法,包括:提供一承载结构,其具有相对的第一表面、第二表面及多个邻接该第一表面与第二表面的侧面;设置至少一电子元件于该承载结构的第一表面及/或第二表面上;以及形成一封装层于该承载结构的第一表面、第二表面及至少一该侧面上,以包覆该电子元件。。

[0009] 前述的电子封装件及其制法中,该电子元件为主动元件、被动元件或其组合。

[0010] 前述的电子封装件及其制法中,该电子元件的部分表面外露于该封装层的表面。

[0011] 前述的电子封装件及其制法中,该封装层定义有对应该第一表面的第一区块及对

应该第二表面的第二区块,且该第一区块的厚度相同或不同于该第二区块的厚度。

[0012] 前述的电子封装件及其制法中,该封装层于该承载结构的该多个侧面上的周部的宽度为相同。

[0013] 前述的电子封装件及其制法中,该封装层于该承载结构的其中一该侧面上的第一周部的宽度不同于该封装层于该承载结构的另一该侧面上的第二周部的宽度。

[0014] 前述的电子封装件及其制法中,该封装层延伸至该承载结构的侧面的周部的宽度至少为5微米。

[0015] 前述的电子封装件及其制法中,还包括形成导电体于该承载结构中,且该导电体电性连接该承载结构。

[0016] 前述的电子封装件及其制法中,还包括形成导电元件于该导电体上。

[0017] 由上可知,本发明的电子封装件及其制法,主要借由该封装层一体成形于该承载结构的第一表面、第二表面及侧面上,因而该封装层内不会产生连接介面,以避免水分从该承载结构的侧面进入电子封装件中,故相较于悉知技术,在进行相关湿度测试作业时,本发明的电子封装件不会含有过多水分,以达到较佳的MSL测试结果,因而不仅能防止脱层的情况,且于该封装层中不会产生爆米花效应,进而避免该电子封装件损坏或其使用寿命变短的问题。

附图说明

[0018] 图1为悉知半导体封装件的剖面示意图。

[0019] 图2A至图2C为本发明的电子封装件的制法的剖面示意图。

[0020] 图3A及图3B为图2C的其它不同实施例的剖面示意图。

[0021] 符号说明

[0022]	1	半导体封装件
[0023]	10	封装基板
[0024]	10a	上侧
[0025]	10b	下侧
[0026]	10c	侧面
[0027]	11	半导体元件
[0028]	12	导电柱
[0029]	13a	第一封装胶体
[0030]	13b	第二封装胶体
[0031]	14	焊球
[0032]	2, 3a, 3b	电子封装件
[0033]	20	承载结构
[0034]	20a	第一表面
[0035]	20b	第二表面
[0036]	20c	侧面
[0037]	200	线路层
[0038]	201	绝缘材

[0039]	21, 31, 31a, 31b	电子元件
[0040]	21a	作用面
[0041]	21b	非作用面
[0042]	210	导电凸块
[0043]	22, 32	导电体
[0044]	22a	端面
[0045]	23, 33	封装层
[0046]	230	周部
[0047]	231	第一区块
[0048]	232	第二区块
[0049]	23b, 33a	表面
[0050]	24	导电元件
[0051]	310	焊线
[0052]	331	第一周部
[0053]	332	第二周部
[0054]	h1, h2	厚度
[0055]	L	切割道
[0056]	t, t1, t2	宽度。

具体实施方式

[0057] 以下借由特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点及功效。

[0058] 须知,本说明书所附图式所绘示的结构、比例、大小等,均仅用以配合说明书所揭示的内容,以供本领域技术人员的了解与阅读,并非用以限定本发明可实施的限定条件,故不具技术上的实质意义,任何结构的修饰、比例关系的改变或大小的调整,在不影响本发明所能产生的功效及所能达成的目的下,均应仍落在本发明所揭示的技术内容得能涵盖的范围内。同时,本说明书中所引用的如“上”、“第一”、“第二”及“一”等的用语,也仅为便于叙述的明了,而非用以限定本发明可实施的范围,其相对关系的改变或调整,在无实质变更技术内容下,当也视为本发明可实施的范畴。

[0059] 图2A至图2C为本发明的电子封装件2的制法的剖面示意图。

[0060] 如图2A所示,设置至少一电子元件21及形成多个导电体22于一承载结构20上。

[0061] 所述的承载结构20为整版面基板形式,即该整版面基板包含多个承载结构20,该承载结构20例如为具有核心层与线路结构的封装基板(substrate)或无核心层(coreless)的线路结构,其具有相对的第一表面20a(如上表面)与第二表面20b(如下表面),且该线路结构包含绝缘材201及至少一形成于该绝缘材201上的线路层200,如至少一扇出(fan out)型重布线路层(redistribution layer,简称RDL)。

[0062] 在本实施例中,该承载结构20可包括但不限于以晶圆制程完成。例如,由于晶圆制程的线路层200用的绝缘材201需以化学气相沉积(Chemical vapor deposition,简称CVD)形成氮化硅或氧化硅,其成本较高,故可采用一般非晶圆制程方式形成线路层200,即采用

成本较低的高分子介电层作为绝缘材201,如聚酰亚胺(Polyimide,简称PI)、聚对二唑苯(Polybenzoxazole,简称PBO)以涂布方式形成于线路层200之间进行绝缘。

[0063] 所述的电子元件21设于该承载结构20的第一表面20a上。

[0064] 在本实施例中,该电子元件21为主动元件、被动元件或其组合者,其中,该主动元件为例如半导体芯片,而该被动元件为例如电阻、电容及电感。例如,该电子元件21为半导体芯片,其具有相对的作用面21a与非作用面21b,该作用面21a借由多个如焊锡材料、金属柱(pillar)或其它的导电凸块210以覆晶方式设于该线路层200上并电性连接该线路层200;或者,该电子元件21可借由多个焊线310(如图3B所示)以打线方式电性连接该线路层200;亦或,该电子元件21可直接接触该线路层200。然而,有关该电子元件21电性连接该承载结构20的方式不限于上述。

[0065] 所述的导电体22为如铜柱的金属柱,其形成于该承载结构20的第二表面20b上。

[0066] 在本实施例中,该导电体22以图案化方式,如电镀金属、沉积金属或蚀刻金属等制程形成于该承载结构20的第二表面20b上。

[0067] 在另一实施例中,也可以金属框架(图略)方式制作该导电体22。例如,该金属框架包含多个相分离的导电体22,以结合该线路层200。或者,可选择性地,先将包含多个相分离的导电体22的金属框架构于一胶带(图略)上,再将该金属框架以其导电体22结合该线路层200。

[0068] 如图2B所示,借由切割(die saw)制程以于该承载结构20的第一表面20a或第二表面20b上形成多个切割道L,再形成一封装层23于该承载结构20的第一表面20a与第二表面20b上,且令该封装层23填入该些切割道L中,以包覆该些电子元件21与导电体22。

[0069] 在本实施例中,由于该些切割道L位在该整版面基板对应各该承载结构20的四周,故于切割时顺便移除该承载结构20边缘,使该封装层23包覆该承载结构20的侧面20c。具体地,该封装层23为一体成形,故该封装层23内不会产生连接介面,以避免外界水气侵入封装层23。

[0070] 此外,可依需求,移除部分该封装层23,以外露该导电体22的部分表面。例如,于该封装层23上进行整平制程,如研磨方式,使该导电体22的端面22a齐平该封装层23的表面23b。于其它实施例中,也可于该封装层23上进行开孔制程,使该导电体22的端面22a外露于该封装层23的开孔。或者,也可移除该金属框架的多余部分或移除其上的胶带。应可理解地,如图3A所示,也可于封装层33上进行整平制程或开孔制程,使该电子元件21的部分表面(非作用面21b)外露于该封装层33的表面33a。

[0071] 此外,形成该封装层23,33的材质为聚酰亚胺(polyimide,简称PI)、干膜(dry film)、环氧树脂(epoxy)或封装材(molding compound)。因此,于其它实施例中,可利用TMV(through molding via)的技术制作该导电体22,即先形成该封装层23,33,再形成穿孔于该封装层23,33中,之后形成该导电体22于该穿孔中

[0072] 另外,该封装层23定义有对应该承载结构20的第一表面20a的第一区块231(如上区块)及对应该承载结构20的第二表面20b的第二区块232(如下区块),且该第一区块231的厚度 h_1 可相同或不同于该第二区块232的厚度 h_2 ,如 $h_1 = h_2$ 或 $h_1 \neq h_2$ 。例如,于利用TMV制程制作该导电体22时,该第二区块232的厚度 h_2 可尽量薄化,以减少该导电体22的制作时间,故该第一区块231的厚度 h_1 可大于该第二区块232的厚度 h_2 ,即 $h_1 > h_2$ 。

[0073] 如图2C所示,沿各该切割道L进行切单制程,以得到多个电子封装件2,且形成多个导电元件24于该多个导电体22上。

[0074] 在本实施例中,该导电元件24为焊球、锡膏、金属凸块或金属针等,其结合于各该导电体22上以电性连接该线路层200。例如,若该导电元件24为锡膏,则可节省整体制程的成本。

[0075] 此外,该封装层23可延伸至该承载结构20的所有侧面20c,使该封装层23完整地包覆该承载结构20。或者,如图3B所示,可利用切割宽度,使该承载结构20的部分方向的侧面20c没有封装层23。

[0076] 又,该封装层23于该承载结构20的所有侧面20c上的周部230的宽度t为相同。在另一实施例中,如图3A所示,该封装层33于该承载结构20的其中一侧面20c上的第一周部331的宽度t1不同于(如大于)该封装层33于该承载结构20的另一侧面20c上的第二周部332的宽度t2(如 $t_1 > t_2$)。

[0077] 另外,该承载结构20的第二表面20b上也可依需求设置电子元件31a,31b,如图3A及图3B所示的电子封装件3a,3b,其中,电子元件31a,31b为主动元件(如图3A及图3B所示)、被动元件(如图3B所示)或其组合者,且该承载结构20的第一表面20a上也可设置如被动元件的电子元件31(如图3B所示)。因此,该电子封装件2,3a,3b可于承载结构20的第一表面20a与第二表面20b皆可接置所需种类及数量的电子元件21,31,31a,31b,以提升其电性功能。

[0078] 另一方面,导电体32也可依需求形成于该承载结构20的第一表面20a上,如图3B所示,以提供电子封装件3b更多电性功能。

[0079] 本发明的制法中,主要借由该封装层23,33一体成形于该承载结构20的第一表面20a、第二表面20b及侧面20c上,因而该封装层23,33内不会产生连接介面,以避免水分从该承载结构20的侧面20c进入该承载结构20中,故相较于悉知技术,于进行吸湿敏感性、湿度敏感性或相关湿度测试等制程作业(即MSL test)时,本发明的电子封装件2,3a,3b不会含有过多水分,以达到较佳的MSL测试结果,因而不仅能防止脱层的情况(例如,于回焊该导电元件24时,该承载结构20与该电子元件21,31,31a,31b不会分离,且该电子元件21,31,31a,31b不会碎裂),同时于该封装层23,33中不会产生爆米花效应,进而避免该电子封装件2,3a,3b损坏或其使用寿命变短的问题。

[0080] 此外,该封装层23的周部230(第一周部331及第二周部332)的宽度t,t1,t2至少为5微米(μm),以有效防止水气进入该承载结构20中。

[0081] 又,本发明的电子封装件2,3a,3b因具有极佳防潮特性,而适用于车用电子产品或5G电子产品。

[0082] 本发明还提供一种电子封装件2,3a,3b,包括:一承载结构20、至少一电子元件21,31,31a,31b、以及一封装层23,33。

[0083] 所述的承载结构20具有相对的第一表面20a与第二表面20b、及多个邻接该第一表面20a与第二表面20b的侧面20c。

[0084] 所述的电子元件21,31,31a,31b设于该承载结构20的第一表面20a及/或第二表面20b上且电性连接该承载结构20的线路层200。

[0085] 所述的封装层23,33形成于该承载结构20的第一表面20a、第二表面20b及至少一

该侧面20c上,以包覆该电子元件21,31,31a,31b。

[0086] 在一实施例中,该电子元件21,31,31a,31b为主动元件、被动元件或其组合。

[0087] 在一实施例中,该电子元件21,31a的部分表面外露于该封装层33的表面33a,33b。

[0088] 在一实施例中,该封装层23定义有对应该第一表面20a的第一区块231及对应该第二表面20b的第二区块232,且该第一区块231的厚度 h_1 相同于或不同于该第二区块232的厚度 h_2 。

[0089] 在一实施例中,该封装层23于该承载结构20的该多个侧面20c上的周部230的宽度 t 为相同。

[0090] 在一实施例中,该封装层33于该承载结构20的其中一该侧面20c上的第一周部331的宽度 t_1 不同于该封装层33于该承载结构20的另一该侧面20c上的第二周部332的宽度 t_2 。

[0091] 在一实施例中,该封装层23,33延伸至该承载结构20的侧面20c的周部230(第一周部331及第二周部332)的宽度 t, t_1, t_2 至少为5微米。

[0092] 在一实施例中,所述的电子封装件2,3a,3b还包括导电体22,32,其埋设于该封装层23,33中且电性连接该承载结构20的线路层200。进一步,又包括形成于该导电体22上的导电元件24。

[0093] 综上所述,本发明的电子封装件及其制法,借由该封装层一体成形于该承载结构的第一表面、第二表面及侧面,因而该封装层内不会产生连接介面,以避免水分从该承载结构的侧面进入该承载结构中,故本发明的电子封装件不会含有过多水分,因而不仅能防止脱层的情况,且于该封装层中不会产生爆米花效应,进而避免该电子封装件损坏或其使用寿命变短的问题。

[0094] 上述实施例仅用以例示性说明本发明的原理及其功效,而非用于限制本发明。任何本领域技术人员均可在不违背本发明的精神及范畴下,对上述实施例进行修改。因此本发明的权利保护范围,应如权利要求书所列。

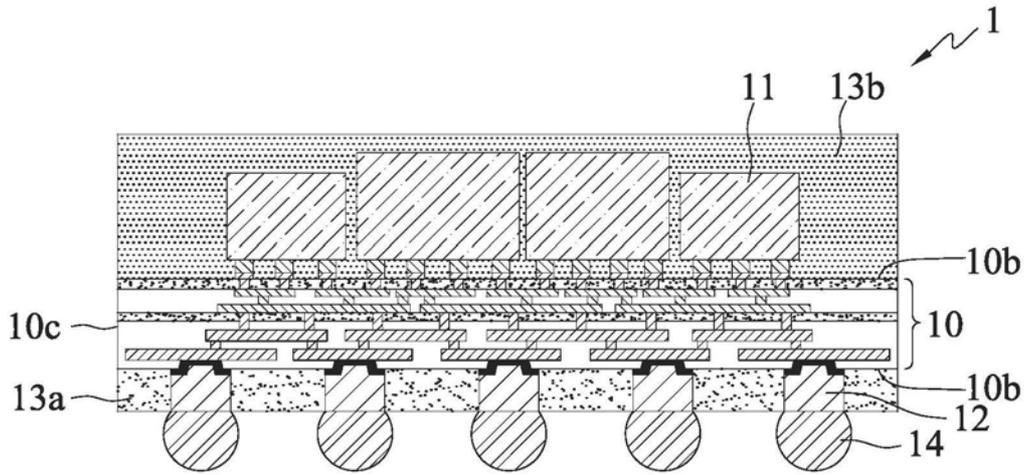


图1

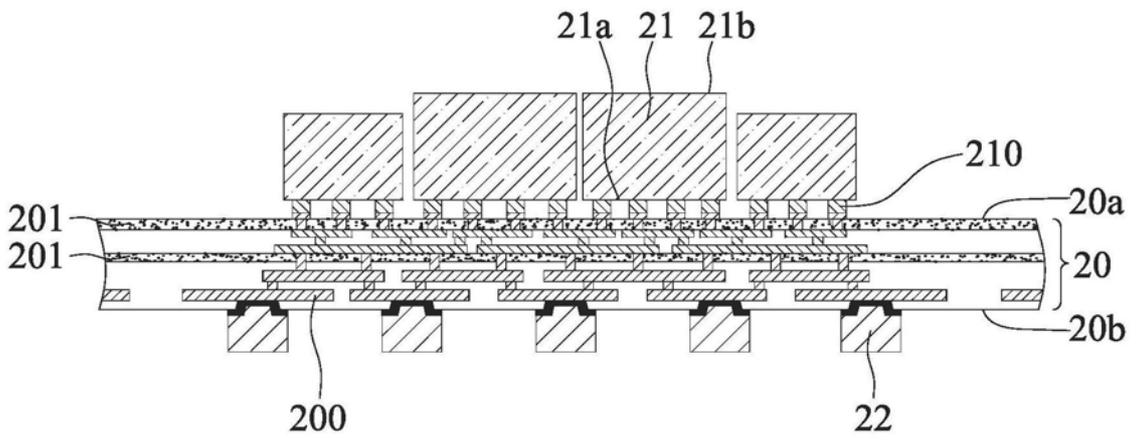


图2A

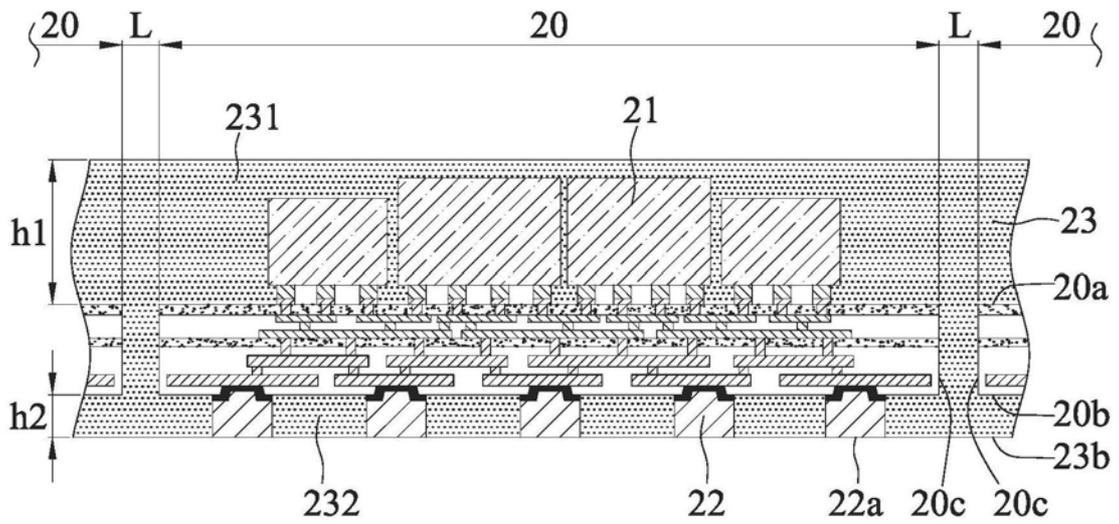


图2B

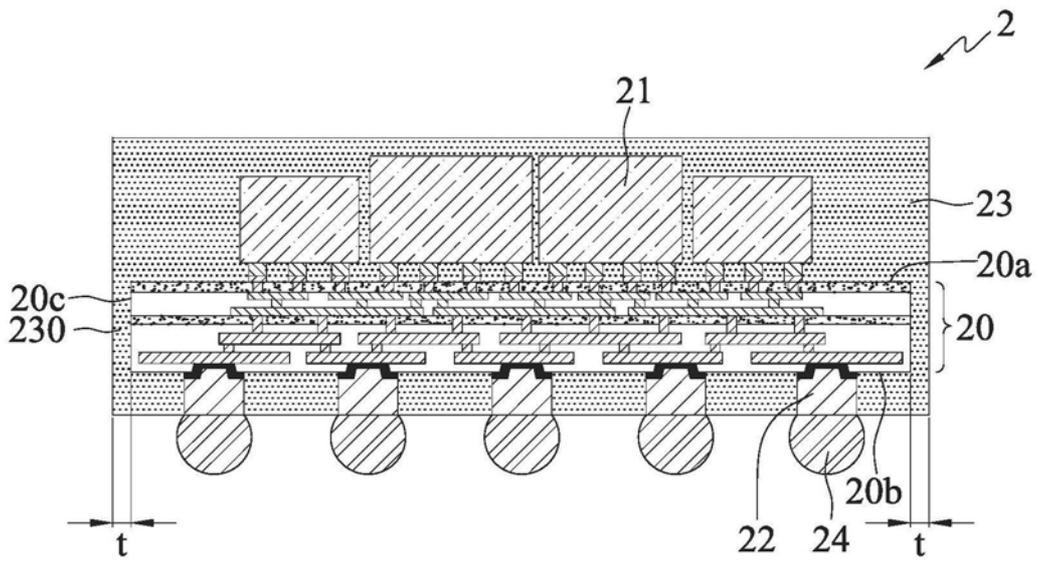


图2C

