

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6281420号
(P6281420)

(45) 発行日 平成30年2月21日(2018.2.21)

(24) 登録日 平成30年2月2日(2018.2.2)

(51) Int.Cl.	F I				
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 F			
HO 1 L 21/265 (2006.01)	HO 1 L 29/78	6 1 7 K			
HO 1 L 29/41 (2006.01)	HO 1 L 21/265	W			
HO 1 L 29/423 (2006.01)	HO 1 L 21/265	Y			
HO 1 L 29/49 (2006.01)	HO 1 L 29/78	6 2 6 Z			
請求項の数 5 (全 12 頁) 最終頁に続く					

(21) 出願番号	特願2014-119288 (P2014-119288)	(73) 特許権者	308014341
(22) 出願日	平成26年6月10日(2014.6.10)		富士通セミコンダクター株式会社
(65) 公開番号	特開2015-233073 (P2015-233073A)		神奈川県横浜市港北区新横浜二丁目100番45
(43) 公開日	平成27年12月24日(2015.12.24)	(74) 代理人	100105360
審査請求日	平成29年2月28日(2017.2.28)		弁理士 川上 光治
		(72) 発明者	ビディン セルゲイ
			神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内
		審査官	岩本 勉
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の上方に配置したシリコン酸化膜上に、シリコン膜でチャネル領域を形成し、前記チャネル領域の下方及びその側部の前記シリコン酸化膜にリンを注入し、エッチングにより、リンを注入した前記シリコン酸化膜を除去してキャビティを形成し、

前記キャビティ内及び前記キャビティの上方にゲート膜を堆積させ、前記チャネル領域を覆うゲート電極を形成し、

前記ゲート電極を挟む前記シリコン膜の2つの領域にイオン注入してソース/ドレイン領域を形成することを特徴とする半導体装置の製造方法。

【請求項2】

前記チャネル領域の下方の前記シリコン酸化膜にリンを注入する工程は、前記チャネル領域を通過させてリンを前記シリコン酸化膜に注入することを含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記チャネル領域の下方の前記シリコン酸化膜にリンを注入する工程は、前記チャネル領域の下方の前記シリコン酸化膜におけるリンの注入深さを、前記チャネル領域の側方の前記シリコン酸化膜におけるリンの注入深さより浅くすることを含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

10

20

リンは、前記シリコン酸化膜に対して垂直に注入することを特徴とする請求項1乃至請求項3のいずれか一項に記載の半導体装置の製造方法。

【請求項5】

前記エッチングは、湿式エッチングであることを特徴とする請求項1乃至請求項4のいずれか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体装置に形成するトランジスタとして、GAA (Gate All Around) 構造が提案されている。GAA構造を有するトランジスタは、微細なSiナノワイヤーをチャンネルとして有し、ソース/ドレイン領域となる2つのシリコン(Si)膜がSiナノワイヤーからなるチャンネルを介して接続されている。さらに、Siナノワイヤーを囲むように、ゲート電極が形成される。

【0003】

従来、GAA構造のトランジスタは、SOI (SOI: Silicon On Insulator) 基板を用いて製造されている。SOI基板は、シリコン酸化膜上に単結晶シリコン膜が設けられている。最初に、SOI基板のシリコン単結晶膜をパターニングしてライン状のチャンネル領域を形成する。さらに、チャンネル領域の一部及びチャンネル領域の側部を露出させるエッチング防止膜を堆積させる。続いて、エッチング防止膜をマスクにし、フッ素溶液を使用した等方性湿式エッチングを行い、チャンネル領域の側部に露出しているシリコン酸化膜を除去する。エッチングが進行すると、チャンネル領域の下側にフッ素溶液が回り込み、チャンネル領域の下側のシリコン酸化膜も除去される。これによって、チャンネル領域の下側にキャビティが形成される。

【0004】

この後、CVD (Chemical Vapor Deposition) 法によりゲート電極を形成する導電性物質を堆積させる。導電性物質は、チャンネル領域下のキャビティ内にも堆積し、マスクから露出しているチャンネル領域が導電性物質で囲まれる。さらに、CMP (Chemical Mechanical Polishing) 法による研磨で余分な導電性物質を除去すると、ゲート電極が形成される。マスクを除去してからチャンネル領域の両端部にイオン注入によりソース/ドレイン領域を形成する。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-37272号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、等方性湿式エッチングによってチャンネル領域の下部のシリコン酸化膜を除去する工程では、フッ素溶液が、チャンネル領域の下部のシリコン酸化膜だけでなく、エッチング防止膜の下側のシリコン酸化膜もエッチングする。このため、エッチング防止膜の下側のシリコン酸化膜が、チャンネル領域の下部のシリコン酸化膜と同じ量だけエッチングされてしまい、エッチング領域、即ちキャビティのサイズが設計値より大きくなる。これに伴って、キャビティに導電性物質を埋め込むことにより形成されるゲート電極のサイズが、設計値より大きくなる。この結果、トランジスタのゲート長が増大し、寄生容量が増加してしまう。

この発明は、このような事情に鑑みてなされたものであり、GAA構造を有するトランジスタの寄生容量を減少させることを目的とする。

10

20

30

40

50

【課題を解決するための手段】

【0007】

実施形態の一観点によれば、基板の上方に配置したシリコン酸化膜上に、シリコン膜でチャネル領域を形成し、前記チャネル領域の下方及びその側部の前記シリコン酸化膜にリンを注入し、エッチングにより、リンを注入した前記シリコン酸化膜を除去してキャビティを形成し、前記キャビティ内及び前記キャビティの上方にゲート膜を堆積させ、前記チャネル領域を覆うゲート電極を形成し、前記ゲート電極を挟む前記シリコン膜の2つの領域にイオン注入してソース/ドレイン領域を形成することを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

10

【0008】

リンを注入することにより、シリコン酸化膜のエッチングレートが増大するので、等方湿式エッチング時のオーバーエッチングを防止できる。これにより、トランジスタにおけるゲート電極の寄生容量の増加を防止できる。

【図面の簡単な説明】

【0009】

【図1】図1は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する側面図である。

【図2】図2は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する側部断面図である。

20

【図3】図3は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する平面図である。

【図4】図4は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する平面図である。

【図5】図5は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する平面図である。

【図6】図6は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明するもので、図5のA-A線に沿った断面図である。

【図7】図7は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明するもので、図5のB-B線に沿った断面図である。

30

【図8】図8は、本発明の実施の形態に係る半導体装置の製造方法において、リンの注入によるシリコン酸化膜のエッチングレートの変化の一例を示す図である。

【図9】図9は、本発明の実施の形態に係る半導体装置の製造方法を説明するもので、図5のA-A線に沿った断面において等方湿式エッチング後の構成の一例を示す図である。

【図10】図10は、本発明の実施の形態に係る半導体装置の製造方法を説明するもので、図5のB-B線に沿った断面において、等方湿式エッチング後の構成の一例を示す図である。

【図11】図11は、本発明の実施の形態に係る半導体装置の製造方法を説明するもので、図9に示す工程の後にマスクを除去した構成の一例を示す図である。

【図12】図12は、本発明の実施の形態に係る半導体装置の製造方法を説明するもので、図10に示す工程の後にマスクを除去した構成の一例を示す図である。

40

【図13】図13は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する平面図である。

【図14】図14は、本発明の実施の形態に係る半導体装置の製造方法と従来例の比較の一例を示す図である。

【図15】図15は、本発明の実施の形態に係る半導体装置の製造方法と従来例の比較の一例を示す図である。

【図16】図16は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する断面図である。

【図17】図17は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する

50

断面図である。

【図18】図18は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する斜視図である。

【図19】図19は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する断面図である。

【図20】図20は、本発明の実施の形態に係る半導体装置の製造方法の一例を説明する断面図である。

【発明を実施するための形態】

【0010】

発明の目的及び利点は、請求の範囲に具体的に記載された構成要素及び組み合わせによって実現され達成される。

前述の一般的な説明及び以下の詳細な説明は、典型例及び説明のためのものであって、本発明を限定するためのものではない。

【0011】

G A A構造のトランジスタを有する半導体装置の製造方法について図面を参照して説明する。まず、半導体装置の製造には、図1に積層構造を例示するS O I基板1を使用する。S O I基板1は、シリコン基板2上にB O X (Buried Oxide)と呼ばれるシリコン酸化膜3を例えば20nm~200nmの厚さに有する。さらに、シリコン酸化膜3上には、シリコン膜4が例えば5nm~20nmの厚さに形成されている。

【0012】

次に、図2に示す断面構造を形成する工程について説明する。

S O I基板1上にレジスト膜5を塗布により形成し、露光及び現像によりレジスト膜に開口部5Aを形成する。開口部5Aは、例えば、離間して2つ形成される。続いて、レジスト膜5をマスクにしてシリコン膜3をドライエッチングする。ドライエッチングには、例えば、C F₄ガスを使用する。

【0013】

この後、レジスト膜5をアッシング等により除去すると、図3の平面図に示すように、島状のシリコン膜6が2つ形成される。続いて、島状のシリコン膜6及びシリコン酸化膜3の全面に不図示のレジスト膜を塗布により形成した後、シリコン酸化膜3の全体とシリコン膜6の一部を覆う開口部を形成する。続いて、レジスト膜をマスクにして、例えば、C F₄ガスを使用したドライエッチング法によりシリコン膜6をエッチングする。これにより、図4に平面図を示すように、島状のシリコン膜6は、2つの領域10が細長のチャネル領域11で接続された略H形に整形される。チャネル領域11を形成した後は、不図示のマスクをアッシング等により除去する。

【0014】

次に、図5に平面図と、図5のA - A線に沿った断面図である図6と、B - B線に沿った断面図である図7とに示すように、シリコン酸化膜3及びシリコン膜6の全面にレジスト膜を塗布により形成し、開口部15Aを有するマスク15を形成する。開口部15Aは、チャネル領域11の一部と、その両側部のシリコン酸化膜3の一部を露出させる形状に形成される。続いて、マスク15の上方かイオン注入を行い、開口部15Aから露出しているシリコン酸化膜3及びチャネル領域11に対してリンをイオン注入する。リンの注入濃度は、例えば、 $6 \times 10^{15} \text{ cm}^{-2} \sim 2 \times 10^{16} \text{ cm}^{-2}$ とする。また、イオン注入の方向は、S O I基板1に対して垂直とする。さらに、イオン注入の加速電圧は、イオン注入の深さが、トランジスタの特性から定められる所定値になるように制御される。

【0015】

これにより、露出しているシリコン酸化膜3と、チャネル領域11の下方のシリコン酸化膜3にリンが導入され、改質部21が形成される。平面視における改質部21は、マスク15の開口部15Aの形状に等しくなる。これは、リンをS O I基板1の上面に対して垂直に注入したためである。また、改質部21の深さは、トランジスタの特性から定められる所定値になっている。

10

20

30

40

50

【 0 0 1 6 】

ここで、チャンネル領域 1 1 は、膜厚が 5 nm ~ 2 0 nm と薄いので、リンは、チャンネル領域 1 1 を通過して、その下方のシリコン酸化膜 3 にも注入される。チャンネル領域 1 1 を通過することにより、チャンネル領域 1 1 の下方におけるリンの注入深さは、シリコン酸化膜 3 が露出している領域に比べて浅くなる。このために、図 7 に示すように、改質部 2 1 は、シリコン酸化膜 3 が露出している領域 2 1 A の深さは、チャンネル領域 1 1 の下方の領域 2 1 B より深くなる。即ち、改質部 2 1 の幅及び長さは、マスク 1 5 の開口部 1 5 A の幅及び長さ等に等しく、深さはシリコン酸化膜 3 が露出する部分がチャンネル領域 1 1 の下方の領域に比べて深くなる。なお、イオン注入の加速電圧は、改質部 2 1 の領域 2 1 B の深さがトランジスタの特性から定められる所定値になるように設定することが好ましい。

10

【 0 0 1 7 】

次に、等方性湿式エッチングにより、改質部 2 1 を除去する。等方性湿式エッチングには、例えば、HF 溶液が使用される。ここで、図 8 にリンの注入濃度とエッチングレートの関係を示す。シリコン酸化膜中にリンを注入すると、シリコン酸化膜のエッチングレートが増大する。例えば、リンの注入濃度を例えば、 $6 \times 10^{15} \text{ cm}^{-2} \sim 2 \times 10^{16} \text{ cm}^{-2}$ にすると、シリコン酸化膜のエッチングレートがリンを注入しない場合に比べて 6 倍 ~ 9 倍に増大する。このことから、図 6 及び図 7 に示す構造では、リンを注入した改質部 2 1 のシリコン酸化膜 3 のエッチングレートが、リンを注入していないマスク 1 5 で覆われたシリコン酸化膜 3 に比べて大幅に大きくなり、改質部 2 1 のシリコン酸化膜 3 が優先的にエッチングにより除去される。

20

【 0 0 1 8 】

このために、等方性湿式エッチングにより改質部 2 1 を除去すると、図 9 及び図 1 0 に示すように改質部 2 1 のみが除去されて凹部であるキャビティ 3 1 が形成される。ここで、図 9 は、図 6 において改質部 2 1 を等方性湿式エッチングにより除去した構造に相当する。また、図 1 0 は、図 6 において改質部 2 1 を等方性湿式エッチングにより除去した構造に相当する。改質部 2 1 のみが除去され、他のシリコン酸化膜 3 が実質的に除去されていないのは、前記のように、リンの注入により、酸化膜のエッチングレートが、マスク 1 5 の下方のリンが注入されていない領域のエッチングレートより大幅に増大しているため、リンが注入されていない領域がエッチングされるより早く改質部 2 1 がエッチングされるためである。

30

【 0 0 1 9 】

キャビティ 3 1 の形状は、チャンネル領域 1 1 の下を通り、その両側部に開口する形状を有し、この形状は、改質部 2 1 の形状に略等しい。即ち、キャビティ 3 1 の幅及び長さは、マスク 1 5 の開口部 1 5 A の幅及び長さ等に等しい。さらに、キャビティ 3 1 の深さは、シリコン酸化膜 3 が露出する部分がチャンネル領域 1 1 の下方の領域に比べて深い。この後、SOI 基板 1 を洗浄してから、マスク 1 5 をアッシング等により除去する。これにより、図 1 1 及び図 1 2 に示すように、シリコン基板 2 上のシリコン酸化膜 3 にキャビティ 3 1 を有し、キャビティ 3 1 を跨ぐようチャンネル領域 1 1 が延びる構造が形成される。なお、図 1 1 及び図 1 2 は、それぞれ図 9 及び図 1 0 からマスク 1 5 を除去した構造に相当する。また、図 1 3 に平面図を示すように、キャビティ 3 1 は、チャンネル領域 1 1 の一部の下方に形成されている。

40

【 0 0 2 0 】

図 1 4 及び図 1 5 に従来例と比較した結果の一例を示す。リン注入した場合のキャビティ 3 1 の長さ L_1 は、キャビティ 3 1 の設計値に等しく、リン注入しない場合の空洞 1 3 1 の長さ L_2 に比べて短くなっている。また、リン注入した場合のキャビティ 3 1 の幅 W_1 は、キャビティ 3 1 の設計値に等しく、リン注入しない場合の空洞 1 3 1 の幅 W_2 に比べて短くなっている。これは、従来の等方性湿式エッチング工程によって形成される空洞 1 3 1 に比べてシリコン酸化膜のオーバーエッチング量が大幅に小さくなっているためである。このように、この実施の形態では、G A A 構造で特に課題になっている空洞 1 3 1 の幅方向の広がりを抑制できる。

50

【 0 0 2 1 】

次に、図 1 6 及び図 1 7 に示す断面構造を得るまでの工程について説明する。なお、図 1 6 及び図 1 7 は、それぞれ図 1 1 及び図 1 2 からプロセスを進めたときの構造に相当する。

最初に、ゲート絶縁膜 4 1 を形成する。ゲート絶縁膜 4 1 には、例えば、シリコン酸化膜や、 HfO_2 膜が使用される。シリコン酸化膜は、加熱処理によりシリコン膜を酸化させることにより形成される。 HfO_2 膜は、CVD法により堆積させる。続いて、シリコン酸化膜 3 及びチャネル領域 1 1 の全面にCVD法により導電性物質を堆積させる。導電性物質は、キャビティ 3 1 にも埋め込まれる。この後、CMP法により余分な導電性物質を除去すると、ゲート電極 4 5 が形成される。ゲート電極 4 5 は、キャビティ 3 1 に埋め込まれた領域とその上方の領域に、チャネル領域 1 1 を囲むように環状に形成される。

10

【 0 0 2 2 】

また、図 1 8 に模式的な斜視図を示すように、シリコン酸化膜 3 には、凹部であるキャビティ 3 1 が設けられ、キャビティ 3 1 上を横断するようにチャネル領域 1 1 が配置されている。チャネル領域 1 1 は、キャビティ 3 1 より幅が狭く、チャネル領域 1 1 の長さは、キャビティ 3 1 に比べて長い。さらに、キャビティ 3 1 内を含んでゲート電極 4 5 がチャネル領域 1 1 を囲むように配置されている。さらに、ゲート電極 4 5 は、チャネル領域 1 1 と直交する横方向に延びており、一方の端部に幅広の領域 4 5 A が形成される。

【 0 0 2 3 】

図 1 6 及び図 1 7 に示すように、この実施の形態のゲート電極 4 5 は、キャビティ 3 1 の拡がり防止されることにより、従来の形状に比べてゲート長の増大が抑制されており、ゲート長の制御性に優れている。また、ゲート幅の増大が抑制されることにより、寄生容量増大が抑制される。

20

【 0 0 2 4 】

次に、図 1 9 及び図 2 0 に示す断面構造を得るまでの工程について説明する。なお、図 1 9 及び図 2 0 は、それぞれ図 1 6 及び図 1 7 からプロセスを進めたときの構造に相当する。

最初に、チャネル領域 1 1 を挟む 2 つ領域 1 0 にイオン注入してソース/ドレイン領域 5 0 を形成する。これにより、トランジスタ T 1 が形成される。トランジスタ T 1 は、2 つのソース/ドレイン領域 5 0 をチャネル領域 1 1 で連結させた構成を有し、チャネル領域 1 1 の一部がゲート電極 4 5 で囲まれている。

30

【 0 0 2 5 】

続いて、ソース/ドレイン領域 5 0 及びチャネル領域 1 1、並びゲート電極 4 5 の全面を覆うように絶縁膜 5 1 を形成する。絶縁膜 5 1 は、例えば、CVD法によるシリコン酸化膜を使用できる。続いて、絶縁膜 5 1 上に不図示のマスクを形成してからドライエッチング法により絶縁膜 5 1 の一部をエッチングしてスルーホール 5 2 を形成する。スルーホール 5 2 は、各ソース/ドレイン領域 5 0 と、ゲート電極 4 5 のそれぞれを露出させる位置に少なくとも 1 つずつ形成される。続いて、スルーホール 5 2 に導電性膜を埋め込んで、CMP法による研磨で余分な導電性膜を除去する。これによって、各スルーホール 5 2 内に導電性膜が埋め込まれた導電性プラグ 5 3 が形成される。以降は、絶縁膜 5 1 上に必要な数の配線層を形成することにより、半導体装置 6 1 が形成される。

40

【 0 0 2 6 】

以上、説明したように、この実施の形態では、等方性湿式エッチングによる除去する領域に予めリンを注入することにより、シリコン酸化膜 3 のエッチングレートを他の領域に比べて増大させるようにした。等方性湿式エッチングで、チャネル領域 1 1 の下方のシリコン酸化膜 3 を除去するためには、チャネル領域 1 1 の側方のシリコン酸化膜 3 が露出している部分から HF 水溶液をチャネル領域 1 1 の下方まで回り込ませる必要があるが、リンの注入によりシリコン酸化膜 3 のエッチングレートが大きくなっているために、マスク 1 5 の下方のシリコン酸化膜 3 をエッチングするより遥かに早く、チャネル領域 1 1 の下方のシリコン酸化膜 3 を除去できる。これにより、ゲート電極 4 5 の形状を設計上の形状

50

に略一致させることが可能になるので、ゲート電極 4 5 の寄生容量の増加を防止できる。

【 0 0 2 7 】

ここで挙げた全ての例及び条件的表現は、発明者が技術促進に貢献した発明及び概念を
読者が理解するのを助けるためのものであり、ここで具体的に挙げたそのような例及び条
件に限定することなく解釈するものであり、また、明細書におけるそのような例の編成は
本発明の優劣を示すこととは関係ない。本発明の実施形態を詳細に説明したが、本発明の
精神及び範囲から逸脱することなく、それに対して種々の変更、置換及び変形を施すこと
ができる。

【 0 0 2 8 】

以下に、前記の実施の形態の特徴を付記する。

10

(付記 1) 基板の上方に配置したシリコン酸化膜上に、シリコン膜でチャンネル領域を形
成し、前記チャンネル領域の下方及びその側部の前記シリコン酸化膜にリンを注入し、エッ
チングにより、リンを注入した前記シリコン酸化膜を除去してキャピティを形成し、前記
キャピティ内及び前記キャピティの上方にゲート膜を堆積させ、前記チャンネル領域を覆う
ゲート電極を形成し、前記ゲート電極を挟む前記シリコン膜の 2 つの領域にイオン注入し
てソース/ドレイン領域を形成することを特徴とする半導体装置の製造方法。

(付記 2) 前記チャンネル領域の下方の前記シリコン酸化膜にリンを注入する工程は、前
記チャンネル領域を通過させてリンを前記シリコン酸化膜に注入することを含むことを特徴
とする付記 1 に記載の半導体装置の製造方法。

(付記 3) 前記チャンネル領域の下方の前記シリコン酸化膜にリンを注入する工程は、前
記チャンネル領域の下方の前記シリコン酸化膜におけるリンの注入深さを、前記チャンネル領
域の側方の前記シリコン酸化膜におけるリンの注入深さより浅くすることを含むことを特
徴とする付記 1 に記載の半導体装置の製造方法。

20

(付記 4) リンは、前記シリコン酸化膜に対して垂直に注入することを特徴とする付記
1 乃至付記 3 のいずれか一項に記載の半導体装置の製造方法。

(付記 5) 前記エッチングは、湿式エッチングであることを特徴とする付記 1 乃至付記
4 のいずれか一項に記載の半導体装置の製造方法。

(付記 6) 基板の上方に配置され、凹部を有するシリコン酸化膜と、前記シリコン酸化
膜上に配置され、前記凹部を横断し、前記凹部より幅が狭く、前記シリコン膜を有するチ
ャネル領域と、前記凹部に埋め込まれ、前記チャンネル領域を環状に覆うゲート電極と、前
記ゲート電極を挟んで配置されたソース領域及びドレイン領域と、を有し、前記凹部は、
前記チャンネル領域の下方の深さが、前記チャンネル領域から露出する領域の方が深いこと
を特徴とする半導体装置。

30

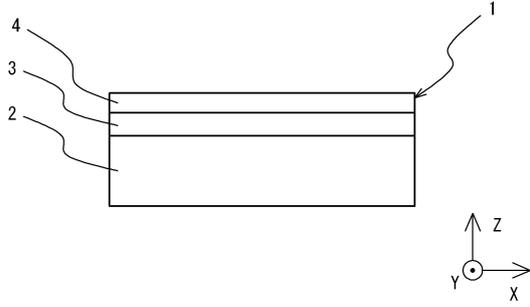
【符号の説明】

【 0 0 2 9 】

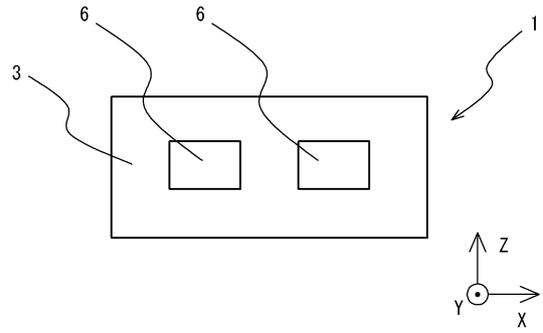
- 2 シリコン基板
- 3 シリコン酸化膜
- 4 シリコン膜
- 1 1 チャンネル領域
- 3 1 キャピティ (凹部)
- 4 5 ゲート電極
- 5 0 ソース/ドレイン領域
- 6 1 半導体装置

40

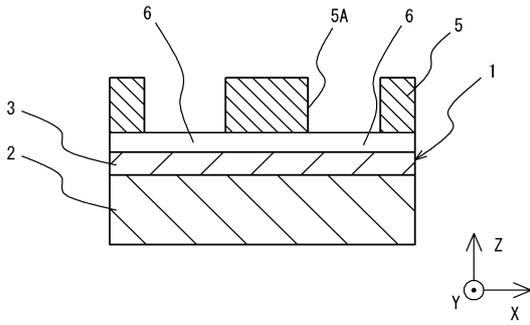
【図1】



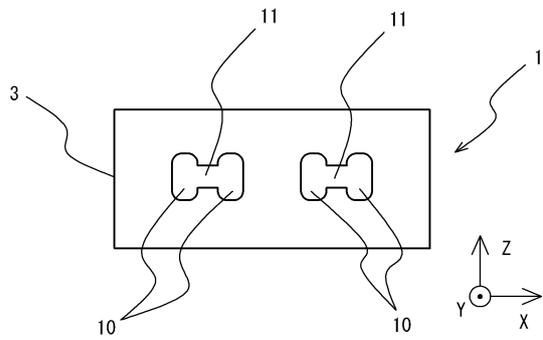
【図3】



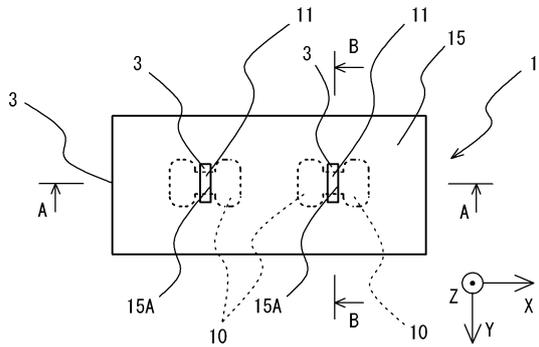
【図2】



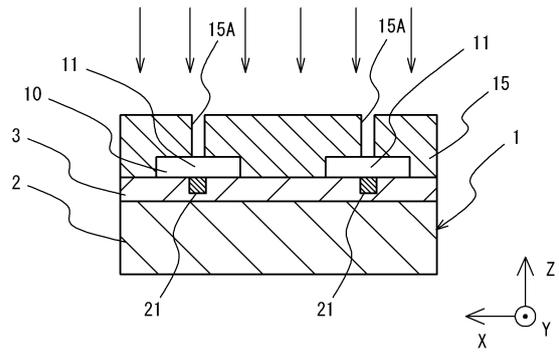
【図4】



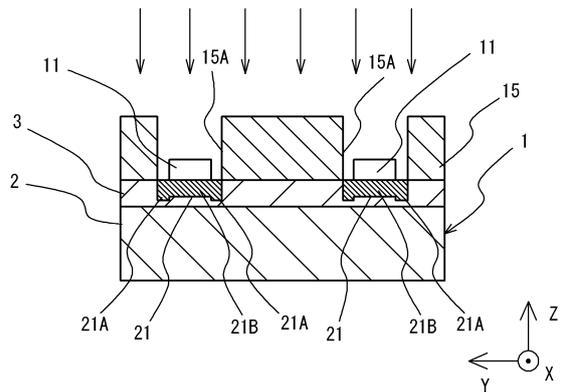
【図5】



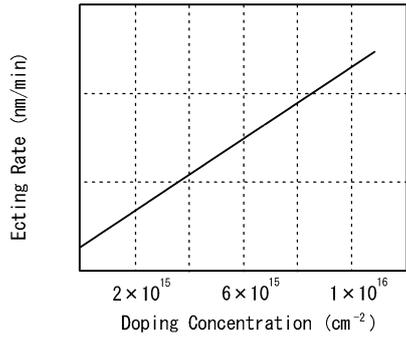
【図6】



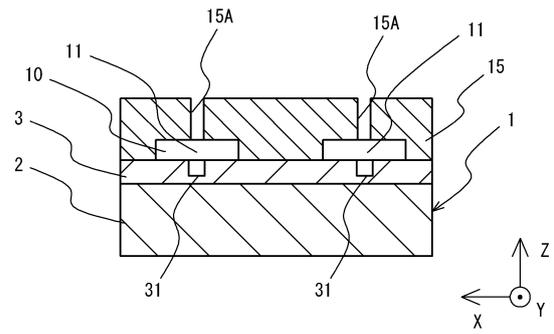
【図7】



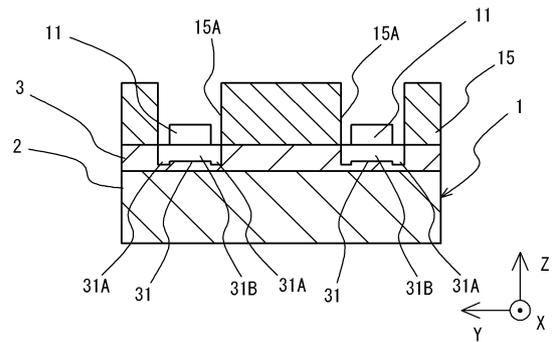
【図8】



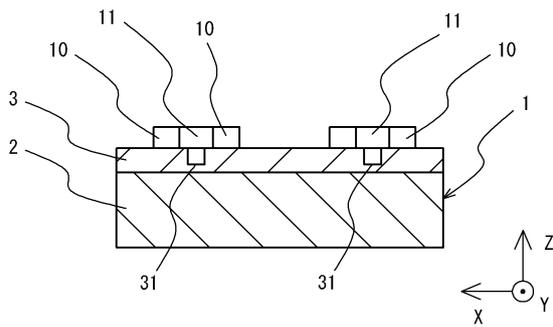
【図9】



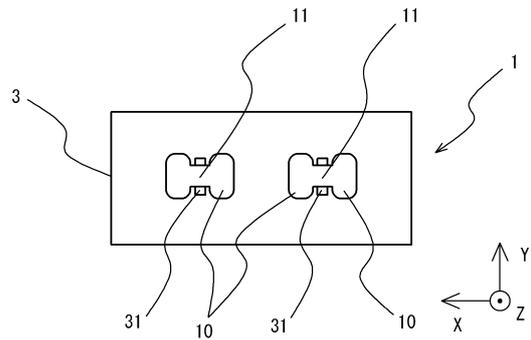
【図10】



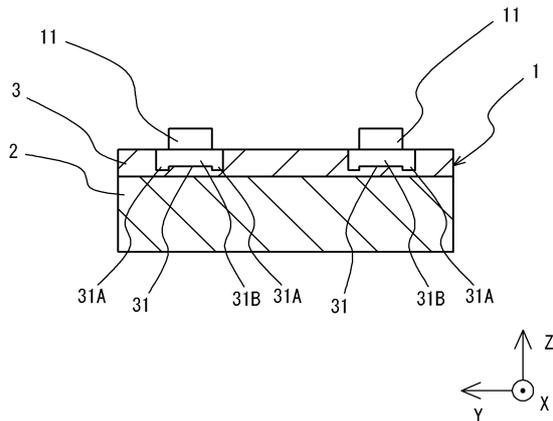
【図11】



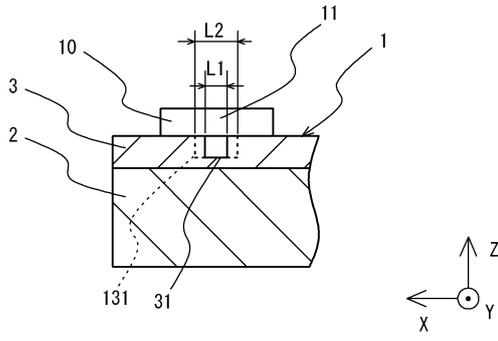
【図13】



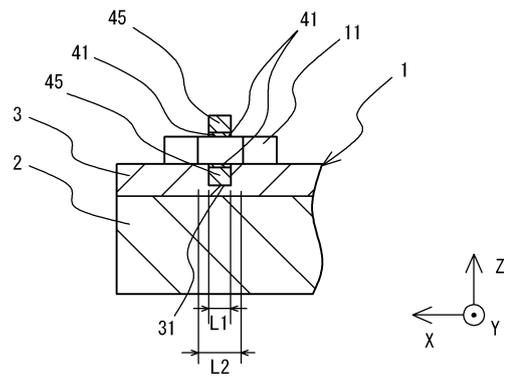
【図12】



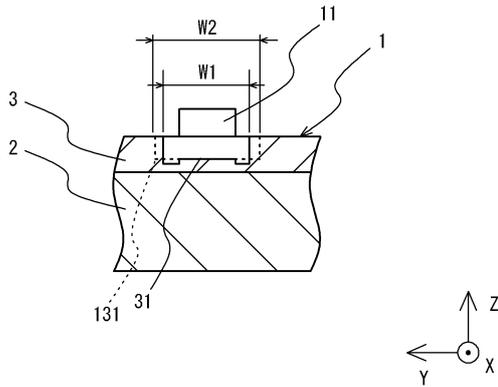
【図14】



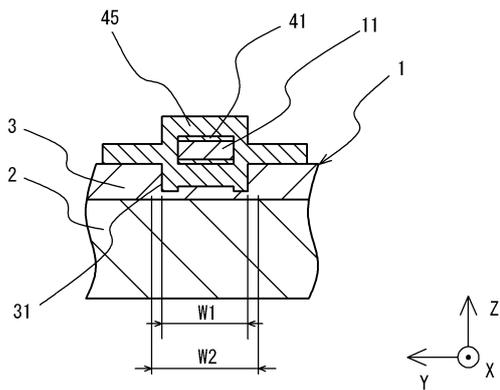
【図16】



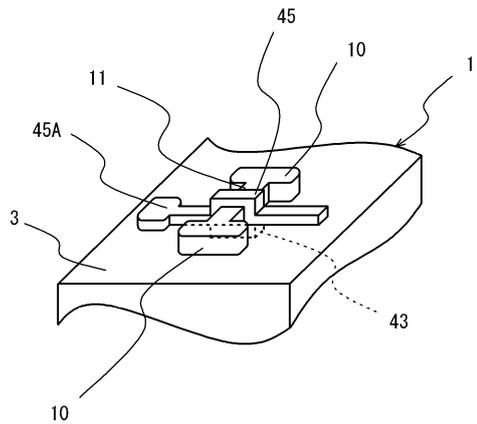
【図15】



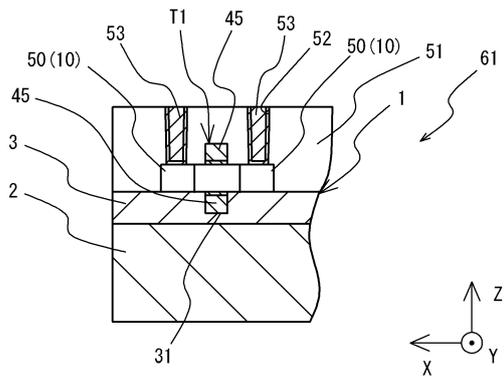
【図17】



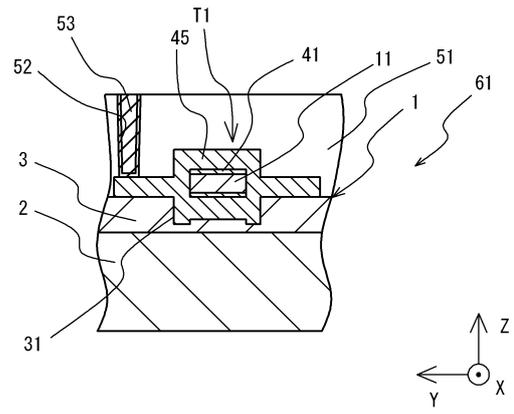
【図18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/44 S
H 0 1 L 29/58 G

(56)参考文献 特開2003-037272(JP,A)
特開平05-055574(JP,A)
特開平06-252403(JP,A)
特開平07-135325(JP,A)
特開昭60-128622(JP,A)
特開昭60-240131(JP,A)
特開平10-012887(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6、2 9 / 7 6、2 9 / 7 7 2 - 2 9 / 7 8 6