

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4030982号
(P4030982)

(45) 発行日 平成20年1月9日(2008.1.9)

(24) 登録日 平成19年10月26日(2007.10.26)

| | |
|--------------------------|-----------------------|
| (51) Int. Cl. | F I |
| HO 1 L 21/3065 (2006.01) | HO 1 L 21/302 1 O 5 A |
| HO 1 L 21/28 (2006.01) | HO 1 L 21/28 L |
| HO 1 L 21/338 (2006.01) | HO 1 L 21/28 3 O 1 B |
| HO 1 L 29/778 (2006.01) | HO 1 L 29/80 H |
| HO 1 L 29/812 (2006.01) | HO 1 L 21/90 C |
| 請求項の数 8 (全 10 頁) 最終頁に続く | |

| | | | |
|-----------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2004-140431 (P2004-140431) | (73) 特許権者 | 000154325 |
| (22) 出願日 | 平成16年5月10日(2004.5.10) | | ユーディナデバイス株式会社 |
| (65) 公開番号 | 特開2005-322811 (P2005-322811A) | | 山梨県中巨摩郡昭和町大字紙漉阿原100 |
| (43) 公開日 | 平成17年11月17日(2005.11.17) | | 〇番地 |
| 審査請求日 | 平成17年6月30日(2005.6.30) | (74) 代理人 | 100087480 |
| | | | 弁理士 片山 修平 |
| | | (72) 発明者 | 駒谷 務 |
| | | | 山梨県中巨摩郡昭和町大字紙漉阿原100 |
| | | | 〇番地 ユーディナデバイス株式会社内 |
| | | 審査官 | 今井 淳一 |
| | | | 最終頁に続く |

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

GaN系半導体層、SiCまたはサファイアからなる被エッチング材料の表面にTi膜と分散メッキ法によって成膜されるNi合金膜とを順次成膜して積層膜を形成する第1のステップと、

前記積層膜にパターニングを施して前記エッチング材料表面の一部領域を暴露する第2のステップと、

前記暴露された前記被エッチング材料表面にドライエッチングを施す第3のステップとを備えていることを特徴とする半導体装置の製造方法。

【請求項2】

前記第2のステップにおける前記積層膜のパターニングは、前記被エッチング材料上に所定のマスクを設け、前記積層膜を形成した後に前記マスクを除去することでなされるリフトオフ工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第3のステップにおけるドライエッチングは、反応性イオンエッチング法、電子サイクロトロン共鳴エッチング法、または誘導結合型プラズマエッチング法の何れかにより実行されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】

前記GaN系半導体層は、InGaN、AlGaNもしくはInGaNであることを特徴とする請求項1に記載の半導体装置の製造方法。

10

20

【請求項5】

前記Ti膜は、真空蒸着法またはスパッタリング法により成膜されることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】

前記Ti膜の厚みは10～30nmであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項7】

前記Ti膜の厚みは概ね20nmであることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】

前記Ni合金膜は、Niと、Ag、Sn、P、またはBとの合金により構成されることを特徴とする請求項1に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、より詳細には、GaN系半導体装置の製造プロセスで用いられるドライエッチング用マスクの密着性を高めることで高精度のエッチングを可能とする技術に関する。

【背景技術】

【0002】

半導体デバイスの微細化に伴って、高電圧化・高電力密度化が必然的に要求されてきており、これに応える材料として窒化ガリウム(GaN)をはじめとする窒化物半導体や炭化珪素(SiC)、さらにはダイヤモンドといったいわゆるワイドバンドギャップ半導体に対する期待が高まり、多くの研究がなされてきている。

20

【0003】

特に、窒化物半導体材料は光デバイスとしての開発が進められて青色発光ダイオードの実用化という目覚ましい成果として結実した。GaNをはじめとする窒化物半導体(以下、「GaN系半導体」という)は、広いバンドギャップと直接遷移型という物性的特長に加え、大きな絶縁破壊電圧と飽和ドリフト速度および良好な熱伝導性とヘテロ接合特性などの特長を兼ね備えており、高出力・高周波電子デバイスとしての開発が進められている。

30

【0004】

GaN系半導体は大口径のバルク結晶の育成が極めて困難であるために、SiCやサファイアの基板上にバッファ層を成長させてヘテロエピタキシャル成長することで成膜される。このようなGaN系半導体の素子化にも、微細加工技術としてのドライエッチング技術は不可欠な要素技術の一つであり、その手法としては主としてプラズマエッチングが用いられる。例えば、SiC基板上に成膜したGaN系半導体層を用いて電子デバイスを形成する際に、SiC基板の裏面からビアホール(Via hole)を設けて導電をとる場合があるが、このようなスルーホールを形成するためにはドライエッチングを施すことが必要となる。従来は、このようなエッチングマスクとして、ステンレスマスクが用いられている。

40

【0005】

図1は、ステンレスマスクを用いてビアホールを形成するプロセス例の概略を説明するための図で、この図において、11はその主面にGaN系半導体層が設けられているSiCやサファイアなどのエッチング材料(基板)、12はビアホール形成用の開口部12aを有するステンレスマスクである。ステンレスマスク12は基板11の裏面に張り合わされ(図1(a))、図示しないクランプなどにより固定される(図1(b))。そして、ステンレスマスクの開口部12aからプラズマを入射させるなどして基板11の一部をエッチングし、ビアホール13が形成される。

【0006】

また、特許文献1には、セラミックスやプラスチックの基板上に微細パターンを形成す

50

る際のドライエッチングマスクとして、NiまたはNi-Cr合金のような導電薄膜金属の保護膜を用いたパターンニング方法が記載されている。

【特許文献1】特開平8-274448号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、SiCまたはサファイアの基板（あるいはGaN系の半導体層そのもの）のドライエッチングにステンレスマスクを用いると、マスクとエッチング材料表面との密着性が低いために、ドライエッチング中に剥れやクラックが発生してしまうという問題があった。また、ステンレスマスクの加工精度そのものが低く、微細な回路パターンを形成するためのエッチングマスクとして用いることができないという問題があった。

10

【0008】

また、ハロゲンプラズマに対する耐性に優れるNi（またはNi系合金）の単層マスクを用いることとしても、高密度プラズマエッチングの工程中のエッチング表面温度が150以上となるために、エッチング工程中にエッチング材料表面から部分的にNi膜が剥離したりクラックが発生してエッチング精度が低下してしまうことが判明した。本発明者は、このような剥離現象がエッチング材料とマスク材であるNiとの大きな熱膨張係数差に起因することを初めて発見したのである。

【0009】

すなわち、各エッチング材料はSiCが $4.2 \times 10^{-6} /$ 、サファイアが $7.5 \times 10^{-6} /$ 、GaNが $5.6 \times 10^{-6} /$ 、であり、マスク材のNiは $12.8 \times 10^{-6} /$ であるが、これらのエッチング材料とNiはその熱膨張係数において大きく異なるために、高密度プラズマエッチング中に150以上という温度環境下に置かれるとNi膜の剥離やクラックが生じる結果となる。なおこのような問題は、ダイヤモンド（熱膨張係数 $1.0 \times 10^{-6} /$ ）や水晶（熱膨張係数 $0.5 \times 10^{-6} /$ ）といった他の材料においても同様である。

20

【0010】

このように、従来のドライエッチングマスクを用いたのでは、ドライエッチングプロセス中のマスクの剥離やクラックの発生により所望の形状のスルーホールを形成することが困難であり、特に、GaN系半導体デバイスに適切な形状のバイアホールを作り込むことが困難であった。

30

【0011】

本発明はかかる問題に鑑みてなされたもので、その目的とするところは、ドライエッチング用マスクのエッチング材料表面への密着性を高め、剥離やクラックの発生を抑制し、これにより高精度のエッチング加工を可能とするGaN系半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0012】

本発明は、かかる課題を解決するために、請求項1に記載の発明は、半導体装置の製造方法であって、GaN系半導体層、SiCまたはサファイアからなる被エッチング材料の表面にTi膜と分散メッキ法によって成膜されるNi合金膜とを順次成膜して積層膜を形成する第1のステップと、前記積層膜にパターンニングを施して前記エッチング材料表面の一部領域を暴露する第2のステップと、前記暴露された前記被エッチング材料表面にドライエッチングを施す第3のステップとを備えていることを特徴とする。

40

【0013】

請求項2に記載の発明は、請求項1に記載の半導体装置の製造方法において、前記第2のステップにおける前記積層膜のパターンニングは、前記被エッチング材料上に所定のマスクを設け、前記積層膜を形成した後に前記マスクを除去することでなされるリフトオフ工程であることを特徴とする。

【0014】

50

請求項3に記載の発明は、請求項1に記載の半導体装置の製造方法において、前記第3のステップにおけるドライエッチングは、反応性イオンエッチング法、電子サイクロトロン共鳴エッチング法、または誘導結合型プラズマエッチング法の何れかにより実行されることを特徴とする。

【0015】

請求項4に記載の発明は、請求項1に記載の半導体装置の製造方法において、前記GaN系半導体層は、InGaN、AlGaNもしくはInGaNであることを特徴とする。

【0016】

請求項5に記載の発明は、請求項1に記載の半導体装置の製造方法において、前記Ti膜は、真空蒸着法またはスパッタリング法により成膜されることを特徴とする。 10

【0017】

請求項6に記載の発明は、請求項1に記載の半導体装置の製造方法において、前記Ti膜の厚みは10～30nmであることを特徴とする。

【0018】

請求項7に記載の発明は、請求項6に記載の半導体装置の製造方法において、前記Ti膜の厚みは概ね20nmであることを特徴とする。

【0021】

請求項8に記載の発明は、請求項9に記載の半導体装置の製造方法において、前記Ni合金膜は、Niと、Ag、Sn、P、またはBとの合金により構成されることを特徴とする。 20

【発明の効果】

【0025】

本発明では、エッチング材料であるGaN系半導体層、SiC、またはサファイア上にTi膜およびNi膜をこの順で積層させて真空蒸着成膜しこの積層膜にフォトリソグラフ法でパターニングを施してマスクを形成したり、エッチング材料の表面上にNi合金膜を分散メッキ法により成膜しこのNi合金膜をフォトリソグラフ法でパターニングして形成することとしたので、Ti膜による歪低減効果と分散メッキNi合金膜による歪低減効果によってドライエッチング用マスクのエッチング材料表面への密着性が高まり、剥離やクラックの発生が抑制され、これにより高精度のエッチング加工が可能となる。 30

【発明を実施するための最良の形態】

【0026】

以下に図面を用いて、本発明を実施するための最良の形態について説明する。

【0027】

本発明に用いられる第1のドライエッチング用マスクは、エッチング材料であるGaN系半導体層、SiC、またはサファイアのエッチングにおいて、それらエッチング材料上に、Ti膜およびNi膜をこの順で積層させて真空蒸着成膜し、この積層膜にフォトリソグラフ法でパターニングを施して形成される。例えばSiC基板のエッチングである場合、SiCの熱膨張係数は $4.2 \times 10^{-6} /$ 、Niの熱膨張係数は $12.8 \times 10^{-6} /$ で、これらの間には極めて大きな熱膨張係数の差があるが、これらに熱膨張係数が $9.0 \times 10^{-6} /$ のTi膜を設けることでドライエッチング中の温度上昇により生じる熱膨張に伴って発生する歪が緩和され、SiC基板表面へのマスクの密着性を高めて剥離やクラックの発生が抑制される。 40

【0028】

ここで、上記Ti膜はエッチング材料表面とNi膜との間に設けられた状態でエッチングプロセス中に投入されるため、厚すぎる場合にはTi膜の側面からのエッチングが進行してエッチング形状が悪くなってしまう。逆に、薄すぎると熱膨張係数の差に起因する歪低減効果が弱くなる。したがって、上記Ti膜の膜厚は好ましくは10～30nm、より好ましくは20nm程度とされる。

【0029】

本発明に用いられる第2のドライエッチング用マスクは、エッチング材料の表面上にTi膜、その上にNi合金膜を分散メッキ法により成膜し、このNi合金膜をフォトリソグラフィ法でパターンニングして形成される。なお、これとは逆に、予めパターンニングされたフォトレジストで被覆されているエッチング材料の表面に分散メッキNi膜を成膜してレジストマスク開口領域にマスク形成するようにしてもよい。

【0030】

ここで、Ni合金とはNiとAg、Sn、P、またはBとの合金であり、分散メッキ法とは個々の金属をばらばらに分散させてエッチング材料表面上に析出させるメッキ法である。なお、この分散メッキは、化学的な還元によってエッチング材料表面上に均一な厚さの金属を析出させる無電解メッキ、または電解溶液中でエッチング材料を陰極として通電しその表面にメッキ金属を析出させる電解メッキの何れの方法であってもよい。

10

【0031】

従来例のようにNi合金を単純メッキした場合の合金膜の熱膨張係数が 12.8×10^{-6} / 程度であるのに対して、本発明のように分散メッキして得られるNi合金膜の熱膨張係数は $9 \sim 10 \times 10^{-6}$ / 程度にまで低減される。したがって、マスクとエッチング材料との熱膨張係数差が30～40%程度も低減されてマスク材の剥れやクラックの発生が抑制されることとなる。なお、このNi合金中でのAgおよびSnの含有量は組成比で10～20%、PおよびBの含有量は組成比で8～10%であることが好ましい。

【0032】

なお、本発明の第1のドライエッチング用マスクのNi膜の代わりに、上述の分散メッキNi合金膜を用いることもできる。このような積層膜とすれば、Ti膜による歪低減効果にその上に設けられる分散メッキNi合金膜による歪低減効果が相乗されて、剥離などがよりし難いマスクを得ることができる。

20

【0033】

一般的なプラズマエッチング条件では、エッチング材料温度は150 以上にまで上昇するが、第1および第2のマスクでは、200 までの温度領域で剥離およびクラックの抑制効果が認められ、さらに第1のNi/Ti積層膜マスクのNi層に分散メッキNi合金膜を用いたマスクの剥離・クラック抑制効果は300 までの温度領域で得られる。

【0034】

なお、本発明のマスクによる剥離・クラック抑制効果は、Ni含有金属膜のNi膜または分散メッキNi合金膜の膜厚が10 μm以下のものについて確認済みである。

30

【0035】

以下に、実施例により本発明をより詳細に説明する。

【実施例1】**【0036】**

本実施例は、第1のドライエッチング用マスクを用いてバイアホールを形成した例である。

【0037】

図2は、本実施例のプロセスを説明するための図で、先ず、GaN系半導体層（例えば、InGaN、AlGaN、InGaN Pなど）、SiCやサファイヤなどのエッチング材料21の表面に20 nmの膜厚のTi膜22を成膜し（図2（a））、この上にパターンニングされたフォトレジストマスク23を形成する（図2（b））。フォトレジストマスク23の開口領域に4 μmの厚みのNi膜24を形成し（図2（c））、その後フォトレジストマスク23を除去する（図2（d））。なお、Ti膜22およびNi膜24は、真空蒸着法やスパッタリング法により成膜される。

40

【0038】

フォトレジストマスク23が除去された後はNi膜24のマスクが形成された状態となるから、このマスクを用いて開口部のTi膜22を低エネルギーで軽くドライエッチングしてエッチング材料（基板）21の裏面を暴露する（図2（e））。

【0039】

50

最後に、Ni/Ti積層膜のマスク開口部からプラズマを入射させて基板21にバイアホール25をドライエッチングにより形成する。このドライエッチングは、Arガスなどを用いて、例えば反応性イオンエッチング(RIE)、電子サイクロトロン共鳴(ECR)エッチング、または誘導結合型プラズマ(ICP)エッチングなどのプラズマエッチング装置により実行される。ここで、エッチングガスは、エッチングされる基板材料に応じて選択される。なお、ICPエッチング装置を用いることとすれば、大型マルチターン誘導結合コイルにより大電力のプラズマ励起が可能となり、高密度プラズマによってドライエッチングがなされる。

【0040】

図3は、上記のICPドライエッチングによりバイアホールを形成してソース電極を設けたGaN系HEMTの利得(縦軸)の周波数(横軸)依存性を説明するための図で、比較のためにバイアホールを備えないHEMTの周波数依存性を同時に示している。なお、これらのHEMTはSiC基板上に設けられたGaN層に作製されたものである。この図に示すように、バイアホールにソース電極を設けて接地したGaN系HEMTでは、Xバンド領域で2dB以上、Kuバンド領域で3dB以上の高い利得が得られ、デバイス特性が大幅に改善されている。

10

【0041】

本実施例において、バイアホール25の深さを150 μ mとし、種々の基板(SiC、サファイヤ、水晶)およびGaN系半導体の厚膜層(InGaNおよびAlGaN)について実験を行った結果、何れのエッチング材料に対してもNiの選択比が30以上でアスペクト比が5のピアホール形成が可能なが確認された。

20

【実施例2】

【0042】

本実施例も第1のドライエッチング用マスクを用いてバイアホールを形成した例であるが、Ni/Ti積層マスクの形成プロセスが実施例1とは異なっている。

【0043】

図4は、本実施例のプロセスを説明するための図で、まず、GaN系半導体層(例えば、InGaN、AlGaN、InGaN_Pなど)、SiCやサファイヤなどのエッチング材料41の表面上にパターンニングされたフォトリソマスク43を形成し(図4(a))、さらに20nmのTi膜42と4 μ mのNi膜44とを順次積層させる(図4(b))。なお、これらのTi膜42およびNi膜44は、真空蒸着法やスパッタリング法により成膜される。

30

【0044】

Ni/Ti積層膜の形成後にフォトリソマスク43を除去し(図4(c))、このNi/Ti積層膜のマスク開口部からプラズマを入射させてエッチング材料(基板)41にバイアホール45をドライエッチングにより形成する(図4(d))。このドライエッチングも、RIE、ECRエッチング、またはICPエッチングなどのプラズマエッチング装置により実行される。

【0045】

このようにしてバイアホールを形成したGaN系HEMTも、図3に示したものと同様の高い利得を示す。また、本実施例において、バイアホール45の深さを150 μ mとし、種々の基板(SiC、サファイヤ、水晶)およびGaN系半導体の厚膜層(InGaNおよびAlGaN)について実験を行った結果も実施例1と同様であり、何れのエッチング材料に対してもNiの選択比が30以上でアスペクト比が5のピアホール形成が可能なが確認された。

40

【実施例3】

【0046】

本実施例は、第2のドライエッチング用マスクを用いてバイアホールを形成した例である。

【0047】

50

図5は、本実施例のプロセスを説明するための図で、先ず、GaN系半導体層（例えば、InGaN、AlGaN、InGaN_Pなど）、SiCやサファイヤなどのエッチング材料51の表面上にパターンニングされたフォトリソマスク53を形成し（図5（a））、さらに5μmのNi合金膜54を分散メッキ法により形成する（図5（b））。

【0048】

Ni合金膜の形成後にフォトリソマスク53を除去し（図5（c））、このNi合金膜のマスク開口部からプラズマを入射させてエッチング材料（基板）51にバイアホール55をドライエッチングにより形成する（図5（d））。このドライエッチングも、RIE、ECREッチング、またはICPEッチングなどのプラズマエッチング装置により実行される。

10

【0049】

このようにしてバイアホールを形成したGaN系HEMTも、図3に示したものと同様の高い利得を示す。また、本実施例において、バイアホール55の深さを150μmとし、種々の基板（SiC、サファイヤ、水晶）およびGaN系半導体の厚膜層（InGaNおよびAlGaN）について実験を行った結果も実施例1と同様であり、何れのエッチング材料に対してもNiの選択比が30以上でアスペクト比が5のピアホール形成が可能なが確認された。

【実施例4】

【0050】

本実施例は、第1のドライエッチング用マスクのNi膜に実施例3で説明したNi合金膜を用いてマスクとする例である。

20

【0051】

本実施例のプロセスは図4と同様であるのでこの図を用いて説明する。先ず、GaN系半導体層（例えば、InGaN、AlGaN、InGaN_Pなど）、SiCやサファイヤなどのエッチング材料41の表面上にパターンニングされたフォトリソマスク43を形成し（図4（a））、さらに20nmのTi膜42と4μmのNi合金膜44とを順次積層させる（図4（b））。ここで、本実施例のNi合金膜44は分散メッキ法により形成され、その膜厚が4μmであり、Niの母層中にAgが介在物として分散して存在するAg-Ni合金である。

【0052】

30

Ni合金膜44の分散メッキ形成後にフォトリソマスク43を除去し（図4（c））、Ni合金膜44のマスク開口部からプラズマを入射させて基板41にバイアホール45をドライエッチングにより形成する（図4（d））。このドライエッチングも、RIE、ECREッチング、またはICPEッチングなどのプラズマエッチング装置により実行される。

【0053】

このようにしてバイアホールを形成したGaN系HEMTも、図3に示したものと同様の高い利得を示す。また、本実施例において、バイアホール45の深さを150μmとし、種々の基板（SiC、サファイヤ、水晶）およびGaN系半導体の厚膜層（InGaNおよびAlGaN）について実験を行った結果も実施例1と同様であり、何れのエッチング材料に対してもNiの選択比が30以上でアスペクト比が5のピアホール形成が可能なが確認された。

40

【0054】

なお、これまでの実施例において説明したエッチングマスクの作製手順（成膜とパターンニングの順序）は例示に過ぎず、適宜変更可能であることはいうまでもない。

【産業上の利用可能性】

【0055】

本発明によれば、GaN、SiC、サファイヤ、水晶などのエッチング材料表面への密着性が高いドライエッチング用マスクの提供、および高い加工精度で製造されたGaN系半導体の提供が可能となる。

50

【図面の簡単な説明】

【0056】

【図1】ステンレスマスクを用いてバイアホールを形成するプロセスの概略を説明するための図である。

【図2】実施例1のプロセスを説明するための図である。

【図3】実施例1の方法でバイアホールを形成したGa_nN系HEMTの利得の周波数依存性を説明するための図である。

【図4】実施例2および実施例4のプロセスを説明するための図である。

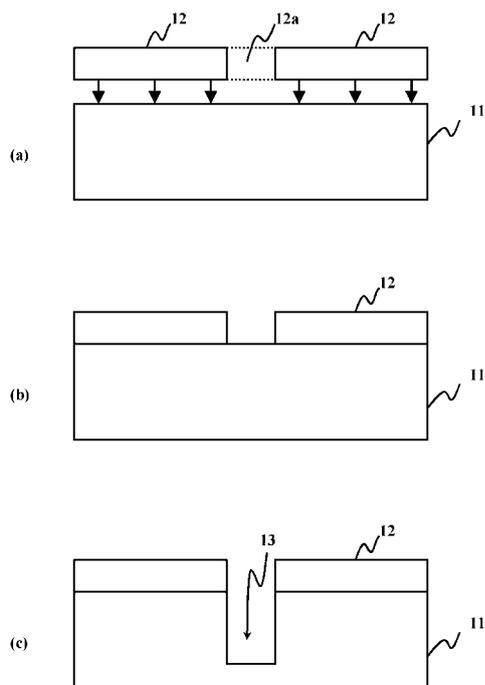
【図5】実施例3のプロセスを説明するための図である。

【符号の説明】

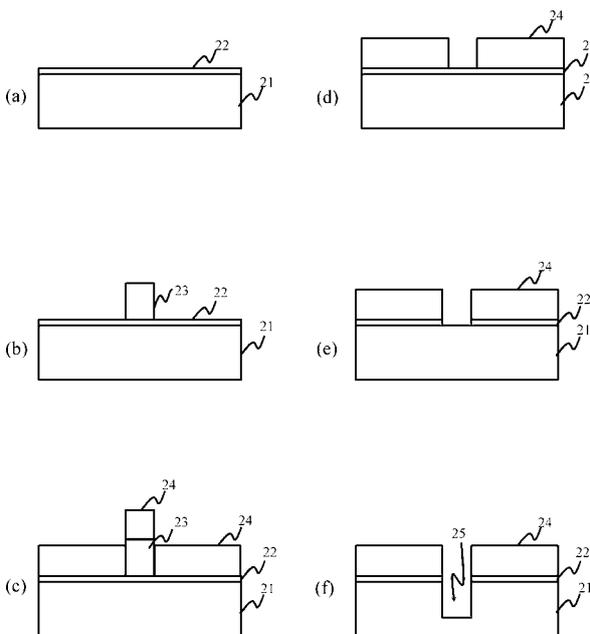
【0057】

- 11、21、41、51 エッチング材料
- 12 ステンレスマスク
- 22、42 Ti膜
- 23、43、53 フォトレジストマスク
- 24、44 Ni膜
- 25、45、55 バイアホール
- 54 Ni合金膜

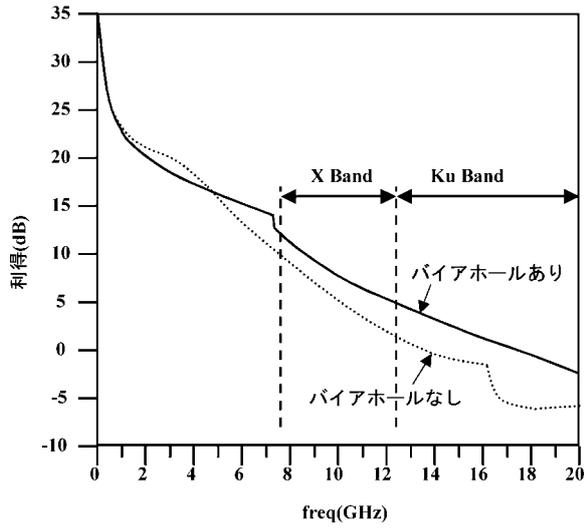
【図1】



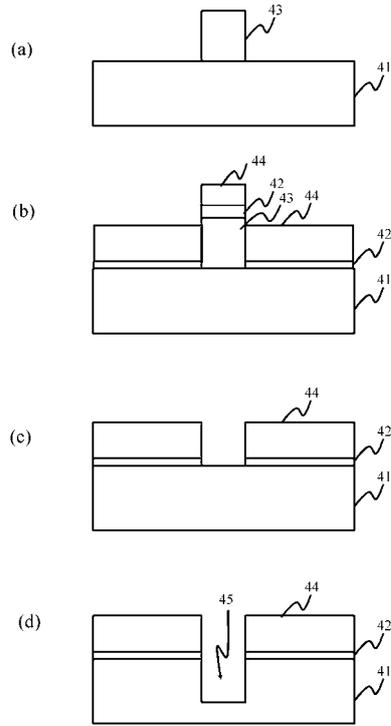
【図2】



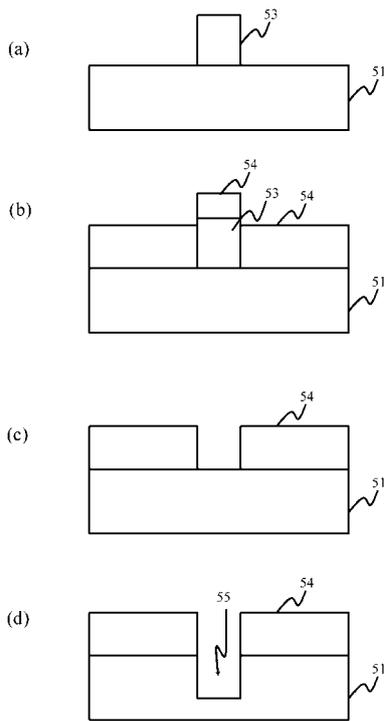
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 21/768 (2006.01)

(56) 参考文献 特開平 1 0 - 2 4 7 6 4 0 (J P , A)
特開平 1 1 - 2 9 3 4 8 0 (J P , A)
特開 2 0 0 1 - 0 8 5 3 9 7 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)
H 0 1 L 2 1 / 3 0 6 5
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 8
H 0 1 L 2 1 / 7 6 8