

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2013/140872

発行日 平成27年8月3日 (2015.8.3)

(43) 国際公開日 平成25年9月26日 (2013.9.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/341 (2011.01)	HO4N 5/335 410	5C024
HO4N 5/374 (2011.01)	HO4N 5/335 740	
HO4N 5/365 (2011.01)	HO4N 5/335 650	

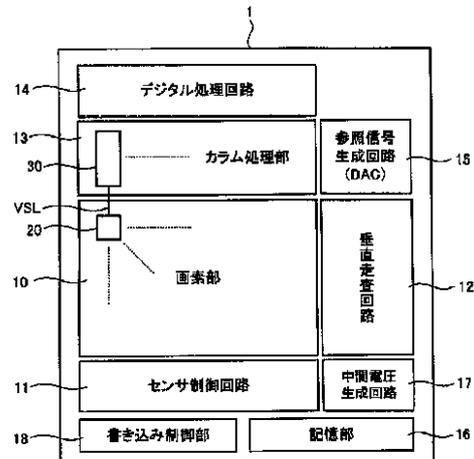
審査請求 未請求 予備審査請求 未請求 (全 27 頁)

出願番号 特願2014-506067 (P2014-506067)	(71) 出願人 000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(21) 国際出願番号 PCT/JP2013/052568	(74) 代理人 110001357 特許業務法人つばさ国際特許事務所
(22) 国際出願日 平成25年2月5日 (2013.2.5)	(72) 発明者 伊藤 芳晃 東京都港区港南1丁目7番1号 ソニー株式会社内
(31) 優先権主張番号 特願2012-61703 (P2012-61703)	(72) 発明者 笠井 弦 東京都港区港南1丁目7番1号 ソニー株式会社内
(32) 優先日 平成24年3月19日 (2012.3.19)	Fターム(参考) 5C024 CX03 CX04 CX51 CX53 CY16 GY31 HX55 JX21
(33) 優先権主張国 日本国(JP)	最終頁に続く

(54) 【発明の名称】 固体撮像装置及び電子機器

(57) 【要約】

固体撮像装置は、光電変換部、電荷電圧変換部、及び、該光電変換部に蓄積された電荷を該電荷電圧変換部に転送する転送トランジスタを含む画素を複数有する画素部と、光電変換部に蓄積された信号電荷を所定回数の中間転送動作及び完全転送動作により分割して読み出す際の中間転送動作時に転送トランジスタのゲートに印加する中間電圧の最適値の情報が格納されている記憶部とを備える。



- 10 Pixel unit
- 11 Sensor control circuit
- 12 Vertical scan circuit
- 13 Column processor
- 14 Digital processing circuit
- 15 Reference signal generation circuit (DAC)
- 16 Memory unit
- 17 Intermediate voltage generation circuit
- 18 Write controller

## 【特許請求の範囲】

## 【請求項 1】

光電変換部、電荷電圧変換部、及び、該光電変換部に蓄積された電荷を該電荷電圧変換部に転送する転送トランジスタを含む画素を複数有する画素部と、

前記光電変換部に蓄積された信号電荷を所定回数の中間転送動作及び完全転送動作により分割して読み出す際の中間転送動作時に前記転送トランジスタのゲートに印加する中間電圧の最適値の情報が格納されている記憶部と

を備える固体撮像装置。

## 【請求項 2】

前記中間電圧の最適値が、各画素の中間電圧の最適値の中の最大値である

10

請求項 1 に記載の固体撮像装置。

## 【請求項 3】

前記画素毎の中間電圧の最適値の情報が、前記記憶部に格納されている

請求項 1 に記載の固体撮像装置。

## 【請求項 4】

前記記憶部が、電氣的にプログラム可能なヒューズを含む

請求項 1 に記載の固体撮像装置。

## 【請求項 5】

前記完全転送動作時に前記光電変換部から前記電荷電圧変換部に転送される電荷量を  $Q_c$  とし、前記中間転送動作毎に前記光電変換部から前記電荷電圧変換部に転送される電荷量を  $Q_m$  とし、前記光電変換部の飽和電荷量を  $Q_s$  とし、前記電荷電圧変換部に蓄積可能な最大電荷量を  $Q_{fd}$  とし、前記中間転送動作の回数を  $n$  とした場合に、全ての前記画素において、前記中間電圧の最適値が、

20

$$Q_s - n \times Q_m = Q_c \quad Q_{fd}$$

の関係式を満たすような値に設定されている

請求項 1 に記載の固体撮像装置。

## 【請求項 6】

前記信号電荷の読み出し時に行う信号処理の方式が、デュアルノイズキャンセリング方式である

請求項 1 に記載の固体撮像装置。

30

## 【請求項 7】

光電変換部、電荷電圧変換部、及び、該光電変換部に蓄積された電荷を該電荷電圧変換部に転送する転送トランジスタを含む画素を複数有する画素部と、前記光電変換部に蓄積された信号電荷を所定回数の中間転送動作及び完全転送動作により分割して読み出す際の中間転送動作時に前記転送トランジスタのゲートに印加する中間電圧の最適値の情報が格納されている記憶部とを有する固体撮像装置と、

前記固体撮像装置の出力信号に対して所定の処理を施す信号処理回路と

を備える電子機器。

## 【発明の詳細な説明】

## 【技術分野】

40

## 【0001】

本開示は、固体撮像装置、及び、それを備える電子機器に関する。

## 【背景技術】

## 【0002】

従来、固体撮像装置として、光電変換素子であるフォトダイオードに蓄積した信号電荷を、MOS (Metal-Oxide-Semiconductor) トランジスタを介して読み出すCMOS (Complementary MOS) イメージセンサが、様々な用途で用いられている。

## 【0003】

このような固体撮像装置において、フォトダイオードの飽和電荷量を大きくすると、その飽和電荷量が、電荷量を電圧信号に変換するフローティングディフュージョン部に蓄積

50

可能な最大電荷量より大きくなる場合がある。この場合には、1回の読み出し動作でフォトダイオードに蓄積された電荷量を全てフローティングディフュージョン部に転送することができないので、読み出し動作を複数回行う（例えば特許文献1及び2参照）。

【0004】

例えば、特許文献1では、まず、転送トランジスタによりフォトダイオードからフローティングディフュージョン部に信号電荷を複数回に分割して転送する。なお、この際、途中の転送動作（中間転送動作）では、転送トランジスタのゲートには中間電圧が印加される。そして、特許文献1では、複数回に分割して読み出された複数の信号を合成して、フォトダイオードに蓄積された信号電荷に対応する電圧信号を生成している。

【0005】

また、特許文献2には、フォトダイオードに蓄積された信号電荷を複数回に分割して読み出す際、中間電圧を、最適値にフィードバック制御する手法が記載されている。特許文献2の手法では、画素部内の一部の画素を強制的に飽和させた後、その画素の飽和電荷量と、中間転送動作（途中の読み出し動作）後にフォトダイオードに残る電荷量とに基づいて、中間電圧を最適制御している。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2010-226679号公報

【特許文献2】特開2010-109677号公報

【発明の概要】

【0007】

上述のように、従来、固体撮像装置では、フォトダイオードに蓄積された信号電荷を複数回に分割して読み出す手法が種々提案されている。ところで、フォトダイオードに蓄積された信号電荷をフローティングディフュージョン部に転送する際に用いる転送トランジスタは、一般にMOSFET（MOS Field Effect Transistor）で構成される。

【0008】

MOSFETは、その構造が単純であるので微細化が容易であるが、その素子特性（電気特性）にバラツキが生じ易い。半導体集積回路の製造プロセスでは、その製造条件には揺らぎが発生し易く、この製造条件の揺らぎが、MOSFETの形状や物性的な条件に影響を与え、該影響がMOSFETの電気特性のバラツキとして現れる。

【0009】

上述のようなMOSFETの電気特性のバラツキ（性能バラツキ）が存在すると、MOSFETからなる転送トランジスタを含む画素から画素信号を読み出す際の性能も画素毎に変動する。特に、フォトダイオードに蓄積された信号電荷を複数回に分割して読み出す構成の固体撮像装置では、中間転送動作時の読み出し性能への転送トランジスタの性能バラツキの影響が大きくなる。

【0010】

したがって、フォトダイオードに蓄積された信号電荷を複数回に分割して読み出す構成の固体撮像装置、及び、それを備える電子機器において、上述した転送トランジスタの性能バラツキの影響を低減することが望ましい。

【0011】

本開示の一実施の形態の固体撮像装置は、画素部と記憶部とを備え、各部の構成を次のようにする。画素部は、光電変換部、電荷電圧変換部、及び、光電変換部に蓄積された電荷を電荷電圧変換部に転送する転送トランジスタを含む画素を複数有する。そして、記憶部には、光電変換部に蓄積された信号電荷を所定回数の中間転送動作及び完全転送動作により分割して読み出す際、中間転送動作時に転送トランジスタのゲートに印加する中間電圧の最適値の情報が格納されている。

【0012】

本開示の一実施の形態の電子機器は、上記本開示の固体撮像装置と、固体撮像装置の出

10

20

30

40

50

力信号に対して所定の処理を施す信号処理回路とを備える。

【0013】

なお、本明細書において、「完全転送動作」とは、光電変換部に蓄積された信号電荷を転送トランジスタで複数回に分割して電荷電圧変換部に転送する（読み出す）一連の動作において、最後に行う転送動作（読み出し動作）のことをいう。また、本明細書において、「中間転送動作」とは、光電変換部に蓄積された信号電荷を転送トランジスタで複数回に分割して電荷電圧変換部に転送する一連の動作において、完全転送動作より前に行う転送動作のことをいう。さらに、本明細書では、「中間電圧」とは、転送トランジスタのゲートに印加されるローレベルの電圧より大きく、かつ、完全転送動作時に転送トランジスタのゲートに印加されるハイレベルの電圧より小さい電圧のことをいう。

10

【0014】

上述のように、本開示の一実施の形態の固体撮像装置は、中間転送動作時に転送トランジスタのゲートに印加する中間電圧の最適値の情報が格納された記憶部を備える。それゆえ、本開示によれば、記憶部に格納された中間電圧の最適値を用いて中間転送動作を行うことができ、上述した転送トランジスタの性能バラツキによる読み出し性能への影響を低減することができる。

【図面の簡単な説明】

【0015】

【図1A】転送トランジスタの性能バラツキの影響を説明するための図である。

【図1B】転送トランジスタの性能バラツキの影響を説明するための図である。

20

【図1C】転送トランジスタの性能バラツキの影響を説明するための図である。

【図2】本開示の一実施形態に係る固体撮像装置の概略ブロック構成図である。

【図3】本開示の一実施形態に係る固体撮像装置の各画素、及び、各画素に対応して設けられるカラム処理部内の単位回路の概略構成図である。

【図4】カラム処理部内の単位回路の動作を説明するための各種信号のタイミングチャートである。

【図5】固体撮像装置の最適中間電圧を求めるための測定システムの概略構成図である。

【図6】固体撮像装置の最適中間電圧の設定動作の手順を示すフローチャートである。

【図7】固体撮像装置の最適中間電圧の設定動作を説明するための各種信号のタイミングチャートである。

30

【図8A】最適中間電圧の設定動作時における電荷の転送動作の様子を示す図である。

【図8B】図8Aに続く電荷の転送動作の様子を示す図である。

【図8C】図8Bに続く電荷の転送動作の様子を示す図である。

【図8D】図8Cに続く電荷の転送動作の様子を示す図である。

【図9】各画素の中間電圧の最適値を求める手法を説明するための図である。

【図10】本開示の固体撮像装置を適用した電子機器の一例を示す図である。

【発明を実施するための形態】

【0016】

以下に、本開示の実施形態に係る固体撮像装置、及び、それを備える電子機器の一例を、図面を参照しながら下記の順で説明する。ただし、本開示は下記の例に限定されない。

40

1. 固体撮像装置の構成
2. 中間電圧の最適値の設定手法
3. 電子機器（応用例）の構成

【0017】

< 1. 固体撮像装置の構成 >

本実施形態では、フォトダイオード（以下、PDと記す）に蓄積された信号電荷を転送トランジスタにより複数回に分割してフローティングディフュージョン部（以下、FD部と記す）に転送する方式の固体撮像装置の構成例を説明する。なお、以下では、このような方式を分割読み出し方式という。この分割読み出し方式では、例えば分割して読み出した複数の画素信号（出力データ）を最終的には加算して出力する。

50

## 【 0 0 1 8 】

## [ 転送トランジスタの性能バラツキの影響 ]

まず、本実施形態に係る分割読み出し方式の固体撮像装置の具体的な構成を説明する前に、この方式の固体撮像装置において、転送トランジスタの性能バラツキにより発生し得る事象について簡単に説明する。

## 【 0 0 1 9 】

分割読み出し方式では、完全転送動作の直前に P D に残っている電荷量  $Q_c$  を、F D 部に蓄積可能な最大電荷量（飽和電荷量  $Q_{fd}$ ）以下にすることが望ましい。すなわち、完全転送動作時に読み出される電荷量  $Q_c$  と、中間転送動作毎に読み出される電荷量  $Q_m$  と、P D の飽和電荷量  $Q_s$  と、F D 部の飽和電荷量  $Q_{fd}$  との間には、下記式（1）の関係が成り立つことが望ましい。なお、下記式（1）中の「 $n$ 」は、中間転送動作の回数である。

$$Q_s - n \times Q_m = Q_c \quad Q_{fd} \quad \dots (1)$$

## 【 0 0 2 0 】

図 1 A 及び図 1 B に、上記式（1）の条件を満たす場合の、P D の飽和電荷量  $Q_s$  と、中間転送動作毎に読み出される電荷量  $Q_m$  と、完全転送動作時に読み出される電荷量  $Q_c$  との関係を示す。なお、図 1 A は、 $Q_c = Q_{fd}$  となる場合の一例であり、図 1 B は  $Q_c < Q_{fd}$  となる場合の一例である。また、図 1 C に、上記式（1）の条件を満たさない場合の、P D の飽和電荷量  $Q_s$  と、中間転送動作毎に読み出される電荷量  $Q_m$  と、完全転送動作時に読み出される電荷量  $Q_c$  との関係を示す。

## 【 0 0 2 1 】

図 1 A 及び図 1 B に示すように、完全転送動作時に読み出される電荷量  $Q_c$ 、すなわち、完全転送動作の直前に P D に残る電荷量が、F D 部の飽和電荷量  $Q_{fd}$  以下である場合には、完全転送動作時に、F D 部で電荷が溢れにくい。それゆえ、このような場合には、P D で蓄積された電荷量に対応するデータ（画素信号）を正確に読み出すことができる。なお、以下では、完全転送動作時に読み出される電荷量  $Q_c$ （完全転送動作の直前に P D に残る電荷量）を中間電圧保持電荷量  $Q_c$  という。

## 【 0 0 2 2 】

一方、図 1 C に示すように、中間転送動作毎の転送電荷量（ $Q_m$ ）が比較的小さい場合（中間電圧が低い場合）には、中間電圧保持電荷量  $Q_c$  が、F D 部の飽和電荷量  $Q_{fd}$  より大きくなることがある。このような場合には、中間電圧保持電荷量  $Q_c$  のうち、F D 部の飽和電荷量  $Q_{fd}$  を越える分の電荷量が F D 部から溢れ出す。それゆえ、このような場合には、P D で蓄積された電荷量に対応するデータ（画素信号）を正確に読み出すことが困難である。

## 【 0 0 2 3 】

上述のように、中間電圧保持電荷量  $Q_c$  は、中間転送動作毎の転送電荷量（ $Q_m$ ）に依存して変化し、中間転送動作毎の転送電荷量（ $Q_m$ ）は、中間転送動作時に転送トランジスタのゲートに印加する中間電圧により変化する。それゆえ、分割読み出し方式において、P D で蓄積された電荷量に対応するデータを正確に読み出すためには、各画素において、上記式（1）の条件が満たされるように、中間電圧を設定することが望ましい。

## 【 0 0 2 4 】

しかしながら、画素毎に転送トランジスタの性能にバラツキが存在すると、各画素の転送トランジスタに印加する中間電圧が同じであっても、P D 及び F D 部間のポテンシャル障壁の高さ（電位）が画素毎に変動する。この場合、中間転送動作時に転送される電荷量  $Q_m$  が画素毎に異なり、最終的には、中間電圧保持電荷量  $Q_c$  も、画素毎に異なる。すなわち、画素毎に転送トランジスタの性能バラツキが存在すると、上記式（1）の条件を満たさない画素が存在する可能性があり、その場合には、画像データを正確に再現することが困難となる。

## 【 0 0 2 5 】

なお、上記特許文献 1 では、上述のような転送トランジスタの性能バラツキの影響は考

10

20

30

40

50

慮されていない。また、上記特許文献2では、一部の画素に対して中間電圧保持電荷量 $Q_c$ を測定して中間電圧を最適制御するが、通常の撮像動作で使用する画素に対してこの最適制御を実施していない。すなわち、上記特許文献2においても、上記式(1)の条件を満たさない画素が発生する可能性がある。

【0026】

そこで、以下では、信号電荷の読み出し時に、全ての画素において上記式(1)の条件が満たされるような構成の固体撮像装置の一例を説明する。

【0027】

[固体撮像装置の構成]

図2に、本開示の一実施形態に係る分割読み出し方式の固体撮像装置の概略構成を示す。なお、図2は、固体撮像装置全体の概略ブロック構成図である。

10

【0028】

固体撮像装置1は、CMOSイメージセンサであり、画素部10と、センサ制御回路11と、垂直走査回路12と、カラム処理部13とを備える。また、固体撮像装置1は、デジタル処理回路14と、参照信号生成回路15(DAC: Digital to Analog Converter)と、記憶部16と、中間電圧生成回路17と、書き込み制御部18とを備える。

【0029】

画素部10は、行列状に2次元配置された複数の単位画素20(以下、単に画素20という)を有する。なお、画素20の内部構成については、後で詳述する。また、画素部10は、行列状に2次元配置された画素20の行毎に、行方向に沿って形成された各種画素駆動線(不図示)と、列毎に、列方向に沿って形成された垂直信号線VSLとを備える。なお、各種画素駆動線は、垂直走査回路12に接続され(不図示)、垂直信号線VSLは、カラム処理部13に接続される。

20

【0030】

センサ制御回路11は、固体撮像装置1の各種動作のタイミング信号を生成する例えばタイミングジェネレータ等により構成される。そして、センサ制御回路11で生成された各種タイミング信号は、垂直走査回路12、カラム処理部13等に供給され、これらのタイミング信号に基づいて各部が駆動制御される。

【0031】

垂直走査回路12は、例えば、シフトレジスタ、アドレスデコーダ等の回路素子により構成され、画素部10の各画素20に各種駆動信号を出力して、各画素20を駆動し、各画素20から信号を読み出す。

30

【0032】

カラム処理部13は、垂直信号線VSLに出力されたアナログの画素信号(電圧信号)に対して所定の処理を施す複数の単位回路30を有する。単位回路30は、垂直信号線VSL毎に設けられる。

【0033】

各単位回路30では、対応する垂直信号線VSLを介して得られる画素信号(電圧信号)に対して、AD(Analog to Digital)変換処理だけでなく、その前後にCDS(Correlated Double Sampling)処理を行う。すなわち、単位回路30では、垂直信号線VSLを介して得られる画素信号に対して、デュアルノイズキャンセリング方式の信号処理が施される。なお、単位回路30の内部構成及び動作については後で詳述する。

40

【0034】

デジタル処理回路14は、カラム処理部13から出力されるデジタルの画素信号(カウント数)に対して各種信号処理を行う。例えば、デジタル処理回路14は、入力されたカウント数に対応する出力コードに変換する。

【0035】

参照信号生成回路15は、画素信号をAD変換する際に用いる参照信号(参照電圧)を生成し、その参照信号をカラム処理部13内の後述のAD変換回路34(コンパレータ)に供給する。なお、本実施形態では、参照信号生成回路15は、通常動作時だけでなく、

50

出荷前に行う中間電圧の最適値の設定動作時にも参照信号を生成して出力する。

【0036】

記憶部16は、例えば電氣的にプログラム可能なヒューズ(eFuse：電気ヒューズ)等のメモリ素子で構成される。なお、固体撮像装置1の作製容易性の観点では、記憶部16として、画素20を構成するMOSトランジスタの形成工程と同時に作製できる構成のメモリ素子を用いることが好ましい。このような観点では、記憶部16を電氣的にプログラム可能なヒューズ(eFuse)で構成することが好ましい。

【0037】

記憶部16には、例えば、中間電圧の最適値等の画素信号の読み出し時に必要な各種情報が格納される。本実施形態では、画素部10内の全ての画素20において、読み出し時に上記式(1)の条件を満たすような中間電圧の最適値(後述の最適中間電圧 $V_{mo}$ )の情報が記憶部16に記憶される。また、記憶部16は、中間電圧生成回路17に接続され、画素信号の読み出し時には、記憶部16に格納された中間電圧の最適値の情報が中間電圧生成回路17に出力される。

10

【0038】

なお、本実施形態では、読み出し時に必要な各種情報として、画素20毎の中間電圧の最適値(後述の最適値 $V_{md}$ )を全て記憶部16に格納してもよい。また、中間電圧の最適値とともに、中間転送動作の回数(上記式(1)中の $n$ )を記憶部16に格納してもよい。例えば、種々の中間転送動作の回数に対してそれぞれ対応する中間電圧の最適値を記憶部16に格納してもよい。このような情報を記憶部16に格納することにより、中間転送の回数に応じて、適宜、中間電圧の最適値を選択することができる。ただし、固体撮像装置1において、予め中間転送動作の回数が決まっている場合には、中間転送動作の回数の情報を記憶部16に格納しなくてもよい。なお、中間転送の回数 $n$ は、例えば、PD21(後述の図3参照)の飽和電荷量 $Q_s$ 及びFD部26(図3参照)の飽和電荷量 $Q_{fd}$ の設計値や、固体撮像装置1のフレームレート仕様などを考慮して設定される。

20

【0039】

中間電圧生成回路17は、中間転送動作時に、記憶部16から入力された中間電圧の最適値の情報に基づいて、該情報に対応する中間電圧を生成し、該生成した中間電圧を後述の転送トランジスタ22のゲートに供給する。また、中間電圧生成回路17は、固体撮像装置1の出荷前に行う中間電圧の最適値の設定動作において、該動作で使用する種々の値の中間電圧も生成する。

30

【0040】

書き込み制御部18は、記憶部16に接続され、出荷前に決定された中間電圧の最適値の情報を記憶部16に書き込む。また、書き込み制御部18は、後述する外部の検査機器50(後述の図5参照)に電氣的に接続可能であり、外部の検査機器50で測定された中間電圧の最適値を取得することができる。なお、本実施形態では、書き込み制御部18を備える固体撮像装置1の構成例を説明するが、本開示はこれに限定されない。後述の外部の検査機器50により、中間電圧の最適値を直接、記憶部16に書き込む構成にしてもよく、この場合には、書き込み制御部18を設けなくてもよい。

【0041】

また、図2には示さないが、固体撮像装置1は、カラム処理部13内において垂直信号線VSL毎に設けられた単位回路30を順次、選択走査する水平走査回路も備える。この水平走査回路の選択走査により、カラム処理部13の各単位回路30で信号処理された画素信号が順次、デジタル処理回路14に出力される。

40

【0042】

[画素の構成]

次に、図3を参照しながら、各画素20の構成を簡単に説明する。なお、図3は、画素20、及び、それに接続された単位回路30の概略構成図である。また、図3には、中間転送動作の回数が1回である場合の単位回路30の構成を示す。

【0043】

50

画素 20 は、一つの PD 21 (光電変換部) と、該 PD 21 に対して設けられた MOS トランジスタからなる各種能動素子と、FD 部 26 (電荷電圧変換部) とを備える。図 3 に示す例では、画素 20 は、各種能動素子として、転送トランジスタ 22、増幅トランジスタ 23、リセットトランジスタ 24、及び、選択トランジスタ 25 を備える。

【0044】

すなわち、ここでは、画素 20 が 4 トランジスタ型の画素である例を説明する。なお、本開示はこれに限定されず、画素 20 が選択トランジスタ 25 を備えない 3 トランジスタ型の画素であってもよい。さらに、ここでは、各種トランジスタをキャリア極性が N 型の MOS トランジスタで構成した例を示す。また、この例では、一つの画素 20 に対して、行方向に転送配線、リセット配線、及び、選択配線の 3 本の信号配線を設け (不図示)、列方向に垂直信号線 VSL を設ける。

10

【0045】

PD 21 は、入射光を、入射光の光量に対応する量の電荷 (ここでは電子) に変換する (光電変換する)。また、PD 21 のアノードは接地される。なお、本実施形態では、光電変換素子としてフォトダイオードを用いる例を説明するが、本開示はこれに限定されず、例えば、光電変換素子としてフォトゲートを用いてもよい。

【0046】

転送トランジスタ 22 は、PD 21 のカソードと、FD 部 26 との間に設けられる。転送トランジスタ 22 は、そのゲートに垂直走査回路 12 から転送配線を介してハイレベルの信号が入力された際にオン状態となり、PD 21 で光電変換された電荷 (電子) を FD 部 26 に転送する。なお、FD 部 26 に転送された電荷は、FD 部 26 において、電圧 (電位) に変換される。

20

【0047】

増幅トランジスタ 23 のゲートは、FD 部 26 に接続される。また、増幅トランジスタ 23 のドレインは、電源電圧 VDD の供給端子に接続され、増幅トランジスタ 23 のソースは、選択トランジスタ 25 を介して垂直信号線 VSL に接続される。増幅トランジスタ 23 は、FD 部 26 の電位 (電圧信号) を増幅し、その増幅信号を光蓄積信号 (画素信号) として選択トランジスタ 25 に出力する。

【0048】

リセットトランジスタ 24 は、電源電圧 VDD の供給端子と FD 部 26 との間に設けられる。リセットトランジスタ 24 は、そのゲートに垂直走査回路 12 からリセット配線を介してハイレベルの信号が入力された際にオン状態となり、FD 部 26 の電位を電源電圧 VDD にリセットする。

30

【0049】

選択トランジスタ 25 は、増幅トランジスタ 23 と垂直信号線 VSL との間に設けられる。選択トランジスタ 25 は、そのゲートに垂直走査回路 12 から選択配線を介してハイレベルの信号が入力された際にオン状態となり、増幅トランジスタ 23 で増幅された電圧信号を垂直信号線 VSL に出力する。すなわち、4 トランジスタ型の固体撮像装置 1 では、画素 20 の選択及び非選択の切り替えは、選択トランジスタ 25 により制御される。なお、垂直信号線 VSL に出力された各画素 20 の電圧信号は、対応する後述のアナログ CDS 回路 31 に転送される。

40

【0050】

[ 単位回路の構成 ]

次に、垂直信号線 VSL 毎に設けられる、カラム処理部 13 内の単位回路 30 の内部構成及び動作を、図 3 及び 4 を参照しながら説明する。

【0051】

なお、図 4 は、単位回路 30 内の各部の動作を説明するための各種信号のタイミングチャートである。具体的には、図 4 には、各画素 20 に供給される転送信号 (TRG)、垂直信号線 VSL に出力される画素信号 (SVSL)、コンパレータの出力信号 (SCOM)、参照信号 (RAMP)、及び、アナログ CDS 処理後の信号 (V) のタイミングチ

50

ャートを示す。図4では、説明の都合上、参照信号(RAMP)と、アナログCDS処理後の信号(V)とを重ねて記載する。

【0052】

単位回路30は、図3に示すように、アナログCDS回路31と、アナログメモリ32と、アナログ加算/非加算回路33と、AD変換回路34と、デジタルCDS回路35と、デジタルメモリ36と、デジタル加算/非加算回路37とを備える。アナログCDS回路31、アナログメモリ32、アナログ加算/非加算回路33、AD変換回路34、デジタルCDS回路35、デジタルメモリ36、及び、デジタル加算/非加算回路37は、画素部10側から、この順で直列に接続される。

【0053】

アナログCDS回路31は、対応する垂直信号線VSLを介して得られる画素信号SVSL(電圧信号)に対して相関二重サンプリング処理(アナログCDS処理)を行う。具体的には、アナログCDS回路31では、まず、垂直信号線VSLに出力される画素信号SVSLにおいて、P相期間(リセット期間)の所定のタイミングT1でP相の電圧レベルを検出する(図4参照)。次いで、アナログCDS回路31は、タイミングT1で検出して電圧レベルを基準(例えば零)として、容量等からなるメモリ(不図示)に記憶する。その後、アナログCDS回路31は、D相期間(信号転送期間)の所定のタイミングT5でD相の電圧レベルを検出し(図4参照)、その電圧レベルのP相の電圧レベル(基準レベル)からの電位差を検出する。そして、アナログCDS回路31は、図4に示すように、P相の電圧レベルを基準レベルとした電位差信号Vを、アナログメモリ32に出力する。

【0054】

上述したアナログCDS処理を施すことにより、例えば、リセットノイズ、増幅トランジスタの閾値ばらつき等に起因する画素固有の固定パターンノイズを除去することができる。なお、本実施形態では、上述したアナログCDS処理は、中間転送動作毎及び完全転送動作毎に実施され、各転送動作で得られた電位差信号V(出力データ:図3中のDataA0及びDataB0)が個別にアナログメモリ32に出力される。

【0055】

アナログメモリ32は、アナログCDS回路31から出力されるアナログの出力データ(電位差信号V)を一時的に格納する。なお、本実施形態では分割読み出し方式で画素信号を読み出すので、アナログメモリ32は、中間転送動作時及び完全転送動作時のそれぞれにおいてアナログCDS回路31から出力される出力データ(DataA0及びDataB0)を一時的に格納する。

【0056】

アナログ加算/非加算回路33は、アナログメモリ32に格納された、中間転送動作時のアナログの出力データ(DataA0)、及び、完全転送動作時のアナログの出力データ(DataB0)を取得する。次いで、アナログ加算/非加算回路33は、各転送動作時の出力データのレベルに応じて、中間転送動作時のアナログの出力データ(DataA0)、及び、完全転送動作時のアナログの出力データ(DataB0)に対して、加算処理又は非加算処理を施す。そして、アナログ加算/非加算回路33は、加算処理又は非加算処理が施されたデータ(DataC0)をAD変換回路34に出力する。なお、アナログ加算/非加算回路33における出力データの加算及び非加算処理は、デジタル加算/非加算回路37における後述の処理と同様に行うことができるが、本実施形態では、アナログ加算/非加算回路33は加算処理のみを行うものとする。

【0057】

AD変換回路34は、図示しないが、コンパレータを有し、対応するアナログ加算/非加算回路33から出力された信号(電位差信号V)の電圧レベルと参照信号生成回路15から入力される参照信号(RAMP)の電圧レベルとをコンパレータで比較する。そして、AD変換回路34は、図4に示すように、両信号の出力レベルが互いに同じになる時刻T2及びT6で信号レベルが反転する信号(比較結果:SCOM)を生成する。

10

20

30

40

50

## 【 0 0 5 8 】

なお、本実施形態では、A D 変換処理の前段でアナログ C D S 処理を行う。それゆえ、A D 変換回路 3 4 では、アナログ加算 / 非加算回路 3 3 から出力されるアナログ C D S 処理された P 相及び D 相の信号（電位差信号 V）に対してそれぞれ上述した比較処理が施される。そして、A D 変換回路 3 4 は、中間転送動作及び完全転送動作のそれぞれにおいて、コンパレータで得られる P 相及び D 相の比較結果（S C O M）をデジタル C D S 回路 3 5 に出力する。

## 【 0 0 5 9 】

デジタル C D S 回路 3 5 は、図示しないが、カウント部を有する。カウント部は、アナログ加算 / 非加算回路 3 3 からの出力信号（電位差信号 V）の電圧レベルが参照信号生成回路 1 5 から出力される参照信号（R A M P）の電圧レベルと同じレベルになるまでの時間（比較期間）を計測する（カウントする）。この際、カウント部は、そのカウント動作を、A D 変換回路 3 4 内のコンパレータにおける比較結果（S C O M）に基づいて、アップカウント動作及びダウンカウント動作のいずれかに切り替える。

10

## 【 0 0 6 0 】

具体的には、カウント部は、P 相の比較期間（図 4 中の時刻 T 0 ~ T 2 の期間）でかつコンパレータの出力信号 S C O M がハイレベルである期間はダウンカウント動作を行う。また、D 相の比較期間（図 4 中の時刻 T 4 ~ T 6 の期間）でかつコンパレータの出力信号 S C O M がローレベルである期間はアップカウント動作を行う。これにより、アップカウント動作終了後に得られるカウント数は、D 相の比較期間のカウント数の絶対値から P 相の比較期間のカウント数の絶対値を差し引いた値となる。すなわち、D 相のカウント動作で最終的に得られるカウント数は、デジタル C D S 処理が施された出力データとなる。このデジタル C D S 処理により、アナログ C D S 回路 3 1 や A D 変換回路 3 4 などの特性バラツキの影響をキャンセルすることができる。

20

## 【 0 0 6 1 】

そして、デジタル C D S 回路 3 5 は、最終的に得られた D 相のカウント数（デジタル C D S 処理後の出力データ）をデジタルメモリ 3 6 に出力する。なお、本実施形態では分割読み出し方式で画素信号を読み出すので、デジタル C D S 回路 3 5 は、中間転送動作時及び完全転送動作時のそれぞれにおいて得られた D 相のカウント数（図 3 中の D a t a A 及び D a t a B）をデジタルメモリ 3 6 に出力する。

30

## 【 0 0 6 2 】

デジタルメモリ 3 6 は、デジタル C D S 回路 3 5 から出力されるカウント数（デジタルの出力データ）を一時的に格納する。なお、この際、アナログメモリ 3 2 は、中間転送動作時及び完全転送動作時のそれぞれにおいて、デジタル C D S 回路 3 5 から出力されるカウント数（D a t a A 及び D a t a B）を一時的に格納する。

## 【 0 0 6 3 】

デジタル加算 / 非加算回路 3 7 は、デジタルメモリ 3 6 に格納された、中間転送動作時及び完全転送動作時のそれぞれにおいて得られたカウント数（D a t a A 及び D a t a B）を取得する。そして、デジタル加算 / 非加算回路 3 7 は、各転送動作時の出力データのレベルに応じて、中間転送動作時のデジタルの出力データ（D a t a A）、及び、完全転送動作時のデジタルの出力データ（D a t a B）に対して、加算処理又は非加算処理を施す。そして、デジタル加算 / 非加算回路 3 7 は、加算処理又は非加算処理を施した出力データ（D a t a C）をデジタル処理回路 1 4 に出力する。

40

## 【 0 0 6 4 】

ここで、デジタル加算 / 非加算回路 3 7 で行う加算処理及び非加算処理の内容を具体的に説明する。デジタル加算 / 非加算回路 3 7 は、次の状況 A 及び B の場合に加算処理を行う。なお、ここでは、中間転送動作が 1 回の場合について説明する。

## 【 0 0 6 5 】

（状況 A）

中間転送動作時の出力データ（D a t a A）のレベル及び完全転送動作時の出力データ

50

(Data B) のレベルがともに、所定の上限閾値  $T_{hH}$  及び下限閾値  $T_{hL}$  の間の値である場合、デジタル加算/非加算回路 37 は、両方の出力データを加算する。そして、デジタル加算/非加算回路 37 は、加算したデータ ( $Data C = Data A + Data B$ ) をデジタル処理回路 14 に出力する。

【0066】

なお、出力データの上限閾値  $T_{hH}$  及び下限閾値  $T_{hL}$  は、例えば、想定されるノイズ量、中間電圧  $V_m$  の値等に応じて任意に設定することができる。例えば、出力データの上限閾値  $T_{hH}$  は、FD 部 26 の飽和電荷量  $Q_{fd}$  の  $3/4$  の電荷量 ( $3Q_{fd}/4$ ) に対応する出力データ等に設定することができる。また、下限閾値  $T_{hL}$  は、例えば、FD 部 26 の飽和電荷量  $Q_{fd}$  の  $1/4$  の電荷量 ( $Q_{fd}/4$ ) に対応する出力データ等に設定

10

【0067】

(状況 B)

PD 21 に蓄積された電荷を 2 回の転送動作で分割して FD 部 26 に転送する場合、PD 21 が飽和した状態において、中間転送動作で PD 21 の飽和電荷量  $Q_s$  の約半分程度の電荷が FD 部 26 に転送されるように、中間電圧  $V_m$  が設定される。それゆえ、例えば、中間転送動作時に転送された電荷量が PD 21 の飽和電荷量  $Q_s$  の約半分程度に近い場合 (Data A のレベルがある程度大きい場合)、完全転送動作直前に PD 21 に残っている電荷量も PD 21 の飽和電荷量  $Q_s$  の約半分程度となる。すなわち、中間転送動作時の出力データ (Data A) のレベルが上限閾値  $T_{hH}$  より大きい場合には、完全転送動作時に FD 部 26 に転送される電荷量が PD 21 の飽和電荷量  $Q_s$  の約半分程度になり、非常に大きくなる。この場合、完全転送動作時のカウント数はフルカウント値になる。それゆえ、この場合には、デジタル加算/非加算回路 37 は、中間転送動作時の出力データ (Data A) にフルカウント値を加算したデータ ( $Data C = Data A + \text{フルカウント値}$ ) をデジタル処理回路 14 に出力する。また、この場合には、完全転送動作時の出力データ (Data B) を読み出さなくてもよい。

20

【0068】

一方、次の状況 C 及び D の場合には、デジタル加算/非加算回路 37 は、非加算処理を行う。

【0069】

(状況 C)

中間転送動作時の出力データ (Data A) のレベルが下限閾値  $T_{hL}$  より小さい場合、中間転送動作時の出力データ (Data A) は、ノイズであると考えられる。それゆえ、この場合には、中間転送動作時の出力データ (Data A) を使用しない。すなわち、この場合、デジタル加算/非加算回路 37 は、中間転送動作時の出力データ (Data A) と完全転送動作時の出力データ (Data B) とを加算せずに、完全転送動作時の出力データ (Data B) のみを出力データ (Data C) として出力する。

30

【0070】

(状況 D)

完全転送動作時の出力データ (Data B) のレベルが下限閾値  $T_{hL}$  より小さい場合、中間転送動作時の出力データ (Data A) は、偽データであると考えられる。それゆえ、この場合には、中間転送動作時の出力データ (Data A) を使用しない。すなわち、この場合、デジタル加算/非加算回路 37 は、中間転送動作時の出力データ (Data A) と完全転送動作時の出力データ (Data B) とを加算せずに、完全転送動作時の出力データ (Data B) のみを出力データ (Data C) として出力する。

40

【0071】

< 2 . 中間電圧の最適値の設定手法 >

次に、本実施形態における中間電圧の最適値 (以下では、最適中間電圧  $V_{mo}$  という) の設定手法について説明する。なお、本実施形態において、最適中間電圧  $V_{mo}$  の測定及び設定は、固体撮像装置 1 の出荷前に行う。

50

## 【 0 0 7 2 】

## [ 中間電圧設定システムの構成 ]

図 5 に、固体撮像装置 1 の最適中間電圧  $V_{m0}$  の測定及び設定を行うための中間電圧設定システムの概略ブロック構成を示す。中間電圧設定システムは、図 5 に示すように、検査対象の固体撮像装置 1 と、その外部に設けられた検査機器 5 0 とで構成される。

## 【 0 0 7 3 】

検査機器 5 0 は、中間電圧設定部 5 1 を有する。なお、図 5 には示さないが、検査機器 5 0 は、最適中間電圧  $V_{m0}$  の設定動作を制御するための制御部を備える。また、本実施形態では、検査機器 5 0 が、最適中間電圧  $V_{m0}$  の設定動作時に画素部 1 0 の受光部に照射する均一光の検査用光源を備えていてもよいし、該検査用光源が、検査機器 5 0 とは別個に設けられていてもよい。

10

## 【 0 0 7 4 】

中間電圧設定部 5 1 は、固体撮像装置 1 内のデジタル処理回路 1 4 に接続され、後述する最適中間電圧  $V_{m0}$  の設定動作時には、各画素 2 0 に対して種々の中間電圧  $V_m$  を印加した際に得られる出力データを取得する。また、中間電圧設定部 5 1 は、取得した種々の出力データに基づいて、各画素 2 0 の中間電圧  $V_m$  の最適値  $V_{md}$  を求める。なお、上述のように、各画素 2 0 内の転送トランジスタには性能バラツキが存在するので、各画素 2 0 の中間電圧  $V_m$  の最適値  $V_{md}$  にもバラツキが生じる。

## 【 0 0 7 5 】

さらに、中間電圧設定部 5 1 は、画素 2 0 毎に求められた中間電圧  $V_m$  の最適値  $V_{md}$  の中から、全ての画素 2 0 において、読み出し時に上記式 ( 1 ) の条件が満たされるような最適中間電圧  $V_{m0}$  を決定する。本実施形態では、画素 2 0 毎に求められた最適な中間電圧  $V_{md}$  の中から、その最大値を選択し、該最大値を最適中間電圧  $V_{m0}$  とする。

20

## 【 0 0 7 6 】

また、中間電圧設定部 5 1 は、固体撮像装置 1 内の書き込み制御部 1 8 に接続され、求めた最適中間電圧  $V_{m0}$  を書き込み制御部 1 8 へ出力する。なお、書き込み制御部 1 8 は、中間電圧設定部 5 1 から入力された最適中間電圧  $V_{m0}$  を記憶部 1 6 に書き込む。

## 【 0 0 7 7 】

## [ 最適中間電圧の設定動作 ]

次に、図 6、7 及び図 8 A ~ 図 8 D を参照しながら、本実施形態における固体撮像装置 1 の最適中間電圧  $V_{m0}$  の設定動作を、より具体的に説明する。なお、図 6 は、本実施形態における最適中間電圧  $V_{m0}$  の設定動作の手順を示すフローチャートである。図 7 は、最適中間電圧  $V_{m0}$  の設定時におけるリセット信号 ( R S T )、転送信号 ( T R G )、垂直信号線 V S L に出力される画素信号 ( S V S L )、参照信号 ( R A M P )、及び、アナログ C D S 処理後の信号 (  $V$  ) のタイミングチャートである。なお、図 7 では、A D 変換回路 3 4 での比較処理の様子を明確にするため、参照信号 ( R A M P ) と、アナログ C D S 処理後の信号 (  $V$  ) とを重ねて記載する。また、図 8 A ~ 図 8 D は、最適中間電圧  $V_{m0}$  の設定動作時における P D 2 1 から F D 部 2 6 への電荷の転送の様子を示す図である。

30

## 【 0 0 7 8 】

なお、以下に説明する最適中間電圧  $V_{m0}$  の設定動作は、検査機器 5 0 内の図示しない制御部により制御される。

40

## 【 0 0 7 9 】

まず、オペレータ等が、検査対象の固体撮像装置 1 を検査機器 5 0 に接続する。具体的には、検査機器 5 0 内の中間電圧設定部 5 1 の入力端子を固体撮像装置 1 内のデジタル処理回路 1 4 に接続し、中間電圧設定部 5 1 の出力端子を固体撮像装置 1 内の書き込み制御部 1 8 に接続する ( 図 5 参照 )。

## 【 0 0 8 0 】

次いで、検査機器 5 0 は、画素部 1 0 内の各画素 2 0 に印加する中間電圧  $V_m$  を、所定の初期値  $V_{m0}$  に設定する ( ステップ S 1 )。なお、本実施形態では、中間電圧  $V_m$  の

50

初期値  $V_{m\_0}$  は、中間電圧  $V_m$  の可変領域 ( $V_{m\_0} \sim V_{m\_max}$ ) の最小値とする。

【0081】

次いで、検査機器 50 は、画素部 10 の受光部に均一光を照射して、各画素 20 を強制的に飽和させる (ステップ S2)。ステップ S2 により、PD21 は、その飽和電荷量  $Q_s$  の電荷が蓄積された状態となる。

【0082】

次いで、検査機器 50 は、固体撮像装置 1 を制御し、所定の画素 20 に対して、次のような中間転送動作を  $n$  回行う (ステップ S3)。なお、各中間転送動作では、上記単位回路 30 の動作で説明したように、アナログ CDS 処理、AD 変換処理 (比較処理) 及びデジタル CDS 処理を行う。また、ここでは、説明を簡略化するため中間転送動作を 1 回 ( $n = 1$ ) 行う例を説明する。

【0083】

具体的には、まず、検査機器 50 は、固体撮像装置 1 のセンサ制御回路 11 及び垂直走査回路 12 を制御して、所定の時刻  $t_0$  (図 7 参照) に、測定対象の画素 20 のリセットトランジスタ 24 のゲートにハイレベルのリセット信号を供給する。このリセット動作直後の PD21 の領域、転送トランジスタ 22 のゲート領域、及び、FD 部 26 の領域のポテンシャル (電位) の関係を、図 8A に示す。このリセット動作により、FD 部 26 の電位が電源電圧  $V_{DD}$  にリセットされ、FD 部 26 に溜まっていた電荷が排出される。

【0084】

その後、固体撮像装置 1 内のカラム処理部 13 では、参照信号 RAMP の電圧レベルとアナログ CDS 処理後の信号 (電位差信号  $V$ ) の電圧レベルとが同じレベルになるまで両信号の比較処理が行われる。図 7 に示す例では、時刻  $t_1$  で、参照信号 RAMP の電圧レベルと、アナログ CDS 処理後の信号 (電位差信号  $V$ ) の電圧レベルとが同レベルになり、このタイミングで、図 8A に示す状態に対応する P 相 (リセット状態) の出力データが得られる。しかしながら、最適中間電圧  $V_{m0}$  の設定動作では、中間転送動作時の P 相の出力データは読み出さない。

【0085】

次いで、時刻  $t_2$  において、検査機器 50 は、固体撮像装置 1 のセンサ制御回路 11、垂直走査回路 12 及び中間電圧生成回路 17 を制御して、中間電圧  $V_m$  の初期値  $V_{m\_0}$  又は後述のステップ S9 で更新された中間電圧  $V_m$  を測定対象の画素 20 に印加する。この中間電圧  $V_m$  の印加動作直後の PD21 の領域、転送トランジスタ 22 のゲート領域、及び、FD 部 26 の領域のポテンシャル (電位) の関係を、図 8B に示す。中間電圧  $V_m$  の印加動作により、転送トランジスタ 22 のゲート領域のポテンシャル障壁が低下する。これにより、図 8B に示すように、PD21 に蓄積された電荷量 (飽和電荷量  $Q_s$ ) のうち、ポテンシャル障壁の低下分に対応する量の電荷 (電荷量  $Q_m$ ) が、FD 部 26 に転送される。

【0086】

その後、固体撮像装置 1 内のカラム処理部 13 では、参照信号 RAMP の電圧レベルとアナログ CDS 処理後の信号 (電位差信号  $V$ ) の電圧レベルとが同じレベルになるまで両信号の比較処理が行われる。図 7 に示す例では、時刻  $t_3$  で、参照信号 RAMP の電圧レベルと、アナログ CDS 処理後の信号 (電位差信号  $V$ ) の電圧レベルとが同レベルになり、このタイミングで、図 8B に示す状態に対応する D 相 (信号転送状態) の出力データが得られる。しかしながら、最適中間電圧  $V_{m0}$  の設定動作では、中間転送動作時の D 相の出力データは読み出さない。

【0087】

本実施形態では、このようにしてステップ S3 の中間転送動作を行う。なお、中間転送動作を 2 回以上行う場合には、上記中間転送動作を 2 回以上繰り返して行う。

【0088】

次いで、検査機器 50 は、固体撮像装置 1 を制御し、所定の画素 20 に対して、次のよ

10

20

30

40

50

うな完全転送動作を行う（ステップS4）。なお、完全転送動作では、出荷後の通常動作時と同様にして、アナログCDS処理、AD変換処理（比較処理）及びデジタルCDS処理を行い、出力データを取得する。

【0089】

具体的には、まず、図7に示すように、検査機器50は、固体撮像装置1のセンサ制御回路11及び垂直走査回路12を制御して、時刻 $t_4$  ( $> t_3$ )に、測定対象の画素20のリセットトランジスタ24のゲートにハイレベルのリセット信号を供給する。このリセット動作直後のPD21の領域、転送トランジスタ22のゲート領域、及び、FD部26の領域のポテンシャル（電位）の関係を、図8Cに示す。このリセット動作により、FD部26の電位が電源電圧VDDにリセットされ、FD部26に溜まっていた電荷が排出される。

10

【0090】

その後、固体撮像装置1内のカラム処理部13では、参照信号RAMPの電圧レベルとアナログCDS処理後の信号（電位差信号V）の電圧レベルとが同じレベルになるまで両信号の比較処理が行われる。図7に示す例では、時刻 $t_5$ で、参照信号RAMPの電圧レベルと、アナログCDS処理後の信号（電位差信号V）の電圧レベルとが同レベルになり、このタイミングで、図8Cに示す状態に対応するP相（リセット状態）の出力データが得られる。

【0091】

次いで、図7に示すように、時刻 $t_6$ において、検査機器50は、固体撮像装置1のセンサ制御回路11及び垂直走査回路12を制御して、完全転送時の電圧（完全転送電圧 $V_c > V_m$ ）を測定対象の画素20に供給する。完全転送電圧値 $V_c$ の印加動作直後のPD21の領域、転送トランジスタ22のゲート領域、及び、FD部26の領域のポテンシャル（電位）の関係を、図8Dに示す。なお、完全転送電圧 $V_c$ は、完全転送電圧 $V_c$ が転送トランジスタ22のゲートに印加された際に、ゲート領域のポテンシャル障壁の高さ位置がPD21のポテンシャルの底の位置又はそれより低い位置となるような値に設定される。例えば、完全転送電圧 $V_c$ は、固体撮像装置1の電源電圧VDD等に設定することができる。

20

【0092】

上記完全転送電圧 $V_c$ の印加により、図8Dに示す例では、転送トランジスタ22のゲート領域のポテンシャル障壁が中間転送動作時（図8B）のそれよりさらに低下し、ゲート領域のポテンシャル障壁の高さ位置がPD21の底の位置まで低下する。これにより、図8Dに示すように、完全転送動作の直前（最後の中間転送動作後）にPD21に蓄積されていた全電荷（中間電圧保持電荷量 $Q_c = Q_s - n \times Q_m$ ）が、FD部26に転送される。

30

【0093】

その後、固体撮像装置1内のカラム処理部13では、参照信号RAMPの電圧レベルとアナログCDS処理後の信号（電位差信号V）の電圧レベルとが同じレベルになるまで両信号の比較処理が行われる。図7に示す例では、時刻 $t_7$ で、参照信号RAMPの電圧レベルと、アナログCDS処理後の信号（電位差信号V）の電圧レベルとが同レベルになり、このタイミングで、図8Dに示す状態に対応するD相（信号転送状態）の出力データが得られる。すなわち、時刻 $t_7$ において、完全転送動作の直前（最後の中間転送動作後）にPD21に蓄積されていた電荷量（中間電圧保持電荷量 $Q_c = Q_s - n \times Q_m$ ）に対応する出力データWDMOFが得られる。

40

【0094】

本実施形態では、上述のようにしてステップS3及びS4の転送動作を行い、PD21の中間電圧保持電荷量 $Q_c$ に対応する出力データWDMOFを取得する。

【0095】

そして、固体撮像装置1は、ステップS4で得られた中間電圧保持電荷量 $Q_c$ に対応する出力データWDMOFを、デジタル処理回路14を介して、検査機器50内の中間電圧

50

設定部 5 1 に出力する (ステップ S 5)。その後、図 7 に示すように、時刻  $t_8 \sim t_9$  の間に、検査機器 5 0 は、固体撮像装置 1 のセンサ制御回路 1 1 及び垂直走査回路 1 2 を制御して、測定対象の画素 2 0 の転送トランジスタ 2 2 及びリセットトランジスタ 2 4 の各ゲートにハイレベルの信号を供給する。これにより、PD 2 1 及び FD 部 2 6 の両方がリセット状態となり (電荷量が零になり)、所定の画素 2 0 (カラム) に対する上述した中間転送及び完全転送の動作が終了する。

【0096】

次いで、検査機器 5 0 は、全ての画素 2 0 に対して上記測定を行ったか否かを判定する (ステップ S 6)。

【0097】

ステップ S 6 において、全て画素 2 0 に対して、上述したステップ S 3 ~ S 5 の処理が終了していない場合、ステップ S 6 は NO 判定となる。この場合には、検査機器 5 0 は、測定対象の画素 2 0 を変更する (ステップ S 7)。次いで、ステップ S 3 の処理に戻り、その後は、全ての画素 2 0 の測定が終了するまで、上述したステップ S 3 ~ S 7 の処理を繰り返す。

【0098】

一方、ステップ S 6 において、全て画素 2 0 に対して、上述したステップ S 3 ~ S 5 の処理が終了した場合、ステップ S 6 は YES 判定となる。この場合には、検査機器 5 0 は、現在の中間電圧  $V_m$  が、予め設定した中間電圧  $V_m$  の最大値  $V_{m\_max}$  であるか否かを判定する (ステップ S 8)。

【0099】

ステップ S 8 において、現在の中間電圧  $V_m$  がその最大値  $V_{m\_max}$  でない場合、ステップ S 8 は NO 判定となる。この場合には、検査機器 5 0 は、固体撮像装置 1 のセンサ制御回路 1 1、垂直走査回路 1 2 及び中間電圧生成回路 1 7 を制御して、中間電圧  $V_m$  を更新する (ステップ S 9)。例えば、中間電圧  $V_m$  を、所定量  $\Delta V_m$  だけ増大させる ( $V_m = V_m + \Delta V_m$  に設定する)。なお、中間電圧  $V_m$  の増加分 ( $\Delta V_m$ ) は、中間電圧  $V_m$  の可変領域 ( $V_{m\_0} \sim V_{m\_max}$ ) 全般に渡って一定であってもよいし、中間電圧  $V_m$  の最適値  $V_{m\_d}$  付近の領域の増加分 ( $\Delta V_m$ ) をその他の領域のそれより小さくしてもよい。

【0100】

ステップ S 9 で中間電圧  $V_m$  を更新した後は、ステップ S 2 の処理に戻り、その後は、中間電圧  $V_m$  がその最大値  $V_{m\_max}$  になるまで、上述したステップ S 2 ~ S 9 の処理を繰り返す。

【0101】

一方、ステップ S 8 において、現在の中間電圧  $V_m$  がその最大値  $V_{m\_max}$  である場合、ステップ S 8 は YES 判定となる。この場合には、中間電圧設定部 5 1 は、各画素 2 0 において上記各種処理で得られた、種々の中間電圧  $V_m$  ( $V_{m\_0} \sim V_{m\_max}$ ) に対応する種々の出力データ WDMOF に基づいて、各画素 2 0 の中間電圧  $V_m$  の最適値  $V_{m\_d}$  を算出する (ステップ S 10)。具体的には、次のようにして、各画素 2 0 の中間電圧  $V_m$  の最適値  $V_{m\_d}$  を求める。

【0102】

図 9 に、各画素 2 0 において、上記ステップ S 1 ~ S 9 の処理で得られた、種々の中間電圧  $V_m$  ( $V_{m\_0} \sim V_{m\_max}$ ) と各中間電圧  $V_m$  に対応する出力データ WDMOF (中間電圧保持電荷量  $Q_c$  に対応する出力データ) との関係を示す。なお、図 9 に示す特性において、横軸は中間電圧  $V_m$  であり、縦軸は出力データ WDMOF である。

【0103】

出力データ WDMOF は、図 9 に示すように、中間電圧  $V_m$  が最大値  $V_{m\_max}$  のときに、最小値 WDMOF<sub>0</sub> となる。これは、中間電圧  $V_m$  が最大のとき、中間転送動作で PD 2 1 から FD 部 2 6 に転送される電荷量  $Q_m$  が最大となるので、完全転送動作の直前における PD 2 1 の中間電圧保持電荷量  $Q_c$  が最小になるためである。

10

20

30

40

50

## 【0104】

また、中間電圧  $V_m$  が最大値  $V_{m\_max}$  より小さくなると、出力データ  $WDMOF$  は直線的に大きくなる。この変化領域では、中間電圧  $V_m$  の低下に伴い、中間転送動作で  $PD21$  から  $FD$  部 26 に転送される電荷量  $Q_m$  が小さくなり、完全転送動作の直前における  $PD21$  の中間電圧保持電荷量  $Q_c$  が増大する。

## 【0105】

そして、完全転送動作時に転送される電荷量 ( $Q_c$ ) が  $FD$  部 26 の飽和電荷量  $Q_{fd}$  と等しくなる中間電圧 ( $V_{m\_s}$ ) 付近及びそれより小さな中間電圧  $V_m$  の領域では、出力データ  $WDMOF$  の値は一定 (最大値  $WDMOF\_max$ ) になる。この出力一定の領域では、完全転送動作時において、 $FD$  部 26 に転送される電荷量 ( $Q_c$ ) がその飽和電荷量  $Q_{fd}$  以上となるので、出力データ  $WDMOF$  は、飽和して、最大値  $WDMOF\_max$  で一定となる。

10

## 【0106】

上述のように、出力データ  $WDMOF$  が飽和する図 9 中の中間電圧  $V_{m\_s}$  付近において、完全転送動作の直前における  $PD21$  の中間電圧保持電荷量  $Q_c$  が、 $FD$  部 26 の飽和電荷量  $Q_{fd}$  と略同じなる。すなわち、中間電圧  $V_{m\_s}$  付近の状態が、上記式 (1) の下限 ( $Q_c = Q_m$ ) に対応する状態であり、図 9 に示す特性の中間電圧  $V_{m\_s} \sim V_{m\_max}$  の範囲が、上記式 (1) の条件を満足する好適な中間電圧  $V_m$  の範囲となる。

## 【0107】

それゆえ、ステップ  $S10$  において、中間電圧設定部 51 は、図 9 に示す中間電圧  $V_m$  と出力データ  $WDMOF$  との関係に基づいて、中間電圧  $V_{m\_s} \sim V_{m\_max}$  の範囲の中から、所定の中間電圧  $V_m$  を、画素 20 の中間電圧  $V_m$  の最適値  $V_{md}$  とする。本実施形態では、 $PD21$  の中間電圧保持電荷量  $Q_c$  が  $FD$  部 26 の飽和電荷量  $Q_{fd}$  と略同じになる中間電圧  $V_{m\_s}$  を、画素 20 の中間電圧  $V_m$  の最適値  $V_{md}$  とする。

20

## 【0108】

ここで、再度、図 6 に戻って、ステップ  $S10$  以降の処理を説明する。ステップ  $S10$  の後、中間電圧設定部 51 は、ステップ  $S10$  で得られた各画素 20 の中間電圧  $V_m$  の最適値  $V_{md}$  に基づいて、全ての画素 20 において、上記式 (1) の条件を満たすような最適中間電圧  $V_{mo}$  を決定する (ステップ  $S11$ )。

## 【0109】

本実施形態では、画素 20 毎に求められた中間電圧  $V_m$  の最適値  $V_{md}$  の中から、その最大値を選択し、該最大値を中間電圧設定値  $V_{mo}$  とする。このようにして選択された中間電圧設定値  $V_{mo}$  は、全ての画素 20 において、図 9 に示す特性の中間電圧  $V_{m\_s} \sim V_{m\_max}$  の範囲の値となり、上記式 (1) の条件が満たされることになる。この場合、通常の読み出し動作時の完全転送動作において、 $FD$  部 26 で電荷が溢れることは無く、 $PD21$  で蓄積された電荷量に対応するデータ (画素信号) を正確に読み出すことができる。

30

## 【0110】

次いで、中間電圧設定部 51 は、書き込み制御部 19 を制御して、決定された最適中間電圧  $V_{mo}$  の情報を固体撮像装置 1 の記憶部 16 に記録する (ステップ  $S12$ )。本実施形態では、このようにして、出荷前に、固体撮像装置 1 の記憶部 16 に読み出し時の最適中間電圧  $V_{mo}$  を書き込む。

40

## 【0111】

上述のように、本実施形態の固体撮像装置 1 では、その記憶部 16 に記憶された最適中間電圧  $V_{mo}$  の値が、全ての画素 20 において上記式 (1) の条件を満たすような値になる。それゆえ、本実施形態では、分割読み出し方式の固体撮像装置 1 において、上述した転送トランジスタ 22 の性能バラツキの影響を低減することができ、画像データを正確に再現することができる。

## 【0112】

また、本実施形態の固体撮像装置 1 の読み出し方式は、分割読み出し方式であり、ダイ

50

ナミックレンジ（低照度から高照度まで範囲）を拡大することができる読み出し方式である。それゆえ、本実施形態では、より広い範囲の電荷量に対応するデータ（画素信号）を正確に読み出すことができる。

【0113】

さらに、本実施形態の固体撮像装置1では、例えば特許文献2に対して、次のような利点も有する。特許文献2では、中間電圧を最適制御するための専用の画素を用いて、中間電圧をフィードバック制御するが、この手法では、その専用の画素が通常の読み出し用画素より先に壊れた場合には、製品の寿命まで中間電圧を最適制御することができない。それに対して、本実施形態では、予め記憶部16に記憶された最適中間電圧 $V_{m0}$ を用いるので、通常の読み出し用画素が壊れるまで、すなわち、製品の寿命まで、中間電圧 $V_m$ を最適制御することができる。

10

【0114】

なお、本開示に係る最適中間電圧 $V_{m0}$ の設定手法は、上述した手法に限定されない。図9に示すような、完全転送動作直前におけるPD21の中間電圧保持電荷量 $Q_c$ に関する情報（出力データWDMOF）と中間電圧 $V_m$ との関係を求めて、該関係に基づいて、最適中間電圧 $V_{m0}$ を求める手法であれば、任意の手法を用いることができる。

【0115】

例えば、上記実施形態の最適中間電圧 $V_{m0}$ の設定手法では、中間転送動作（ステップS3）において、アナログCDS処理、AD変換処理（比較処理）及びデジタルCDS処理を行う例を説明したが、本開示はこれに限定されない。上述のように、上記実施形態の最適中間電圧 $V_{m0}$ の設定手法の中間転送動作では、出力データを読み出さない。それゆえ、ステップS3の中間転送動作では、PD21の電荷の一部をFD部26に転送した後、アナログCDS処理、AD変換処理（比較処理）及びデジタルCDS処理を行わず、完全転送動作（ステップS4）に移行してもよい。

20

【0116】

また、上記実施形態の最適中間電圧 $V_{m0}$ の設定手法では、中間電圧 $V_m$ の初期値をその可変領域の最小値（ $V_{m\_0}$ ）にし（ステップS1）、中間電圧 $V_m$ の更新時（ステップS9）には中間電圧 $V_m$ を増加させる例を説明したが、本開示はこれに限定されない。中間電圧 $V_m$ の初期値をその可変領域の最大値（ $V_{m\_max}$ ）にし、中間電圧 $V_m$ の更新時には中間電圧 $V_m$ を減少させるようにしてもよい。

30

【0117】

また、上記実施形態では、上記式（1）の下限（ $Q_c = Q_m$ ）に対応する中間電圧 $V_{m\_s}$ を各画素20の中間電圧 $V_m$ の最適値 $V_{m\_d}$ とする例を説明したが、本開示はこれに限定されない。例えば、固体撮像装置1の使用環境の変化等による転送トランジスタ22の性能変化を考慮して、各画素20の中間電圧 $V_m$ の最適値 $V_{m\_d}$ に予めマージンを含ませてもよい。例えば、環境変化等により想定される転送トランジスタ22の性能変化に対応する分だけ、各画素20の中間電圧 $V_m$ の最適値 $V_{m\_d}$ を、 $V_{m\_s}$ より高い値に設定してもよい。また、固体撮像装置1の使用環境の変化等による転送トランジスタ22の性能変化を考慮して、最終的に求められる固体撮像装置1の最適中間電圧 $V_{m0}$ に予めマージンを含ませてもよい。

40

【0118】

さらに、上記実施形態では、PD21の中間電圧保持電荷量 $Q_c$ に関する情報として、完全転送動作時に得られる出力データWDMOFを用いる例を説明したが、本開示はこれに限定されない。例えば、完全転送動作時に得られる出力データWDMOFからPD21の中間電圧保持電荷量 $Q_c$ を算出して、該中間電圧保持電荷量 $Q_c$ に基づいて、最適中間電圧 $V_{m0}$ を求めてもよい。

【0119】

また、上記実施形態の固体撮像装置1では、信号処理方式として、デュアルノイズキャンセリング方式を用いる例を説明したが、本開示はこれに限定されない。アナログCDS処理及びデジタルCDS処理の一方を実施する信号処理方式の固体撮像装置に上記本開示

50

の技術を適用してもよい。また、本開示では、コラム処理部 13 内にアナログ CDS 回路 31 及びデジタル CDS 回路 35 を設けずに、AD 変換回路 34 においてノイズ信号と画素信号との差分を算出して、ノイズ除去処理を行う構成にしてもよい。さらに、上記実施形態では、中間転送動作時の出力データ (Data A) 及び完全転送動作の出力データ (Data B) に対する加算/非加算処理をデジタル加算/非加算回路 37 で行う例を説明したが、本開示はこれに限定されない。例えば、AD 変換回路 34 内において、出力データの加算/非加算処理を行う構成にしてもよい。また、例えば、コラム処理部 13 の後段に設けられる DSP (Digital Signal Processor) を含む信号処理回路 (不図示) で出力データの加算/非加算処理を行う構成にしてもよい。

【0120】

また、上記本開示の技術は、基板の配線層側の表面から光が照射される表面照射型の固体撮像装置、及び、基板の配線層側とは反対側の表面 (裏面) から光が照射される裏面照射型の固体撮像装置のいずれにも適用可能である。

【0121】

さらに、上記本開示の技術は、入射光が可視光である固体撮像装置だけでなく、入射が赤外線や X 線である固体撮像装置にも適用可能である。また、上記本開示の技術は、粒子などの入射量の分布を画像として出力する固体撮像装置にも適用可能である。

【0122】

また、上記本開示の技術は、画素部内の画素を行単位で順次走査して、各画素から画素信号を読み出す方式の固体撮像装置だけでなく、画素部内の任意の画素を選択して、該画素から画素信号を読み出す X-Y アドレス方式の固体撮像装置にも適用可能である。さらに、上記実施形態で説明した固体撮像装置は、それ自身がワンチップで構成されていてもよいし、信号処理回路や光学系などと一体的にパッケージされた撮像モジュールとして構成されていてもよい。

【0123】

< 3 . 電子機器 (応用例) の構成 >

本開示に係る固体撮像装置は、各種電子機器に適用可能である。例えば、上記実施形態で説明した固体撮像装置は、デジタルスチルカメラやデジタルビデオカメラ等のカメラシステム、撮像機能を有する携帯電話、又は、撮像機能を備えた他の機器などの電子機器に適用することができる。ここでは、電子機器の一構成例として、デジタルビデオカメラを例に挙げ説明する。

【0124】

図 10 に、上記実施形態で説明した固体撮像装置を適用したデジタルビデオカメラ (以下では、単にカメラという) の概略構成を示す。

【0125】

カメラ 100 は、固体撮像装置 101 と、固体撮像装置 101 の受光部 (不図示) に入射光を導く光学系 102 と、固体撮像装置 101 及び光学系 102 間に設けられたシャッタ装置 103 と、固体撮像装置 101 を駆動する駆動回路 104 とを備える。さらに、カメラ 100 は、固体撮像装置 101 の出力信号を処理する信号処理回路 105 を備える。

【0126】

固体撮像装置 101 は、分割読み出し方式の固体撮像装置であり、例えば、上記実施形態で説明した固体撮像装置 1 で構成することができる。その他の各部の構成及び機能は次の通りである。

【0127】

光学系 (光学レンズ) 102 は、被写体からの像光 (入射光) を固体撮像装置 101 の撮像面 (不図示) 上に結像させる。これにより、固体撮像装置 101 内に、一定期間、信号電荷が蓄積される。なお、光学系 102 は、複数の光学レンズを含む光学レンズ群で構成してもよい。また、シャッタ装置 103 は、固体撮像装置 101 に光が入射される期間 (光照射期間)、及び、固体撮像装置 101 に入射される光を遮蔽する期間 (遮光期間) を制御する。

10

20

30

40

50

## 【 0 1 2 8 】

駆動回路 1 0 4 は、固体撮像装置 1 0 1 及びシャッタ装置 1 0 3 に駆動信号を供給する。そして、駆動回路 1 0 4 は、供給した駆動信号により、固体撮像装置 1 0 1 の信号処理回路 1 0 5 への信号転送動作、及び、シャッタ装置 1 0 3 のシャッタ動作を制御する。すなわち、この例では、駆動回路 1 0 4 から供給される駆動信号（タイミング信号）により、固体撮像装置 1 0 1 から信号処理回路 1 0 5 への信号転送動作を行う。

## 【 0 1 2 9 】

信号処理回路 1 0 5 は、固体撮像装置 1 0 1 から転送された信号に対して、各種信号処理を施す。そして、各種信号処理が施された信号（映像信号）は、メモリなどの記憶媒体（不図示）に記憶される、又は、モニタ（不図示）に出力される。

10

## 【 0 1 3 0 】

本実施形態のカメラ 1 0 0 では、固体撮像装置 1 0 1 として本開示に係る分割読み出し方式の固体撮像装置を用いるので、上述した転送トランジスタ 2 2 の性能バラツキによる読み出し性能への影響を低減することができ、高画質の撮像が可能になる。

## 【 0 1 3 1 】

なお、本開示は、以下のような構成を取ることでもできる。

## ( 1 )

光電変換部、電荷電圧変換部、及び、該光電変換部に蓄積された電荷を該電荷電圧変換部に転送する転送トランジスタを含む画素を複数有する画素部と、

前記光電変換部に蓄積された信号電荷を所定回数の中間転送動作及び完全転送動作により分割して読み出す際の中間転送動作時に前記転送トランジスタのゲートに印加する中間電圧の最適値の情報が格納されている記憶部と

20

を備える固体撮像装置。

## ( 2 )

前記中間電圧の最適値が、各画素の中間電圧の最適値の中の最大値である

( 1 ) に記載の固体撮像装置。

## ( 3 )

前記画素毎の中間電圧の最適値の情報が、前記記憶部に格納されている

( 1 ) 又は ( 2 ) に記載の固体撮像装置。

## ( 4 )

前記記憶部が、電氣的にプログラム可能なヒューズを含む

( 1 ) ~ ( 3 ) のいずれか一項に記載の固体撮像装置。

30

## ( 5 )

前記完全転送動作時に前記光電変換部から前記電荷電圧変換部に転送される電荷量を  $Q_c$  とし、前記中間転送動作毎に前記光電変換部から前記電荷電圧変換部に転送される電荷量を  $Q_m$  とし、前記光電変換部の飽和電荷量を  $Q_s$  とし、前記電荷電圧変換部に蓄積可能な最大電荷量を  $Q_{fd}$  とし、前記中間転送動作の回数を  $n$  とした場合に、全ての前記画素において、前記中間電圧の最適値が、

$$Q_s - n \times Q_m = Q_c \quad Q_{fd}$$

の関係式を満たすような値に設定されている

40

( 1 ) ~ ( 4 ) のいずれか一項に記載の固体撮像装置。

## ( 6 )

前記信号電荷の読み出し時に行う信号処理の方式が、デュアルノイズキャンセリング方式である

( 1 ) ~ ( 5 ) のいずれか一項に記載の固体撮像装置。

## ( 7 )

光電変換部、電荷電圧変換部、及び、該光電変換部に蓄積された電荷を該電荷電圧変換部に転送する転送トランジスタを含む画素を複数有する画素部と、前記光電変換部に蓄積された信号電荷を所定回数の中間転送動作及び完全転送動作により分割して読み出す際の中間転送動作時に前記転送トランジスタのゲートに印加する中間電圧の最適値の情報が格

50

納されている記憶部とを有する固体撮像装置と、  
 前記固体撮像装置の出力信号に対して所定の処理を施す信号処理回路と  
 を備える電子機器。

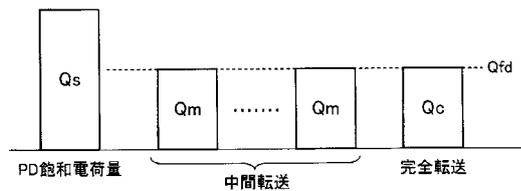
【0132】

本出願は、日本国特許庁において2012年3月19日に出願された日本特許出願番号  
 第2012-061703号を基礎として優先権を主張するものであり、この出願のすべ  
 ての内容を参照によって本出願に援用する。

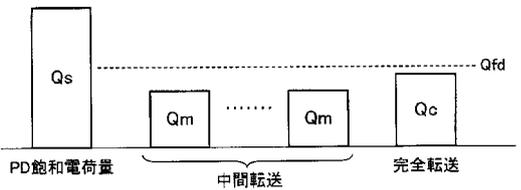
【0133】

当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、  
 サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均  
 等物の範囲に含まれるものであることが理解される。

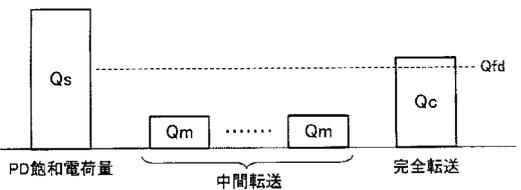
【図1A】



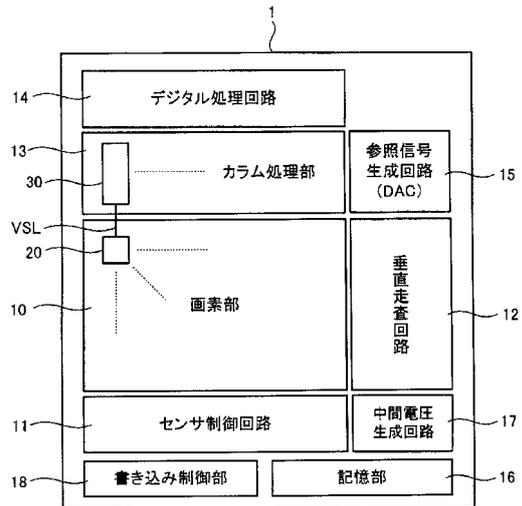
【図1B】



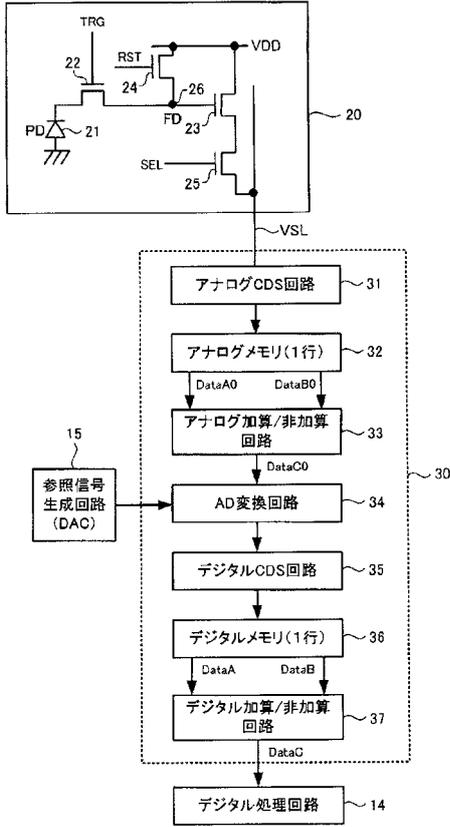
【図1C】



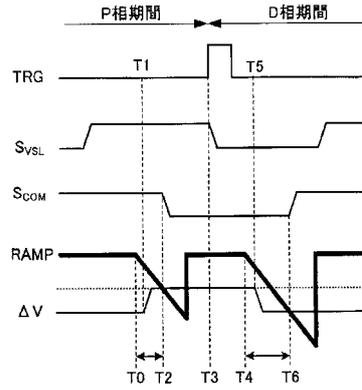
【図2】



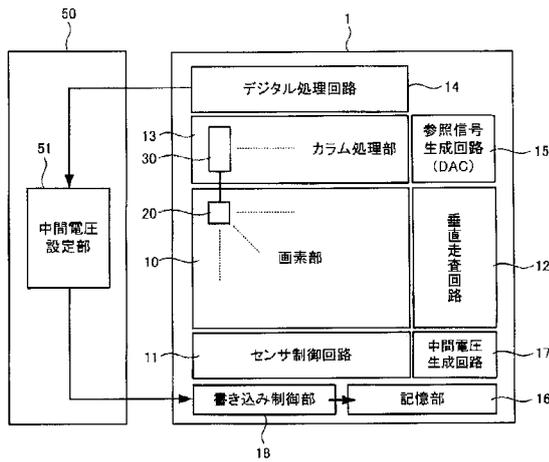
【図3】



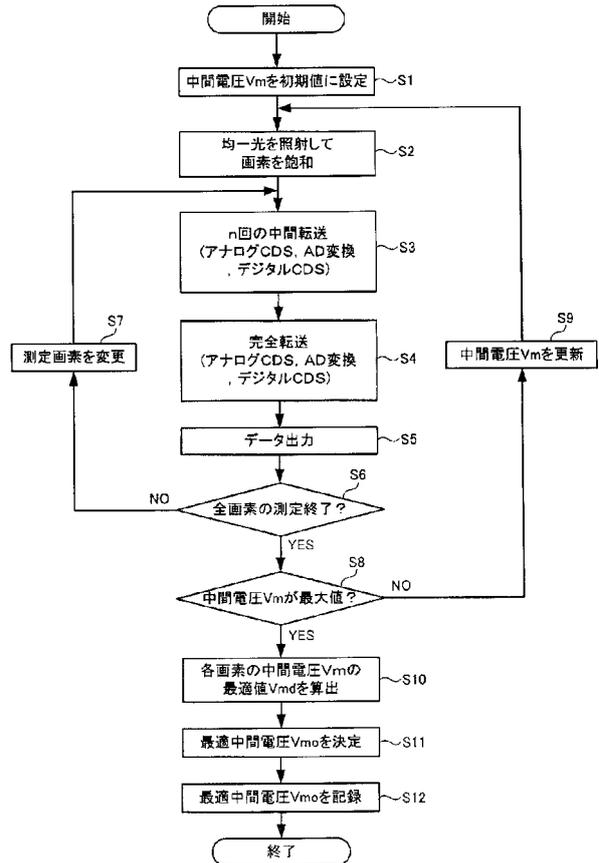
【図4】



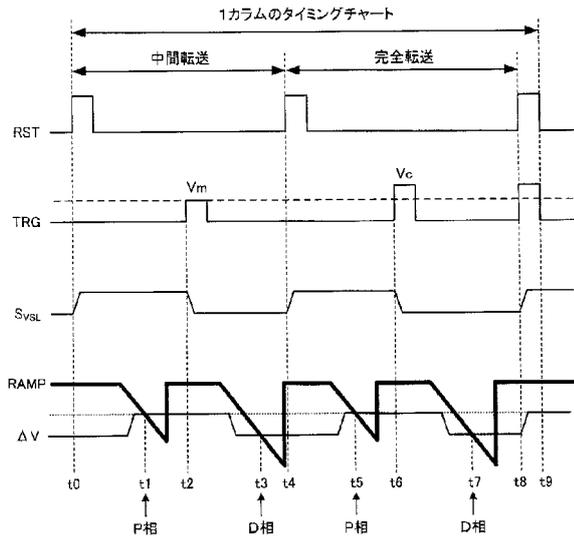
【図5】



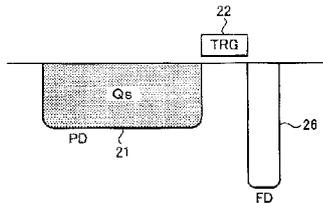
【図6】



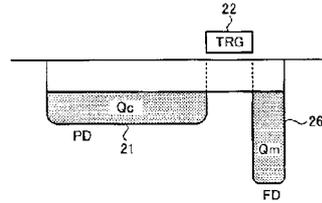
【 図 7 】



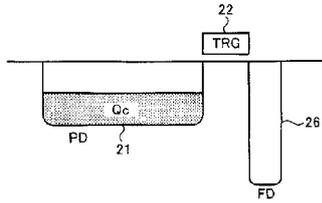
【 図 8 A 】



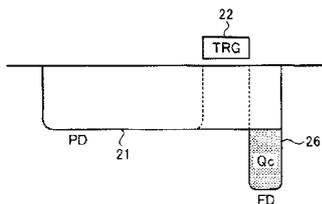
【 図 8 B 】



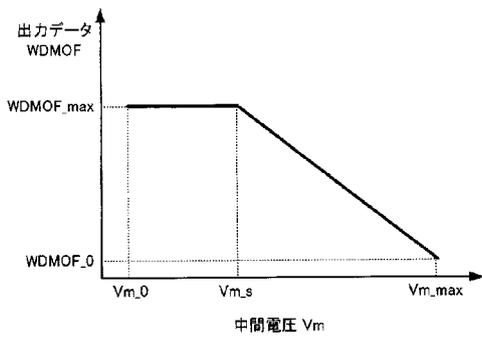
【 図 8 C 】



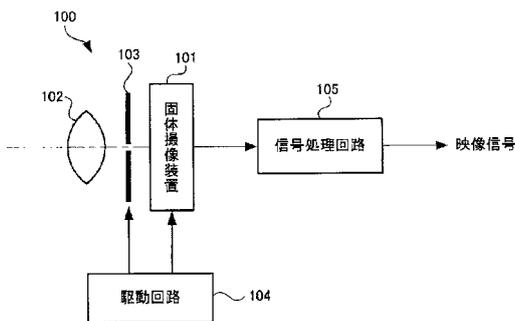
【 図 8 D 】



【 図 9 】



【 図 10 】



## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2013/052568
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H04N5/378(2011.01)i, H04N5/374(2011.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H04N5/378, H04N5/374		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013 Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-109677 A (Sony Corp.), 13 May 2010 (13.05.2010), paragraphs [0022], [0063] to [0065], [0071], [0075]; fig. 1 to 2, 5B & US 2010/0110261 A1 & CN 101729745 A	1,3-7 2
Y A	JP 2005-150801 A (Sony Corp.), 09 June 2005 (09.06.2005), paragraphs [0083] to [0084], [0092], [0094] (Family: none)	1,3-7 2
Y A	JP 9-55473 A (Matsushita Electronics Corp.), 25 February 1997 (25.02.1997), paragraphs [0007], [0029] & US 5867055 A & EP 747956 A2 & SG 81896 A & KR 10-0234492 B	1,3-7 2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T"
"E"	earlier application or patent but published on or after the international filing date	"X"
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 27 February, 2013 (27.02.13)		Date of mailing of the international search report 12 March, 2013 (12.03.13)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/052568

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-105182 A (Fujitsu Ltd.), 23 May 1986 (23.05.1986), page 3, upper left column, line 16 to page 3, upper right column, line 1 (Family: none)	3
A	JP 2008-263395 A (Sony Corp.), 30 October 2008 (30.10.2008), paragraphs [0011] to [0012]; fig. 9 to 10 & US 2008/0252742 A1 & KR 10-2008-0092862 A & CN 101287064 A & TW 200849986 A & CN 102685400 A	1-7
A	JP 2011-82852 A (Toshiba Corp.), 21 April 2011 (21.04.2011), paragraphs [0033] to [0035]; fig. 5 & US 2011/0085065 A1	1-7

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 2 5 6 8									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/378 (2011.01)i, H04N5/374 (2011.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/378, H04N5/374											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2013年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2013年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2013年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2013年	日本国実用新案登録公報	1996-2013年	日本国登録実用新案公報	1994-2013年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2013年										
日本国実用新案登録公報	1996-2013年										
日本国登録実用新案公報	1994-2013年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 2010-109677 A (ソニー株式会社) 2010.05.13, 段落【0022】, 【0063】 - 【0065】, 【0071】, 【0075】, 図 1-2, 5B & US 2010/0110261 A1 & CN 101729745 A	1, 3-7 2									
Y A	JP 2005-150801 A (ソニー株式会社) 2005.06.09, 段落【0083】 - 【0084】, 【0092】, 【0094】 (ファミリーなし)	1, 3-7 2									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 27.02.2013		国際調査報告の発送日 12.03.2013									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 肇	5 P 9847								
		電話番号 03-3581-1101	内線 3581								

国際調査報告		国際出願番号 PCT/J P 2 0 1 3 / 0 5 2 5 6 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 9-55473 A (松下電子工業株式会社) 1997.02.25, 段落【0007】, 【0029】 & US 5867055 A & EP 747956 A2 & SG 81896 A & KR 10-0234492 B	1, 3-7 2
Y	JP 61-105182 A (富士通株式会社) 1986.05.23, 第3頁左上欄第16 行-第3頁右上欄第1行 (ファミリーなし)	3
A	JP 2008-263395 A (ソニー株式会社) 2008.10.30, 段落【0011】- 【0012】, 図9-10 & US 2008/0252742 A1 & KR 10-2008-0092862 A & CN 101287064 A & TW 200849986 A & CN 102685400 A	1-7
A	JP 2011-82852 A (株式会社東芝) 2011.04.21, 段落【0033】-【0035】, 図5 & US 2011/0085065 A1	1-7

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。