



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월04일
(11) 등록번호 10-0855702
(24) 등록일자 2008년08월26일

(51) Int. Cl.

H01L 23/12 (2006.01)

- (21) 출원번호 10-2006-0030861
- (22) 출원일자 2006년04월05일
심사청구일자 2006년04월05일
- (65) 공개번호 10-2007-0099743
- (43) 공개일자 2007년10월10일
- (56) 선행기술조사문헌
KR 1020060024320A
KR 1020040092435A
KR 1020040023188A
KR1020040107442 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엠텍비전 주식회사

서울 금천구 가산동 426-5
월드메르디앙벤처센터2.3층

(72) 발명자

김창한

서울 영등포구 대림2동 1075-74 201호

(74) 대리인

한상천

전체 청구항 수 : 총 6 항

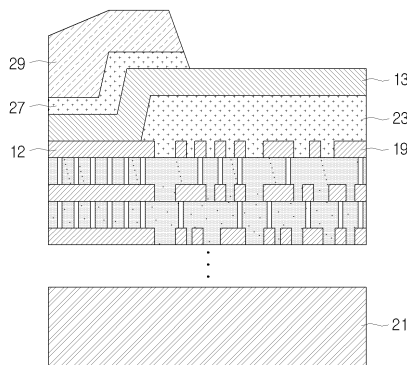
심사관 : 박귀만

(54) 웨이퍼 레벨 패키지 제조방법

(57) 요약

웨이퍼 레벨 반도체 패키지 제조방법이 개시된다. 반도체 칩의 최외층 회로 상에 제1절연층을 적층한 후 제1절연층의 표면을 평탄화하는 단계, 제1절연층의 일부를 제거하여 칩패드를 외부로 노출시키는 단계, 칩패드와 직접 접하는 금속층을 칩패드 및 제1절연층 상에 적층한 후 일부를 제거하여, 칩패드와 전기적으로 연결되는 범핑 패드를 구비하는 범핑 메탈을 형성하는 단계, 범핑 메탈 상에 제2절연층 및 피복층을 순차적으로 적층한 후 그 일부를 제거하여 범핑 패드를 외부로 노출시키는 단계를 포함하고, 단계는 모두 반도체 제조공정(FAB) 장비에 의해 수행되는 웨이퍼 레벨 반도체 패키지 및 이에 의해 제조되는 패키지는 정밀한 패턴을 형성할 수 있을 뿐만 아니라 패키지의 부피를 줄일 수 있다.

대표도 - 도6



특허청구의 범위

청구항 1

- (a) 반도체 칩의 최외층 회로 상에 제1절연층을 적층한 후 상기 제1절연층의 표면을 평탄화하는 단계;
- (b) 상기 제1절연층의 일부를 제거하여 칩패드를 외부로 노출시키는 단계;
- (c) 상기 칩패드와 직접 접하는 금속층을 상기 칩패드 및 상기 제1절연층 상에 적층한 후 일부를 제거하여, 상기 칩패드와 전기적으로 연결되는 범핑 패드를 구비하는 범핑 메탈을 형성하는 단계;
- (d) 상기 범핑 메탈 상에 제2절연층 및 피복층을 순차적으로 적층한 후 그 일부를 제거하여 상기 범핑 패드를 외부로 노출시키는 단계;를 포함하고,

상기 단계는 모두 반도체 제조공정(FAB) 장비에 의해 수행되는 웨이퍼 레벨 패키지 제조방법.

청구항 2

제 1 항에 있어서,

상기 금속층은 하부 범프 금속(under bump metallurgy)인 웨이퍼 레벨 패키지 제조방법.

청구항 3

제 1 항에 있어서,

상기 (d) 단계에서 상기 범핑 패드에는 하부 범프 금속이 추가로 적층되는 웨이퍼 레벨 패키지 제조방법.

청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 피복층은 니트라이드(nitride)로 이루어지는 웨이퍼 레벨 패키지 제조방법.

청구항 5

제 1 항에 있어서,

상기 (a) 단계에서 상기 제1산화물층의 평탄화는 화학기계적 연마(Chemical Mechanical Polishing)에 의해 수행되는 웨이퍼 레벨 패키지 제조방법.

청구항 6

제 1 항에 있어서,

상기 (a) 단계에서 상기 제1산화물층의 평탄화는 스핀 온 글래스(Spin On Glass)의 에치백(etch back) 공정에 의해 수행되는 웨이퍼 레벨 패키지 제조방법.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

청구항 8

제 1 항에 있어서,

상기 최외층 회로의 양단부에는 상기 범핑 메탈이 각각 전기적으로 연결된 인터커넥션 패드를 형성하는 웨이퍼 레벨 패키지 제조방법.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서,

상기 (d) 단계 완료 후 상기 범핑 패드에는 솔더볼이 형성되는 웨이퍼 레벨 패키지 제조방법.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제 9 항에 있어서,

외부로 노출되는 상기 범핑 패드의 크기는 상기 솔더볼 지름의 50~85%인 웨이퍼 레벨 패키지 제조방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 웨이퍼 레벨 패키지 제조방법에 관한 것이다.
- <16> 오늘날 전자산업의 추세는 경량화, 소형화, 다기능화, 고성능화 그리고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 달성을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 조립 기술이다. 웨이퍼 조립 공정을 거쳐서 집적회로가 형성된 반도체 칩은 패키지 조립 기술에 의해 패키지 형태를 갖게 됨으로써 외부환경으로부터 반도체 칩을 보호할 수 있고 실장이 용이할 뿐만 아니라 동작의 신뢰성을 확보할 수 있는 장점이 있다.
- <17> 패키지 조립 기술에 따라 최근까지 다양한 형태의 패키지 형태가 소개되고 있으나 그 중에서도 칩 스케일 패키지(Chip Scale Package)가 주목을 받고 있다. 칩 스케일 패키지는 패키지 크기가 칩 수준 정도의 패키지로서, 보통 칩 크기의 1.2배 이내의 크기를 갖는 패키지를 말한다. 이와 같은 칩 스케일 패키지는 전형적인 플라스틱 패키지에 비하여 많은 장점들을 가지며, 특히 패키지의 크기가 작다는 장점이 있다. 이와 같은 장점으로 인해 칩 스케일 패키지는 디지털 캠코더, 휴대 전화기, 노트북 컴퓨터, 메모리 카드 등과 같이 소형화, 이동성이 요구되는 제품들에 주로 사용되며, DSP(Digital Signal Processor), ASIC(Application Specific Integrated Circuit), 마이크로 컨트롤러(micro controller) 등과 같은 반도체 소자들이 칩스케일 패키지 내부에 실장된다. 또한, DRAM(Dynamic Random Access Memory), 플래쉬 메모리(flash memory) 등과 같은 메모리 소자를 실장한 칩

스케일 패키지의 사용도 점차적으로 증가하고 있다.

- <18> 그러나 칩 스케일 패키지가 크기 면에서 절대적인 이점을 가지고 있는 반면, 아직까지는 기존의 플라스틱 패키지에 비하여 여러 가지 단점들을 안고 있는 것도 사실이다. 그 중의 하나는 신뢰성의 확보가 어렵다는 점이며, 다른 하나는 칩 스케일 패키지의 제조에 추가로 투입되는 제조 설비 및 소요되는 원부자재가 많고 제조 단가가 높아 가격 경쟁력이 떨어진다는 점이다.
- <19> 이와 같은 문제점을 해결할 수 있는 방안으로 웨이퍼 레벨(wafer level) 칩 스케일 패키지(이하 "웨이퍼 레벨 패키지")가 대두되고 있다. 웨이퍼 레벨 패키지는 개별 반도체 칩으로 분리된 상태에서 조립이 진행되지 않고 웨이퍼 조립 공정으로 제조된 반도체 웨이퍼 상태에서 재배선 작업과 불 형태의 외부 접속 단자의 형성 및 개별 반도체 칩 분리 작업을 거쳐 제조되는 패키지 형태이다. 웨이퍼 레벨 패키지는 패키지의 열적, 전기적 특성 및 패키지 소형화에 따른 이점과 웨이퍼 레벨 테스트 적용에 따른 비용 감소와 파급 효과가 매우 크다는 이점을 갖는다. 더욱이 패키지를 제조하는데 사용되는 제조설비나 제조 공정에 기존 웨이퍼 조립 설비와 공정들을 이용할 수 있고 패키지를 제조하기 위하여 추가로 소요되는 원부자재를 최소화할 수 있다.
- <20> 종래의 웨이퍼 레벨 패키지는 반도체 제조공정(fabrication, 이하 "FAB")이 완료된 반도체 칩에 폴리마이드 계열의 물질을 이용하여 피복 및 절연을 수행한다. 이때 적용되고 있는 웨이퍼 레벨 패키지 공정은 금속 습식각 장비 및 패터닝장비 등을 이용하였다. 그러나 이와 같은 금속 습식각 장비 및 패터닝장비는 패터닝의 한계가 마이크로미터(μm) 수준이기 때문에 더욱 정밀한 패터닝을 형성하는 것이 불가능하다. 또한, 현재 적용 중인 양산성 있는 공정의 한계가 2개의 BCB(Benzocyclobutene)층을 사용하고 인터커넥션(interconnection)을 위하여 재배열층(Redistribution layer)을 2개까지 사용함으로써 많은 핀아웃(pin-out)이 어려운 하는 한계성을 가진다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명은 반도체 제조공정(FAB) 장비를 이용하여 더욱 정밀한 패터닝을 형성할 수 있는 웨이퍼 레벨 패키지 제조 방법을 제공한다.
- <22> 본 발명은 인터커넥션 패드를 형성함으로써 재배열층을 형성할 필요가 없기 때문에 부피를 줄일 수 있는 웨이퍼 레벨 패키지 제조방법을 제공한다.

발명의 구성 및 작용

- <23> 본 발명의 일 측면에 따른 웨이퍼 레벨 패키지는 반도체 칩의 최외층 회로 상에 제1절연층을 적층한 후 제1절연층의 표면을 평탄화하는 단계, 제1절연층의 일부를 제거하여 칩패드를 외부로 노출시키는 단계, 칩패드와 직접 접하는 금속층을 칩패드 및 제1절연층 상에 적층한 후 일부를 제거하여, 칩패드와 전기적으로 연결되는 범핑 패드를 구비하는 범핑 메탈을 형성하는 단계, 범핑 메탈 상에 제2절연층 및 피복층을 순차적으로 적층한 후 그 일부를 제거하여 범핑 패드를 외부로 노출시키는 단계를 포함하고, 단계는 모두 반도체 제조공정(FAB) 장비에 의해 수행된다.
- <24> 본 발명에 따른 웨이퍼 레벨 반도체 패키지 제조방법의 실시에는 다음과 같은 특징들을 하나 또는 그 이상 구비할 수 있다. 예를 들면, 금속층은 하부 범프 금속(under bump metallurgy)일 수 있으며, 피복층을 형성한 후 범핑 패드에는 하부 범프 금속이 추가로 적층될 수 있다. 피복층은 니트라이드(nitride)로 이루어질 수 있으며 제1절연층 및 제2절연층은 산화물층일 수 있다. 그리고 제1산화물층의 평탄화는 화학기계적 연마(Chemical Mechanical Polishing)에 의해 수행되거나 스핀 온 글래스(Spin On Glass)의 에치백(etch back) 공정에 의해 수행될 수도 있다.
- <25> 최외층 회로의 양단부에는 범핑 메탈이 각각 전기적으로 연결된 인터커넥션 패드를 형성할 수 있다. 그리고 범핑 패드에는 솔더볼이 형성될 수 있으며 외부로 노출되는 범핑 패드의 크기는 솔더볼 지름의 50~85%일 수 있다.
- <26> 본 발명의 일 측면에 따른 웨이퍼 레벨 패키지는 최외층 회로 및 칩패드가 형성된 반도체 칩과, 반도체 칩상에 적층되고 칩패드를 외부로 노출되게 하는 홀을 구비한 제1절연층과, 칩패드 및 제1절연층 상에 적층되며 일단은 칩패드와 전기적으로 연결되고 타단은 범핑 패드가 형성되어 있는 범핑 메탈과, 범핑 메탈 상에 순차적으로 적층되어 있는 제2절연층 및 피복층을 포함하고 제2절연층 및 피복층은 범핑 패드를 외부로 노출되게 하는 홀을 구비한다.
- <27> 범핑 메탈은 하부 범프 금속(under bump metallurgy)으로 이루어질 수 있으며,
- <28> 웨이퍼 레벨 패키지는 범핑 패드에 적층되는 하부 범프 금속을 포함할 수 있다. 또한, 피복층은 니트라이드

(nitride)로 이루어지고 제1피복층 및 제2피복층은 산화물(oxide)층일 수 있다. 웨이퍼 레벨 패키지는 최외층 회로의 양단부에 각각 전기적으로 연결되는 한 쌍의 범핑 메탈로 이루어지는 인터커넥션 패드를 포함하고, 범핑 메탈 중 하나는 칩패드와 연결되고 다른 하나는 범핑 패드와 연결될 수 있다.

- <29> 이하, 본 발명에 따른 웨이퍼 레벨 패키지 및 그 제조방법의 실시예를 첨부 도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 그리고 도 2 내지 도 6에서 기관(21) 상에 도시된 점선은 기관(21)과 최외층 회로(19) 사이에 회로층을 포함한 기타 다른 층이 형성될 수 있음을 의미한다.
- <30> 도 1을 참조하면, 가장자리 둘레에 복수 개의 칩패드(미도시)가 형성된 에지패드형(edge pad type) 반도체 칩(21)이 도시되어 있다. 반도체 칩(21) 상에는 복수 개의 범핑 패드(11)가 형성되어 있으며, 이와 같은 범핑 패드(11)는 파워라인(15) 또는 시그널 라인(17)에 의해 칩패드(12)와 각각 전기적으로 연결된다. 도 1에는 도시하지 않았지만, 범핑 패드(11) 상에는 솔더볼(미도시)이 부착된다. 모든 범핑 패드(11)는 파워 라인(15) 또는 시그널 라인(17)에 의해 칩패드(12)와 연결되어 있다. 그리고 칩패드(12)와 범핑 패드(11)를 연결할 공간이 없는 경우에는, 도 7에 도시된 바와 같이, 인터커넥션 패드(31)를 형성하여 양자를 연결한다. 인터커넥션 패드(31)에 대해서는 아래에서 설명하기로 한다.
- <31> 파워 라인(15)은 반도체 칩(21)에 전원을 공급하는 라인이며 시그널 라인(17)은 반도체 칩(21)에 제어신호 등이 입력되는 라인이다. 일반적으로 파워 라인(15)이 시그널 라인(17)에 비해 폭이 크다.
- <32> 도 1의 I I'선에 따른 단면도가 도 6에 도시되어 있다. 도 6을 참조하면, 반도체 칩(21)의 칩패드(12) 상에 범핑 메탈(13)이 형성되어 있다. 이와 같은 범핑 메탈(13)의 일단은 칩패드(12)와 전기적으로 직접 접하고 타단에는 에칭 공정 등에 의해 범핑 패드(11)로 형성된다. 그리고 범핑 메탈(13) 상에는 피복층(29) 및 제2절연층(27)이 적층된 후 그 일부가 제거되어 범핑 패드(11)가 외부로 노출된다.
- <33> 이하에서는 도 2 내지 도 6을 참조하면서 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지 제조방법에 대해서 설명하기로 한다. 이하에서 설명하는 웨이퍼 레벨 패키지 제조방법은 현재 수십 나노미터(nm)까지 정밀한 가공이 가능한 반도체 제조공정(FAB) 장비에 의해 이루어진다.
- <34> 도 2를 참조하면, 반도체 칩(21)에는 복수의 층으로 이루어진 회로층이 형성되어 있으며, 이중 최외층 회로(19)는 반도체 칩(21)의 일면 또는 양면에서 최외층에 형성되어 있는 층을 의미한다. 최외층 회로(19)의 상부에는 제1절연층(23)이 적층되는데, 제1절연층(23)은 산화물(oxide)층일 수 있다. 제1절연층(23)은 추후 수행되는 평탄화 공정에 의해 최소 5 μ m 이하의 두께를 가질 수 있으며, 제1절연층(23)의 저항 및 전류 구동(current driving) 능력 등을 고려하여 10 μ m로의 두께로 형성할 수 있다. 제1절연층(23)의 두께가 클수록 저항이 적어지는 반면 전류 구동 능력이 향상된다.
- <35> 본 실시예에 따른 웨이퍼 레벨 패키지 제조 공정은 반도체 제조공정(FAB) 장비에 의해 수행되기 때문에 제1절연층(23)으로 산화물(oxide) 층을 형성할 수 있다.
- <36> 도 3을 참조하면, 제1절연층(23)의 일면은 평탄화 공정에 의해 실질적으로 편평한 면으로 가공된다. 평탄화 공정은 추후 형성되는 범핑 메탈(도 5의 13)의 두께 및 파워라인(15) 또는 시그널 라인(17)의 피치 사이즈에 따라 화학기계적 연마(chemical mechanical polishing) 또는 스핀 온 글래스(spin on glass)의 에치백(etch back) 공정 중에서 선택할 수 있다. 이와 같은 평탄화 공정에 의해 제1절연층(23)의 두께는 최소 5 μ m 이상 또는 10 μ m 이상으로 형성될 수 있다.
- <37> 도 4를 참조하면, 제1절연층(23)의 일부는 제거되어 칩패드(12)의 일부가 외부로 노출된다. 제1절연층(23)을 제거하는 방법은 포토 마스크(photo mask)를 이용하여 노광한 후 습식 에칭 공정 등에 의해 제1절연층(23)의 일부를 제거하는 것이다. 칩패드(12)는 추후의 공정에 의해 범핑 메탈(13)과 직접 연결된다.
- <38> 도 5를 참조하면, 칩패드(12) 및 제1절연층(23)의 상부에는 범핑 메탈(13)이 형성된다. 범핑 메탈(13)은 칩패드(12) 및 제1절연층(23)에 적층한 금속층을 에칭 공정 등에 의해 가공하여 형성되며, 칩패드(12)와 직접 접하는 부분, 범핑 패드(11) 그리고 파워라인(15) 또는 시그널 라인(17)으로 이루어진다.
- <39> 범핑 패드(11)는 도 1에 도시된 바와 같이 8각형 형상을 가지며, 추후의 공정에 의해 그 일면에는 솔더볼(solder ball)이 부착된다. 범핑 패드(11)가 외부로 노출되는 크기는 솔더볼 지름의 약 50~85% 정도로 가공할 수 있다. 이와 같이 범핑 패드(11)는 칩패드(12)와 전기적으로 연결된 상태에서 솔더볼이 부착될 수 있는 공간을 제공하며, 칩패드(12)를 반도체칩(21)의 중앙으로 끌어 넘으로써 솔더볼이 부착될 수 있는 공간을 확보하는

역할을 한다.

- <40> 범핑 메탈(13)은 하부 볼 금속(under ball metallurgy)으로 이루어질 수 있다. 하부 볼 금속은 주석(Sb) 등으로 이루어지는 솔더볼과의 접합력이 우수하다. 그리고 범핑 메탈(13)은 일반적인 알루미늄(Al) 또는 구리(Cu) 등으로 이루어질 수 있다. 이와 같이 범핑 메탈(13)이 하부 볼 금속이 아닌 다른 금속으로 이루어지는 경우에는 추후의 공정에 의해 범핑 메탈(13) 상에 하부 볼 금속이 추가적으로 적층될 수 있다.
- <41> 도 6에 도시된 바와 같이, 범핑 메탈(13) 상에는 제2절연층(27) 및 피복층(29)이 적층된 후 일부가 제거되어 범핑 패드(11)의 일부가 외부로 노출되게 한다. 제2절연층(27) 및 피복층(29)을 제거하는 방법으로는 포토 마스크를 이용한 에칭 등이 있다. 제2절연층(27)은 산화물(oxide)를 포함할 수 있고 피복층(29)은 니트라이드(nitride)일 수 있다. 니트라이드는 특히 습기에 강할 뿐만 아니라 유전율이 낮아서 절연 특성이 우수한 장점이 있다.
- <42> 그리고 범핑 메탈(13)이 하부 범프 금속(under bump metallurgy)에 의해 형성되지 않는 경우에는 피복층(29) 및 범핑 패드(11) 상에 하부 범프 금속을 적층하고 패틴을 이용하여 에칭함으로써 솔더볼의 접합력을 높일 수 있다.
- <43> 이와 같이 본 실시예에 따른 웨이퍼 레벨 패키지 및 그 제작방법은 반도체 제조공정(FAB) 장비를 이용하기 때문에 파워라인(15) 및 시그널 라인(17)을 수십 나노미터(nm)까지 정밀하게 가공할 수 있다. 그리고 반도체 제조공정(FAB) 장비를 이용하기 때문에 화학기계적 연마를 이용할 수 있을 뿐만 아니라 산화물층 및 니트라이드를 적층할 수 있게 된다.
- <44> 도 7을 참조하면, 웨이퍼 레벨 패키지의 인터커넥션 패드(31)의 일 실시예는 최외층 회로(19)의 양단부에 각각 전기적으로 연결되며 상호 이격된 한 쌍의 범핑 메탈(13)으로 이루어진다. 다른 범핑 메탈(13)에 의해 칩패드와 범핑 패드를 연결할 수 없는 경우에는 칩패드와 연결된 범핑 메탈(13)과 범핑 패드(11)와 연결된 범핑 메탈(13)은 최외층 회로(19)에 의해 전기적으로 연결된다. 이와 같이 본 실시예에 따른 웨이퍼 레벨 패키지는 인터커넥션 패드를 이용함으로써 별도의 연결층 또는 비어홀(via hole)을 형성할 필요가 없기 때문에 패키지의 부피를 줄일 수 있다.
- <45> 이상에서 본 발명의 실시예를 설명하였지만, 본 발명의 다양한 변경예와 수정예도 본 발명의 기술적 사상을 구현하는 한 본 발명의 범위에 속하는 것으로 해석되어야 한다.

발명의 효과

- <46> 본 발명은 반도체 제조공정(FAB) 장비를 이용하여 더욱 정밀한 패틴을 형성할 수 있는 웨이퍼 레벨 패키지 제조방법을 제공할 수 있다.
- <47> 본 발명은 부피를 줄일 수 있는 웨이퍼 레벨 패키지 제조방법을 제공할 수 있다.

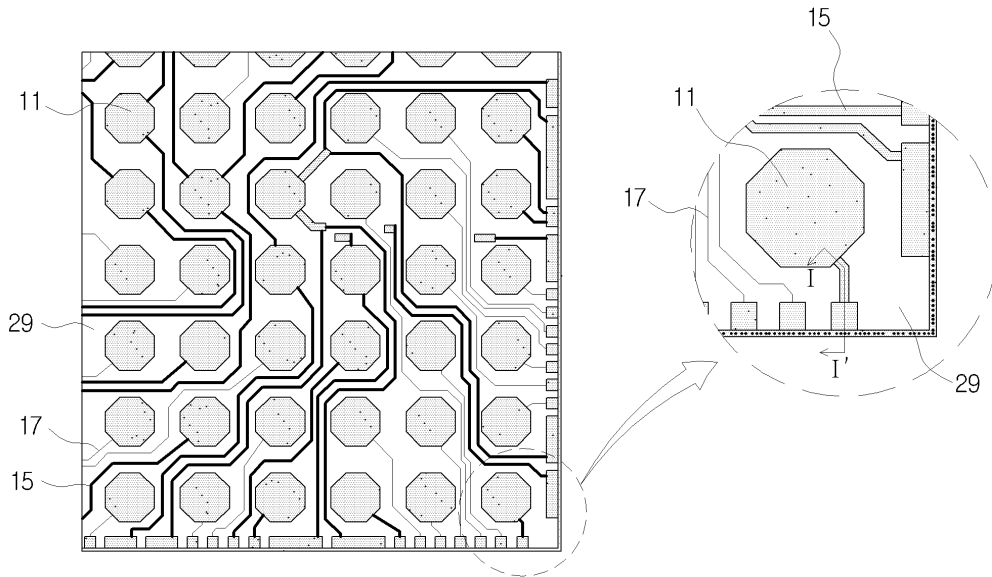
도면의 간단한 설명

- <1> 도 1은 범핑 패드, 이와 연결되는 시그널 라인 및 파워 라인이 배열된 상태를 도시한 평면도이다.
- <2> 도 2는 본 발명의 일 실시예에 따른 웨이퍼 레벨 패키지의 제조방법에서 반도체 칩상에 제1절연층을 적층한 상태를 도시한 단면도이다.
- <3> 도 3은 도 2에 도시된 제1절연층의 일면을 평탄화한 상태를 도시한 단면도이다.
- <4> 도 4는 도 3에 도시된 제1절연층의 일부를 제거하여 칩패드를 노출시킨 상태를 도시한 단면도이다.
- <5> 도 5는 도 4에서 범핑 메탈을 적층시킨 상태를 도시한 단면도이다.
- <6> 도 6은 도 5에서 산화물 및 니트라이드를 순차적으로 적층한 후 그 일부를 제거하여 범핑 패드를 노출시킨 상태를 나타낸 단면도이다.
- <7> 도 7은 본 발명의 일 실시예에 따른 인터커넥션 패드의 단면도이다.
- <8> <도면 부호의 설명>
- <9> 11: 범핑 패드 12: 칩패드

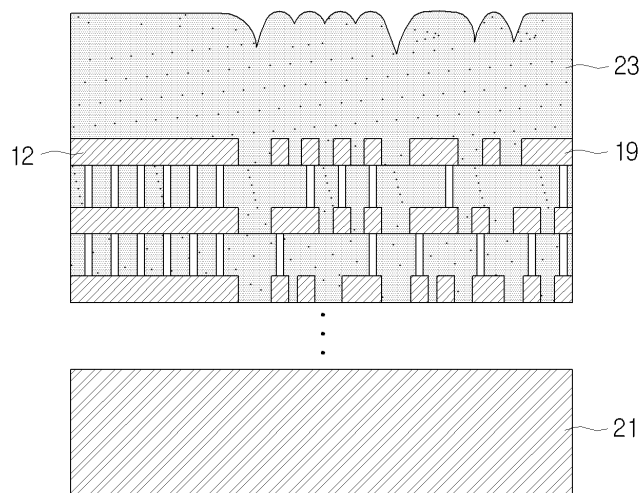
- <10> 13: 범핑메탈 15: 파워라인
- <11> 17: 시그널라인 19: 최외층 회로
- <12> 21: 웨이퍼 23: 제1산화물층
- <13> 25: 패드 27: 제2산화물층
- <14> 29: 피복층

도면

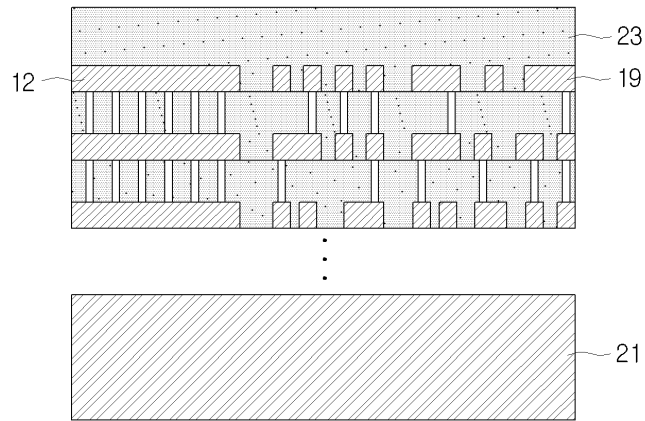
도면1



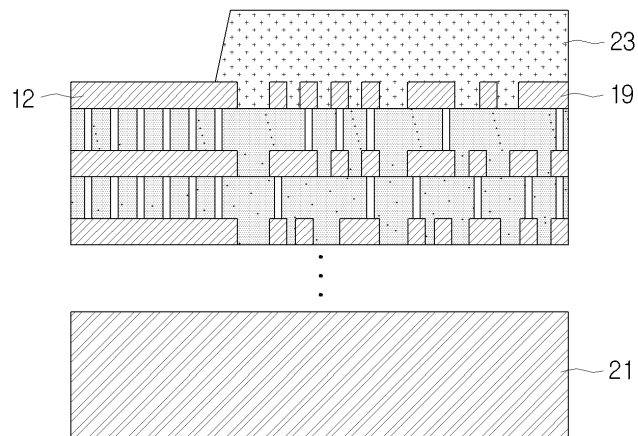
도면2



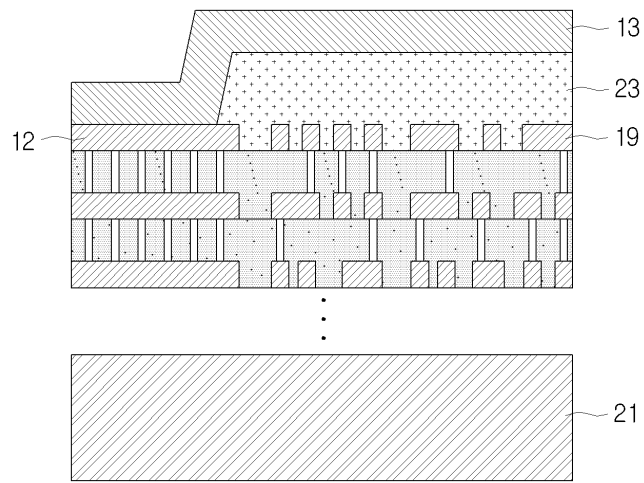
도면3



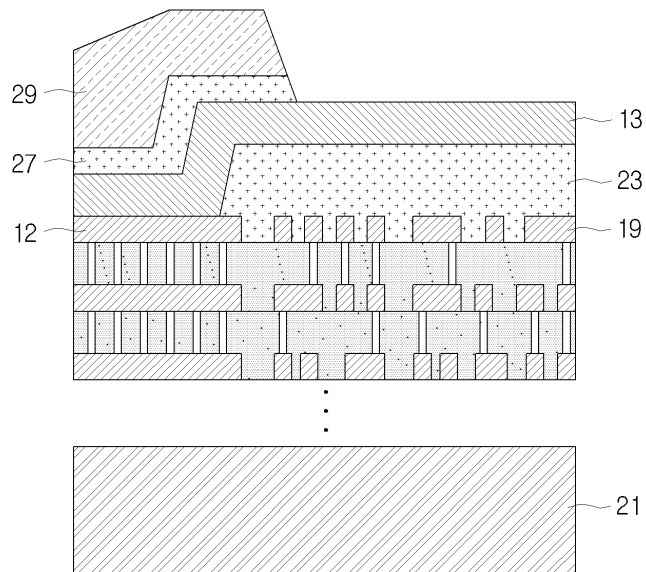
도면4



도면5



도면6



도면7

