

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G11C 11/41 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 02803518.6

[45] 授权公告日 2006 年 7 月 19 日

[11] 授权公告号 CN 1265346C

[22] 申请日 2002.9.27 [21] 申请号 02803518.6

[30] 优先权

[32] 2001.9.28 [33] JP [31] 304369/01

[32] 2001.9.28 [33] JP [31] 304370/01

[32] 2001.9.28 [33] JP [31] 304371/01

[86] 国际申请 PCT/JP2002/010009 2002.9.27

[87] 国际公布 WO2003/030138 日 2003.4.10

[85] 进入国家阶段日期 2003.7.8

[71] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 森山胜利 绫部智也 水田大士

审查员 毛 燕

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽 马 莹

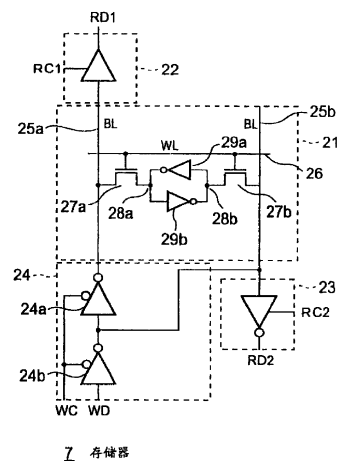
权利要求书 9 页 说明书 33 页 附图 19 页

[54] 发明名称

显示存储器、驱动器电路、显示器和便携式信息设备

[57] 摘要

公开了能减少功耗、能以高速制图且不需要存储器映射的一种显示存储器，一种驱动器电路，一种利用该驱动器电路的显示器，以及一种蜂窝式信息装置。显示存储器(7)的一条位线连接到 CPU 读电路，而另一条位线连接到显示器读电路，这两条位线都连接到一个写电路。CPU 读电路和写电路被分配用于来自 CPU 的访问，显示器读电路被分配用于显示屏幕的显示。此外，来自 CPU 的访问和读到显示屏幕被分配用于具有不同存储器时钟信号的电平周期，并被相互独立单独控制。更进一步，划分显示存储器的驱动电源，以便给显示存储器的每个存储器单元，或者一组存储器单元提供一个驱动电压。



1. 一种显示存储器, 用于存储将被提供给显示器像素的像素数据, 包括:
- 5 至少一对位线;
- 至少一系列存储器单元, 每个单元具有能保持互补的第一个值和第二个值状态的第一个存储节点和第二个存储节点;
- 第一个读电路, 用于读取由所述第一个存储节点输出到所述该对位线中一条位线的存储的数据;
- 10 第二个读电路, 用于读取由所述第二个存储节点输出到所述该对位线中另一条位线上的存储的数据; 以及
- 写电路, 包括相互串联连接的第一个写驱动器和第二写驱动器, 该第一个写驱动器和第二写驱动器分别产生具有所述第一个值和第二个值的数据, 并且将所产生的数据分别输出到所述存储器单元的第一个存储节点和第二个存储节点上, 以将数据写到所述存储器单元中。
- 15 2. 如权利要求1所述的显示存储器, 其中所述第二个读电路反相并输出所述第二个存储节点输出到所述另一条位线的所存储数据的值。
3. 如权利要求1所述的显示存储器, 其中所述存储器包括:
- 控制装置, 用于控制所述显示存储器的操作,
- 20 写端口, 包括至少一个所述写电路,
- 第一个读端口, 包括至少一个所述第一个读电路, 以及
- 第二个读端口, 包括至少一个所述第二个读电路;
- 所述第一个读端口将存储在所述存储器单元中的数据提供给所述显示器;
- 25 所述第二个读端口从所述存储器单元读取数据, 并将其输出给所述控制装置; 以及
- 所述写端口将从所述控制装置来的数据写入到所述存储器单元中。
4. 如权利要求3所述的显示存储器, 其中, 在所述显示存储器时钟信号的第一个电平周期中, 所述第一个读端口执行第一次访问, 用于将经过所述
- 30 所述第一个读电路读到的数据输出到所述显示器上, 以及

在所述显示存储器时钟信号的第二个电平周期中,所述第二个读端口和所述写端口执行第二次访问,用于将经过所述第二个读电路读到的数据输出到所述控制装置中,并从所述控制装置输入将要写入所述存储器单元的写数据。

5 5. 如权利要求1所述的显示存储器,其中:

所述存储器包括位选择装置,用于选择将数据写入其中的存储器单元,以及

所述写电路在由所述位选择装置选择的存储器单元的所述第一个和第二个存储节点上,向将要写的存储器单元的该对位线的每一条上,输出所述第
10 一个值和第二个值的数据。

6. 如权利要求1所述的显示存储器,其中所述存储器包括:

一个驱动用电压源,该电压源用于所述显示存储器,以及

一个开关设备,选择性地连接至少一个存储器单元的电压源端和所述驱动用电压源。

15 7. 如权利要求4所述的显示存储器,其中:

所述第一次访问的信号接线端被排列在所述显示存储器的一个侧面,所述第二次访问的信号接线端被排列在与那个侧面不同的另一个侧面上,以及

所述第一次访问的第一个接口和所述第二次访问的第二个接口被连接到所述显示存储器的所述第一次访问用信号接线端和所述第二次访问用信
20 号接线端,而将所述的显示存储器夹在其中。

8. 如权利要求7所述的显示存储器,其中:

所述第一个接口具有第一个线锁存器,用于存储以矩阵排列像素的水平方向上一条线的图像数据,

所述写端口通过第一个线锁存器,向所选择的位线输出一条线的数据,
25 以及

所述第二个读端口将从所述显示存储器来的所述一条线的数据输出到所述控制装置中。

9. 如权利要求7所述的显示存储器,其中:

所述第二个接口具有第二个线锁存器,用于存储以矩阵排列像素的水平
30 方向上一条线的图像数据,以及

所述第一个读端口通过第二个线锁存器,将从所述显示存储器来的所述

一条线的数据输出到所述显示器上。

10. 如权利要求7所述的显示存储器, 其中:

在所述显示器中, 多个像素单元被排列成矩阵,

5 在所述显示存储器中, 多个存储器单元被排列成与所述多个像素单元的矩阵排列相对应的矩阵,

在每个存储器单元中, 用于驱动所述显示器的矩阵所对应像素单元的像素数据由所述写端口存储, 以及

所述第一个读端口以线为单位锁存图像数据, 并将其提供给对应所述显示器线上的像素。

10 11. 一种驱动器电路, 利用与显示存储器中存储的图像数据一致的信号, 驱动在显示器的矩阵中排列的像素, 其中所述显示存储器包括:

至少一对位线;

至少一列存储器单元, 每个单元具有能保持互补的第一个值和第二个值状态的第一个存储节点和第二个存储节点;

15 第一个读电路, 用于读取由所述第一个存储节点输出到所述该对位线一条位线上的存储的数据;

第二个读电路, 用于读取由所述第二个存储节点输出到所述该对位线的另一条位线的存储的数据, 以及

20 写电路, 包括相互串联连接的第一个写驱动器和第二写驱动器, 该第一个写驱动器和第二写驱动器分别产生具有所述第一个值和第二个值的数据, 并且将所产生的数据分别输出到所述存储器单元的第二个存储节点和第二个存储节点上, 以将数据写到所述存储器单元中。

12. 如权利要求11所述的驱动器电路, 其中所述第二个读电路反相并输出所述第二个存储节点输出到所述另一条位线的所存储数据的值。

25 13. 如权利要求11所述的驱动器电路, 其中所述的显示存储器包括: 控制装置, 用于控制所述显示存储器的操作,

写端口, 包括至少一个所述写电路,

第一个读端口, 包括至少一个所述第一个读电路, 以及

第二个读端口, 包括至少一个所述第二个读电路;

30 所述第一个读端口将存储在所述存储器单元中的数据提供给所述显示器;

所述第二个读端口从所述存储器单元读取数据,并将其输出给所述控制装置; 以及

所述写端口将从所述控制装置来的数据写入到所述存储器单元中。

5 14. 如权利要求 13 所述的驱动器电路, 其中, 在所述显示存储器时钟信号的第一个电平周期中, 所述第一个读端口执行第一次访问, 用于将经过所述第一个读电路读到的数据输出到所述显示器上, 以及

10 在所述显示存储器时钟信号的第二个电平周期中, 所述第二个读端口和所述写端口执行第二次访问, 用于将经过所述第二个读电路读到的数据输出到所述控制装置中, 并从所述控制装置输入将要写入所述存储器单元的写数据。

15 15. 如权利要求 11 所述的驱动器电路, 其中:

所述显示存储器包括位选择装置, 用于接收写控制信号, 并选择将把数据写入其中的存储器单元, 以及

15 所述写电路在由所述位选择装置所选择的存储器单元的所述第一个和第二个存储节点上, 向将要写的存储器单元的该对位线的每一条上, 输出所述第一个值和第二个值的数据。

16. 如权利要求 11 所述的驱动器电路, 其中所述显示存储器包括:

驱动用电压源, 该电压源用于所述显示存储器, 以及

20 开关设备, 选择地连接至少一个存储器单元的电压源端和所述驱动用电压源。

17. 如权利要求 14 所述的驱动器电路, 其中:

所述第一次访问的信号接线端被排列在所述显示存储器的一个侧面, 所述第二次访问的信号接线端被排列在与那个侧面不同的另一个侧面上, 以及

25 所述第一次访问的第一个接口和所述第二次访问的第二个接口被连接到所述显示存储器的所述第一次访问用信号接线端和所述第二次访问用信号接线端, 而将所述的显示存储器夹在其中。

18. 如权利要求 17 所述的驱动器电路, 其中:

所述第一个接口具有第一个线锁存器, 用于存储以所述矩阵排列像素的水平方向上一条线的图像数据,

30 所述写端口通过第一个线锁存器, 向所选择的位线输出一条线的数据, 以及

所述第二个读端口将从所述显示存储器来的所述一条线的数据输出到所述控制装置中。

19. 如权利要求 18 所述的驱动器电路, 其中:

5 所述第一个线锁存器为每个像素存储写控制数据, 用于指定在锁存于所述第一个线锁存器的像素数据中, 将被写入所述显示存储器中的像素数据, 以及

所述写端口将由写控制数据指定的锁存在所述第一个线锁存器中的像素数据写入到所述显示存储器中。

20. 如权利要求 18 所述的驱动器电路, 其中:

10 在所述显示器中, 多个像素单元被排列成矩阵,

在所述显示存储器中, 多个存储器单元被排列成与所述多个像素单元的矩阵排列相对应的矩阵,

在所述显示存储器的每个存储器单元中, 用于驱动所述显示器的矩阵所对应像素单元的像素数据由所述写端口存储, 以及

15 所述第一个读端口以线为单位锁存图像数据, 并将其提供给所述显示器对应线上的像素。

21. 如权利要求 20 所述的驱动器电路, 其中在由所述第一个线锁存器锁存的所述显示器图像数据的这条线上的每个图像数据, 被存储在所述显示存储器中, 作为图像数据, 用于驱动所述显示器相应线的像素中的相应像素。

20 22. 如权利要求 17 所述的驱动器电路, 其中:

所述第二个接口具有第二个线锁存器, 用于存储以矩阵排列像素的水平方向上一条线的图像数据, 以及

所述第一个读端口通过第二个线锁存器, 将从所述显示存储器来的所述一条线的数据输出到所述显示器上。

25 23. 如权利要求 22 所述的驱动器电路, 其中所述第二个线锁存器的位宽度与以矩阵排列所述像素水平方向上, 一条线的图像数据的位宽度相等。

24. 如权利要求 22 所述的驱动器电路, 其中所述第二个接口还包括:

30 选择电路, 用于顺序地选择红、绿、蓝数据, 这些数据包含在所述第二个线锁存器保持的图像数据中, 并将所述图像数据转换成时分信号, 以及数字/模拟转换装置, 用于将数字信号转换成模拟信号,

所述选择电路向所述数字/模拟转换装置输出利用包含在所述图像中的

红、绿、蓝数据进行时分而获得的时分信号，以及

所述数字/模拟转换装置将时分信号转换成模拟信号，并将其提供给所述显示器。

25. 如权利要求 24 所述的驱动器电路，其中所述选择电路与所述显示
5 存储器的时钟信号异步来选择红、绿、蓝数据，这些数据包含在所述线锁存器保持的像素数据中，并将它们转换成时分信号。

26. 一种显示器包括：

显示屏幕，其中像素被排列成矩阵；

扫描电路，用于扫描所述像素矩阵的每一行，并向所选择的行提供电压；

10 驱动器电路，用于向所述像素输出与图像数据相应的信号；以及

显示存储器，用于存储所述图像数据，其中

所述显示存储器具有至少一对位线，

至少一列存储器单元，每个单元具有能保持互补的第一个值和第二个值
状态的第一个存储节点和第二个存储节点；

15 第一个读电路，用于读取由所述第一个存储节点输出到所述该对位线一条位线上的存储的数据；

第二个读电路，用于读取由所述第二个存储节点输出到所述该对位线另一条位线上的存储的数据，以及

20 写电路，包括相互串联连接的第一个写驱动器和第二写驱动器，该第一个写驱动器和第二写驱动器分别产生具有所述第一个值和第二个值的数据，并且将所产生的数据分别输出到所述存储器单元的
第一个存储节点和第二个存储节点上，以将数据写到所述存储器单元中。

27. 如权利要求 26 所述的显示器，其中所述第二个读电路将所述存储节点输出给所述另一条位线的存储数据的值反相并输出。

25 28. 如权利要求 27 所述的显示器，其中所述显示存储器包括：

控制装置，用于控制所述显示存储器的操作，

写端口，包括至少一个所述写电路，

第一个读端口，包括至少一个所述第一个读电路，以及

第二个读端口，包括至少一个所述第二个读电路；

30 所述第一个读端口将存储在所述存储器单元中的数据提供给所述显示器；

所述第二个读端口从所述存储器单元读取数据,并将其输出给所述控制装置;以及

所述写端口将从所述控制装置来的数据写入到所述存储器单元中。

29. 如权利要求 28 所述的显示器, 其中

- 5 在所述显示存储器时钟信号的第一个电平周期中, 所述第一个读端口执行第一次访问, 用于将经过所述第一个读电路读到的数据输出到所述显示器上, 以及

10 在所述显示存储器时钟信号的第二个电平周期中, 所述第二个读端口和所述写端口执行第二次访问, 用于将经过所述第二个读电路读到的数据输出到所述控制装置中, 并从所述控制装置输入将要写入所述存储器单元的写数据。

30. 如权利要求 26 所述的显示器, 其中:

所述显示存储器包括位选择装置, 用于接收写控制信号, 并选择将把数据写入其中的存储器单元, 以及

- 15 所述写电路在由所述位选择装置选择的存储器单元的所述第一个和第二个存储节点上, 向将要写的存储器单元的该对位线的每一条上, 输出所述第一个值和第二个值的数据。

31. 如权利要求 26 所述的显示器, 其中所述显示存储器包括:

驱动用电压源, 该电压源用于所述显示存储器, 以及

- 20 开关设备, 选择地连接至少一个存储器单元的电压源端和所述驱动用电压源。

32. 如权利要求 29 所述的显示器, 其中:

所述第一次访问的信号接线端被排列在所述显示存储器的一个侧面, 所述第二次访问的信号接线端被排列在与那个侧面不同的另一个侧面上, 以及

- 25 所述第一次访问的第一个接口和所述第二次访问的第二个接口被连接到所述显示存储器的所述第一次访问用信号接线端和所述第二次访问用信号接线端, 而将所述的显示存储器夹在其中。

33. 如权利要求 32 所述的显示器, 其中:

- 30 所述第一个接口具有第一个线锁存器, 用于存储以矩阵排列像素的水平方向上一条线的图像数据,

所述写端口通过所述第一个线锁存器, 向所选择的位线输出一条线的数

据,所述第二个读端口将从所述显示存储器来的所述一条线的数据输出到所述控制装置中。

34. 如权利要求 33 所述的显示器, 其中:

所述第一个线锁存器为每个像素存储写控制数据, 用于指定在锁存于所述第一个线锁存器的像素数据中, 将被写入所述显示存储器中的像素数据, 以及

所述写端口将由写控制数据指定的像素数据写入到所述显示存储器中。

35. 如权利要求 33 所述的显示器, 其中:

在所述显示器中, 多个像素单元被排列成矩阵,

在所述显示存储器中, 多个存储器单元被排列成与所述多个像素单元的矩阵排列相对应的矩阵,

在所述显示存储器的每个存储器单元中, 用于驱动所述显示器的矩阵所对应像素单元的像素数据由所述写端口存储, 以及

所述第一个读端口以线为单位锁存图像数据, 并将其提供给所述显示器对应线上的像素。

36. 如权利要求 35 所述的显示器, 其中在由所述第一个线锁存器锁存的所述显示器图像数据的这条线上的每个图像数据, 由所述写端口存储在所述显示存储器中, 作为图像数据, 用于驱动所述显示器相应线的像素中的相应像素。

37. 如权利要求 32 所述的显示器, 其中:

所述第二个接口具有第二个线锁存器, 用于存储以矩阵排列像素的水平方向上一条线的图像数据, 以及

所述第一个读端口通过第二个线锁存器, 将从所述显示存储器来的所述一条线的数据输出到所述显示器上。

38. 如权利要求 37 所述的显示器, 其中所述第二个线锁存器的位宽度与以矩阵排列所述像素水平方向上一条线的图像数据的位宽度相等。

39. 如权利要求 38 所述的显示器, 其中:

所述第二个接口还具有:

选择电路, 用于顺序地选择红、绿、蓝数据, 这些数据包含在所述第二个线锁存器保持的图像数据中, 并将所述图像数据转换成时分信号, 以及数字/模拟转换装置, 用于将数字信号转换成模拟信号,

所述选择电路向所述数字/模拟转换装置输出利用包含在所述图像中的红、绿、蓝数据进行时分而获得的时分信号，以及

所述数字/模拟转换装置将时分信号转换成模拟信号，并将其提供给所述显示器。

5 40. 如权利要求 39 所述的显示器，其中所述选择电路与所述显示存储器的时钟信号异步来选择红、绿、蓝数据，这些数据包含在所述第二个线锁存器保持的像素数据中，并将它们换成时分信号。

41. 一种便携式信息设备，包括：

显示器，其中的多个像素单元被排列成矩阵，以及

10 显示存储器，用于存储将被提供给所述显示器的像素单元的像素数据，其中

所述显示存储器具有：

控制装置，用于控制所述显示存储器的操作，

15 多个存储器单元，每个单元具有能保持互补的第一个值和第二个值状态的第一个存储节点和第二个存储节点，这些存储器单元被排列成矩阵，相应于所述多个像素单元的矩阵排列；

第一个读端口，用于读取每个存储器单元的所述第一个存储节点的存储的数据，

20 第二个读端口，用于读取每个存储器单元的所述第二个存储节点的存储的数据，

写端口，用于将驱动所述显示器矩阵相应像素单元的像素数据写入所述存储器单元中，

第一个线锁存器，用于在以矩阵排列所述像素单元的水平方向上，存储一条线的像素数据，

25 第二个线锁存器，用于在以矩阵排列所述像素单元的水平方向上，存储一条线的图像数据，

所述写端口经过所述第一个线锁存器，向多个所述存储器单元输出一条线的数据；

30 所述第一个读端口以线为单位，将图像数据锁存在所述第二个线锁存器中，并将其输出给所述显示器的相应的像素单元；以及

所述第二个读端口经过所述第一个线锁存器，向所述控制装置输出所述一条线的数据。

显示存储器、驱动器电路、
显示器和便携式信息设备

5

技术领域

本发明涉及显示存储器，用于存储要提供给显示器像素的像素数据，涉及具有显示存储器和驱动像素的驱动器电路，利用相应于图像数据的信号将驱动像素排列成显示器矩阵，涉及利用驱动器电路的显示器，以及涉及便携式信息设备。

10

背景技术

由于液晶显示器重量轻、厚度薄、功耗低和其它的特点，它们被广泛地用于移动电话、PDA(个人数字助理)以及其它便携式信息设备的显示系统。更进一步，由于移动电话和因特网的普及，要求便携式信息设备的显示器进一步加大尺寸、提供更多的颜色以及在能提高质量的其它方面进行改进，并且强烈要求它们具有超低功耗以实现长时间的使用。因此，在液晶驱动器中，实现较低的功耗而有又能处理较大的屏幕和较多的色彩已变得非常重要了。

15

在传统的液晶驱动器中，已经利用各种方法来降低LSI内部逻辑电路的功耗，但是如果处理加大尺寸的屏幕或较多色彩以及图像质量上的其它改进，就会增加驱动设备数量，因此也就增大了相应的功耗。

20

为了实现较低的功耗，已经采用在液晶驱动器内构建显示存储器(也称为“帧存储器”)的方法。这种方法不需要控制器存储器来传递显示数据，大大减少了部件的数量，并实现了功耗的降低。

25

进一步，可以使用一种新的驱动系统来降低功耗。

例如，与这个主题有关，在专利公开(Kokai)号为7-64514的日本未审查专利中，说明了一种液晶驱动器和使用该驱动器的液晶显示器，该液晶驱动器具有内置的实现高速和低功耗的通用存储器。

更进一步，在专利公开(Kokai)号为2000-293144的日本未审查专利中，说明了一种使用液晶驱动器的液晶显示器设备，该液晶驱动器具有内置低功

30

耗和高速并能减少 CPU 负载的图形产生存储器。

更进一步，在专利公开(Kokai)号为 7-281634 的日本未审查专利中，说明了一种使用液晶驱动器的液晶显示器，该液晶驱动器具有实现低功耗和实现高速图形绘制访问的内置存储器。

5 更进一步，在专利公开(Kokai)号为 7-230265 的日本未审查专利中，实现了一种液晶驱动设备，该设备改进了电源装置，并具有内置的低功耗的和大容量存储器。

10 更进一步，在专利公开(Kokai)号为 7-175445 的日本未审查专利中，说明了一种通过在液晶驱动器中构建能被通用存储器接口访问的显示存储器、实现低功耗和高速图形绘制而又不降低系统运行效率的技术。

但是，在具有内置的传统显示存储器的液晶驱动器 LSI 布局图中，由于该接口在通用存储器单元的一边具有一些接线端，所以，必须使通用接口信号相互连接线绕开它们。这些相互连接线的总量消耗了功率。

15 更进一步，传统的显示存储器使用数据总线、地址总线和控制信号总线，用于显示和图形绘制，并且传统的显示存储器需要总线仲裁。因此如果访问显示器的次数较大，就会减小用于绘图的时间。

20 更进一步，在传统的系统中，CPU 要为每组像素访问存储器。因此，例如当想从 CPU 向存储器中存储一屏数据时，就要求对存储器做(一屏数量的像素)/(像素组中的像素数量)写操作，所以，对存储器操作的次数较大。存储器的操作功耗与读/写操作的次数成正比，因此，导致了功耗的增加。

更进一步，当将显示数据从存储器传递到液晶板时，该屏显示数据中一条水平线的数据被同时输出，但是，为此目的，从存储器读出的数据，并不是同时读出的一条水平线上数据的总数，而是液晶驱动器输出数据线上的数据总数。

25 例如，当想在 LCD 显示屏上显示存储在存储器中的一屏数据时，就必需做(一屏像素数量)/(像素组)存储器的读操作，这样的缺点是，消耗访问次数总量所用的功率。

30 更进一步，在传统的系统中，必须以存储器的高频执行操作。不能给出 CPU 访问时间的界限。因此，缺点就是这不适合要求快速切换屏幕的动画情况。

更进一步，当使用传统的存储器时，存储器阵列的图像和液晶的像素阵

列是不相同的，所以，需要计算存储器中的像素在绘制时间的位置。

更进一步，当写数据时，传统的显示存储器同时改写将要写的所有数据。因此，当在一次写的的数据中存在一个不希望被改变的数据时，使用了一种所谓的读—修改—写系统，在改写数据之前预先读出数据，修改要改写的位，
5 而屏蔽不希望改写的的数据，然后，将数据写入存储器。由于这个原因，缺点是操作次数较大而消耗功率。

更进一步，常规地讲，当向数字/模拟转换器(DAC)输出存储在显示存储器中的图像数据时，由于与色彩三原色相应的 RGB 数据不能以时分方式输出，所以显示存储器的输出以一一对应的方式直接与 DAC 连接。常规地讲，
10 对于这种方式，由于每个 RGB 数据需要 DAC，所以，DAC 的数量比较大，并导致功耗的增加。

为了减少这些 DAC 的功耗，必须调整建立时间。由于 DAC 和显示存储器的操作速度不同，所以，必须对它们单独控制。根据 DAC 的特性，必须调整输入信号的相位。但是，常规地讲，当向 DAC 输出显示存储器的数
15 据时，输出 RGB 数据的时间是固定的。不可能自由地改变数据的相位来与 DAC 的特性匹配，所以不能处理这种必要性。

更进一步，为了降低液晶显示器的功耗，有一种降低电源电压的方法。但是，当运行的电源电压变得低于 3.0V 时，将会发生故障。更进一步，对于考虑能量守恒的供电方法，在移动电话的待机屏中使用一种局部显示模
20 式，但是，在这种局部显示模式中，虽然在屏上不显示任何内容，但是存储器单元的漏电流流仍在流动，所以也存在消耗功率的缺点。

发明内容

本发明的一个目的是提供一种能够减小功耗、能够高速绘制图形以及不
25 需要存储器映射的显示存储器，还提供一种带有这种显示存储器的驱动器电路、一种利用该驱动器电路的显示器、以及一种便携式信息设备。

为了达到上述目的，本发明的第一个方面是显示存储器，用于存储将被提供给显示器像素的像素数据，包括至少一对位线；至少一列存储器单元，

每个单元具有能保持第一个值和第二个值补码状态的第一个存储节点和第二个存储节点；第一个读电路，用于读取第一个存储节点输出给该对位线中一条位线的所存储的数据；第二个读电路，用于读取第二个存储节点输出给该对位线的另一条位线的所存储的数据；以及写电路，包括相互串联连接的第一个写驱动器和第二写驱动器，该第一个写驱动器和第二写驱动器分别产生具有所述第一个值和第二个值的数据，并且将所产生的数据分别输出到所述存储器单元的第二个存储节点和第一个存储节点上，以将数据写到所述存储器单元中。

更进一步，第二个读电路反相并输出第二个存储节点输出给另一条位线的所存储数据的值。

更进一步，显示存储器包括控制显示存储器操作的控制装置，包含至少一个写电路的写端口，包含至少第一个读电路的第一个读端口，以及包含至少第二个读电路的第二读端口，其中第一个读端口向显示器提供存储在存储器单元中的数据，第二个读端口从存储器单元中读取数据，并将其输出给控制装置，写端口将从控制装置来的数据写到存储器单元中。

更进一步，在显示存储器时钟信号的第一个电平周期中，第一个读端口执行第一次访问，用于向显示器输出经过第一个读电路读取的数据，并且在显示存储器时钟信号的第二个值的周期中，第二个读端口和写端口执行第二次访问，用于向控制装置输出经过第二个读电路读取的数据，并从控制装置输入将要写到存储器单元中的写数据。

更进一步，显示存储器包括位选择装置，用于选择数据将要被写入的存储器单元，以及写控制信号，用于控制数据将被写入到存储器单元的数据写入操作，而写电路由位选择装置和写控制信号控制，并且在由位选择装置选择的存储器单元的第二个和第一个节点上，向将被写入的存储器单元的该对位线的每条线上，输出第一个值和第二个值的数据。

更进一步，显示存储器具有显示存储器的驱动用电压源，还具有开关设备，用于选择地连接至少一个存储器单元的电压源端和驱动用电压源。

更进一步，第一次访问的信号接线端被安排在显示存储器的一个侧面

上，第二次访问的信号接线端被安排在与上述侧面不同的另一个侧面上，并且第一次访问用第一个接口和第二次访问用第二个接口连接到显示存储器的第一次访问用信号接线端和第二次访问用接线端上，而显示存储器被夹在它们之间。

5 第一个接口最好具有第一个线锁存器，用于存储在以矩阵排列的像素水平方向上的一条线的图像数据，并且通过第一个线锁存器，写端口向选择的位线上输出一条线的的数据，而第二个读端口将一条线的的数据从显示存储器输出给控制装置。

10 第二个接口最好具有第二个线锁存器，用于存储在以矩阵排列的像素的水平方向上一条线的图像数据，而第一个读端口将一条线的的数据从显示存储器经过第二个线锁存器输出给显示器。

更进一步，在显示器中，多个像素单元排列成矩阵，在显示存储器中，多个存储器单元排列成与多个像素单元矩阵排列相应的矩阵，在显示存储器的每个存储器单元中，由写端口存储用于驱动显示器矩阵的相应像素单元的像素数据，并且，第一个读端口以线为单位，将图像数据锁存在第二个线锁存器中，并将这些数据提供给与相应显示线的像素中。

本发明的第二个方面是驱动器电路，利用与存储在显示存储器中图像数据相应的信号，驱动以显示器矩阵排列的像素，其中，显示存储器包括至少一对位线；至少一行存储器单元，每个存储器单元都具有能保持互补的 (complementary) 第一个值和第二个值状态的第一个存储节点和第二个存储节点；第一个读电路，用于读取第一个存储节点输出给该对位线一条位线的所存储的数据；第二个读电路，用于读取第二个存储节点输出给该对位线另一条位线的所存储的数据；以及写电路，包括相互串联连接的第一个写驱动器和第二写驱动器，该第一个写驱动器和第二写驱动器分别产生具有所述第一个值和第二个值的数据，并且将所产生的数据分别输出到所述存储器单元的 25 第一个存储节点和第二个存储节点上，以将数据写到所述存储器单元中。

更进一步，在驱动器电路中，第一个接口具有第一个线锁存器，用于存储在矩阵排列像素的水平方向上一条线的图像数据，并且通过第一个线锁存

器，写端口向所选择的位线输出一条线的的数据，而第二个读端口将一条线的的数据从显示存储器输出到控制装置中。

更进一步，第一个线锁寄存器用于存储写控制数据，写控制数据用于为每个像素指定在由第一条线锁寄存器锁存的像素数据中将被写入显示存储器的像素数据，并且，写端口将由写控制数据指定的在第一个线锁寄存器中锁存的像素数据写入显示存储器中。

依据本发明的第三个方面的显示器包括显示屏，其中的像素被排列成矩阵；扫描电路，用于扫描像素矩阵的每一行，并给所选择的行提供电压；驱动器电路，用于向像素输出与图像数据相应的信号；以及显示存储器，用于存储图像数据，其中显示存储器具有至少一对位线，至少一列存储器单元，每个存储器单元具有能保持第一个值和第二个值补码状态的第一个存储节点和第二个存储节点，第一个读电路用于读取第一个存储节点输出给这对位线的一条位线的所存储的数据，而第二个读电路用于读取第二个存储节点输出给这对位线的另一条位线的所存储的数据，写电路包括相互串联连接的第一个写驱动器和第二写驱动器，该第一个写驱动器和第二写驱动器分别产生具有所述第一个值和第二个值的数据，并且将所产生的数据分别输出到所述存储器单元的第二个存储节点和第一个存储节点上，以将数据写到所述存储器单元中。

依据本发明的第四个方面的便携式信息设备包括显示器，其中多个像素单元排列成矩阵，以及显示存储器，用于存储将提供给显示器的像素单元的像素数据，其中显示存储器具有控制显示存储器操作的控制装置，多个存储器单元，每个单元具有能保持第一个值和第二个值补码状态的第一个存储节点和第二个存储节点，且被排列成与多个像素单元的矩阵排列相应的矩阵，第一个读端口，用于读取每个存储器单元的第二个存储节点存储的数据，第二个读端口，用于读取每个存储器单元的第二个存储节点存储的数据，写端口，用于将驱动显示器矩阵相应像素单元的像素数据写入存储器单元中，第一个线锁寄存器，用于存储以矩阵排列像素单元水平方向上的一条线的像素数据，以及第二个线锁寄存器，用于存储以矩阵排列像素单元水平方向上一条线

的像素数据；写端口，通过第一个线锁存器向多个存储器单元输出一条线的
数据；第一个读端口，以线为单元将图像数据锁存在第二个线锁存器中，并
将其输出给显示器的相应像素单元；以及第二个读端口，通过第一个线锁存
器向控制装置输出一条线的的数据。

5

附图说明

图 1 是依据本发明的显示器的总体结构视图。

图 2 是依据第一个实施例的显示存储器存储器单元结构的具体示例的电路图。

图 3 是依据第一个实施例的驱动器电路主要部分结构的视图。

5 图 4A 到 4F 是依据本发明第一个实施例的显示存储器的操作的时序图。

图 5 依据第二个实施例，划分电源的显示存储器的结构视图。

图 6 是依据第三个实施例，显示存储器地址排列和显示屏上像素排列的示意图。

图 7 是依据第三个实施例，以线为单位访问显示存储器的结构示意图。

10 图 8 是依据第四个实施例，能为每位写数据的显示存储器主要部分的结构视图。

图 9 是依据第五个实施例，在驱动器电路 CPU 侧的电路结构的示意图。

图 10A 到 10F 是依据第五个实施例，以驱动器电路的线为单位写数据操作的时序图。

15 图 11A 到 11F 是依据第五个实施例，以驱动器电路的线为单位读取数据操作的时序图。

图 12 是依据第六个实施例，当为驱动器电路每个像素写时电路结构的示意图。

20 图 13 是依据第六个实施例，在驱动器电路中，为每个像素能将数据写入显示存储器的结构视图。

图 14A 到 14F 是依据第六个实施例，使用写标志信号，为每个像素将数据写入显示存储器的操作的时序图。

图 15 是依据第七个实施例，在驱动器电路的显示屏侧的电路结构示意图。

25 图 16 是依据第八个实施例的显示器主要部分结构视图。

图 17A 到 17F 是在依据第八个实施例的显示器中，图像数据的 RGB 时分的时序图。

具体实施方式

30 以下将参考附图说明依据本发明的显示存储器、驱动器电路和使用驱动器电路的显示器的实施例。

第一个实施例

图 1 是依据本发明的显示器 1 的第一个实施例总体结构图。这里，将以液晶驱动器和使用液晶驱动器电路的液晶显示器为实例来进行说明。

5 在图 1 所示的液晶显示器 1 中，包括了：处理器(CPU)2，用于控制整个设备的操作，液晶驱动器 3，显示图像的显示屏 4(在液晶显示器的情况下是液晶显示板 4)，以及扫描电路 5，用于选择一行像素，在液晶显示板 4 的水平方向上给出该行像素的地址，并给像素提供电压以使它们接通。

液晶驱动器 3 具有显示存储器 7、CPU 侧接口(CPU I/F)6，用于从 CPU
10 2 接收每个像素的数据，并将其写入显示存储器 7 中，或者读出存储在显示存储器 7 中的像素数据，以及液晶板侧接口(LCD I/F)8，用于接收由显示存储器 7 输出的包括红(R)、绿(G)和蓝(B)颜色的像素数据，并将其输出给液晶显示板 4 以显示这些数据。

CPU 侧接口(CPU I/F)6 具有数据锁存器 9，存储来自 CPU 2 的像素数据，
15 以及选择电路 10。

液晶板侧接口(LCD I/F)8 包括缓冲存储器输出的数据锁存器，选择器电路 12 和数字/模拟转换器(DAC)13，数字/模拟转换器(DAC)13 用于将显示的图像数据从数字信号转换成模拟信号，并将其输出给液晶板 4 的像素。

为了在液晶板 4 上显示图像，从 CPU 2 传递每个像素的数据，并由 CPU
20 I/F 6 的数据锁存器 9 将其存储在液晶板 4 的水平方向上，直到达到一条线的量，然后，一条线的数据被同时传递给显示存储器 7。从显示存储器 7，在液晶板 4 水平方向上一条值的数据被同时输出，并被 LCD I/F 8 的数据锁存器 11 锁存，于是，与像素数据相应的电压被同时提供给液晶板 4。由此，像素数据就被显示在屏幕上。

25 在本实施例中，显示存储器 7 的结构以单端口 SRAM 为实例。

图 2 是依据本实施例的显示存储器存储器单元结构的具体实例的电路图。

如图 2 中所示，显示存储器 7 有存储器单元 21、作为第一个读电路的读出放大器 22、作为第二个读电路的读出放大器 23、写电路 24、一对位线
30 (BL)25a 和 25b 以及字线(WL)26。

在图 2 中，显示存储器 7 的存储器单元 21 有两个输入端和输出端分别

连接在一起的反相器 29a 和 29b，以及作为访问晶体管的 NMOS 晶体管 27a 和 27b。第一个存储节点 28a 是由反相器 29a 的输出和反相器 29b 输入的连接点构成的，而第二个存储节点 28b 是由反相器 29a 输入和反相器 29b 输出的连接点构成的。

5 位线 25a 通过 NMOS 晶体管 27a 与第一个存储节点 28a 连接，而位线 25b 通过 NMOS 晶体管 27b 与第二个存储节点 28b 连接。存储器单元 21 的 NMOS 晶体管 27a 和 27b 的栅极与公共字线 26 连接。当向液晶板 4 输出数据时，利用读出放大器 22 从存储器 7 中读出图像数据。当 CPU 2 从存储器 7 读取数据时，使用读出放大器 23。CPU 2 使用写入电路 24 向存储器 7 写
10 入数据。

RC1 和 RC2 指示读出放大器 22 和 23 的控制信号(读出放大器控制)，而 RD1 和 RD2 指示读出放大器 22 和 23 的输出数据(读出数据)。WC 和 WD 指示写电路 24 的控制信号(写控制)并向存储器单元 21 中写入数据。写电路 24 有串联连接的第一个驱动器 24a 和 24b，并当接收到低电平和激活的控制
15 信号 WC 时操作。

本实施例的显示存储器 7 是以常规 ARAM 为例构建成液晶驱动器 3 的。如图 2 中所示，作为存储器单元 21 的元件，当显示器和读出放大器 22 为 CPU 2 从存储器单元中读取数据时，读出放大器 23 被连接到位线 25a 和 25b。读出放大器 22 和 23 能独立地控制读取操作。读出放大器 23 和写电路 24 能
20 同时工作。也就是，写入数据的同时能读取数据。

接着，将说明显示存储器 7 的操作。

例如，给该对 CMOS 反相器 29a 和 29b 提供驱动用电压源 $V_{DD}=3.3V$ 。该对 CMOS 反相器 29a 和 29b 形成双稳态多谐振荡器电路。例如，在双稳态状态下，对于节点 28a 是高电平而节点 28b 是低电平这种意义的状态，存
25 储数据“1”。相反地，对于节点 28a 是低电平和节点 28b 是高电平这种意义的状态，存储数据“0”。

当读取存储在存储器单元 21 中的数据时，第一个扫描电路 5 扫描存储器单元矩阵，选择未所示的行地址解码器指定的字线，例如字线 26，提供电压，并且 NMOS 晶体管 27a 和 27b 将变成导通状态。

30 当读取数据的每一位时，使用未所示的列地址解码器来指定将进一步读取的存储器单元，例如，存储器单元 21。此时，读控制信号 RC1 或 RC2 变

成高电平，读出放大器 22 或读出放大器 23 将接通。

当读取每条线或多个存储器单元每个单元中的数据时，例如，使用未示出的装置，指定包含存储器单元 21 的存储器单元线并从中读取数据，或指定多个存储器单元。

5 由于 NMOS 晶体管 27a 和 27b 已经变成导通状态，所以，节点 28a 和 28b 的状态被传送到与位线 25a 和 25b 连接的读出放大器 22 和 23 中。

当将存储在存储器中的数据输出给液晶板时，读控制信号 RC1 变成高电平，读出放大器 22 接通，并且，存储器单元 21 的当前状态，也就是存储在节点 28a 的“1”或“0”状态被从读出放大器 22 提取出来。

10 当从 CPU 2 读取存储在的存储器中的数据时，读控制信号 RC 读变成高电平，读出放大器 23 接通，并且，存储在节点 28b 中的节点 28a 的补码值“0”或“1”在读出放大器 23 中被反相，并提取与节点 28 中具有相同值的数据。

当从 CPU 2 将数据写入存储器单元 21 时，如上所述，选择存储器单元或多个存储器单元，提供字电压，并且，NMOS 晶体管 27a 和 27b 处于导通状态。所选存储器单元的写控制信号 WC 变成低电平，而写入电路 24 接通。

15 如图 2 中所示，写入电路 24 有第一个写驱动器 24a 和第二个写驱动器 24b，输入到写电路 24 的写数据 WD 在第二个写驱动器 24b 中首先被反相，然后通过当前接通的 NMOS 晶体管 27b 存储在存储节点 28b 中。

第二个写驱动器 24b 被反相的输出输入到第一个写驱动器 24a 中，再次被反相并通过当前接通的 NMOS 晶体管 27a 存储在存储节点 28a 中。

例如，当写入数据 WD 的值是“1”时，通过第二个写驱动器 24b 的输出它就变成“0”，并存储在存储节点 28b 中。第二个写驱动器 24b 的输出“0”被输入到第一个写驱动器 24a 中，然后输出“1”，并将“1”存储在存储节点 28a 中。

25 当写入数据 WD 的值是“0”时，相似地，“0”存储在存储节点 28a 中，而“1”存储在存储节点 28b 中。

图 3 表示了具有上述内置的显示存储器 7 的液晶驱动器 3 的主要部分。在图 3 中，与图 1 中相同的元件使用了与之相同的参考数字。

在图 3 中，在 CPU 侧的接口电路(CPU I/F)6 包括数据锁存器 9、选择器 10 等。参考数字 7 指示本实施例的显示存储器，而 8 指示液晶板显示器的接口电路。显示器使用的接口 8 包括电路，如数据锁存器 11、选择器 12 和

DAC 13。参考数字 34 和 35 是将存储器 7 输出的图像数据传递给液晶板的数据总线和 CPU 2 将数据传递给存储器 7 的数据总线。

图 3 中所示的液晶驱动器 3 的操作如下。

当向显示存储器 7 写入像素数据时，CPU 2 为每个像素向显示存储器 7 发送要显示的图像数据。为每个像素发送的像素数据首先存储在数据锁存器 9 中。存储在数据锁存器 9 中的数据直到达到预先确定的位的数量才被输出给选择器 10，在选择器中进行选择，然后通过数据总线 35 写入显示存储器 7 中。

或者，当 CPU 2 读取存储在显示存储器 7 中的像素数据时，存储在显示存储器 7 中的像素数据以预先确定的位的数量为单位，穿过数据总线 35，并经过选择器 10 被锁存在数据锁存器 9 中，然后，CPU 2 为每个像素读出锁存在数据锁存器 9 中的数据。

当读取存储在显示存储器 7 中的像素数据并将其显示在液晶板上时，存储在显示存储器 7 中的像素数据以预先确定的位的数量为单位，穿过数据总线 34 并被锁存在数据锁存器 11 中。然后，锁存在数据锁存器 11 中的数据输出给选择器 12，并且，由选择器 12 利用预先确定的方法顺序地选择每个像素数据的 R、G、B 部分，再输出给数字/模拟转换器(DAC)13，然后进一步输出到液晶板的像素中。

在本实施例中，数据总线 34 保持液晶板水平方向上一条线所要求的数据的位的数量。由一条线的像素数量 \times 颜色数量(位的数量)可以计算一条线的的数据。具体地说，在一条线的像素数量是 176 个像素，而颜色包括 18 位(每个 R、G、B 为 6 位)时，就成为 3168 位的输出数据总线。如同数据总线 34 一样，数据总线 35 的位的数量是一条线数据的位的数量。当像素的数量是 176，而颜色包括 18 位时，结果就是 3168 位。

如图 3 中所示和以上所述，显示存储器 7 有两个读端口和一个写端口，分配一个读端口和一个写端口用于由 CPU 2 的访问，分配另一个读端口用于液晶板 4，并分配像素数据给显示器。由 CPU 2 对显示存储器的读和写访问可以同时实现，因为从显示存储器到液晶板的读访问是独立控制的。

更进一步，关于 CPU 2 的显示存储器 7 的读和写访问，以及从显示存储器 7 到液晶板 4 的读访问被分配到时钟信号的高电平周期和低电平周期，以控制显示存储器 7 的操作。从 CPU 2 来的访问和对液晶板 4 的读操作互不

影响，而且是并行完成的。

图 4A 到 4F 是以上操作的时序图。

图 4A 表示当显示图像时读访问的地址信号 DRA。每显示一行就产生一次地址信号 DRA。图 4B 表示 CPU 2 访问显示存储器 7 的地址信号 CAA。

5 图 4C 表示显示存储器 7 的时钟信号 MCLK。时钟信号 MCLK 的高电平周期是 CPU 2 访问显示存储器 7 的周期。在此周期中，CPU 2 从显示存储器 7 中读取像素数据，或者 CPU 2 将图像数据写入显示存储器 7 中。

时钟信号 MCLK 的低电平周期是用作显示器读取的周期。在此周期，读出存储在显示存储器 7 中的图像数据，并输出给液晶板的像素。

10 图 4D 表示信号 DR，该信号表示显示器读周期。从显示存储器的读操作是在显示存储器 7 的时钟信号 MCLK 为低电平的周期中完成的。

图 4E 表示信号 CR，该信号指示 CPU 2 从显示存储器 7 中读取数据的周期。CPU 2 在显示存储器 7 的时钟信号 MCLK 是高电平周期从显示存储器读取数据。

15 图 4F 表示信号 CW，该信号指示 CPU 2 将数据写入显示存储器 7 的周期。CPU 2 在显示存储器 7 的时钟信号 MCLK 是高电平周期将数据写入显示存储器。

依据本实施例，在常规的显示存储器构建为液晶驱动器中的情况下，每个存储器单元为 CPU 和显示器在位线的两端配备了两个读出放大器，并且为 CPU 提供了一个写驱动器，由此，就可能独立地控制对显示器的访问以及从 CPU 来的读访问。这样，可以配备两套系统读端口和一套系统写端口。因此，如果将它们分配给 CPU 和液晶板显示器，并再将对 CPU 的访问和对显示的访问分配该系统时钟的高电平周期和低电平周期，那么，从 CPU 来的访问和对显示的读取操作可以同时并行完成且不会重叠。也就是，显示和绘图操作以及读取数据可以独立地实现。这样，即使对显示的访问次数增大，绘图和读取的时间将不会减少，且不会使 CPU 等待显示。

25 更进一步，在本实施例的显示存储器中，在显示存储器的正面配备有接线端，并且安排了两个接口在其之间切换显示存储器。其中一个接口用作 CPU 侧的接口，而另一个接口用作液晶板侧的接口。这两个接口可以直接与显示存储器连接。这样，就没有迂回的信号线，与传统的通用接口相比，可以减少相互连接线的数量，并且由于减少了相互连接线的数量，所以减少了

功耗。

更进一步，与使用通常的双端口 SRAM 的情况相比，本实施例的单端口 SRAM 可以大大地减小单元(cell)尺寸。

5 第二个实施例

在第二个实施例中，将说明通过划分存储器的电源和独立地给存储器的不同图像数据区域提供电源以进一步减小功耗的实例。

在第二个实施例中的显示存储器具有第一个实施例的显示存储器的结构。更进一步，在第二个实施例中，显示存储器被划分多个区域，并且为每个分离的区域或操作模式控制电源的接通/关断状态。

图 5 是划分电源的显示存储器结构的电路图。

在图 5 中，与图 2 中相同的元件使用了与之相同的参考数字。在图 5 中，51a、51b 和 51c 指示依据图 2 中所示的第一个实施例的显示存储器 7 的存储器单元，53a、53b 和 53c 指示字线(WL)，54a、54b 和 54c 指示 N 井，而 55a、55b 和 55c 指示 P 井。

在存储器单元 51a 中，PMOS 晶体管 P1 和 P2 在 N 井 54 上形成，而 NMOS 晶体管 N1、N2、27a 和 27b 在 P 井 55a 上形成。

NMOS 晶体管 N1 和 PMOS 晶体管 P1 形成 CMOS 反相器电路 29a，而 NMOS 晶体管 N2 和 PMOS 晶体管 P2 形成 CMOS 反相器电路 29b。输入和输出相互交叉连接，使这对 CMOS 反相器 29a 和 29b 形成多谐振荡器，由此，可以获得双稳态多谐振荡器。

当通过驱动电源线 56a 给这对 CMOS 反相器 29a 和 29b 提供驱动电压 V_{DD} 时，上述的双稳态多谐振荡器电路在节点 28a 和 28b 保持两个补码稳定状态。节点 28a 和 28b 变成能存储数据的存储节点。

例如，节点 28a 是高电平而节点 28b 是低电平的状态被定义为存储数据“1”的含意，相反，节点 28a 是低电平而节点 28b 是高电平的状态被定义为存储信息“0”的含意。

当读取数据时，首先，给由未所示的行地址解码器指定的字线，例如字线 53a 提供字线电压，以将 NMOS 晶体管 27a 和 27b 设置在导通状态。

当读取每一位数据时，使用未所示的列地址解码器指定将被读取的存储器单元，例如存储器单元 51a、51b 和 51c。连同字线指定一起，将会选择存

存储器单元 51a。当读取每一条线或多个存储器单元的数据时，例如，指定包括存储器单元 51a 或多个存储器单元的存储器单元线。

由于 NMOS 晶体管 27a 和 27b 变成导通状态，节点 28a 和 28b 的状态被传送给与该对位线 52a 和 52b 连接的未所示的读出放大器中。

5 当将存储在存储器中的数据输出给液晶板时，未所示显示器使用的读出放大器被用来提取出存储器单元 51a 的当前状态。更进一步，当 CPU 2 读取存储在存储器中的数据时，未所示的 CPU 2 读出放大器被用来提取出存储器单元 21 的当前状态(数据)。

10 更进一步，当从 CPU 2 将数据写入存储器单元 51a 时，如上所述，选择该存储器单元或多个存储器单元或一个存储器单元的线，并且 NMOS 晶体管 27a 和 27b 被设置为导通状态。然后，输入向未所示写驱动器的写入数据通过 NMOS 晶体管 27a 和 27b 被存储在两个存储节点 28a 和 28b 中。也就是，当写入数据的值是“1”时，存储节点 28a 被设置为高电平，而存储节点 28b 被设置为低电平，当数据值是“0”时，存储节点 28a 被设置为低电平，
15 而存储节点 28b 被设置为高电平。

存储器单元 51b 和 51c 具有与存储器单元 51a 完全相同的结构和相同的操作方式。因此，在存储器单元 51b 和 51c 中，除了电源以外的元件，使用与存储器单元 51a 相同的参考数字表示。

20 更进一步，在本实施例中，如图 5 所示，PMOS 晶体管 Tr1、Tr2 和 Tr3 作为电源开关，与存储器单元 51a、51b 和 51c 的驱动电源线 56a、56b 和 56c 连接，并控制提供给存储器单元 51a、51b 和 51c 的电源的接通/关断状态。

存储器单元 51a、51b 和 51c 的驱动电源线 56a、56b 和 56c 连接到的 N 井 54a、54b 和 54c 被相互分开。更进一步，通过晶体管 Tr1、Tr2 和 Tr3 接通/关断电源，驱动电源线 56a、56b 和 56c 被连接到存储器单元 51a、51b
25 和 51c 的 PMOS 晶体管的驱动电源线 56a、56b 和 56c 上，因此，提供给存储器单元 51a、51b 和 51c 的电源被相互分开。

在图 5 中，VDD 控制器 VCTR1、VCTR2 和 VCTR3 控制晶体管 Tr1、Tr2 和 Tr3 的接通/关断状态，因此控制存储器单元 51a、51b 和 51c 的电源的接通/关断状态。这种控制通过 VDD 控制器 VCTR1、VCTR2 和 VCTR3
30 的操作模式来设置。

这里表示了三个单元的示例，但是也可应用于多于三个单元的划分情

况。

更进一步，在这里的每个存储器单元中提供了一个电源开关晶体管，但依据实际条件，没有一起停止控制存储器预先确定区域的存储器单元的电源。

5 依据第二个实施例的显示存储器，通过为存储器的每个预先确定的区域划分电源，并独立地控制电源的接通/关断状态，就可以减小未使用区域的存储器单元的漏电流。

进一步，通过分离存储器单元的 N 井，可以切断给存储器单元未使用区域的电源以减小功耗。

10

第三个实施例

依据第三个实施例的显示存储器具有与第一个实施例的显示存储器相似的基本结构。注意，在第三个实施例中，显示存储器的地址排列与液晶板的像素阵列一致，所以存储在显示存储器中的图像数据的图像变得与液晶板
15 屏幕上的图像一样。进一步，与显示存储器相关的读和写访问以屏幕上像素数据的一行为单位来完成。

图 6 是依据第三个实施例，显示存储器的地址排列和液晶板的像素排列的示意图。

在图 6 中，存储器的地址排列和液晶板的像素矩阵由具有线 ln_0 到 ln_N
20 的并且以 px_0 到 px_N 为下标的像素的排列表示。在图像中，存储器的地址排列和液晶板的像素排列变得相同。也就是，依据液晶板的像素排列来分配存储器的地址。例如，根据液晶屏一行的像素数量、一列的像素数量和像素颜色的位的数量来确定连接到存储器一个字的存储器单元的数量，以及连接到一对位线的存储器单元的数量。

25 通过存储器地址的排列和液晶板的像素的排列变得相同，可以在存储在具有线 ln_0 到 ln_N 和以 px_0 到 px_N 为下标的存储器中的数据当中，指定将要访问的像素数据。CPU 2 指定线地址和像素地址，并读和写数据。当在液晶板上显示数据时，它操作来指定线地址和一起读取一条线的数据。

下面将具体说明以像素数据的行为单位的读或写操作。

30 图 7 表示访问显示存储器每线的结构。

在图 7 中，71 指示显示器使用读出放大器，72 指示液晶板的一条线的

存储器单元，73 指示 CPU 的多个写驱动器，74 指示 CPU 的多个读出放大器。

当读和写数据时，液晶板的一条线的存储器单元 72 变成传递数据的单位。按照这样的数据量来读和写数据。按照液晶板的一行像素总量来提供显示器使用读出放大器 71 的数量。当读取存储在显示存储器中的数据并将其输出给液晶板时，这些读出放大器全都同时操作。

5 以与显示器使用读出放大器 71 相同的数量来提供 CPU 使用写驱动器 73。当 CPU 2 读取存储在显示存储器中的数据时，这些驱动器 73 也全都同时操作。

10 以与显示器使用读出放大器 71 或者 CPU 使用写驱动器 73 相同的数量来提供 CPU 使用读出放大器 74。当 CPU 2 将数据写入显示存储器时，这些读出放大器将全都同时操作。

注意在写时刻，写驱动器可以依据随后将说明的每一位的写控制信号，同时将数据写入要求的部分(位或者预先确定的多个位)中。

15 在本实施例中，通过使用简单的映射就能够处理液晶板的像素排列和具有相同下标的存储器地址排列，不再需要联系地址和液晶板像素的计算，并且能容易地处理具有各种像素数量的液晶板。

更进一步，读取存储器一条线显示的次数可能是一次。更进一步，显示存储器具有一个电路，该电路能够从 CPU 以行为单位访问和以相同单位访问像素信息。也就是，存储器的操作基于对一条线数据的访问。由此，可以减少存储器操作的次数，并能实现低功耗。

第四个实施例

25 在传统的显示存储器中，当写预先确定的位时，需要进行读—修改—写操作。也就是，在传统的显示存储器中，在重新写入数据之前要预先读出数据，修改将被改写的位，而屏蔽不希望改写的的数据，然后将数据写入存储器中。

30 在第三个实施例中，将说明提供指定位方向上存储器单元的列解码器的显示存储器，以及控制对上述显示存储器的写操作和能选择任何一个存储器单元并写任何位的写信号。

在本实施例中的显示存储器具有第一个实施例中的显示存储器的基本

结构。

图 8 是依据本实施例，显示存储器主要部分的视图。

在图 8 中，与图 2 中相同的元件部分使用了与之相同的参考数字。

在图 8 中，81a 和 81b 指示存储器单元，82 指示存储器的行解码器，83a
5 和 83b 指示存储器单元 81a 和 81b 的写驱动器。

更进一步，84a 和 84b 指示列解码器，85 指示读行地址锁存器，86 指示像素地址锁存器，87 指示写锁存器。参考数字 88a 和 88b 与参考数字 88c 和 88d 指示存储器单元 81a 和 81b 的位线对，而 89 指示到存储器单元 81a 和 81b 的公共字线。

10 在图 8 中，存储器单元 81a 具有两个输入和输出相互连接的反相器 29a 和 29b，并具有作为访问晶体管的 NMOS 晶体管 27a 和 27b。第一个存储节点 28a 是反相器 29a 的输出和反相器 29b 的输入的连接点，而第二个存储节点 28b 是反相器 29a 的输入和反相器 29b 的输出的连接点。

位线 88a 通过 NMOS 晶体管 27a 与第一个存储节点 28a 连接，而位线
15 88b 通过 NMOS 晶体管 27b 与第二个存储节点 28b 连接。存储器单元 81a 的 NMOS 晶体管 27a 和 27b 的栅极与公共字线 89 连接。

写线路 83a 具有串联连接的第一个驱动器 24a 和 24b，并由包括列解码器 84a 的低电平、有效的控制信号操作。

行地址解码器 82 根据读行地址锁存器 85 的行地址数据，向预先确定的
20 存储器单元行的公共字线输出字线电压，并将 NMOS 晶体管 27a 和 27b 设置为导通状态。根据像素地址锁存器 86 的列地址数据，反相列地址解码器 84a 的输出，并将其输入给将要写入的存储器单元列的写驱动器 24a 和 24b 以驱动它们。

写信号 WRT 被输入给列解码器电路 84a 和 84b。只有当写信号 WRT 是
25 高电平的情况下，列解码器 84a 和 84b 才操作。

以下，将说明具有上述结构的存储器的操作。

当给该对 CMOS 反相器 29a 和 29b 提供驱动电压 V_{DD} 时，形成双稳态多谐振荡电路的 CMOS 反相器 29a 和 29b 将在节点 28a 和 28b 上保持两个补码的稳定状态，由此，节点 28a 和 28b 可以存储数据。

30 例如，节点 28a 是高电平和节点 28b 是低电平的状态被定义为存储数据“1”的意义，相反，节点 28a 是低电平和节点 28b 是高电平的状态被定义为

存储数据“0”的意义。

由于 NMOS 晶体管 27a 和 27b 变为导通状态，所以，节点 28a 和 28b 通过该对位线 88a 和 88b 与写驱动器 83a 连接，并且可以写数据。

例如，当根据读行地址锁存器 85 的行地址数据，从 CPU 2 向存储器单元 81a 写入数据时，例如行地址解码器 82 选择字线 89，并给字线 89 提供电压，从而将 NMOS 晶体管 27a 和 27b 设置为导通状态。

以下根据像素地址锁存器 86 的列地址数据，列地址解码器 84a 指定在位方向上将要写入的存储器单元。例如，假设指定存储器单元 81a。与字线的指定一起，将会选择存储器单元 81a。

10 在第四个实施例中，将控制向存储器单元写操作的写信号 WRT 输入给列解码器电路 84a 和 84b。只有当写信号 WRT 是高电平时，才可能写入由列解码器 84a 和 84b 指定的存储器单元。

例如，如上所述，当选择了存储器单元 81a，并且写信号 WRT 是高电平时，列解码器设备 84a 的输出变成低电平，并使写驱动器 83a 能够操作。
15 因此，保持在写数据锁存器 87 中的数据就可以写入由行解码器 82 和列解码器 84 指定的存储器单元 81a 中。

如图 8 中所示，写驱动器 84a 有第一个写驱动器 24a 和第二个写驱动器 24b。保持在写数据锁存器 87 中的数据一个接一个地写入写驱动器 84a 中。其每位数据在第二写驱动器 24b 中首先被反相，然后通过导通的 NMOS 晶体管 27a 存储在存储节点 28b 中。
20

将第二个写驱动器 24b 的反相输出被输入到第一个写驱动器 24a，并再被反相，然后通过导通的 NMOS 晶体管 27a 存储在存储节点 28a 中。

例如，当写数据的值是“1”时，通过第二个写驱动器 24b 的输出，它就变成“0”，并存储在存储节点 28b 中。第二个写驱动器 24b 的输出“0”被输入到第一个写驱动器 24a 中，由此，输出“1”并将“1”存储在存储节点 28a 中。
25

当写数据的值是“0”时，相似地，“0”存储在存储节点 28a 中，而“1”存储在存储节点 28b 中。

在另一方面，当写信号 WRT 是低电平时，指定存储器单元 81a 的解码器设备 84a 的输出变成高电平，并且，存储器单元 81a 的写驱动器 83a 变得不能运行。因此，保持在写数据锁存器 87 中的数据就不能写入由行解码器 82 和列解码器 84 指定的存储器单元 81a 中。
30

存储器单元 81b 以相同的方式操作。

5 第四个实施例的显示存储器每位都有一个写控制信号(写信号)。根据该控制信号, CPU 2 就能将任何一位写入显示存储器中。当将与传统的显示存储器比较时, 仅仅通过预先的写操作, 而不用执行读操作, 就能实现相似的效果。

依据第四个实施例, 通过使用不要求读—修改—写操作的写系统, 就可以减少存储器操作的次数。由此可以减少存储器的功耗。

第五个实施例

10 如已经说明的, 在本发明的显示存储器中, 在存储器的正面安排有接线端, 而将存储器夹在其中, 因此, 可以为 CPU 安排一个接线端, 而为液晶板安排另一个接线端。

本发明的液晶驱动器具有一种结构, 其中 CPU 使用接口和液晶板使用接口而将显示存储器夹在其中, 这两个接口被安排在显示存储器的两端。液晶驱动器在显示存储器和 CPU 2 之间具有一个 CPU 使用接口, 并且在显示存储器和液晶板之间有一个液晶板使用接口。

第五个实施例涉及在 CPU 使用接口和显示存储器之间的数据传递。

图 9 是依据第五个实施例, 在液晶驱动器 CPU 侧那部分的结构电路图示意图。

20 在图 9 中, 91 指示线锁存器电路, 92 指示选择器电路, 93 指示数据总线, 94 指示显示存储器。

从 CPU 2 或逻辑电路为每个像素发送图像数据。为每个像素发送的像素数据首先存储在数据锁存器 91 中。当将液晶板一条线的数据存储在数据锁存器 91 中时, 该数据就被输出到选择器 92, 在其中被选择, 然后通过数据总线 93 写到显示存储器 94 中。

可选择地, 当 CPU 2 读取存储在显示存储器 94 中的像素数据时, 通过数据总线 94 并经选择器 92, 存储在显示存储器 94 中的像素数据以一条线的数据为单位保持在数据锁存器 91 中, 然后保持在数据锁存器 91 中的数据, 为每个像素都读到 CPU 2 中。

30 显示存储器 94 的数据被读到液晶板侧并显示出来。

线锁存器 91 的位宽度与显示屏水平方向上一条线的图像数据的位宽度

相同。

例如，当液晶板的尺寸是176像素×240行时，三种颜色R、G、B的每种颜色的数据由6位来表示，并且可能显示260,000种颜色，要求的存储容量成为 $176 \times 3 \times 6 \times 240 = 760,320$ 位，并且，线锁存器的数据容量和位宽度变成 $176 \times 3 \times 6 \times 1 = 3168$ 位。

数据总线93具有相同的位宽度。

图10A到10F表示依据图9的电路结构，以线为单位的写操作的时序图。

图10A表示从CPU侧发送的一个像素的图像数据DAT；而图10B和10C表示在显示存储器94的X-方向(列方向)和Y-方向(行方向)上的地址ADD-X和ADD-Y。图10D表示从CPU 2到线锁存器91的写命令XLATW；图10E表示从线锁存器91到显示存储器94的写命令XRAMW。图10F表示锁存数据LDAT。

注意到还可能给CPU侧读出线锁存器91存储的数据。

当为每个像素指定X-地址时，一条线的图像数据从CPU侧输入。在此时，“L”作为写命令，被输入到线锁存器91中，像素的图像数据顺序地存储在与线锁存器91的X-地址相应的位置上。在将一条线的图像数据存储在线锁存器91中之后，当指定了Y-地址，并将给显示存储器94的写命令XRAMW设置为“L”时，存储在线锁存器91中的一条线的图像数据被写入由显示存储器94指定的Y-地址的位置上。

这里，从线锁存器91到显示存储器94的读命令设为XRAMR。

图11A到11F表示依据图9的电路结构，以线为单位的读操作的时序图。

图11A和11B表示在显示存储器94的X-方向(列方向)和Y-方向(行方向)上的地址ADD-X和ADD-Y。图11C表示从线锁存器91的读命令XLATR；图11D表示从线锁存器91到显示存储器94的读命令XRAMR；图11E表示锁存数据LDAT；图11F表示读取的一个像素的图像数据DAT。

当CPU侧指定显示存储器94位置的Y-地址，从该位置希望读出数据，并将读命令XRAMR设置为“L”时，读出显示存储器94中由Y-地址指定位置上的数据，并将一条线的数据存储在线锁存器91中。在将一条线的数据存储在线锁存器91中之后，从线锁存器91的读命令XLATR设置为“L”，并

为每个像素指定 X-地址，由此读出存储在线锁寄存器 91 中的数据。

按照该方法，可以以一条线为单位，实现对于存储器的读和写访问。

通过在显示存储器和 CPU 2 之间提供一条线的线锁寄存器，就可以为一条线的数量同时实现对于显示存储器的读和写操作。这样，可减少显示存储器的访问次数。显示存储器的操作功耗与访问次数成比例，所以可以实现低功耗。

第六个实施例

在依据第六个实施例的液晶驱动器中，根据第五个实施例的结构，在液晶板上的像素排列，以及显示存储器的地址和线锁寄存器中数据地址排列成为一一对应的。更进一步，为每个像素，可以将数据从线锁寄存器写入显示存储器中。

在第六个实施例的液晶驱动器中，在液晶板上的像素排列和显示存储器的地址排列是一一对应的，在这点上与在第三个实施例中说明的显示存储器相似。

也就是说，提供了具有 X-方向和 Y-方向地址的显示存储器，X-方向和 Y-方向地址与液晶板上 X-(列)、Y-(行)对应，并且，显示板上的 X-、Y-坐标与显示存储器的 X-方向和 Y-方向地址被设置为一一对应。

以下，利用图 12 和图 13，同时参考图 10 的时序图，给出在本实施例的液晶驱动器中，从线锁寄存器到显示存储器为每个像素的写操作的说明。

图 12 表示为每个像素写数据的操作。

在图 12 中，121 指示从 CPU 2 或逻辑电路(一个像素的数据位的数量)发送的图像数据的数据总线，122 指示线锁寄存器，123 指示从线锁寄存器 122 到显示存储器读数据或者写数据(一条线的数据位的数量)的数据总线，124 指示显示存储器，125 指示数据总线，用于向液晶板侧发送数据，以显示显示存储器的数据。

显示存储器 124 具有 X-方向和 Y-方向地址，对应于未所示液晶板上的 X-、Y-坐标。在 X-方向和 Y-方向的尺寸是一屏中在 X-方向和 Y-方向的数据尺寸。

线锁寄存器 122 保持从未所示 CPU 2 来的一条线的的数据。这个线锁寄存器 122 的 X-方向位置和存储器 125 中 X-方向地址，以及在屏幕上 X-坐标是一

一对应的。

以下，将以在显示存储器 124 的地址(05H, 03H)中写图像数据的操作为例进行说明。

首先，当通过指定图像数据和 CPU 侧的 X-地址(05H)进行写数据（也就是在图 10 中，XLATW="L"）时，图像数据就被存储在由地址 05H 指示的线锁寄存器 122 的位置上。在图像数据被同时写入线锁寄存器 122 之后，如果 Y-地址(03H)被指定为写命令 XRAMW="L"，那么，1 个像素的颜色数据被写入存储器的(05H, 03H)的地址位置上。

以下利用图 13，说明实现上述为每个像素将数据写入显示存储器 124 的操作的技术。

在图 13 中，131 指示显示存储器部分，且 132 是线锁寄存器。

在线锁寄存器 132 中，133 是由一个像素占有的存储区域，而 134 是为每一个像素提供的写标志。

如图 13 中所示，在线锁寄存器 132 中，为每个像素地址提供了将从线锁寄存器 132 来的数据写到显示存储器 31 的写标志。只有对于将 CPU 侧的数据写到线锁寄存器的像素，才将设置写标志(也就是 WRITE FLAG=1)。当将数据写到显示存储器 131 中时，只对写标志是“1”的像素才被写数据，因此，就可能只为希望的像素写数据，而不影响周围的像素数据。

更进一步，利用这些写标志，还可能改写同一线上任意多个像素的数据。

在将从线锁寄存器 132 来的数据写入显示存储器 131 中之后，写标志将全部复位为“0”。

图 14A 到 14F 是上述操作的时序图。

图 14A 表示锁存写信号 LCWRQ；图 14B 表示线写信号 LNWRQ；以及图 14C 表示写地址信号 WADR、时钟信号 CK、写标志信号 WF 和字线信号 WL。

如图 14A 到 14F 中所示，当为由写地址信号 WADR 指示的线锁寄存器 132 的像素写数据时，该像素的锁存写信号 LCWRQ 变成高电平。也就是 LCWRQ 变为等于“1”。

然后，设置该像素的写标志信号 WF，也就是，变为高电平(WF="1")。

对于存储器 131 的像素，对应于写标志 WF="1"的像素，线写信号 LNWRQ 被设置并变成高电平，也就是 LNWRQ 变为等于“1”。

将电压提供给由显示存储器 131 的写地址信号 WADR 指定的字线 WL，使能与该字线 WL 相关的存储器像素的写操作，然后开始写操作。

也就是，当将数据写到显示存储器 131 中时，数据仅仅写到这样的像素，即该像素相应于显示存储器 131(LNWRQ="1")的线锁存器 132 的写标志

5 WF="1"的像素。

利用写标志，还可能改写同一线上的任意多个像素。

在将从线锁存器 132 来的数据写到显示存储器 131 之后(写结束)，写标志 WF 复位为"0"。

传统上地，为每组像素实现与显示存储器相关的读/写操作，因此，当
10 希望从 CPU 2 向显示存储器中特定的单个像素写数据时，如果是试着写一个像素值的数据，那么围绕该像素的多个像素将会被改写。因此，执行的是读-修改-写这样的顺序操作，即执行一次读一组像素的操作，然后在存储器外只改写希望被改写的像素，然后再将该组被改写的像素存储在存储器中。

象第六个实施例中那样，通过将写标志 WF 给予线锁存器，就可能只对
15 希望被改写的像素改写数据。

通过将写标志 WF 给予每个像素的线锁存器，就可能改写希望的像素数据，而不影响将被写的像素周围的像素数据。因此，依据第六个实施例，优点是无需常规要求的读-修改-写顺序操作。

更进一步，不需要在显示存储器外，产生与屏幕上的 X-、Y-坐标一致的
20 的存储器地址。通过将屏幕上的 X-、Y-坐标指定为 CPU 侧的 X-、Y-地址，可以以像素为单位，在对应于屏幕的存储器位置上写图像数据。更进一步，当给同一线上存在的多个像素写入数据时，线锁存器和显示存储器只需访问一次。

25 第七个实施例

如已经说明的那样，在本发明的显示存储器中，接线端安排在存储器的正面，而存储器夹在其中，因此，可以为 CPU 安排一接线端，可以为液晶板安排另一个接线端。

本发明的液晶显示器由 CPU 用接口和液晶板用接口以及夹在其中的存
30 储器构成，并安排在显示存储器的两端。它在显示存储器与 CPU 2 之间有 CPU 用接口，并在显示存储器与液晶板之间有液晶板用接口。

第七个实施例涉及从显示存储器到液晶板用接口的数据传递。

图 15 是依据第七个实施例,液晶显示器显示板侧部分的电路结构视图。

在图 15 中,141 指示显示存储器,142 指示数据锁存器电路,143 指示选择器电路,144 指示数字/模拟转换器(DAC)。

5 参考数字 145 指示液晶板的数据总线。从显示存储器 141,通过液晶板的数据总线 145,像素数据被读出到未所示的液晶板。

线锁存器 142 可以在屏幕水平方向上存储一条线的的数据。该位宽度与一条线的位宽度相同。

10 例如,当液晶板的尺寸是 176 像素×240 行时,R、G、B 三种颜色的每一种的数据由 6 位表示,可能显示 260,000 种颜色,要求的存储器容量变成 $176 \times 3 \times 6 \times 240 = 760,320$ 位,并且线锁存器 142 的数据容量和位宽度变成 $176 \times 3 \times 6 \times 1 = 3168$ 位。

15 当读出存储在显示存储器 141 中的像素数据,并将其显示在液晶板上时,以未所示液晶板水平方向上一条线的像素数据为单位,通过数据总线 145 数据保持在数据锁存器 142 中。然后,保持在数据锁存器 142 中数据输出给选择器 143。选择器 143 利用预先确定的系统,顺序地选择每个像素数据的 R、G、B 部分,将其输出给 DAC 144,并再将其输出到液晶板的像素上。由此,像素数据就被显示在了屏幕上。

20 按照这种方式,当线锁存器 142 执行一系列的操作,以固定的周期,从显示存储器 145 取得液晶屏水平方向上一条线的的数据,并将它们输出到 DAC 144。

更进一步,与显示存储器的时钟同步,完成保持在显示存储器 145 中的一条线的的数据写到线锁存器 142 的操作。

25 在将一条线的的数据保持在线锁存器 142 中之后,就可以释放存储器 145,所以,之后的时间可以被用作 CPU 2 的访问时间。结果,也可以处理动画显示等要求屏幕快速切换的情况。

如上所述,在具有内置显示存储器的液晶驱动器中,为了同时驱动液晶板屏幕水平方向的一条线,需要一个用于保持同时操作的 DAC 数据的锁存器。

30 通过在显示存储器和 DAC 之间提供锁存器电路,它的容量是保持液晶板屏幕水平方向上一条线的的数据所要求的容量,就可能同时在液晶板屏幕水

平方向上读和写一条线的的数据，减少了访问存储器的次数，从而可以实现低功耗。

第八个实施例

5 依据第八个实施例的液晶显示器的结构实质与第七个实施例的液晶显示器的结构相同。其差别在于包含这样的选择器电路，当将保持在数据锁存器中的数据输出到数字/模拟转换器(DAC)时，该选择器电路(之后称为 RGB 选择器)能够以时分的方式输出红、绿和蓝三种颜色(RGB 时分)的数据。

图 16 是依据第八个实施例的液晶显示器主要部分结构的电路图。

10 在图 16 中，150 指示液晶板，151 指示 RGB 选择器电路，152 指示线锁存器，153 指示从显示存储器发送图像数据的数据总线，154 指示从线锁存器 152 输出图像数据的数据总线，155 指示显示存储器，156 指示从选择器电路 151 输出图像数据的数据总线，157 指示数字/模拟转换器(DAC)，158 指示选择器电路，用于将具有红、绿和蓝颜色的图像数据，这些颜色由 RGB
15 选择器 151 划分，转换成 R、G、B 平行数据，159 指示由红、绿和蓝颜色表示的像素单元。

具有上述结构的液晶显示器按如下操作。

从显示存储器 155 发送的图像数据输出到线锁存器 152 中，并以线为单位保持在线锁存器 152 中。与水平同步信号(Hsync)同步，保持在线锁存器
20 152 中的数据输出到 DAC 157 中。此时，与存储器的时钟异步，图像数据的 R、G、B 分量由 RGB 选择器 151 来切换，然后输出到 DAC 157。这样，选择器 151 和 DAC 157 输出接线端的数量变成了线锁存器 152 的位宽度的三分之一。从 DAC 157 输出的时分图像数据中，R、G、B 数据被选择器电路
25 158 分离，变成了 R、G 和 B 平行数据，它们被依次输出到像素单元 159 中进行显示。

例如，如上所说明的那样，当液晶板 150 的尺寸是 176 像素×240 行时，三种颜色 R、G、B 每种的数据由 6 位来表示，并且可能显示 260,000 种颜色，RGB 选择器 151 有 3168 位或者与线锁存器 152 的相同位宽度的输入接线端，并且为一个 DAC 157 切换 R、G、B 数据并输出相同的 R、G、B 数
30 据，其中每种数据由时分的 6 位组成。因此，选择器 151 具有 1056 位的输出接线端。

与水平同步信号(Hsync)同步,保持在线锁存器 152 中的数据输出到 DAC 157 中。此时,在颜色图像数据的 R、G、B 分量 RGB 选择器 151 中被切换,并且时分和输出。

常规地,当将存储器的数据输出到 DAC 时,这些数据不由 RGB 数据时分而输出,而是存储器输出——对应地直接连接到 DAC 上。

依据第八个实施例,同线锁存器 152 ——对应地直接连接到 DAC 157 的情况相比,通过输出 RGB 时分的图像数据,DAC 157 的数量可以减少到三分之一。

进一步,当将保持在线锁存器 152 中的数据输出到数字/模拟转换器 (DAC) 157 中时,与存储器时钟异步,控制图像数据 RGB 颜色的切换。

图 17A 到 17F 表示线锁存器 152 输出数据的 RGB 时分时序图。

图 17A 表示存储器的时钟信号 CLK;图 17B 表示线锁存器 152 的输出数据 D152(3168 位);图 17C 表示红色(R)数据;图 17D 表示绿色(G)数据;图 17E 表示蓝色(B)数据;以及图 17F 表示由 RGB 选择器电路 151 输出的 RGB 数据 D151(1056 位)。

从线锁存器 152 输出的 R、G、B 数据被 RGB 选择器电路 151 转换成与时钟异步的时分信号,并从 RGB 选择器电路 151 的相同接线端输出。从线锁存器 152 输出的 3168 位数据在 RGB 选择器电路 151 的输出接线端上变成 1056 位。

常规地,为了减少 DAC 的功耗,需要调整建立时间。由于 DAC 和存储器之间的运行速度不同,它们必须单独控制。但是,当将显示存储器的数据输出到 DAC 中时,输出 RGB 数据的时序是固定的,所以,数据的相位不能自由改变来匹配 DAC 的特性。

依据第八个实施例,相对于存储器的时钟,通过能够异步控制输出到 DAC 的 RGB 数据的切换,就可以完成匹配 DAC 建立时间的调整,这样,即使出现干扰,也不能干扰读系统。

进一步,可以调整时序来匹配 DAC 的建立时间,这样可以减少功耗。DAC 和存储器可以单独控制,并且可以处理不同的运行速度。更进一步,可以容易地调整输入信号的相位。

同线锁存器——对应地直接连接到 DAC 的情况相比,通过提供 RGB 选择器,能将要输出到 DAC 的数据进行 RGB 时分,大大地减少了 DAC 的

数量(三分之二),从而可以大大地减少功耗。

以下将依据上述说明,说明液晶驱动器最好结构的实例。

例如,本液晶驱动器是单芯片驱动器 IC,具有内置的单端口或双端口显示存储器(帧存储器)、振荡器、时序发生器、液晶色调显示参考电压源和与 CPU 的接口电路。

具体地说,设计使得具有内置的 $176(H) \times 3 \times 6(RGB) \times 240(V) = 760,320$ 位的双端口存储器,并且可兼容具有不同数量像素的液晶板,如 120×160 点、 132×176 点、 144×176 点以及 176×240 点设置的液晶板。例如在应用的液晶板中,对角线长度大约是 2.2 英寸,水平方向上的驱动器包括 TFT 选择器和本发明的具有内置的存储器的驱动器 IC,而在垂直方向上的驱动器变成 TFT 驱动器,并且通过 COF 方法或者 COG 方法安装该芯片。象反相系统那样,使用了 IH/IV(VCOM 反相)系统。

本液晶驱动器 IC 的逻辑系统接线端包括 CPU 接口片选、读、写、数据总线、地址总线、复位、主时钟、水平同步、垂直同步、系列数据和其它接线端,并且还包括用于液晶板控制的接线端。

假设通过设置本液晶驱动器的模式寄存器,就可以在异步模式、同步模式、彩色模式、屏幕模式、交替模式、刷新速率、待机模式等之间改变。

为详细地说明这些,在异步模式中,TFT 板扫描的时序与 CPU 改写显示存储器的时序可以是异步的。显示存储器是双端口存储器,并且不会使 CPU 等待。

当同步扫描显示存储器和 TFT 板,并且对于每行的每种 R、G、B 颜色,通过内部/外部振荡器(自刷新)时钟,内置的显示存储器中的内容并行地输出到 DAC 中,在垂直驱动器移位寄存器的时钟信号一个周期的前 1/3 周期中输出蓝颜色数据,在中间 1/3 周期中输出绿颜色数据,在最后 1/3 周期中输出红颜色数据。

异步模式的 CPU 接口变成并行接口。当不使用并行接口时,通过使用串行接口可以实现与 8-位并行接口相同的功能。注意串行接口只用于写操作,而它不能执行读操作。

在同步模式中,按照与图像使用时钟、水平同步信号和垂直同步信号相同步,连续地发送图像数据。

通过使用水平的和/或垂直同步信号来扫描 TFT 板,这样,所有时序也

与 TFT 板的扫描时序同步。

在同步模式中，正常情况下，图像数据在写到 DAC 之前立即直接写到线缓冲器中。在切换到同步模式之前，显示存储器保持这些信息。

在同步模式中，图像是不间断地传递的，因此，存在向 DAC 传递数据的缓冲器和顺序地接收数据的缓冲器。通过水平同步信号(Hsync)循环，RGB 数据以 18 位的宽度输入到线缓冲器中。当输出时，首先，在水平同步信号 Hsync 的前 1/3 周期中，R 数据以 6 位宽度发送到 DAC 中，接着，在水平同步信号 Hsync 的中间 1/3 周期中，G 数据以 6 位宽度发送到 DAC 中，然后，在水平同步信号 Hsync 的最后 1/3 周期中，B 数据以 6 位宽度发送到 DAC 中。

在同步模式中，还存在处理图像数据的所谓“捕获”系统，其中图像数据一次取到显示存储器中。

以下将说明同步模式的 RGFB 并行总线接口。默认地，在与图像信号同步的图像信号时钟的上升沿锁存图像数据，但这可由 CPU 改变。

默认地，水平同步信号的极性是负的(可由 CPU 改变)。一个循环由垂直空白周期+视频信号周期形成。

图像信号由图像时钟锁存。

对于同步模式的 CPU 接口，在同步模式中只能使用串行接口。串行接口只用于写操作，而不能执行读操作。在串行接口中，其操作与并行 8 位总线模式的操作相似。

通过设置液晶驱动器的模式寄存器，可以设置各种颜色模式。

在全颜色模式中，内置的 6 位 DAC 用于将 6 位 RGB 转换成 64 级电压输出。

在简化颜色模式(8 颜色模式)中，依据特殊效果寄存器指示的页，地或输出放大器使用高电压电源电平值 VCC 被输出，也就是，当页是 1 时，是 6 位 RGB 中的最高有效位(MSB)，当页是 2 时，是第二个最高有效位，或者，当页是 6 时，是最低有效位(LSB)。此时，给内置的 6 位 DAC 的电源就停止了。

以下将说明屏幕模式。

在全屏幕模式中，整个屏幕由状态寄存器所指定的颜色模式来显示。

在部分屏幕模式中，只有由状态寄存器指定的那部分是由状态寄存器指

定的颜色模式显示的。当扫描其它部分时，由指定颜色模式来显示白色。

以下将说明待机模式。

在待机模式转换周期中，模式寄存器的待机模式的值是指每一个域循环的每个相位。在依据该值从唤醒模式转换到休眠模式的过程中，当再次进入
5 唤醒模式时，将给定反馈，而维持这个顺序。

在接通电源或硬件复位之后，液晶驱动器 IC 进入休眠模式。

在唤醒模式中，从休眠状态开始，顺序为：

内置振荡器开始振荡

→ 激活 DC/DC 转换器

10 → 复位液晶板

→ 向公共电压的耦合电容器快速充电

→ 执行在整个屏幕上显示白色，然后进入唤醒(正常)模式。

在休眠模式中，从唤醒状态开始，顺序为：

在整个屏幕上显示白色

15 → 向公共电压的耦合电容器快速充电

→ 复位液晶板

→ 停止 DC/DC 转换器

→ 内置振荡器开始振荡，然后进入休眠模式。

以下将说明显示存储器访问模式。

20 依据显示存储器访问模式寄存器的内容，可能有八种类型的顺序存储器访问，如肖像、风景、正常、镜像、正常和颠倒。

以下将说明液晶驱动器的特殊功能。

在图像获取功能中，在帧存储器访问寄存器的捕获标志是“0”的位置上，动画信号的帧存储器内容被保持该周期的时间。

25 当捕获标志变成“1”时，下一个垂直同步信号之后的一个帧被获取入帧存储器中。

当捕获标志从“1”变到“0”时，在下一个垂直同步信号之后，该帧存储器内容还保持。

30 在公共电压初始充电功能中，公共电压输出接线端的 DC 切断(cut)电容器可以被快速地充电和放电。

面对公共电压输出接线端的 DC 切断电容器，连接 DC 偏置接线端，并

发生漂移。

为了在显示模式也保持较小的漂移，DC 偏置接线端做成高电阻，对和从电容器的 DC 偏置充电和放电需要较长时间。

但是，在接通/关断电源时，如果 DC 偏置没有被快速充电或放电，那么从初始状态到正常状态的转换周期中显示质量就较低的。

特别地，在放电时，如果甚至在切断电源之后 DC 偏置仍然保留着，那么，以后还显示图像。由于这个原因，快速充电和放电变得是必需的。

在复位功能中，由连接到 CPU 复位引脚来的复位信号使硬件复位。寄存器/帧存储器复位。

10 由来自 CPU 的命令来复位软件。保持显示存储器/一些寄存器中的内容。

在对比度控制功能中，由于使用很黑的显示器消耗更大的功率，所以，降低对比度，就避免了黑色显示(对比度的定义是白的亮度/黑的亮度，所以，在这种情况下降低对比度就意味着增大黑色亮度，而保持白色亮度不变)。

15 在 6 位 RGB 数据的情况下，00H→由 6V 的幅值对液晶板充电和放电→显示黑色→较大的功耗。20H→由 3V 的幅值对液晶板充电和放电→显示灰色。3FH→由 0.4V 幅值对液晶板充电→显示白色。

20 因此，将 6 位除以 2(丢弃最小有效的 1 位)，并加上 20H，00H→20H→由 3V 幅值对液晶板充电和放电→显示黑色，20H→30H→由 1.5V 幅值对液晶板充电和放电→显示灰色，3FH→3FH→由 0.4V 幅值对液晶板充电和放电→显示白色。通过产生 320,00 种颜色来实现对比度的降低。

在翻滚(scroll)功能中，控制液晶板端存储器指针，以改变要从帧存储器传递到液晶板的数据，以致数据看上去是在显示器上翻滚。通过专用寄存器就可能控制滚动开始行、滚动行宽度和滚动速度/方向。

25 在负-正反相功能中，当专用寄存器指定了屏幕上的两个点时，以这两个点为对角线的矩形内部在负和正之间反相。

监视液晶板端存储器指针，并使显示存储器的输出反相，然后在这个周期中，在指针所位于的指定范围中，将输出的反相发送给 DAC。

在闪烁功能中，当专用寄存器指定了屏幕上的两个点时，以这两个点为对角线的矩形内部产生闪烁。

30 监视液晶板端存储器指针，并且，在指针位于所指定范围的周期中，将显示存储器输出和闪烁循环计数器输出的逻辑与(AND)发送给 DAC。

在内置的 DC/DC 转换器控制功能中, CPU 能够控制内置 DC/DC 转换器的设置使用/封闭的切换, 以及 DC/DC 转换器通道的接通/关断切换。

在内置的 LED 驱动器控制功能中, CPU 能够对内置 LED 驱动器的设置, 使用/封闭的切换加以设置, 以及对 LED 驱动器的电流吸收能力调节(8 级)加以设置。

液晶驱动器被提供有大量的寄存器和指针来实现上述具体说明。

本发明并不局限于以上所说明的实施例。在不超出本发明要点的范围内可以作各种修改。

在第一个实施例中, 在显示存储器时钟信号低电平周期中完成从显示存储器向像素输出数据的第一次访问, 而在显示存储器时钟信号的高电平周期完成外部从显示存储器读数据和向显示存储器写数据的对外部控制装置的第二次访问, 但是, 也可能在时钟信号高电平周期完成第一次访问, 而在时钟信号低电平周期完成第二次访问。

更进一步, 在第二个实施例中, 为每个存储器单元提供了一个电源切换晶体管, 但是, 还可能根据实际条件, 一起控制所有存储器预先确定区域的存储器单元的电源。

如上所说明的, 依据本发明, 通过给显示存储器的两侧提供两个读端口系统和一个写端口系统, 与使用通常的双端口存储器的情况相比, 可以大大地减小单元尺寸, 可以减少相互连接线资源, 并且可以减少由于相互连接线总量的功耗。

更进一步, 通过对存储器的显示器用访问和 CPU 用访问, 分配到存储器时钟信号的高电平周期和低电平周期, 就可以减少 CPU 用于显示的等待时间。

通过对电源分压以向存储器提供驱动电源电压, 以及通过切断提供给未使用存储器单元的区域电源, 就可以减少功耗。

更进一步, 通过为每位或每个像素写数据而不要求读-修改-写顺序的系统, 就可以减少存储器操作的次数。由于通过单次访问就能为任何单个像素将数据写入存储器中, 所以, 不需要读-修改-写顺序了。与传统的情况相比, 以像素为单位改写也消耗更少的功率。

利用能够简单映射驱动器电路和存储器阵列, 就不需要链接地址和显示屏的像素的计算了。更进一步, 为大量像素而处理驱动器电路就变得容易了。

就可能链接屏幕、存储器映射和线锁寄存器，并为任何单个像素将数据写入存储器中，通过对存储器的一次访问，就可能为在相同线上的任意多个像素写入数据，并且，可能将显示屏上 X、Y 坐标指定为 CPU 侧的地址。

通过在处理器和显示存储器之间提供线锁寄存器，并且通过每行显示一次读操作而操作该线锁寄存器，就减少了存储器操作的次数。这样，可以减少存储器的功耗。

在内置于驱动器电路中的显示存储器中，通过在显示存储器和 DAC 之间提供一个线锁寄存器，它具有保持 LCD 板屏幕水平方向上一条线的数据所需要的容量，并且通过在线锁寄存器中提供与一条线的位宽度相同的位宽度，就可能在屏幕任意水平方向上同时读和写一条线的的数据。通过减少访问存储器访问的次数，就可以减少功耗。

通过与存储器的时钟信号同步的方式，同时读和写保持在存储器中一条线的的数据，在保持一条线的的数据之后的时间段可用来访问 CPU 的时间，因此，可以处理要求屏幕快速切换的动画显示。

与线锁寄存器的输出直接一一对应地连接到 DAC 的情况相比，通过 RGB 选择器选择电路，该电路能够利用 RGB 时分，输出要输出到 DAC 中的数据，DAC 的数量可以减少为三分之一，并且可以减少功耗。

与存储器时钟相异步，通过能够控制要输出到 DAC 的数据 RGB 的切换，就可以单独控制 DAC 和存储器，并且能处理不同的运行速度。更进一步，即使出现干扰，也不能干扰读系统，并且可以容易地调节输入信号的相位。通过调节时序与 DAC 的建立时间相匹配，就可以减少功耗。

工业应用性

依据本发明的显示存储器、驱动器电路和显示器，可以减少功耗，可以高速地产生图形，并且不需要存储器映射，因此，它们可以应用于移动电话、PDA、或其它便携式信息设备（便携式信息装置）的显示系统。

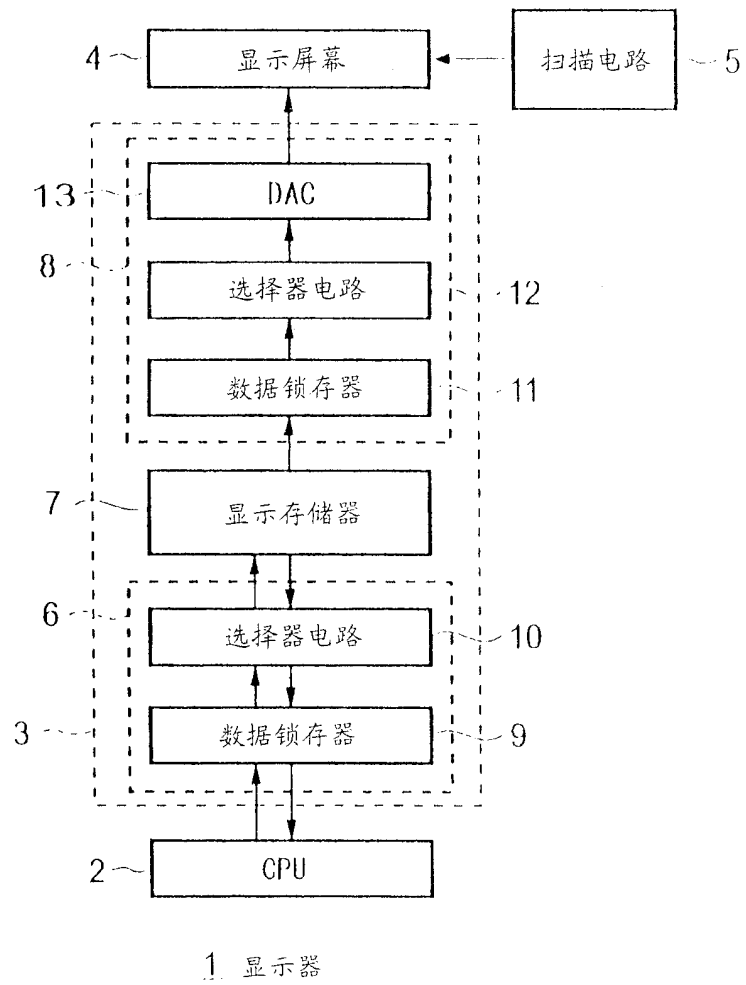
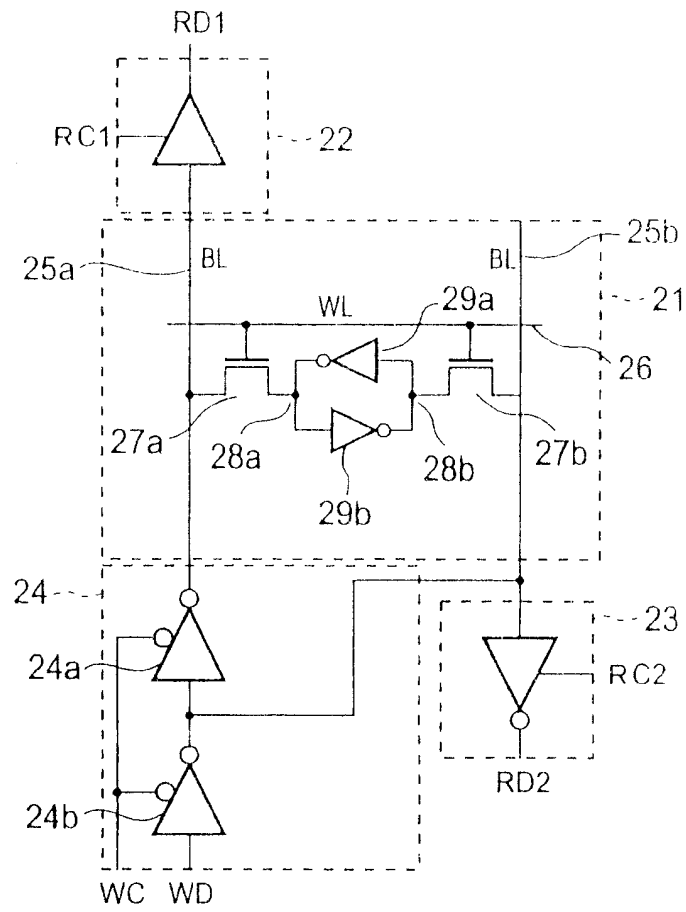


图 1



存储器

图 2

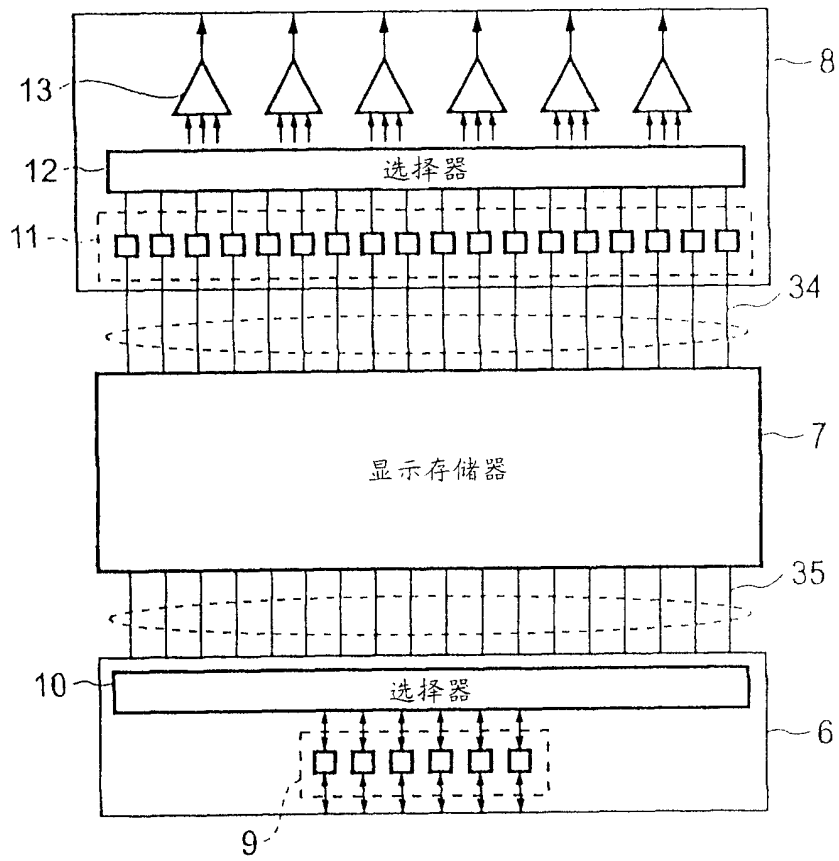
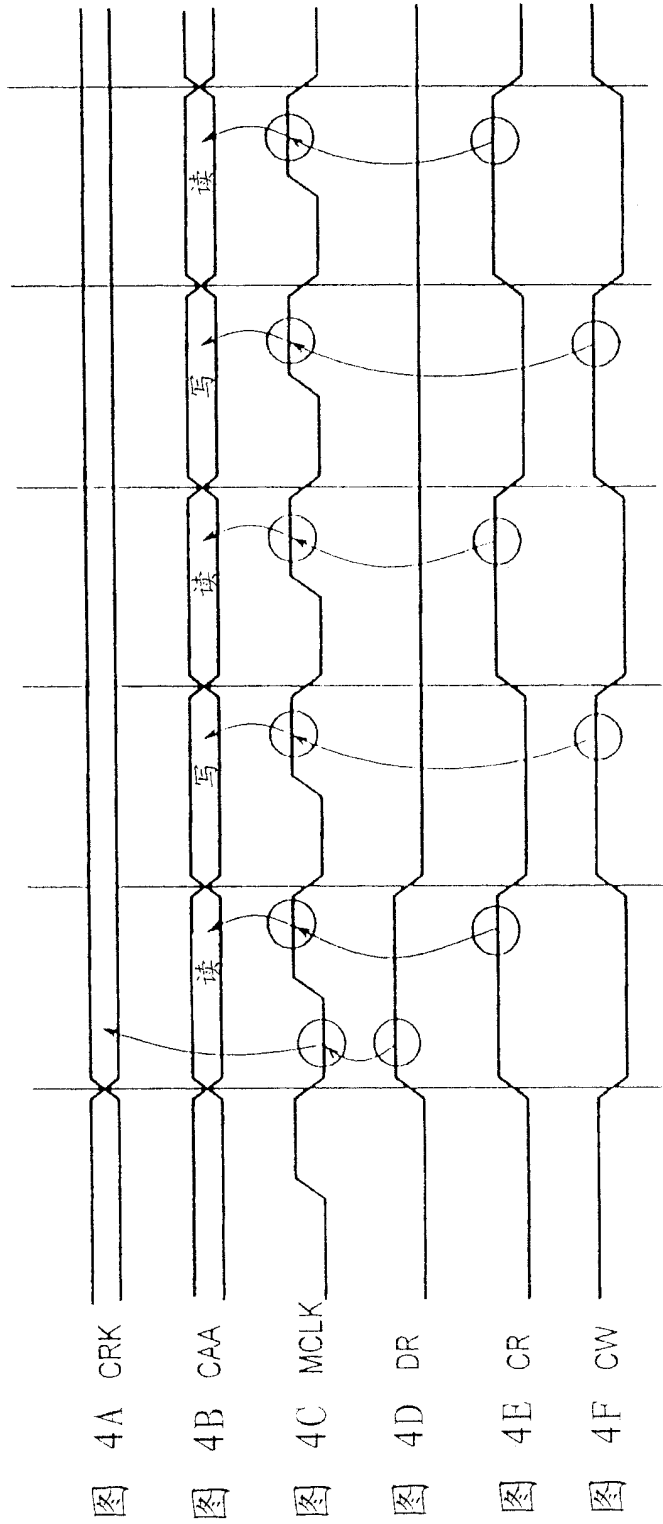


图 3



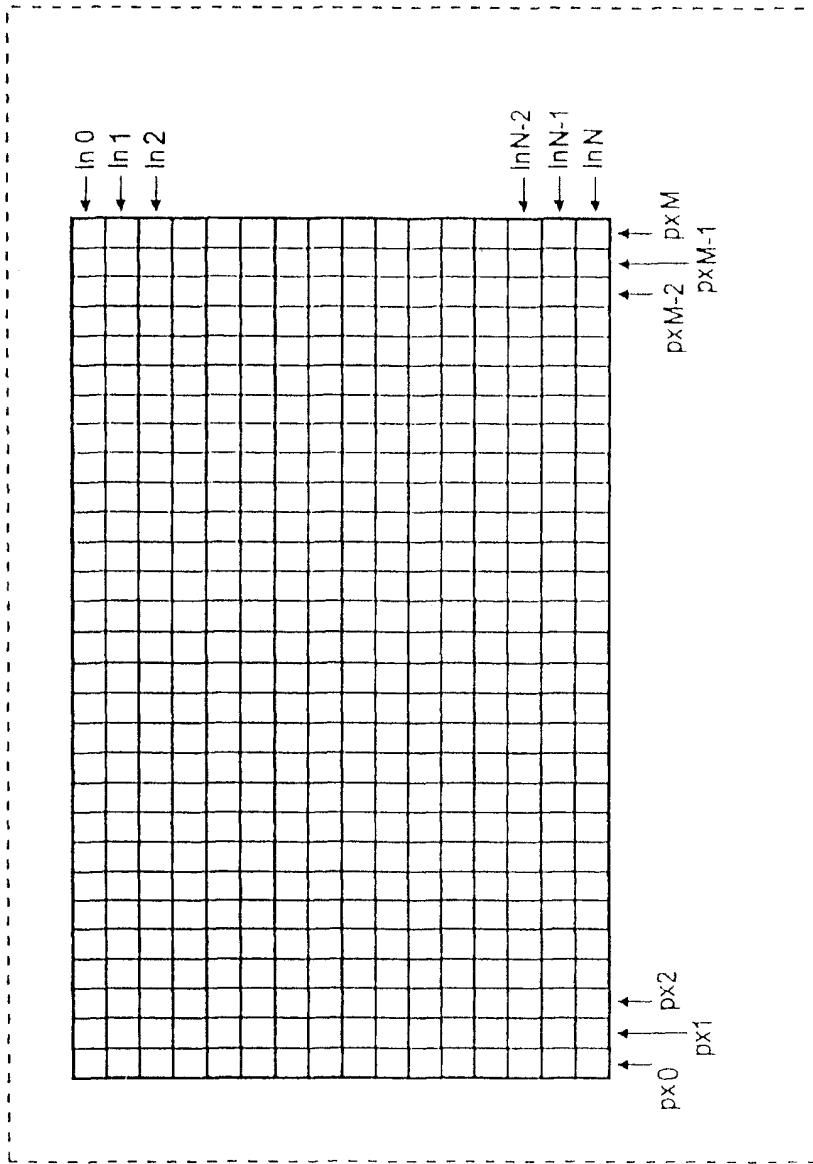


图 6

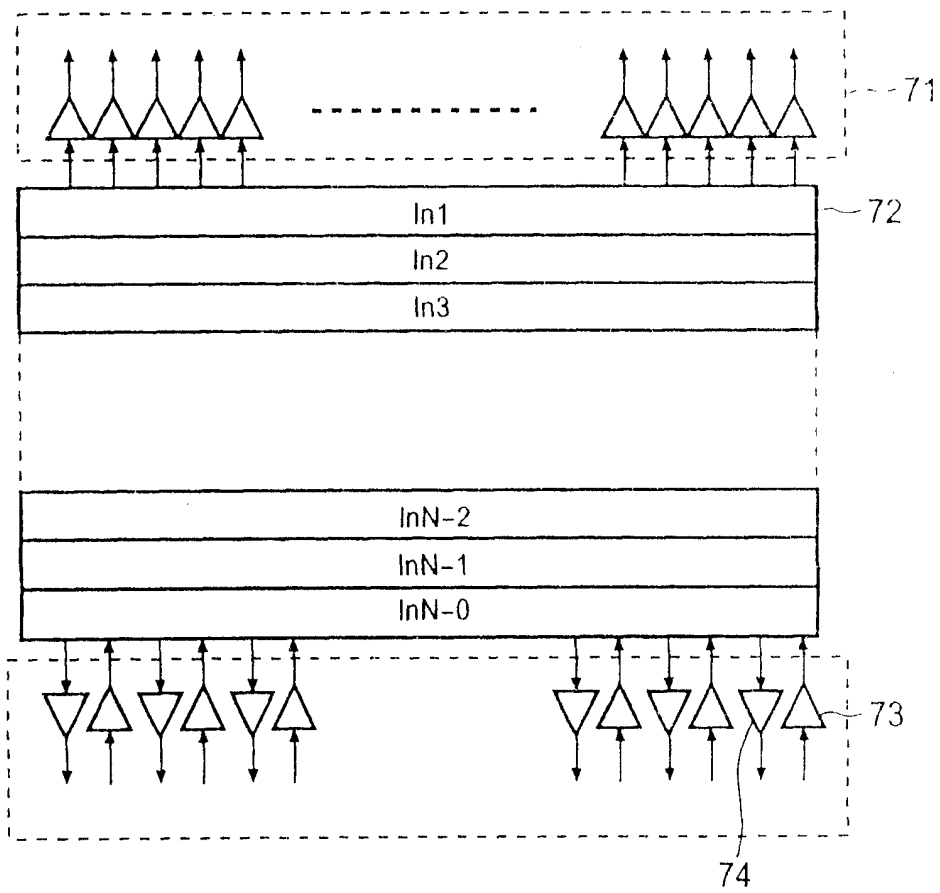


图 7

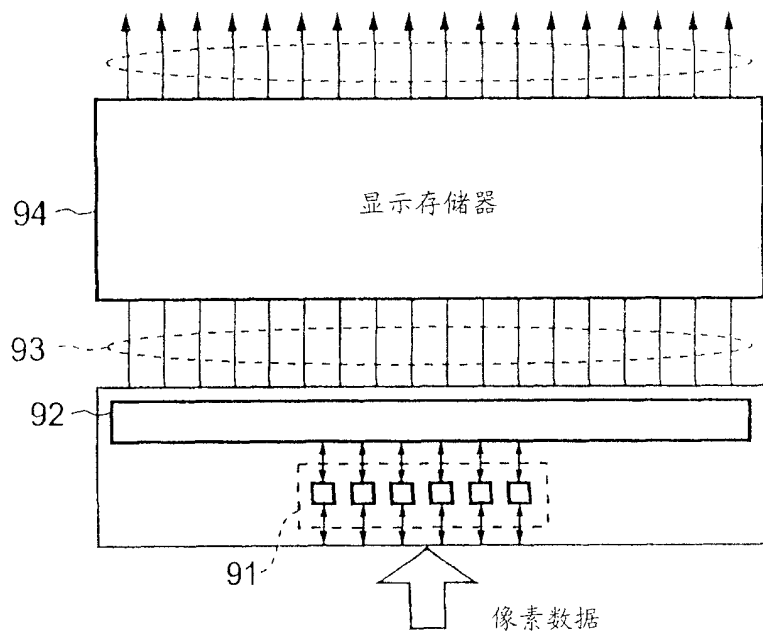
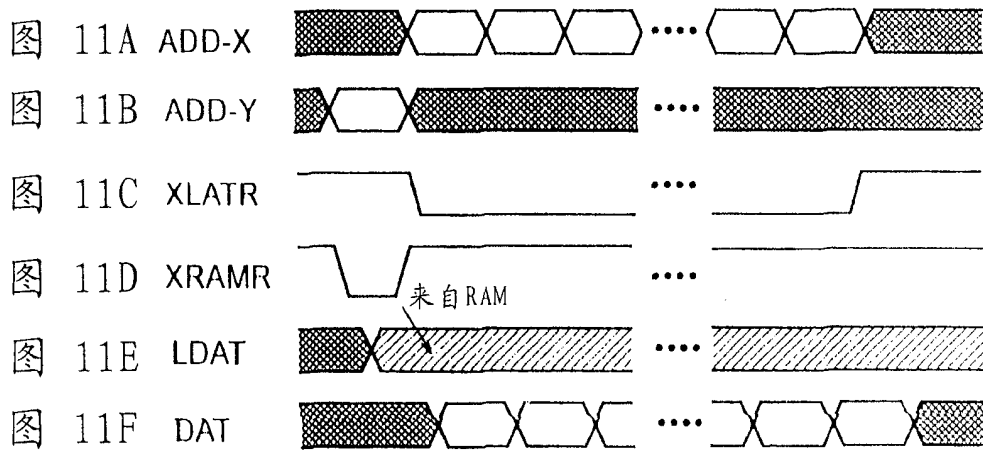
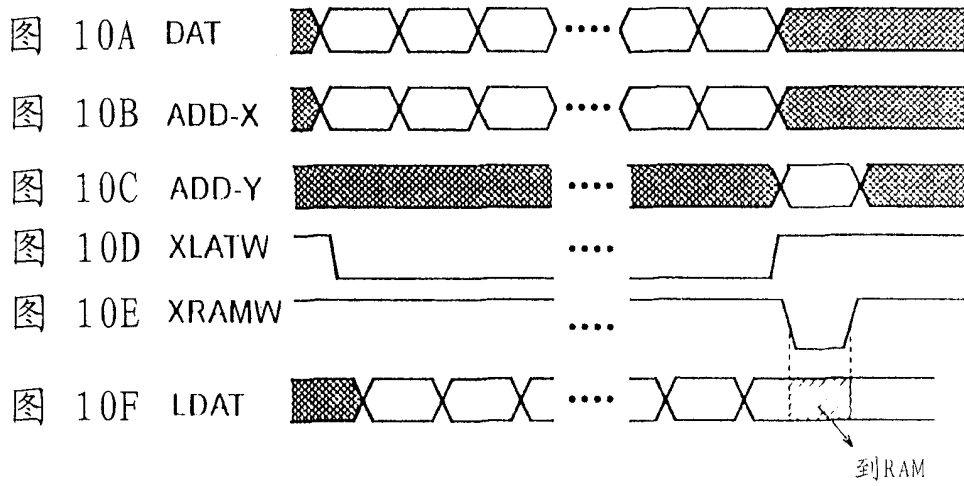


图 9



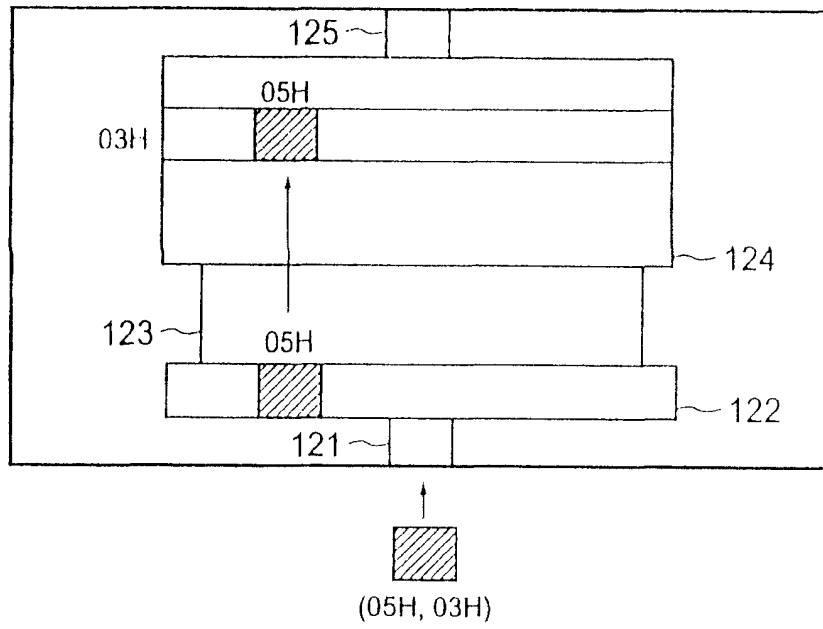


图 12

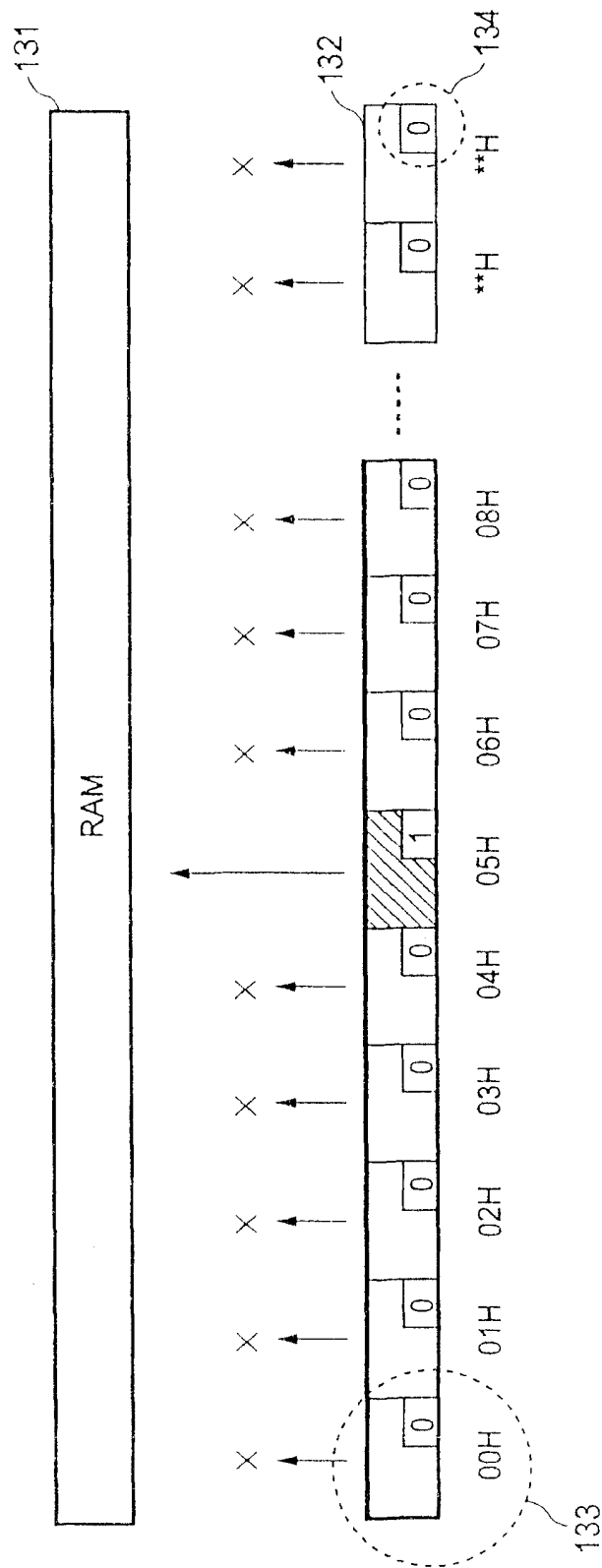
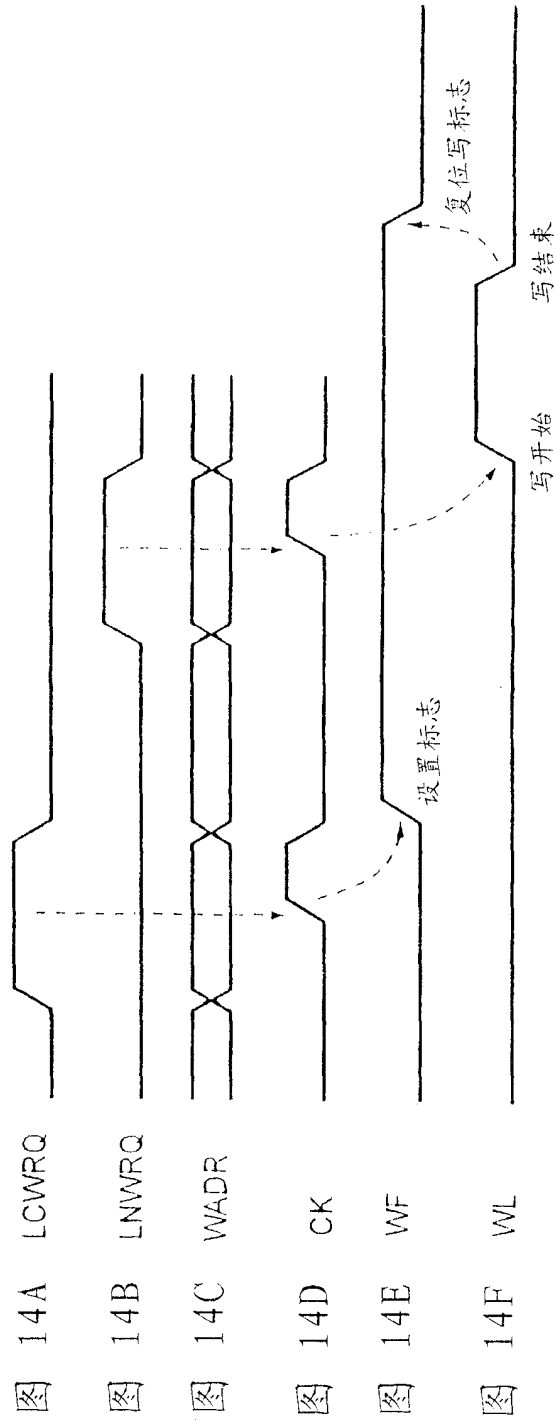


图 13



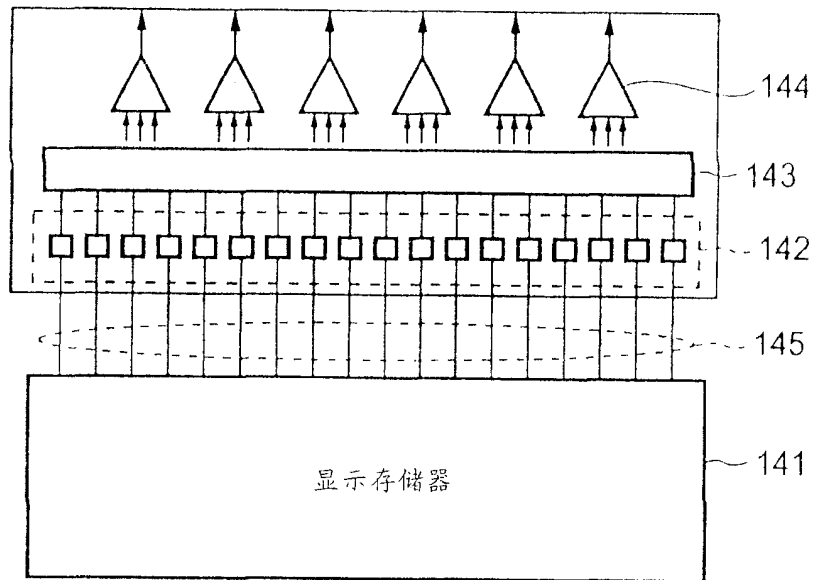


图 15

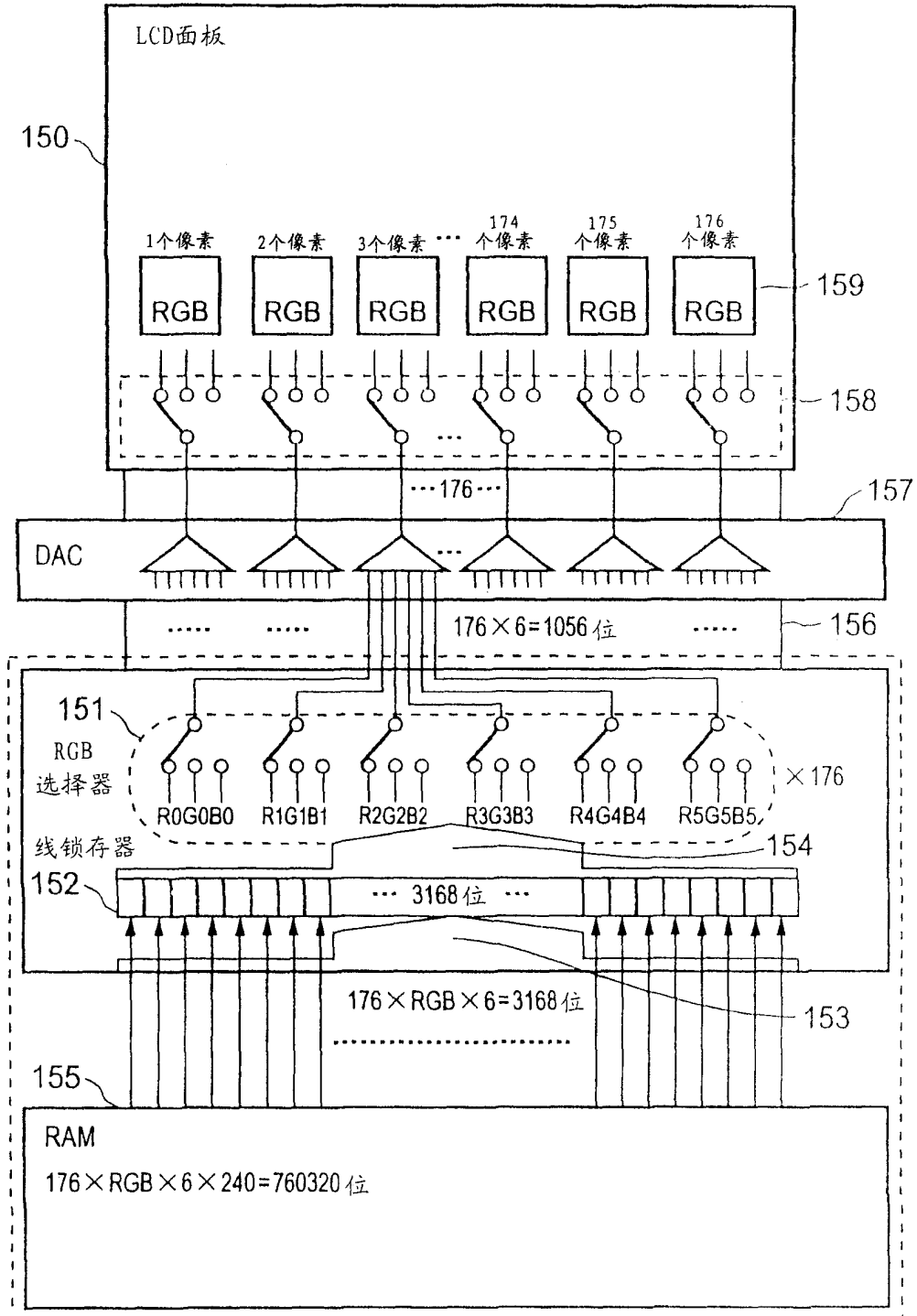


图 16

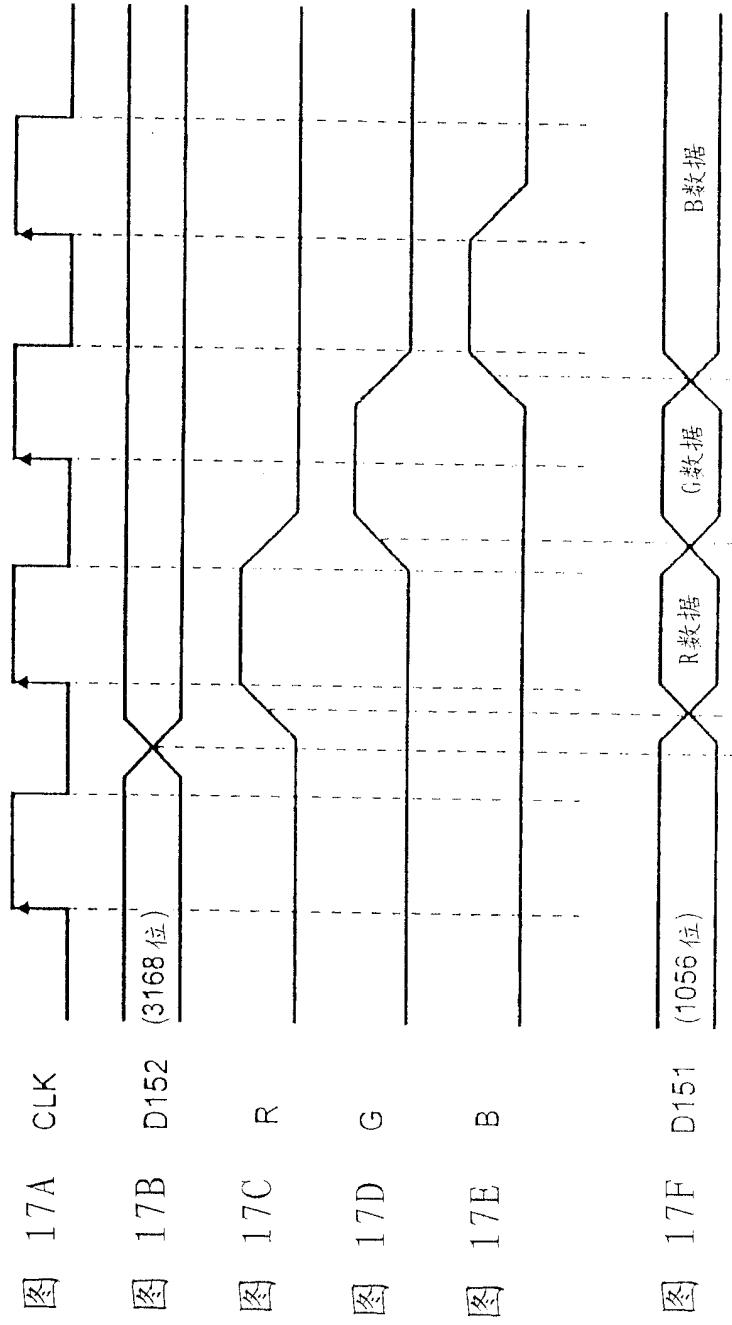


图 17A CLK

图 17B D152 (3168位)

图 17C R

图 17D G

图 17E B

图 17F D151 (1056位)

参考数字列表

- 1... 显示器
- 2... CPU
- 3... 驱动电路
- 4... 显示屏幕
- 5... 扫描电路
- 6... CPU I/F
- 7... 显示存储器
- 8... LCD I/F
- 9... 数据锁存器
- 10... 选择器电路
- 11... 数据锁存器
- 12... 选择器电路
- 13... DAC(数字/模拟转换器)
- 21... 存储器单元
- 22... 显示器读出放大器
- 23... CPU读出放大器
- 24, 24a, 24b... 写驱动器
- 25a, 25b... 位线
- 26... 字线
- 27a, 27b... NMOS晶体管
- 28a, 28b... 存储节点
- 29a, 29b... CMOS反相器
- 34... 显示器数据总线
- 35... CPU数据总线

51a, 51b, 51c... 存储器单元
52a, 52b... 位线
53a, 53b, 53c... 字线
54a, 54b, 54c... N 井
55a, 55b, 55c... P 井
56a, 56b, 56c... 电源线
71... 显示器读出放大器
72... 一条线的存储器单元
73... CPU读出放大器
74... CPU写驱动器
81a, 81b... 存储器单元
82... 字驱动器
83a, 83b... 写驱动器
84a, 84b... 列解码器
85... 读数据锁存器
86... 像素地址锁存器
87... 写数据锁存器
88a, 88b, 88c, 88d... 位线
89... 字线
91... 线锁存器
92... 选择器电路
93... 数据总线
94... 显示存储器
121... 数据总线
122... 线锁存器

123... 数据总线
124... 显示存储器
125... 数据总线
131... 显示存储器
132... 线锁存器
133... 像素
134... 写标志
141... 显示存储器
142... 数据锁存器电路
143... 选择器电路
144... DAC(数字/模拟转换器)
145... 数据总线
150... 显示屏幕电路
153... 数据总线
154... 数据总线
155... 显示存储器
157... DAC(数字/模拟转换器)
158... 选择器电路
159... 像素单元
RC1, RC2... 读控制信号
RD1, RD2... 读数据
WC... 写控制信号
WD... 写数据
Tr1, Tr2, Tr3... 电源开关晶体管
VCTR1, VCTR2, VCTR3... VCC控制器
WRT... 写信号