

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第6991816号
(P6991816)

(45)発行日 令和4年1月13日(2022.1.13)

(24)登録日 令和3年12月10日(2021.12.10)

(51)国際特許分類		F I		
H 0 4 N	5/374(2011.01)	H 0 4 N	5/374	
H 0 4 N	5/378(2011.01)	H 0 4 N	5/378	
H 0 1 L	27/146(2006.01)	H 0 1 L	27/146	D

請求項の数 25 (全33頁)

(21)出願番号	特願2017-192050(P2017-192050)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成29年9月29日(2017.9.29)	(74)代理人	100126240 弁理士 阿部 琢磨
(65)公開番号	特開2019-68265(P2019-68265A)	(74)代理人	100124442 弁理士 黒岩 創吾
(43)公開日	平成31年4月25日(2019.4.25)	(72)発明者	櫻井 克仁 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
審査請求日	令和2年9月25日(2020.9.25)	(72)発明者	高田 佳明 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
		(72)発明者	白井 誉浩 東京都大田区下丸子3丁目30番2号キ 最終頁に続く

(54)【発明の名称】 半導体装置および機器

(57)【特許請求の範囲】

【請求項1】

複数の画素回路がJ行かつK列の行列状に配された第1チップと、複数の電気回路がT行かつU列の行列状に配された第2チップと、が積層された半導体装置であって、前記複数の電気回路の各々は第1部と第2部とを有し、前記第1部は前記複数の画素回路のうちの少なくとも2つの画素回路および前記第2部に接続され、かつ、前記第1部は前記2つの画素回路のうちで前記第2部に接続する画素回路を順次選択するように構成されており、

前記複数の画素回路のうちの第a1行かつ第e1列の画素回路は、前記複数の電気回路のうちの第p行かつ第v列の電気回路に接続されており、

前記複数の画素回路のうちの第a2行かつ第f1列の画素回路は、前記複数の電気回路のうちの第q行かつ第v列の電気回路に接続されており、

前記複数の画素回路のうちの第a3行かつ第g1列の画素回路は、前記複数の電気回路のうちの第r行かつ第v列の電気回路に接続されており、

前記複数の画素回路のうちの第a4行かつ第h1列の画素回路は、前記複数の電気回路のうちの第s行かつ第v列の電気回路に接続されており、

T < JかつU < Kであり、f1およびg1はe1とh1との間の整数であり、qおよびrはpとsとの間の整数であることを特徴とする半導体装置。

【請求項2】

前記複数の画素回路のうちの第b1行かつ第e1列の画素回路は、第p行かつ第v列の前

記電気回路に接続されており、
 前記複数の画素回路のうちの第 b 2 行かつ第 f 1 列の画素回路は、第 q 行かつ第 v 列の前記電気回路に接続されており、
 前記複数の画素回路のうちの第 b 3 行かつ第 g 1 列の画素回路は、第 r 行かつ第 v 列の前記電気回路に接続されており、
 前記複数の画素回路のうちの第 b 4 行かつ第 h 1 列の画素回路は、第 s 行かつ第 v 列の前記電気回路に接続されている、
 請求項 1 に記載の半導体装置。

【請求項 3】

第 a 1 行かつ第 e 1 列の前記画素回路を第 1 画素回路とし、
 第 b 1 行かつ第 e 1 列の前記画素回路を第 2 画素回路とし、
 第 a 2 行かつ第 e 1 列の前記画素回路を第 3 画素回路とし、
 第 b 2 行かつ第 e 1 列の前記画素回路を第 4 画素回路として、
 前記第 1 画素回路および前記第 2 画素回路は第 1 信号線を介して第 p 行かつ第 v 列の前記電気回路に接続可能になっており、
 前記第 3 画素回路および前記第 4 画素回路は前記第 1 信号線とは別の第 2 信号線を介して第 p 行かつ第 v 列の前記電気回路に接続可能になっている、請求項 2 に記載の半導体装置。

10

【請求項 4】

第 p 行かつ第 v 列の前記電気回路の前記第 1 部は、前記第 1 信号線と第 p 行かつ第 v 列の前記電気回路の前記第 2 部との接続と、前記第 2 信号線と第 p 行かつ第 v 列の前記電気回路の前記第 2 部との接続と、を切り替えるように構成されている、請求項 3 に記載の半導体装置。

20

【請求項 5】

前記複数の電気回路の各々は増幅トランジスタと選択トランジスタとを有しており、
 前記第 1 画素回路の前記増幅トランジスタは前記第 1 画素回路の前記選択トランジスタを介して前記第 1 信号線に接続可能であり、
 前記第 2 画素回路の前記増幅トランジスタは前記第 2 画素回路の前記選択トランジスタを介して前記第 1 信号線に接続可能である、請求項 4 に記載の半導体装置。

【請求項 6】

前記複数の画素回路のうちの第 b 1 行かつ第 e 2 列の画素回路は、前記複数の電気回路のうちの第 p 行かつ第 w 列の電気回路に接続されており、
 前記複数の画素回路のうちの第 b 2 行かつ第 f 2 列の画素回路は、前記複数の電気回路のうちの第 q 行かつ第 w 列の電気回路に接続されており、
 前記複数の画素回路のうちの第 b 3 行かつ第 g 2 列の画素回路は、前記複数の電気回路のうちの第 r 行かつ第 w 列の電気回路に接続されている、
 前記複数の画素回路のうちの第 b 4 行かつ第 h 2 列の画素回路は、前記複数の電気回路のうちの第 s 行かつ第 w 列の電気回路に接続されている、
 請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置。

30

【請求項 7】

前記複数の画素回路のうちの第 a 1 行かつ第 e 2 列の画素回路は、第 p 行かつ第 w 列の前記電気回路に接続されており、
 前記複数の画素回路のうちの第 a 2 行かつ第 f 2 列の画素回路は、第 q 行かつ第 w 列の前記電気回路に接続されており、
 前記複数の画素回路のうちの第 a 3 行かつ第 g 2 列の画素回路は、第 r 行かつ第 w 列の前記電気回路に接続されている、
 前記複数の画素回路のうちの第 a 4 行かつ第 h 2 列の画素回路は、第 s 行かつ第 w 列の前記電気回路に接続されている、
 請求項 6 に記載の半導体装置。

40

【請求項 8】

f 2 および g 2 は e 2 と h 2 の間の整数である、請求項 6 または 7 に記載の半導体装置。

50

【請求項 9】

$e_1 < f_1 < g_1 < h_1$ かつ $p < q < r < s$ である、請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記複数の電気回路の各々の前記第 2 部は、アナログ - デジタル変換器を含む、請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記アナログ - デジタル変換器は、逐次比較型のアナログ - デジタル変換器である、請求項 10 に記載の半導体装置。

【請求項 12】

前記複数の電気回路の各々の前記第 1 部は、マルチプレクサを含む、請求項 1 乃至 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記複数の電気回路の各々は前記第 2 部に接続された第 3 部を有し、前記第 3 部はセンスアンプを含む、請求項 12 に記載の半導体装置。

【請求項 14】

複数の画素回路が J 行かつ K 列の行列状に配された第 1 チップと、複数の電気回路が T 行かつ U 列の行列状に配された第 2 チップと、が積層された半導体装置であって、

前記複数の電気回路の各々は、前記複数の画素回路で生成された信号を処理し、

前記複数の画素回路のうちの第 a 行かつ第 e₁ 列の画素回路は、前記複数の電気回路のうちの第 p 行かつ第 v 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 f₁ 列の画素回路は、前記複数の電気回路のうちの第 q 行かつ第 v 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 g₁ 列の画素回路は、前記複数の電気回路のうちの第 r 行かつ第 v 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 h₁ 列の画素回路は、前記複数の電気回路のうちの第 s 行かつ第 v 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 h₁ 列の画素回路は、前記複数の電気回路のうちの第 s 行かつ第 v 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 e₂ 列の画素回路は、前記複数の電気回路のうちの第 s 行かつ第 w 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 f₂ 列の画素回路は、前記複数の電気回路のうちの第 r 行かつ第 w 列の電気回路に接続されており、

T < J かつ U < K であり、f₁ および g₁ は e₁ と h₁ との間の整数であり、q および r は p と s との間の整数であり、

g₁ < h₁ < e₂ < f₂ であることを特徴とする半導体装置。

【請求項 15】

前記複数の画素回路のうちの第 a 行かつ第 f₂ 列の画素回路は、前記複数の電気回路のうちの第 r 行かつ第 w 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 g₂ 列の画素回路は、前記複数の電気回路のうちの第 q 行かつ第 w 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 h₂ 列の画素回路は、前記複数の電気回路のうちの第 p 行かつ第 w 列の電気回路に接続されており、

$e_1 < f_1 < g_1 < f_2 < g_2 < h_2$ である、請求項 1 または 2 に記載の半導体装置。

【請求項 16】

前記複数の画素回路のうちの第 a 行かつ第 h₂ 列の画素回路は、前記複数の電気回路のうちの第 p 行かつ第 w 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 e₃ 列の画素回路は、前記複数の電気回路のうちの第 p 行かつ第 x 列の電気回路に接続されており、

前記複数の画素回路のうちの第 a 行かつ第 f₃ 列の画素回路は、前記複数の電気回路のう

10

20

30

40

50

ちの第 q 行かつ第 x 列の電気回路に接続されており、
 $f_2 < h_2 < e_3 < f_3$ 、 $v < w < x$ である、請求項 1_4 または 1_5 に記載の半導体装置。

【請求項 17】

前記複数の画素回路のうちの第 c_1 行かつ第 e_1 列の画素回路は、前記複数の電気回路のうちの第 p_2 行かつ第 v 列の電気回路に接続されており、
 前記複数の画素回路のうちの第 c_2 行かつ第 f_1 列の画素回路は、前記複数の電気回路のうちの第 q_2 行かつ第 v 列の電気回路に接続されており、
 前記複数の画素回路のうちの第 c_3 行かつ第 g_1 列の画素回路は、前記複数の電気回路のうちの第 r_2 行かつ第 v 列の電気回路に接続されており、
 前記複数の画素回路のうちの第 c_4 行かつ第 h_1 列の画素回路は、前記複数の電気回路のうちの第 s_2 行かつ第 v 列の電気回路に接続されている、請求項 1 または 2 に記載の半導体装置。

10

【請求項 18】

$e_2 = h_1 + 1$ である、請求項 6 乃至 8 のいずれか 1 項、または、請求項 1_4 に記載の半導体装置。

【請求項 19】

$T = e_2 - e_1$ である、請求項 6 乃至 8 のいずれか 1 項、または、請求項 1_4 に記載の半導体装置。

【請求項 20】

$J \times T \times U < J \times K / 2$ である、請求項 1 乃至 1_9 のいずれか 1 項に記載の半導体装置。

20

【請求項 21】

第 a_1 行かつ第 e_1 列の画素回路で生成された信号に基づく信号を前記複数の電気回路の何れかから出力する第 1 出力と、第 a_1 行かつ第 e_2 列の画素回路で生成された信号に基づく信号を前記複数の電気回路の何れかから出力する第 2 出力と、第 a_2 行かつ第 e_1 列の画素回路で生成された信号に基づく信号を前記複数の電気回路の何れかから出力する第 3 出力と、をこの順で行う、請求項 1 乃至 2_0 のいずれか 1 項に記載の半導体装置。

【請求項 22】

前記第 1 出力に並行して、第 a_1 行かつ第 f_1 列の画素回路で生成された信号に基づく信号を前記複数の電気回路の何れかから出力する、請求項 2_1 に記載の半導体装置。

【請求項 23】

前記複数の電気回路の行が並ぶ方向において、前記複数の電気回路と前記第 2 チップの第 1 辺との間に前記複数の電気回路のうちの 2 つ以上の電気回路から出力された信号が入力される第 1 読み出し回路が配置されており、
 前記複数の電気回路の行が並ぶ方向において、前記複数の電気回路と前記第 2 チップの第 2 辺との間に前記複数の電気回路のうちの 2 つ以上の電気回路から出力された信号が入力される第 2 読み出し回路が配置されている、請求項 1 乃至 2_2 のいずれか 1 項に記載の半導体装置。

30

【請求項 24】

前記複数の電気回路の列が並ぶ方向における前記第 2 チップの幅が 3.3 mm よりも大きく、前記第 2 チップはインターフェース回路を有しており、
 U が偶数であり、前記複数の電気回路のうちの第 $U / 2$ 列の電気回路と前記第 1 チップの外縁との間には、前記インターフェース回路が配されていないこと、または、
 U が奇数であり、前記複数の電気回路のうちの第 $(U + 1) / 2$ 列の電気回路と前記第 2 チップの外縁との間には、前記インターフェース回路が配されていない、請求項 1 乃至 2_3 のいずれか 1 項に記載の半導体装置。

40

【請求項 25】

請求項 1 乃至 24 のいずれか 1 項に記載の半導体装置を備え、
 前記半導体装置に結像する光学系、前記半導体装置を制御する制御装置、前記半導体装置から出力された信号を処理する処理装置、前記半導体装置で得られた情報に基づいて制御される機械装置、前記半導体装置で得られた情報を表示する表示装置、および、前記半導

50

体装置で得られた情報を記憶する記憶装置の少なくともいずれかをさらに備えることを特徴とする機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のチップを積層した半導体装置に関する。

【背景技術】

【0002】

画素回路を含むチップと画素回路からの信号を処理する電気回路を含むチップとを積層した撮像装置を用いることで、撮像装置の価値を大幅に向上することができる。特許文献1、2には、複数の列回路を有する基板と、画素部を有する基板とが積層されていることが開示されている。

10

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-104684号公報

特開2013-51674号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

信号を処理する電気回路の特性には、電気回路の位置に依存したバラツキが存在しうる。電気回路と画素回路との対応関係によっては、電気回路の特性のばらつきに起因して画像にムラ（シェーディング）を生じる場合がある。そのため、画質を主とする半導体装置の性能を向上する必要がある。そこで本発明は、半導体装置の性能を向上する上で有利な技術を提供することを目的とする。

20

【課題を解決するための手段】

【0005】

上記課題を解決するための手段は、複数の画素回路がJ行かつK列の行列状に配された第1チップと、複数の電気回路がT行かつU列の行列状に配された第2チップと、が積層された半導体装置であって、前記複数の電気回路の各々は第1部と第2部とを有し、前記第1部は前記複数の画素回路のうちの少なくとも2つの画素回路および前記第2部に接続され、かつ、前記第1部は前記2つの画素回路のうちで前記第2部に接続する画素回路を順次選択するように構成されており、前記複数の画素回路のうちの第a₁行かつ第e₁列の画素回路は、前記複数の電気回路のうちの第p行かつ第v列の電気回路に接続されており、前記複数の画素回路のうちの第a₂行かつ第f₁列の画素回路は、前記複数の電気回路のうちの第q行かつ第v列の電気回路に接続されており、前記複数の画素回路のうちの第a₃行かつ第g₁列の画素回路は、前記複数の電気回路のうちの第r行かつ第v列の電気回路に接続されており、前記複数の画素回路のうちの第a₄行かつ第h₁列の画素回路は、前記複数の電気回路のうちの第s行かつ第v列の電気回路に接続されており、T < JかつU < Kであり、f₁およびg₁はe₁とh₁との間の整数であり、qおよびrはpとsとの間の整数であることを特徴とする。

30

40

【発明の効果】

【0006】

本発明によれば、半導体装置の性能を向上する上で有利な技術を提供することを目的とする。

【図面の簡単な説明】

【0007】

【図1】半導体装置の実施形態を説明する模式図。

【図2】半導体装置の実施形態を説明する模式図。

【図3】半導体装置の実施形態を説明する模式図。

50

【図 4】半導体装置の実施形態を説明する模式図。

【図 5】半導体装置の実施形態を説明する模式図。

【図 6】半導体装置の実施形態を説明する模式図。

【図 7】半導体装置の実施形態を説明する模式図。

【図 8】半導体装置の実施形態を説明する模式図。

【図 9】半導体装置の実施形態を説明する模式図。

【図 10】半導体装置の実施形態を説明する模式図。

【図 11】半導体装置の実施形態を説明する模式図。

【図 12】半導体装置の実施形態を説明する模式図。

【図 13】半導体装置の実施形態を説明する模式図。

【図 14】半導体装置の実施形態を説明する模式図。

【図 15】半導体装置の実施形態を説明する模式図。

【図 16】半導体装置の実施形態を説明する模式図。

【図 17】半導体装置の実施形態を説明する模式図。

【図 18】半導体装置の実施形態を説明する模式図。

【図 19】半導体装置の実施形態を説明する模式図。

【図 20】半導体装置の実施形態を説明する模式図。

【図 21】半導体装置の実施形態を説明する模式図。

【発明を実施するための形態】

【0008】

以下、図面を参照して、本発明を実施するための形態を説明する。なお、以下の説明および図面において、複数の図面に渡って共通の構成については共通の符号を付している。そのため、複数の図面を相互に参照して共通する構成を説明し、共通の符号を付した構成については適宜説明を省略する。

【0009】

図 1 (a) は、半導体装置 A P R を示している。半導体装置 A P R の全部または一部が、チップ 1 とチップ 2 の積層体である半導体デバイス I C である。本例の半導体装置 A P R は、例えば、イメージセンサーや A F (A u t o F o c u s) センサー、測光センサー、測距センサーとして用いることができる光電変換装置である。半導体装置 A P R において、複数の画素回路 1 0 が行列状に配されたチップ 1 と、複数の電気回路 2 0 が行列状に配されたチップ 2 と、が積層されている。なお、チップ 2 に対してチップ 1 とは反対側に、更に別のチップを積層してもよい。この別のチップには D R A M セルアレイを配置することができる。D R A M セルアレイには複数の電気回路 2 0 で処理された信号を記憶させることができる。

【0010】

チップ 1 は、複数の画素回路 1 0 を構成する複数の半導体素子 (不図示) が設けられた半導体層 1 1 と、複数の画素回路 1 0 を構成する M 層の配線層 (不図示) を含む配線構造 1 2 と、を含む。チップ 2 は、複数の電気回路 2 0 を構成する複数の半導体素子 (不図示) が設けられた半導体層 2 1 と、複数の電気回路 2 0 を構成する N 層の配線層 (不図示) を含む配線構造 2 2 と、を含む。

【0011】

配線構造 1 2 が半導体層 1 1 と半導体層 2 1 との間に配されている。配線構造 2 2 が配線構造 1 2 と半導体層 2 1 との間に配されている。

【0012】

詳細は後述するが、画素回路 1 0 は光電変換素子を含み、典型的には増幅素子を更に含む。電気回路 2 0 は、画素回路 1 0 からの信号を処理する機能を有する電気回路である。電気回路 2 0 は信号処理以外の機能を更に有することができる。

【0013】

図 1 (b) は、半導体装置 A P R を備える機器 E Q P を示している。半導体デバイス I C は画素回路 1 0 を含む画素 C C T が行列状に配列された画素エリア P X を有する。画素 C

10

20

30

40

50

CTは光電変換素子や増幅素子に加えてマイクロレンズやカラーフィルタを含むことができる。半導体デバイスICは画素エリアPXの周囲に周辺エリアPRを有することができる。周辺エリアPRには画素回路10以外の回路を配置することができる。半導体装置APRは半導体デバイスICに加えて、半導体デバイスICを格納するパッケージPKGを含むことができる。機器EQPは、光学系OPT、制御装置CTRL、処理装置PRCS、表示装置DSSL、記憶装置MMRYおよび機械装置MCHNの少なくともいずれかをさらに備え得る。機器EQPの詳細は後述する。

【0014】

(第1実施形態)

図2を用いて第1実施形態を説明する。図2(a)は、チップ1におけるJ行かつK列の行列状に配された複数の画素回路10の配置を示している。実用的には、 $J = 100$ 、 $K = 100$ であり、より好ましくは、 $J = 1000$ 、 $K = 1000$ である。画素回路10のJ行は、第a1～a4行、第b1～b4行、第c1～c4行、第d1～d4行をこの順で含む。第a1～a4行は、第a1行、第a2行、第a3行、第a4行をこの順で含み、これらを第a行と総称する。第b1～b4行を第b行と総称し、第c1～c4行を第c行と総称し、第d1～d4行を第d行と総称する。a、b、c、dは正の整数であり、 $a < b < c < d$ である。a1、a2、a3、a4は正の整数であり、 $a1 < a2 < a3 < a4$ である。例えば、図2(a)に示した複数の画素回路10が全ての画素回路10であるとすれば、 $a1 = 1$ 、 $a2 = 2$ 、 $a3 = 3$ 、 $a4 = 4$ 、 $b1 = 5$ 、 $b4 = 8$ 、 $c1 = 9$ 、 $c4 = 12$ 、 $d1 = 13$ 、 $d4 = 16$ である。説明の上では、第a1～d4行のそれぞれの行は隣接しているものとして説明する。行が隣接している場合、 $a2 = 1 + a1$ 、 $a3 = 1 + a2$ 、 $a4 = 1 + a3$ であり、 $b1 = 1 + a4$ 、 $c1 = 1 + b4$ 、 $d1 = 1 + c4$ である。しかし、2つの行の間に図示しない行があることを否定するものではない。

【0015】

画素回路10のK列は、第e1列、第f1列、第g1列、第h1列、第e2列、第f2列、第g2列、第h2列をこの順で含む。すなわち、e1、f1、g1、h1、e2、f2、g2、h2は正の整数であり、 $e1 < f1 < g1 < h1 < e2 < f2 < g2 < h2$ である。同様に、 $h2 < e3 < f3 < g3 < h3 < e4 < f4 < g4 < h4$ である。ある。例えば、図2(a)に示した複数の画素回路10が全ての画素回路10であるとすれば、 $e1 = 1$ 、 $f1 = 2$ 、 $g1 = 3$ 、 $h1 = 4$ 、 $e2 = 5$ 、 $f2 = 6$ 、 $g2 = 7$ 、 $h2 = 8$ 、 $h5 = K = 20$ である。説明の上では、第e1～h5行のそれぞれの行は隣接しているものとして説明する。列が隣接している場合、 $f1 = 1 + e1$ 、 $g1 = 1 + f1$ 、 $h1 = 1 + g1$ であり、 $e2 = 1 + h4$ 、 $e3 = 1 + h2$ 、 $e4 = 1 + h3$ 、 $e5 = 1 + h4$ である。しかし、2つの列の間に図示しない列があることを否定するものではない。

【0016】

以降の説明では、第 行かつ第 列の画素回路10を画素回路10()と表現する。なお、画素回路10の行と列が成す角度は90度に限らず、60～120度であってもよく、平行四辺形状に行列をなしていてもよい。

【0017】

同一列の画素回路10の2つ以上の画素回路10が信号線14へ共通に接続されている。信号線14は、同一列の画素回路10が並ぶ方向に沿って延びている。例えば、第e1列の画素回路10(a1、e1)、10(b1、e1)、10(c1、e1)、10(d1、e1)は、共通の信号線14に接続されている。同一列の画素回路10の全ての画素回路10が1本の信号線14に共通に接続されてもよいが、同一列の画素回路10の2つ以上の画素回路10が共通に接続される信号線14は複数本あってもよい。例えば、第e1列の画素回路10(a2、e1)、10(b2、e1)、10(c2、e1)、10(d2、e1)は、画素回路10(a1、e1)が接続された信号線14とは別の信号線14に共通に接続されてもよい。複数の信号線14に接続された複数の画素回路10は、信号線14に読み出すべき画素回路10から順番に選択されて、それぞれ読み出される。同一列の画素回路10からの信号を、複数の信号線14で並行して読み出すことで、信号の読

10

20

30

40

50

出しを高速化できる。

【 0 0 1 8 】

図 2 (b) は、チップ 2 における T 行かつ U 列の行列状に配された複数の電気回路 2 0 の配置を示している。ここで、 $T < J$ であり、 $U < K$ である。実用的には、 $T = 10$ 、 $U = 10$ であり、より好ましくは、 $T = 1000$ 、 $U = 1000$ である。電気回路 2 0 の T 行は、第 q 行、第 q 行、第 r 行、第 s 行をこの順で含む。すなわち、p、q、r、s は正の整数であり $p < q < r < s$ である。例えば、図 2 (b) に示した複数の電気回路 2 0 が全ての電気回路 2 0 であるとすれば、 $p = 1$ 、 $q = 2$ 、 $r = 3$ 、 $s = T = 4$ である。説明の上では、第 p ~ s 行のそれぞれの行は隣接しているものとして説明する。行が隣接している場合、 $q = 1 + p$ 、 $r = 1 + q$ 、 $s = 1 + r$ である。しかし、2 つの行の間に図示しない行があることを否定するものではない。

10

【 0 0 1 9 】

電気回路 2 0 の U 列は、第 v 列、第 w 列、第 x 列、第 y 列、第 z 列をこの順で含む。すなわち、v、w、x、y、z は正の整数であり $v < w < x < y < z$ である。例えば、図 2 (b) に示した複数の電気回路 2 0 が全ての電気回路 2 0 であるとすれば、 $v = 1$ 、 $w = 2$ 、 $x = 3$ 、 $y = 4$ 、 $z = U = 5$ である。説明の上では、第 v ~ z 列のそれぞれの列は隣接しているものとして説明する。列が隣接している場合、 $w = 1 + v$ 、 $x = 1 + w$ 、 $y = 1 + x$ 、 $z = 1 + y$ である。しかし、2 つの列の間に図示しない列があることを否定するものではない。

【 0 0 2 0 】

以降の説明では、第 行かつ第 列の電気回路 2 0 を電気回路 2 0 (、) と表現する。なお、電気回路 2 0 の行と列が成す角度は 90 度に限らず、60 ~ 120 度であってもよく、平行四辺形状に行列をなしていてもよい。

20

【 0 0 2 1 】

第 v 列の電気回路 2 0 は、第 p 行の電気回路 2 0 (p、v)、第 q 行の電気回路 2 0 (q、v)、第 r 行の電気回路 2 0 (r、v)、第 s 行の電気回路 2 0 (s、v) を含む。第 w 列の電気回路 2 0 は、第 p 行の電気回路 2 0 (p、w)、第 q 行の電気回路 2 0 (q、w)、第 r 行の電気回路 2 0 (r、w)、第 s 行の電気回路 2 0 (s、w) を含む。

【 0 0 2 2 】

複数の画素回路 1 0 のそれぞれは、複数の電気回路 2 0 の何れかに接続されている。配線構造 1 2 には、図 2 (a) に示すように複数の導電部 1 3 が設けられており、配線構造 2 2 には、図 2 (b) に示すように複数の導電部 2 3 が設けられている。導電部 1 3 と導電部 2 3 とが接合することで、複数の画素回路 1 0 のそれぞれは、導電部 1 3 と導電部 2 3 を介して複数の電気回路 2 0 と電氣的に接続される。

30

【 0 0 2 3 】

同一の電気回路 2 0 に接続される画素回路 1 0 の集合を画素グループ 1 5 と称する。本例では、画素グループ 1 5 は、J 個の画素回路 1 0 からなる。1 つの画素グループ 1 5 には、この 1 つの画素グループ 1 5 に所属する全ての画素回路 1 0 が同一の電気回路 2 0 に接続される。そして、当該同一の電気回路 2 0 には、当該画素グループ 1 5 以外の画素グループ 1 5 に含まれる画素回路 1 0 は接続されない。本実施形態では、同一列の画素回路 1 0 の複数の画素回路 1 0 が画素グループ 1 5 を構成する。本例では、1 つの画素グループ 1 5 には同一列の全ての画素回路 1 0 が属する。例えば、第 e 1 列の全ての画素回路 1 0 は画素グループ 1 5 e 1 に属する。図 2 (a) には、第 列の画素回路 1 0 で構成される画素グループ 1 5 を画素グループ 1 5 と表現している (は e 1、f 1、e 2 などである)。

40

【 0 0 2 4 】

図 2 (b) には、電気回路 2 0 の各々が、電気回路 2 0 に対応する導電部 2 3 を介して、複数の画素グループ 1 5 のうちのどの画素グループ 1 5 に接続されるかを示している。例えば、電気回路 2 0 (p、v) は画素グループ 1 5 e 1 に接続されており、電気回路 2 0 (q、v) は画素グループ 1 5 f 1 に接続されている。電気回路 2 0 (r、v) は画素グ

50

ループ 15 f 1 に接続されており、電気回路 20 (s、v) は画素グループ 15 g 1 に接続されている。例えば、電気回路 20 (p、w) は画素グループ 15 e 2 に接続されており、電気回路 20 (q、w) は画素グループ 15 f 2 に接続されている。電気回路 20 (r、w) は画素グループ 15 g 2 に接続されており、電気回路 20 (s、w) は画素グループ 15 h 2 に接続されている。例えば、電気回路 20 (p、x) は画素グループ 15 e 3 に接続されており、電気回路 20 (q、x) は画素グループ 15 f 3 に接続されている。電気回路 20 (r、x) は画素グループ 15 g 3 に接続されており、電気回路 20 (s、x) は画素グループ 15 h 3 に接続されている。

【 0 0 2 5 】

図 2 (a)、図 2 (b) に示す例では、同一列の画素回路 10 の全ての画素回路 10 が同一の画素グループ 15 に属する。そのため、第 e 1 列の全ての画素回路 10 は電気回路 20 (p、v) に接続され、第 f 1 列の全ての画素回路 10 は電気回路 20 (q、v) に接続されている。第 g 1 列の全ての画素回路 10 は電気回路 20 (r、v) に接続され、第 h 1 列の全ての画素回路 10 は電気回路 20 (s、v) に接続されている。第 e 2 列の全ての画素回路 10 は電気回路 20 (p、w) に接続され、第 f 2 列の全ての画素回路 10 は電気回路 20 (q、w) に接続されている。第 g 2 列の全ての画素回路 10 は電気回路 20 (r、w) に接続され、第 h 2 列の全ての画素回路 10 は電気回路 20 (s、w) に接続されている。第 e 3 列の全ての画素回路 10 は電気回路 20 (p、x) に接続され、第 f 3 列の全ての画素回路 10 は電気回路 20 (q、x) に接続されている。第 g 3 列の全ての画素回路 10 は電気回路 20 (r、x) に接続され、第 h 3 列の全ての画素回路 10 は電気回路 20 (s、x) に接続されている。

【 0 0 2 6 】

本実施形態では、 $e 1 < f 1 < g 1 < h 1$ 、 $p < q < r < s$ であることから、電気回路 20 の列番が同じ場合には、画素回路 10 の列番が大きくなるほど、接続される電気回路 20 の行番が大きくなる。

【 0 0 2 7 】

複数の画素回路 10 と複数の電気回路 20 との接続関係を説明する。図 2 (a)、図 2 (b) に示す例では、第 a 列の全ての画素回路 10 は電気回路 20 (i、j) に接続され、第 b 列の全ての画素回路 10 は電気回路 20 (k、j) に接続され、第 c 列の全ての画素回路 10 は電気回路 20 (s、j) に接続されている。第 d 列の全ての画素回路 10 は電気回路 20 (i、r) に接続され、第 e 列の全ての画素回路 10 は電気回路 20 (k、r) に接続され、第 f 列の全ての画素回路 10 は電気回路 20 (s、r) に接続されている。第 g 列の全ての画素回路 10 は電気回路 20 (i、t) に接続され、第 h 列の全ての画素回路 10 は電気回路 20 (k、t) に接続され、第 q 列の全ての画素回路 10 は電気回路 20 (s、t) に接続されている。

【 0 0 2 8 】

本実施形態では、 $e 1 < f 1 < g 1 < h 1$ であることから、電気回路 20 の列番が同じ場合には、画素回路 10 の列番が大きくなるほど、接続される電気回路 20 の行番が大きくなることになる。

【 0 0 2 9 】

$h 1 < e 2$ であることから、画素回路 10 の列番が大きくなる (第 h 1 列から第 e 2 列になる) と、接続される電気回路 20 の列番が変わる (第 v 列から第 w 列になる)。同一列の電気回路 20 に割り当てられる画素回路 10 の列数は $e 2 - e 1$ であり、これが同一列に含まれる電気回路 20 の行数 T に等しくなる ($T = e 2 - e 1$)。換言すれば、T に等しい画素回路 10 の列数毎に、接続される電気回路 20 の列が変わるのである。

【 0 0 3 0 】

本実施形態では、同一行 (例えば第 p 行) かつ近接列 (例えば第 v 列と第 w 列) の電気回路 20 がそれぞれ接続された 2 つの画素回路 10 (例えば第 e 1 列と第 e 2 列) の間には T - 1 列分の画素回路 10 が存在する。

【 0 0 3 1 】

10

20

30

40

50

また、 K 列の画素回路10が列毎にいずれかの電気回路20に割り当てられる。そのため、 $T \times U = K$ となりうる。信号処理の並列度を高めるためには、 $J = K$ とすることが好ましいため、 $J = T \times U$ となる。また、 $T < J$ 、 $U < K$ であるから、 $T \times U < J \times K$ である。よって、 $T \times U - K < J \times K - T \times U$ を満たす。これを变形すると、 $T \times U < (J + 1) \times K / 2$ となり、 $J + 1 = J$ であるから、 $T \times U < J \times K / 2$ となる。よって、本実施形態の接続方法を採用する場合には、 $J = T \times U < J \times K / 2$ を満足することが好ましい。

【0032】

第1実施形態の思想は、近接列（例えば第e1列と第f1列）の画素回路10がそれぞれ接続された2つの電気回路20の距離を近づけることにある。つまり、近接する画素回路10のそれぞれを近接する電気回路20に接続するのである。具体的には、同一行（例えば第a行）の4列分（例えば第e1～h1列）の画素回路10と、4列分の画素回路10に接続された同一列（例えばv列）の4行分（例えば第p～s行）の電気回路20に注目する。4列分の画素回路10のうちの中間の列（第f1列、第g1列）の画素回路10は、4列分の画素回路10のうち両端の列（第e1列、第h1列）の画素回路10同士よりも、両端の列（第e1列、第h1列）の画素回路10に近接している。4行分の電気回路20のうちの中間の行（第q行、第r行）の電気回路20は、4行分の電気回路20のうち両端の行（第p行、第s行）の電気回路20同士よりも、両端の行（第p行、第s行）の電気回路20に近接している。そして、4列分の画素回路10のうちの中間の列（第f1列、第g1列）の画素回路10は、4行分の電気回路20のうちの中間の列（第q列、第r列）の電気回路20に接続されている。このようにすることで、4列分の画素回路10の並び順と、この4列分の画素回路10のそれぞれが接続された4行分の電気回路20の並び順が類似または一致する。このようにすることで、電気回路20による信号処理の特性の違いの影響を小さくできる。4行分の電気回路20に関して、中間の行の電気回路20と一端の行の電気回路20との特性差、および、中間の行の電気回路20と他端の行の電気回路20との特性差を、第1の特性差と称する。一端の行の電気回路20と他端の行の電気回路20の特性差を第2の特性差と称する。この特性差としては、配線長などに起因しており、2つの電気回路20の特性差はその距離に比例する。そのため、第1の特性差は第2の特性差よりも小さくなる。4列分の画素回路10に関して、中間の列の画素回路10と一端の列の画素回路10の出力差、および、中間の列の画素回路10と他端の列の画素回路10の出力差は、第1の特性差に対応することになる。そのため、2つの画素回路10に対応した信号の出力差を小さくする上では、2つの画素回路10の間の距離が小さいほど、対応する2つの電気回路20の間の距離を小さくすることが好ましいのである。その結果、シェーディングの小さい良好な画像を得ることができる。

【0033】

このことは、f1およびg1がe1とh1の間の整数であり、qおよびrがpとsの間の整数であることに対応する。特に、g1がf1とh1の間の整数であり、rがqとsの間の整数である場合に好ましい。また、f1がe1とg1の間の整数であり、qがpとrの間の整数であることも好ましい。ここでは、第a行の画素回路10と第v列の電気回路20との関係を例示したが、第b行、第c行、第d行でも同様であり、第w列、第x列、第y列、第z列でも同様である。

【0034】

（第2実施形態）

図3を用いて第2実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。図3(a)は図2(a)と同様に画素回路10の配置を示しており、図3(b)は図2(b)と同様に電気回路20の配置を示している。第2実施形態では、第w列および第y列の電気回路20の接続関係が第1実施形態と異なる。

【0035】

同一列の画素回路10の全ての画素回路10が同一の画素グループ15に属する。そのため、第g1列の全ての画素回路10は電気回路20(r、v)に接続され、第h1列の全ての画素回路10は電気回路20(s、v)に接続されている。第e2列の全ての画素回

10

20

30

40

50

路 10 は電気回路 20 (s、w) に接続され、第 f 2 列の全ての画素回路 10 は電気回路 20 (r、w) に接続されている。第 g 2 列の全ての画素回路 10 は電気回路 20 (q、w) に接続され、第 h 2 列の全ての画素回路 10 は電気回路 20 (p、w) に接続されている。第 e 3 列の全ての画素回路 10 は電気回路 20 (p、x) に接続され、第 f 3 列の全ての画素回路 10 は電気回路 20 (q、x) に接続されている。第 g 3 列の全ての画素回路 10 は電気回路 20 (r、x) に接続され、第 h 3 列の全ての画素回路 10 は電気回路 20 (s、x) に接続されている。

【 0 0 3 6 】

第 e 1 列 ~ 第 h 1 列の画素回路 10 については、画素回路 10 の列番が増加するにつれて、対応する電気回路 20 の行番が第 p 行から第 s 行に増加する。しかし、第 e 2 列 ~ 第 h 2 列の画素回路 10 については、画素回路 10 の列番が増加するにつれて、対応する電気回路 20 の行番が第 s 行から第 p 行に減少する。そして、第 e 3 列 ~ 第 h 3 列の画素回路 10 については、画素回路 10 の列番が増加するにつれて、対応する電気回路 20 の行番が第 p 行から第 s 行に増加する。第 e 4 列 ~ 第 h 4 列の画素回路 10 については、画素回路 10 の列番が増加するにつれて、対応する電気回路 20 の行番が第 s 行から第 p 行に減少する。このように、画素回路 10 の列番の増加に伴う、対応する電気回路 20 の行番は周期に増減を繰り返す。

【 0 0 3 7 】

第 2 実施形態の思想は、近接列 (例えば第 h 1 列と第 e 2 列) の画素回路 10 がそれぞれ接続された 2 つの電気回路 20 の距離を、第 1 実施形態よりも近づけることにある。例えば、画素グループ 15 h 1 は電気回路 20 (s、v) に接続されており、画素グループ 15 h 1 に近接する画素グループ 15 e 2 は、電気回路 20 (s、v) に近接する電気回路 20 (s、w) に接続されている。そして、画素グループ 15 f 2 は電気回路 20 (r、w) に接続されており、画素グループ 15 g 2 は、電気回路 20 (q、w) に接続されており、画素グループ 15 h 2 は、電気回路 20 (p、w) に接続されている。特に注目すべきは、画素回路 10 と第 e 2 列の画素回路 10 がそれぞれ接続された電気回路 20 である。第 h 1 列と第 e 2 列とが近接している。本例では、第 h 1 列と第 e 2 列とが隣接している (e 2 = h 1 + 1) が、少なくとも第 g 1 列と第 f 2 列との組よりは、第 h 1 列と第 e 2 列との組は近接していると云える。そして、第 h 1 列の画素グループ 15 h 1 が接続された電気回路 20 (s、v) と第 e 2 列の画素グループ 15 e 2 が接続された電気回路 20 (s、w) とが同一行 (第 s 行) である。さらに、電気回路 20 (s、v) と電気回路 20 (s、w) とは隣接列 (第 v 列と第 w 列) である。そのため、電気回路 20 (s、v) と電気回路 20 (s、w) は近接しているといえる。このようにすれば、近接する画素回路 10 に対応した信号を特性差の小さい、近接した電気回路 20 で処理できるため、近接する画素回路 10 に対応する信号の出力差を小さくできる。その結果、シェーディングの小さい良好な画像を得ることができる。

【 0 0 3 8 】

(第 3 実施形態)

図 4 を用いて第 3 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。図 4 (a) は図 2 (a) と同様に画素回路 10 の配置を示しており、図 4 (b) は図 2 (b) と同様に電気回路 20 の配置を示している。第 3 実施形態では、電気回路 20 の行を第 p 1 ~ s 1 行と第 p 2 ~ s 2 行の構成にしている。 p 1 < q 1 < r 1 < s 1 < p 2 < q 2 < r 2 < s 2 である。第 3 実施形態では、画素回路 10 の第 a 1 ~ b 4 行を画素グループ 15 e 1 1 ~ 15 h 5 1 に割り当て、画素回路 10 の第 c 1 ~ d 4 行を画素グループ 15 e 1 2 ~ 15 h 5 2 に割り当てている。画素グループ 15 e 1 1 ~ 15 h 5 1 は第 p 1 ~ s 1 行かつ第 v ~ z 列の電気回路 20 に接続されている。例えば、第 c 行かつ第 e 1 列の画素回路 10 (c、e 1) は、第 p 2 行かつ第 v 列の電気回路 20 (p 2、v) に接続されている。画素グループ 15 e 1 2 ~ 15 h 5 2 は第 p 2 ~ s 2 行かつ第 v ~ z 列の電気回路 20 に接続されている。また、第 c 行かつ第 f 1 列の画素回路 10 (c、f 1) は、第 q 2 行かつ第 v 列の電気回路 20 (q 2、v) に接続されている。第

c 行かつ第 g 1 列の画素回路 1 0 (c , g 1) は、第 r 2 行かつ第 v 列の電気回路 2 0 (r 2 , v) に接続されている。第 3 実施形態によれば、同一列の画素回路 1 0 を第 p 1 ~ s 1 行の電気回路 2 0 と、第 p 2 ~ s 2 行の電気回路 2 0 とで信号処理を並行して行うことのできるため、信号処理を高速化できる。

【 0 0 3 9 】

(第 4 実施形態)

図 5 を用いて第 4 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。図 5 (a) は図 2 (a) と同様に画素回路 1 0 の配置を示しており、図 5 (b) は図 2 (b) と同様に電気回路 2 0 の配置を示している。第 4 実施形態では、第 3 実施形態を、第 2 実施形態と同様に、画素回路 1 0 のうちの互いに近接する列で構成される画素グループが接続される電気回路 2 0 が、互いに近接するようにしている。すなわち、互いに近接する画素グループ 1 5 h 1 1 と画素グループ 1 5 e 2 1 は同じ行 (第 s 1 行) の電気回路 2 0 (s 1 , v) と電気回路 2 0 (s 1 , w) とにそれぞれ接続されている。同様に、互いに近接する画素グループ 1 5 h 1 2 と画素グループ 1 5 e 2 2 は同じ行 (第 s 1 行) の電気回路 2 0 (s 2 , v) と電気回路 2 0 (s 2 , w) とにそれぞれ接続されている。

10

【 0 0 4 0 】

(第 5 実施形態)

図 6 を用いて第 5 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。図 6 (a) は図 2 (a) と同様に画素回路 1 0 の配置を示しており、図 6 (b) は図 2 (b) と同様に電気回路 2 0 の配置を示している。第 5 実施形態では、第 4 実施形態を、互いに近接する画素グループが接続される電気回路 2 0 が、互いに近接するようにしている。すなわち、同一列 (例えば第 h 1 列) の画素回路 1 0 で構成され、互いに近接する画素グループ 1 5 h 1 1 と画素グループ 1 5 h 1 2 は互いに近接する。そして、画素グループ 1 5 h 1 1 と画素グループ 1 5 h 1 2 は、同一列 (v 列) の近接行 (第 s 1 行と第 p 2 行) の電気回路 2 0 (s 1 , v) と電気回路 2 0 (p 2 , v) とにそれぞれ接続されている。同様に、互いに近接する画素グループ 1 5 e 2 1 と画素グループ 1 5 e 2 2 は同一列 (第 w 列) の近接行 (第 s 1 行と第 p 2 行) の電気回路 2 0 (s 1 , w) と電気回路 2 0 (p 2 , w) とにそれぞれ接続されている。

20

【 0 0 4 1 】

(第 6 実施形態)

第 6 実施形態は、第 1 ~ 5 実施形態に共通の形態である。図 7 は、図 1 に示した半導体装置の等価回路を示している。図 7 では、図 2 に示した画素回路 1 0 のうち 8 行分 (例えば第 a 1 行 ~ 第 b 4 行) かつ 3 列分 (例えば第 e 1 列 ~ g 1 列) の画素回路 1 0 を示している。また図 7 では、図 2 に示した電気回路 2 0 のうち 3 行分 (例えば第 p ~ r 行) かつ 1 列分 (例えば第 v 列) の電気回路 2 0 を示している。

30

【 0 0 4 2 】

チップ 1 の画素回路 1 0 は、1 列の画素回路 1 0 に対し、4 本 (本) の信号線 1 4 a 、 1 4 b 、 1 4 c 、 1 4 d を有する。信号線 1 4 a 、 1 4 b 、 1 4 c 、 1 4 d をまとめて信号線 1 4 と総称する。第 a 行のうちの 1 行目 (第 a 1 行) の画素回路 1 0 は信号線 1 4 a に接続されている。第 a 行のうちの 2 、 3 、 4 行目 (第 a 2 、 a 3 、 a 4 行) の画素回路 1 0 は、順に信号線 1 4 b 、 1 4 c 、 1 4 d に接続されている。 + 1 行目以降の画素回路 1 0 については、(x + 1) 行目 (x は自然数) の画素回路 1 0 は信号線 1 4 a に接続されている。そして、(x + 2) 行目、(x + 3) 行目、(x + 4) 行目の画素回路 1 0 は順に信号線 1 4 b 、 1 4 c 、 1 4 d に接続されている。1 列に J 画素がある場合には、1 つの信号線 1 4 a に J / 個の画素回路 1 0 が共通に接続されている。画素回路 1 0 と信号線 1 4 との接続関係は、画素回路 1 0 の他の列においても同様である。

40

【 0 0 4 3 】

同一の電気回路 2 0 に接続される画素回路 1 0 の集合を画素グループ 1 5 と称する。互い

50

に異なる。本の信号線に接続され、連続して配列された 個の画素回路 10 の集合を画素セット 16 と称する。本例では、画素グループ 15 は、J 行 (J 個) の画素からなり、J / 個の画素セット 16 が含まれ得る。1 つの画素グループ 15 には、当該 1 つの画素グループ 15 に所属する全ての画素回路 10 が同一の電気回路 20 に接続される。そして、当該同一の電気回路 20 には、当該画素グループ 15 以外の画素グループ 15 に含まれる画素回路 10 は接続されない。

【 0 0 4 4 】

信号線 14 の各信号線 14 a ~ 14 d には、電流源 120 が接続されている。電流源 120 は、接続部 300 を介して、信号線 14 の各信号線に電流を供給する。本例の電流源 120 はチップ 2 に設けられているが、チップ 1 に設けてもよい。

10

【 0 0 4 5 】

信号線 14 のそれぞれは、接続部 300 を介して、電気回路 20 に接続されている。図 7 の例では、画素回路 10 の列毎に異なる電気回路 20 - 1、20 - 2、20 - 3 に接続されている。

【 0 0 4 6 】

電気回路 20 は、入力部 210 と主部 220 と出力部 230 を有している。入力部 210 は少なくとも 個の入力端子を有している。信号線 14 に含まれる 本の信号線 14 a、14 b、14 c、14 d が、入力部 210 の 個の入力端子に接続される。主部 220 は、例えば画素回路 10 からの信号を処理する。そのため、主部 220 を信号処理部と称することもできる。入力部 210 は、信号線 14 の信号線 14 a、14 b、14 c、14 d を順次選択し、主部 220 は各信号線 14 a、14 b、14 c、14 d の信号を順次処理する。出力部 230 は電気回路 20 からの信号を出力する。

20

【 0 0 4 7 】

図 7 には複数の画素回路 10 に対して、信号が処理される順番を 01 ~ 08 で示している。まず、不図示の走査回路によって、1 つめの画素セット 16 が選択される。例えば、($x + 1$) 行目の画素回路 10 の信号、($x + 2$) 行目の画素回路 10 の信号、($x + 3$) 行目の画素回路 10 の信号、($x + 4$) 行目の画素回路 10 の信号が順次処理される (順番 01 ~ 04)。次に、不図示の走査回路によって、次の画素セット 16 が選択される。すなわち、(($+ 1$) $x + 1$) 行目の画素回路 10 の信号、(($+ 1$) $x + 2$) 行目の画素回路 10 の信号、(($+ 1$) $x + 3$) 行目の画素回路 10 の信号、(($+ 1$) $x + 4$) 行目の画素回路 10 の信号が、信号線 14 に読み出される。そして、入力部 210 と主部 220 によって、(($+ 1$) $x + 2$) 行目の画素回路 10 の信号、(($+ 1$) $x + 3$) 行目の画素回路 10 の信号、(($+ 1$) $x + 4$) 行目の画素回路 10 の信号が、順次処理される (順番 05 ~ 08)。

30

【 0 0 4 8 】

同一の行の画素回路 10 であれば、各列の画素回路 10 に対応した複数の電気回路 20 で、信号の処理が並列して行われうる。たとえば、($x + 1$) 行目 ~ ($x + 4$) 行目の画素回路 10 の信号の処理は、電気回路 20 - 1 と、電気回路 20 - 2 と、電気回路 20 - 3 と、で並行して行われうる。同様に、(($+ 1$) $x + 1$) 行目 ~ (($+ 1$) $x + 4$) 行目の画素回路 10 の信号の処理は、電気回路 20 - 1 と、電気回路 20 - 2 と、電気回路 20 - 3 と、で並行して行われうる。($x + 1$) 行目 ~ ($x + 4$) 行目の画素回路 10 の信号の処理は、(($+ 1$) $x + 1$) 行目 ~ (($+ 1$) $x + 4$) 行目の画素回路 10 の信号の処理とは異なるタイミングで行われる。

40

【 0 0 4 9 】

図 8 は、画素回路 10 の等価回路の一例を示している。画素回路 10 は、フォトダイオードである光電変換素子 601 a、601 b を有する。光電変換素子 601 a、601 b には、不図示の 1 つのマイクロレンズと、カラーフィルタを透過した光が入射する。つまり、光電変換素子 601 a に入射する光と、光電変換素子 601 b に入射する光の波長は実質的に同じである。光電変換素子 601 a は、転送トランジスタ 603 a を介して、電荷検出部 605 に接続されている。電荷検出部 605 はフローティングディフュージョン構

50

造を有する。また、転送トランジスタ603aのゲートは、制御線650を介して、不図示の走査回路に接続されている。光電変換素子601bは、転送トランジスタ603bを介して、電荷検出部605に接続されている。また、転送トランジスタ603bのゲートは、制御線655を介して、不図示の走査回路に接続されている。

【0050】

電荷検出部605は、リセットトランジスタ606と、増幅トランジスタ607のゲートに接続されている。リセットトランジスタ606および増幅トランジスタ607は、電源電圧V_{dd}が供給される。リセットトランジスタ606のゲートは、制御線660を介して、不図示の走査回路に接続されている。

【0051】

増幅トランジスタ607は、選択トランジスタ608に接続されている。選択トランジスタ608のゲートは、制御線665を介して、不図示の垂直走査回路に接続されている。選択トランジスタ608は、信号線14の何れかの信号線に接続されている。上述した実施形態における、導電部13に接続された半導体素子は、選択トランジスタ608であり、選択トランジスタ608を省略する場合には、増幅トランジスタ607である。

【0052】

図9は、電気回路20の等価回路の一例を示している。入力部210に設けられた選択回路240は、例えばマルチプレクサである。上述した実施形態における、導電部23に接続された半導体素子は、マルチプレクサの入力トランジスタであり得る。本例の電気回路20は主部220として、逐次比較型(SAR: Successive Approximation Register)のアナログ-デジタル変換器を含みうる。選択回路240で選択された画素信号PIXは、入力部210に設けられた補助回路250を介して、主部220の比較回路260の反転入力端子(-)に入力される。補助回路250は、サンプル/ホールド回路および/または増幅回路でありうる。比較回路260の非反転入力端子(+)には、参照信号REFが入力される。参照信号REFは信号生成回路290から供給される。信号生成回路290はデジタル-アナログ変換器(DAC: Digital-Analog Converter)を含みうる。信号生成回路290の一部のみが行列状に配された電気回路20に含まれ、残りの一部は、周辺エリアPR(図1参照)に配されてもよい。比較回路260は、画素信号PIXと参照信号REFとの大小関係の比較結果を示す比較信号CMPを出力する。比較信号CMPは記憶回路270に取り込まれる。記憶回路270はデジタルメモリである。比較回路260と記憶回路270は信号生成回路290からの同期信号CLKによって同期する。信号生成回路290は記憶回路270に取り込まれた信号に応じて動作することができる。記憶回路270にはデジタル信号DIGが保持される。出力部230は走査回路(不図示)によって選択される選択トランジスタを含み、走査回路によって選択された選択トランジスタがONになることで、所望の電気回路20からデータが読み出し回路(不図示)に読み出される。出力部230に設けられた出力回路280からデジタル信号(データ)が出力される。出力回路280は例えばセンスアンプを含みうる。出力回路280はパラレル-シリアル変換器や低電圧差動信号(LVDS: Low Voltage Differential Signaling)の伝送を行うインターフェース回路を含むこともできる。しかし、これらのインターフェース回路は電気回路20外に設けることが好ましい。

【0053】

第1信号レベルの参照信号REF1が入力され、その比較結果を示す第1比較信号CMP1が上位ビットとしてメモリに取り込まれる。次に、第1比較信号CMP1に基づいて第1信号レベルとは異なる第2信号レベルの参照信号REF2が入力され、その比較結果を示す第2比較信号CMP2が中位ビットとしてメモリに取り込まれる。次に、第2比較信号CMP2に基づいて第2信号レベルとは異なる第3信号レベルの参照信号REF3が入力され、その比較結果を示す第3比較信号CMP3が下位ビットとしてメモリに取り込まれる。このように、複数回の比較を繰り返して、複数ビットのデジタル信号DIGを得ることができる。

10

20

30

40

50

【 0 0 5 4 】

なお、電気回路 2 0 において、傾斜型のアナログ - デジタル変換を行うこともできる。その場合には、信号生成回路 2 9 0 は参照信号 R E F としてのランプ信号と、カウント信号（不図示）を生成する。比較回路 2 6 0 は、参照信号 R E F と画素信号 P I X との比較結果が変わったタイミングで比較信号 C M P の出力を反転させる。比較信号 C M P の反転のタイミングで、記憶回路 2 7 0 がカウント信号を取り込むことで、カウント信号のカウント値に対応したデジタル信号 D I G を得ることができる。

【 0 0 5 5 】

（第 7 実施形態）

第 7 実施形態として、第 6 実施形態で説明した半導体装置の動作の一例を説明する。図 1 0 に示した動作では、以下のように、複数の動作を並行して行っている。 10

（ 1 ） 1 行目の画素回路 1 0 に対応する N 信号の読出しと 2 行目の画素回路 1 0 に対応する N 信号の読出しとの並行動作

（ 2 ） 1 行目の画素回路 1 0 に対応する N 信号の A D 変換と、 2 行目の画素回路 1 0 に対応する N 信号の読み出しとの並行動作

（ 3 ） 4 行目の画素回路 1 0 に対応する N 信号の A D 変換と、 1 行目の画素回路 1 0 に対応する A + B 信号の読み出しとの並行動作

（ 4 ） 1 行目の画素回路 1 0 に対応する A + B 信号の読出しと、 2 行目の画素回路 1 0 に対応する A + B 信号の読出しとの並行動作

（ 5 ） 1 行目の画素回路 1 0 に対応する A + B 信号の A D 変換と、 2 行目の画素回路 1 0 に対応する A + B 信号の読出しとの並行動作 20

この並行動作により、主部 2 2 0 が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。これにより、全ての画素回路 1 0 が出力する信号の A D 変換に要する期間を短縮することができる。よって、半導体装置 A P R の高フレームレート化を進展させることができる。

【 0 0 5 6 】

撮像装置の動作として焦点検出モードと撮像モードの両方を行う場合を説明する。

【 0 0 5 7 】

図 1 1 の動作は、半導体装置 A P R が焦点検出用の信号と、撮像用の信号を出力する動作である。以下、図 1 0 に示した動作と異なる点を中心に説明する。 30

【 0 0 5 8 】

各行の画素回路 1 0 からの N 信号の読出しの動作は、図 1 0 に示した動作と同じである。各行の画素回路 1 0 の N 信号の A D 変換の動作は、図 1 0 に示した動作と同じである。

【 0 0 5 9 】

各行の画素回路 1 0 に対応する A 信号の読み出しの動作を説明する。時刻 t 9 に、垂直走査回路は、 1 行目の画素回路 1 0 に出力する信号 P T X A を H i g h レベルとする。これにより、光電変換素子 6 0 1 a が蓄積した電荷が、転送トランジスタ 6 0 3 a を介して電荷検出部 6 0 5 に転送される。これにより、電荷検出部 6 0 5 は、光電変換素子 6 0 1 a の電荷に対応する電位となる。各列の信号線 1 4 a には、 1 行目の画素回路 1 0 の A 信号が出力される。この A 信号は、複数の光電変換素子のうちの一部のみの光電変換素子の信号に基づく第 1 信号である。この第 1 信号は、焦点検出用の信号として用いることができる。 40

【 0 0 6 0 】

時刻 t 1 0 に、垂直走査回路は、 2 行目の画素回路 1 0 に出力する信号 P T X A を H i g h レベルとする。これにより、各列の信号線 1 4 b には、 2 行目の画素回路 1 0 の A 信号が出力される。

【 0 0 6 1 】

時刻 t 1 1 に、垂直走査回路は、 3 行目の画素回路 1 0 に出力する信号 P T X A を H i g h レベルとする。これにより、各列の信号線 1 4 c には、 3 行目の画素回路 1 0 の A 信号が出力される。 50

【 0 0 6 2 】

時刻 t_{12} に、垂直走査回路は、4 行目の画素回路 1 0 に出力する信号 P T X A を H i g h レベルとする。これにより、各列の信号線 1 4 d には、4 行目の画素回路 1 0 の A 信号が出力される。

【 0 0 6 3 】

各行の画素回路 1 0 に対応する A 信号の A D 変換の動作を説明する。

【 0 0 6 4 】

時刻 t_{17} に、入力部 2 1 0 は信号線 1 4 a の信号、すなわち 1 行目の画素回路 1 0 の A 信号を主部 2 2 0 に出力する。主部 2 2 0 a は、1 行目の画素回路 1 0 の A 信号をデジタル信号に変換する。

10

【 0 0 6 5 】

時刻 t_{18} に、入力部 2 1 0 は信号線 1 4 b の信号、すなわち 2 行目の画素回路 1 0 の A 信号を主部 2 2 0 に出力する。主部 2 2 0 は、2 行目の画素回路 1 0 の A 信号をデジタル信号に変換する。

【 0 0 6 6 】

時刻 t_{19} に、入力部 2 1 0 は信号線 1 4 c の信号、すなわち 3 行目の画素回路 1 0 の A 信号を主部 2 2 0 に出力する。主部 2 2 0 は、3 行目の画素回路 1 0 の A 信号をデジタル信号に変換する。

【 0 0 6 7 】

時刻 t_{20} に、入力部 2 1 0 a は信号線 1 4 d の信号、すなわち 4 行目の画素回路 1 0 の A 信号を主部 2 2 0 に出力する。主部 2 2 0 は、4 行目の画素回路 1 0 の A 信号をデジタル信号に変換する。

20

【 0 0 6 8 】

各行の画素回路 1 0 の A + B 信号の読出しの動作を説明する。

【 0 0 6 9 】

時刻 t_{18} に、垂直走査回路は、1 行目の画素回路 1 0 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、光電変換素子 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して電荷検出部 6 0 5 に転送される。これにより、信号線 1 4 a には、1 行目の画素回路 1 0 の A + B 信号が出力される。

【 0 0 7 0 】

時刻 t_{19} に、垂直走査回路は、2 行目の画素回路 1 0 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、光電変換素子 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して電荷検出部 6 0 5 に転送される。これにより、信号線 1 4 b には、2 行目の画素回路 1 0 の A + B 信号が出力される。

30

【 0 0 7 1 】

時刻 t_{20} に、垂直走査回路は、3 行目の画素回路 1 0 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、光電変換素子 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して電荷検出部 6 0 5 に転送される。これにより、信号線 1 4 c には、3 行目の画素回路 1 0 の A + B 信号が出力される。

【 0 0 7 2 】

時刻 t_{21} に、垂直走査回路は、4 行目の画素回路 1 0 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、光電変換素子 6 0 1 a、6 0 1 b が蓄積した電荷が、転送トランジスタ 6 0 3 a、6 0 3 b を介して電荷検出部 6 0 5 に転送される。これにより、信号線 1 4 d には、4 行目の画素回路 1 0 の A + B 信号が出力される。

40

【 0 0 7 3 】

各行の画素回路 1 0 の A + B 信号の A D 変換の動作を説明する。

【 0 0 7 4 】

時刻 t_{26} に、入力部 2 1 0 は信号線 1 4 a の信号、すなわち 1 行目の画素回路 1 0 の A + B 信号を主部 2 2 0 に出力する。主部 2 2 0 は、1 行目の画素回路 1 0 の A + B 信号をデジタル信号に変換する。

50

【 0 0 7 5 】

時刻 t 2 7 に、入力部 2 1 0 a は信号線 1 4 b の信号、すなわち 2 行目の画素回路 1 0 の A + B 信号を主部 2 2 0 に出力する。主部 2 2 0 は、2 行目の画素回路 1 0 の A + B 信号をデジタル信号に変換する。

【 0 0 7 6 】

時刻 t 2 8 に、入力部 2 1 0 a は信号線 1 4 c の信号、すなわち 3 行目の画素回路 1 0 の A + B 信号を主部 2 2 0 に出力する。主部 2 2 0 は、3 行目の画素回路 1 0 の A + B 信号をデジタル信号に変換する。

【 0 0 7 7 】

時刻 t 2 9 に、入力部 2 1 0 a は信号線 1 4 d の信号、すなわち 4 行目の画素回路 1 0 の A + B 信号を主部 2 2 0 に出力する。主部 2 2 0 は、4 行目の画素回路 1 0 の A + B 信号をデジタル信号に変換する。

10

【 0 0 7 8 】

その後、垂直走査回路は 5 行目の画素回路 1 0 の信号 P S E L (5) を H i g h レベルとする。以降、同様の動作が繰り返される。

【 0 0 7 9 】

このようにして、本実施例の撮像装置は、各画素の N 信号に基づくデジタル信号と、各画素の A 信号に基づくデジタル信号と、各画素の A + B 信号に基づくデジタル信号とを得ることができる。

【 0 0 8 0 】

20

本実施形態では、図 1 1 の動作における、半導体装置 A P R が行う並行動作による高速化を実現できる。図 1 1 に示した動作では、以下のように、複数の動作を並行して行っている。

(1) 1 行目の画素回路 1 0 に対応する N 信号の読出しと 2 行目の画素回路 1 0 に対応する N 信号の読出しとの並行動作

(2) 1 行目の画素回路 1 0 に対応する N 信号の A D 変換と、2 行目の画素回路 1 0 に対応する N 信号の読み出しとの並行動作

(3) 4 行目の画素回路 1 0 に対応する N 信号の A D 変換と、1 行目の画素回路 1 0 に対応する A 信号の読み出しとの並行動作

(4) 1 行目の画素回路 1 0 に対応する A 信号の読出しと、2 行目の画素回路 1 0 に対応する A 信号の読出しとの並行動作

30

(5) 1 行目の画素回路 1 0 に対応する A 信号の A D 変換と、2 行目の画素回路 1 0 に対応する A 信号の読出しとの並行動作

(6) 4 行目の画素回路 1 0 に対応する A 信号の A D 変換と、1 行目の画素回路 1 0 に対応する A + B 信号の読み出しとの並行動作

(7) 1 行目の画素回路 1 0 に対応する A + B 信号の読出しと、2 行目の画素回路 1 0 に対応する A + B 信号の読出しとの並行動作

(8) 1 行目の画素回路 1 0 に対応する A + B 信号の A D 変換と、2 行目の画素回路 1 0 に対応する A 信号の読出しとの並行動作

この並行動作により、主部 2 2 0 が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。これにより、全ての画素回路 1 0 が出力する信号の A D 変換に要する期間を短縮することができる。よって、撮像装置の高フレームレートを進展させることができる。

40

【 0 0 8 1 】

本実施例は、この例に限定されるものではない。例えば、1 フレーム期間において、第 1 色のカラーフィルタが配された画素と接続され、第 2 色のカラーフィルタが配された画素とは接続されないようにするようにもできる。R, G のカラーフィルタが配された 1 列の画素に注目して説明すると、入力部 2 1 0 は、第 1 色である R のカラーフィルタを有する画素が接続された信号線 1 4 a、1 4 c を主部 2 2 0 に接続する。一方、当該 1 フレーム期間において、入力部 2 1 0 は、第 2 色である G のカラーフィルタを有する画素が接続さ

50

れた信号線 14 b、14 d を主部 220 に接続しない。この構成では、主部 220 に入力される画素の信号を、1 色のみに対応する信号とすることができる。これにより、主部 220 の A/D 変換の補正、A/D 変換後の補正を簡略にすることができるという効果を得ることができる。

【0082】

また、本実施例では、1 列の画素回路 10 に対し、1 つの電気回路 20 が対応して設けられる構成としたが、この例に限定されるものではない。1 列の画素回路 10 に対して、複数の電気回路 20 が設けられてもよい。例えば、信号線 14 a、14 b に接続される電気回路 20 と、信号線 14 c、14 d に接続される別の電気回路 20 が設けられていてもよい。また、複数の画素列で、1 つの電気回路 20 を共有するようにしてもよい。

10

【0083】

(第 8 実施形態)

図 12 を用いて第 8 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。第 8 実施形態は、第 1 ~ 7 実施形態に共通の形態である。第 8 実施形態は、電気回路 20 によって処理が行われた後の、電気回路 20 からの信号出力に関する。図 12 (a) は、画素回路 10 と電気回路 20 の接続関係を示し、図 10 (b) は電気回路 20 からの出力について説明している。

【0084】

図 12 (a) には第 a 1 ~ a 4 行、第 e 1 ~ h 4 列の画素回路 10 を示している。また、第 p ~ s 行、第 v、w 列の電気回路 20 を示している。図 12 (a) には、画素回路 10 で生成された信号に対応する信号 R 11、Gr 11 等の番号を付している。なお、R、B、Gr、Gb は信号が示す色に対応しており、R は赤色、B は青色、Gr および Gb は緑色を意味しているが、信号が示す色はこれに限ったものではない。画素回路 10 と電気回路 20 の接続関係については、第 1 ~ 7 実施形態のいずれかと同様である。

20

【0085】

電気回路 20 での信号処理は複数の電気回路 20 で並列に行われるが、複数の電気回路 20 からの信号の読み出しは、信号を出力すべき電気回路 20 を順次選択することで行われる。

【0086】

図 12 (b) は、電気回路 20 での信号処理と電気回路 20 からの信号出力のタイミングを示している。時刻 t 1 ~ t 2 には、各電気回路 20 で第 a 1 行の画素回路 10 の信号 R 11、Gr 11、R 12、G 12、R 13、Gr 13、R 14、Gr 14 の処理が並行して行われる。次に、時刻 t 2 ~ t 3 に、信号を出力すべき電気回路 20 の選択が順次行われる。本例では、第 a 1 行の画素回路 10 のうち、第 e 1 列から、列番が順に大きくなるように、第 f 1 列、第 g 1 列と読み出される。すなわち、信号 R 11、Gr 11、R 12、G 12、R 13、Gr 13、R 14、Gr 14 がこの順で読み出される。次に時刻 t 3 ~ t 4 に、時刻 t 1 ~ t 2 には、各電気回路 20 で第 a 2 行の画素回路 10 の信号 Gb 11、B 11、Gb 12、B 12、Gb 13、B 13、Gb 14、B 14 の処理が並行して行われる。次に、時刻 t 4 ~ t 5 に、信号を出力すべき電気回路 20 の選択が順次行われる。本例では、第 a 2 行の画素回路 10 のうち、第 e 1 列から、列番が順に大きくなるように、第 f 1 列、第 g 1 列と読み出される。すなわち、信号 Gb 11、B 11、Gb 12、B 12、Gb 13、B 13、Gb 14、B 14 がこの順で読み出される。同様にして、時刻 t 5 ~ t 6 は第 a 3 行の画素回路 10 の信号の処理が並行して行われ、時刻 t 6 ~ t 7 には、第 a 3 行の画素回路 10 の信号の出力が第 e 1 列から、列番が順に大きくなるように順次行われる。時刻 t 7 ~ t 8 には、第 a 4 行の画素回路 10 の信号の処理が並行して行われ、時刻 t 8 ~ t 9 には、第 a 4 行の画素回路 10 の信号の出力が第 e 1 列から、列番が順に大きくなるように順次行われる。

30

40

【0087】

このように、同一行の画素回路 10 に対応する信号を、画素回路 10 を列の順番で読み出す場合に、同一行の画素回路 10 に対応した信号を並行して処理することができる。この

50

場合に、主に第1実施形態で説明したように、画素回路10の4つの列が並ぶ順番と、対応する電気回路20の4つの行が並ぶ順番とがそろっていることで、電気回路20の特性差の影響を低減できる。

【0088】

第8実施形態のように、複数の画素回路10に対応するデータを読み出す際に、同一行（例えば第a1行）の画素回路10のデータを、複数列（例えば第v列と第w列）の電気回路20から読み出す。そしてその後に、他の行（例えば第a2行）の画素回路10のデータが読み出される。このようにすることで、画素回路10のデータを画素回路10の同一行毎に出力できるため、データの伝送や画像処理を高速、効率的に行うことができる。

【0089】

第2実施形態のような接続形態を採用する場合には、同一行（例えば第a1行）の画素回路10のデータが画素回路10の列順で出力されるように、画素回路10が接続された適切な電気回路20からデータを読み出す。

【0090】

（第9実施形態）

図13を用いて第9実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。第9実施形態は、第8実施形態を変形した形態である。図13(a)は図12(a)と同様に画素回路10と電気回路20の接続関係を示しており、図13(b)は図12(b)と同様に電気回路20からの出力について説明している。

【0091】

第9実施形態は、図13(a)に示すように電気回路20からの出力を2系統設けている点が第8実施形態と異なる。第p行と第q行の電気回路20からの出力先と、第r行と第s行の電気回路20からの出力先が別になっている。なお、同一行の電気回路20について、第v列と第w列とで電気回路20の出力先は同じであってもよいし、別であってもよく、本例では同じである。

【0092】

図13(b)は、電気回路20での信号処理と電気回路20からの信号出力のタイミングを示している。時刻t1~t2と時刻t3~t4での信号処理は第8実施形態と同様である。時刻t2~t3では、まず、第v列の電気回路20について、第p行の電気回路20からの信号出力と第r行の電気回路20からの信号出力とを並行して行う。次いで、第q行の電気回路20からの信号出力と第s行の電気回路20からの信号出力とを並行して行う。時刻t2~t3の後半では、第w列の電気回路20について、第q行の電気回路20からの信号出力と第s行の電気回路20からの信号出力とを並行して行う。次いで、第q行の電気回路20からの信号出力と第s行の電気回路20からの信号出力とを並行して行う。これにより、画素回路10の1行分の信号を出力するのに要する時刻t2~t3の時間を、第8実施形態に比べて短縮できる。その結果、高速な信号出力が可能となり、フレームレートの高い撮像が可能になる。

【0093】

（第10実施形態）

図14を用いて第10実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。第10実施形態は、第9実施形態を変形した形態である。図14(a)は図13(a)と同様に画素回路10と電気回路20の接続関係を示しており、図14(b)は図13(b)と同様に電気回路20からの出力について説明している。

【0094】

第p行の電気回路20からの出力先と、第q行の電気回路20からの出力先とが異なっている。第r行の電気回路20からの出力先と、第s行の電気回路20からの出力先とが異なっている。第p行と第r行の電気回路20からの出力先は同一であり、第q行と第s行の電気回路20からの出力先は同一である。なお、同一行の電気回路20について、第v列と第w列とで電気回路20の出力先は同じであってもよいし、別であってもよく、本例では同じである。

10

20

30

40

50

【 0 0 9 5 】

図 1 4 (b) は、電気回路 2 0 での信号処理と電気回路 2 0 からの信号出力のタイミングを示している。時刻 $t_1 \sim t_2$ と時刻 $t_3 \sim t_4$ での信号処理は第 9 実施形態と同様である。時刻 $t_2 \sim t_3$ では、まず、第 v 列の電気回路 2 0 について、第 p 行の電気回路 2 0 からの信号出力と第 q 行の電気回路 2 0 からの信号出力とを並行して行う。次いで、第 r 行の電気回路 2 0 からの信号出力と第 s 行の電気回路 2 0 からの信号出力とを並行して行う。時刻 $t_2 \sim t_3$ の後半では、第 w 列の電気回路 2 0 について、第 p 行の電気回路 2 0 からの信号出力と第 q 行の電気回路 2 0 からの信号出力とを並行して行う。次いで、第 r 行の電気回路 2 0 からの信号出力と第 s 行の電気回路 2 0 からの信号出力とを並行して行う。これにより、高速な信号出力が可能となり、フレームレートの高い撮像が可能になる点では第 9 実施形態と同様である。

10

【 0 0 9 6 】

第 9 実施形態においては、隣接列の画素回路 1 0 の信号は、どの 2 列の組み合わせにおいても異なるタイミングで出力される。例えば信号 R_{11} と信号 G_{r11} の組に注目すると、両者は異なるタイミングで出力され、信号 G_{r11} と信号 R_{12} の組に注目しても、両者は異なるタイミングで出力される。これに対して第 1 0 実施形態では、隣接列の画素回路 1 0 の信号が同時に出力される場合（例えば信号 R_{11} と信号 G_{r11} ）と、隣接列の画素回路 1 0 の信号が異なるタイミングで出力される場合（例えば信号 G_{r11} と信号 R_{12} ）と、が混在する。そのため、画素回路 1 0 には、隣接列間での出力差が大きい列の組と小さい列の組が存在しうる。ジッターなどの時間軸で出力が変動する要因が相対的に大きければ、第 9 実施形態のように出力して、隣接列の出力タイミングのばらつきを低減することが好ましい。

20

【 0 0 9 7 】

第 1 0 実施形態において、同一の出力系統から連続して出力される 2 つの信号に着目すると、どの 2 つの信号でも対応する画素回路 1 0 の間隔は均一である。例えば、信号 R_{11} 、 R_{12} 、 R_{13} 、 R_{14} は画素回路 1 0 の全て 1 行おきの信号である。これに対して第 9 実施形態では、同一の出力系統から連続して出力される 2 つの信号に着目すると、2 つの信号で対応する画素回路 1 0 の間隔が異なる。例えば、信号 R_{11} と信号 G_{r11} は隣接列の画素回路 1 0 の信号であるが、信号 G_{r11} と信号 R_{13} は 2 列分離れた画素回路 1 0 の信号である。そのため、出力系統ごとに出力特性が異なると、隣接する画素回路 1 0 の列毎に出力差が異なってしまう。出力系統の特性差が相対的に大きければ、第 1 0 実施形態のように出力して、隣接列の出力差のばらつきを低減することが好ましい。また、半導体装置 A P R から出力されたデータを処理する場合にも、隣接する画素のデータを用いて処理することが、アルゴリズムを最適化できる。そのため、第 9 実施形態の信号 G_{r11} と信号 R_{13} のように離間した画素のデータを連続して出力するより、第 1 0 実施形態の信号 G_{r11} と信号 G_{r12} のように近接した画素のデータを連続して出力することが好ましい。

30

【 0 0 9 8 】

(第 1 1 実施形態)

第 1 1 実施形態は第 1 ~ 1 0 実施形態に共通の実施形態であるが、とりわけ、第 9 実施形態あるいは第 1 0 実施形態に好適な実施形態である。

40

【 0 0 9 9 】

図 1 5 にはチップ 2 のレイアウトを示している。図 1 5 には、第 p_1 行、第 q_1 行、 r_1 行、第 s_1 行、第 p_2 行、第 q_2 行、第 s_2 行の電気回路 2 0 を示している。電気回路 2 0 は第 v 列、第 w 列、第 x 列に配列されている。ここで、 $s_1 < q_1 < r_1 < s_1 < p_2 < q_2 < s_2$ である。電気回路 2 0 の各々は模式的に示した複数の画素グループ 1 5 のいずれかにそれぞれ接続されている。第 1 1 実施形態でも第 1 実施形態で説明したように、画素グループ 1 5 の列番の増加に従って、対応する電気回路 2 0 の列番が増加する。

【 0 1 0 0 】

第 1 1 実施形態では、電気回路 2 0 の行が並ぶ方向において、電気回路 2 0 の複数の行を

50

挟むように複数の読み出し回路 4 4 1、4 4 2 が設けられている。読み出し回路 4 4 1、4 4 2 には電気回路 2 0 の出力信号が入力される。読み出し回路 4 4 1、4 4 2 に読み出された信号は、インターフェース回路 4 5 1、4 5 2 に転送され、インターフェース回路 4 5 1、4 5 2 によって所定のデータ形式に変換され、半導体デバイスから出力される。インターフェース回路 4 5 1、4 5 2 は、パラレル - シリアル変換器や低電圧差動信号 (LVDS: Low Voltage Differential Signaling) などのインターフェース回路を含むことができる。

【0101】

第 p 1 行、第 r 1 行、第 p 2 行、第 s 2 行の電気回路 2 0 は上側の読み出し回路 4 4 1 に接続されている。第 q 1 行、第 s 1 行、第 q 2 行の電気回路 2 0 は下側の読み出し回路 4 4 2 に接続されている。これにより、電気回路 2 0 の複数行からの信号の出力を並行して行うことができる。例えば第 p 1 行の電気回路 2 0 からの信号出力と、第 q 1 行の電気回路 2 0 からの信号出力とを並行して行うことができる。

10

【0102】

(第 1 2 実施形態)

図 1 6 を用いて第 1 2 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。第 1 2 実施形態は第 1 1 実施形態を変形した形態である。第 1 2 実施形態では、第 p 1、q 1、r 1、s 1 行の電気回路 2 0 は奇数列の画素グループ 1 5 に接続されており、第 p 2、q 2、s 2 行の電気回路 2 0 は偶数列の画素グループ 1 5 に接続されている。第 p 1、q 1、r 1、s 1 行については、画素グループ 1 5 の列番 (奇数列) の増加に従って、対応する電気回路 2 0 の列番が増加する。第 p 2、q 2、s 2 行については、画素グループ 1 5 の列番 (偶数列) の増加に従って、対応する電気回路 2 0 の列番が増加する。本実施形態では、第 p 1 ~ s 1 行の電気回路 2 0 を上側の読み出し回路 4 4 1 に接続し、第 p 2 ~ s 2 行の電気回路 2 0 を下側の読み出し回路 4 4 2 に接続している。第 1 1 実施形態では、電気回路 2 0 と読み出し回路 4 4 1 に接続された出力線と、電気回路 2 0 と読み出し回路 4 4 2 に接続された出力線とが交差する。これに対して、第 1 2 実施形態では、電気回路 2 0 と読み出し回路 4 4 1 に接続された出力線と、電気回路 2 0 と読み出し回路 4 4 2 に接続された出力線とが交差しなくてよい。そのため、出力線が設けられる配線構造 2 2 を簡略化でき、コストを低減することができるし、クロストーク等のデータ伝送における好ましくない影響も低減できる。

20

30

【0103】

(第 1 3 実施形態)

図 1 7 を用いて第 1 3 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。第 1 3 実施形態は、第 1 ~ 1 2 実施形態に組み合わせよく、特に第 1 1 実施形態や第 1 2 実施形態と組み合わせてもよい。図 1 7 にはチップ 2 のレイアウトを示している。電気回路 2 0 の行が並ぶ方向において、電気回路 2 0 の複数の行を挟むように複数の走査回路 4 6 1、4 6 2 が設けられている。電気回路 2 0 の列が並ぶ方向において、電気回路 2 0 の複数の列とチップ 2 の外縁との間に走査回路 4 6 3 が設けられている。本例では、読み出し回路 4 4 1 が走査回路 4 6 1 とチップ 2 の外縁との間に配されているが、走査回路 4 6 1 を読み出し回路 4 4 1 とチップ 2 の外縁との間に配してもよい。読み出し回路 4 4 2 が走査回路 4 6 2 とチップ 2 の外縁との間に配されているが、走査回路 4 6 2 を読み出し回路 4 4 2 とチップ 2 の外縁との間に配してもよい。

40

【0104】

走査回路 4 6 1、4 6 2 は電気回路 2 0 に接続されており、複数の電気回路 2 0 のうち、信号を出力すべき電気回路 2 0 が属する列を選択するための走査を行う。走査回路 4 6 3 は電気回路 2 0 に接続されており、複数の電気回路 2 0 のうち、信号を出力すべき電気回路 2 0 が属する行を選択する。走査回路 4 6 1、4 6 2 および走査回路 4 6 3 により選択された電気回路 2 0 から、読み出し回路 4 4 1、4 4 2 へ信号が読み出される。走査回路 4 6 1、4 6 2、4 6 3 はデコーダーやシフトレジスタで構成することができる。電気回路 2 0 の列が並ぶ方向において、電気回路 2 0 の複数の列とチップ 2 の外縁との間に駆動

50

回路 47 が設けられている。駆動回路 47 は複数の電気回路 20 の各々に、電気回路 20 を駆動するための電源を供給する。

【0105】

信号生成回路 48 は、例えば図 9 で説明した信号生成回路 290 の一部であり、同期信号 CLK や参照信号 REF を生成し、電気回路 20 に供給する。信号生成回路 48 は電気回路 20 の比較回路 260 以外の回路に供給される同期信号や参照信号を生成し、電気回路 20 に供給することもできる。

【0106】

(第 14 実施形態)

チップ 2 の寸法が例えば 33 mm より大きい場合には、チップ 2 を製造する際には、フォトリソグラフィにおける露光を、チップ 2 となる領域を複数の露光領域に分割して露光すること(分割露光)が好ましい。ここでいう寸法とは、電気回路 20 の列が並ぶ方向における幅でありうる。とりわけ、チップ 2 を ArF 露光装置(液浸でもよい)で露光する場合には、分割露光は好適である。分割露光を行う際には、1つの電気回路 20 が分割されないように、複数の露光領域の境界を、複数の電気回路 20 の間の位置に設定することが好ましい。典型的には、露光領域の境界はチップ 2 の中央付近である。第 11 ~ 13 実施形態で説明した、電気回路 20 と、読み出し回路 441、442、走査回路 461、462、463、駆動回路 47、信号生成回路 48 とを接続する配線は、チップ 2 の中で配線長が長くなるグローバル配線である。分割露光においてグローバル配線に対応するレジストパターンが繋がるように、繋ぎ露光を行うことが好ましい。これらのグローバル配線は、低インピーダンスで駆動されるため、繋ぎ露光を行っても出力特性への影響が小さい。これに対して、インターフェース回路 451、452 はこれらのグローバル配線に比べて高い周波数で動作するため、インターフェース回路 451、452 には繋ぎ露光で繋がれることは好ましくない。そのため、図 15 ~ 図 17 に示すように、インターフェース回路 451、452 は露光領域の境界が位置する中央付近から離すのが良い。たとえば、U が偶数であれば、U 列の電気回路 20 のうち第 U/2 列の電気回路 20 とチップ 2 の外縁との間には、電気回路 20 の列が並ぶ方向において、インターフェース回路 451、452 は配されないことが好ましい。U が奇数であれば第 (U+1)/2 列の電気回路 20 とチップ 2 の外縁との間には、電気回路 20 の列が並ぶ方向においてインターフェース回路 451、452 は、配されないことが好ましい。図 15、16 の例では U が 3 であり、電気回路 20 の列が並ぶ方向において、第 2 列に相当する第 w 列とチップ 2 の外縁には、インターフェース回路 451、452 は配されていない。インターフェース回路 451、452 は第 v 列が第 x 列とチップ 2 の外縁との間に配されている。

【0107】

(第 15 実施形態)

図 18 を用いて第 13 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。図 18 は図 15、図 16 と同様に、チップ 2 の回路のレイアウトを示している。

【0108】

第 15 実施形態では、行列状に配された電気回路 20 の一部と、行列状に配された電気回路 20 の一部との間に、読み出し回路 443、444 が配されている。これにより、より多くのデータを同時に出力が可能となる。例えば、読み出し回路 441 からは第 1 色の画素のデータ、読み出し回路 442 からは第 2 色の画素のデータ、443、443 からは第 4 色の画素のデータを読み出すことができる。あるいは、読み出し回路 441、読み出し回路 442 からは第 1 色の画素のデータ、読み出し回路 443 からは第 2 色の画素のデータ、読み出し回路 444 からは第 3 色の画素のデータ、を読み出すことができる。

【0109】

(第 16 実施形態)

図 19 を用いて第 16 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。図 19 (a) はチップ 1 の平面レイアウトであり、複数の画素回路 1

10

20

30

40

50

0 を行毎に共通の走査線 5 0 が接続している。走査線 5 0 は、第 7 実施形態で説明した信号 P T X 等の転送信号 T X、信号 P S E L 等の選択信号 S E L、信号 P R E S 等のリセット信号 R E S を同一行の複数の画素回路 1 0 へ共通に供給する。転送信号 T X、選択信号 S E L、リセット信号 R E S を走査信号と総称する。

【 0 1 1 0 】

図 1 9 (b) はチップ 2 の平面レイアウトである。チップ 2 には走査回路 4 0 1、4 0 2、4 0 3 が配されている。走査回路 4 0 1 は、電気回路 2 0 の列が並ぶ方向において、複数の電気回路 2 0 の間に配されている。走査回路 4 0 2、4 0 3 は電気回路 2 0 の列が並ぶ方向において、福巢の電気回路 2 0 とチップ 2 の外縁との間に配されている。走査回路 4 0 1、4 0 2、4 0 3 の少なくともいずれかがチップ 2 に設けられていればよい。なお、走査回路 4 0 1、4 0 2、4 0 3 のいずれかをチップ 2 に設けずにチップ 1 に設けることもできる。

10

【 0 1 1 1 】

走査回路 4 0 1、4 0 2、4 0 3 は導電部 2 3 に接続されており、走査線 5 0 は導電部 1 3 に接続されている。走査回路 4 0 1、4 0 2、4 0 3 は導電部 2 3、1 3 を介して走査線 5 0 に接続されて、上述の走査信号を走査線 5 0 に供給する。

【 0 1 1 2 】

走査線 5 0 には第 e 1 ~ e 5 列の画素回路 1 0 が接続されている。走査線 5 0 は、中央の部分 5 1 と、一端の部分 5 2 と、他端の部分 5 3 と、を有する。中央の部分 5 1 の両側には複数の画素回路 1 0 が接続されている。例えば、部分 5 1 は、第 e 2 列の画素回路 1 0 が走査線 5 0 に接続された部分と、第 e 4 列の画素回路 1 0 が走査線 5 0 に接続された部分との間に位置する。あるいは、部分 5 1 は、第 e 1 列の画素回路 1 0 が走査線 5 0 に接続された部分と、第 e 5 列の画素回路 1 0 が走査線 5 0 に接続された部分との間に位置する。同一行の全ての画素回路 1 0 は、走査線 5 0 の一端の部分 5 2 と他端の部分 5 3 との間の部分に接続されている。つまり、走査線 5 0 の部分 5 2 に対して部分 5 3 とは反対側には画素回路 1 0 は接続されておらず、走査線 5 0 の部分 5 3 に対して部分 5 2 とは反対側には画素回路 1 0 は接続されていない。

20

【 0 1 1 3 】

中央の部分 5 1 には、走査回路 4 0 1 からの配線（導電部 1 3、2 3 を含む）が接続されている。走査線 5 0 内で、走査回路 4 0 1 が接続されている部分 5 1 の位置は、画素回路 1 0 の 2 つの列の間である。これによって、この部分 5 1 から、部分 5 1 の一方の側に位置する第 e 1、e 2 列の画素回路 1 0 と、部分 5 1 の他方の側に位置する第 e 4、e 5 列の画素回路 1 0 と、に走査信号を供給する。これにより、走査信号を走査線 5 0 の一端の部分 5 2 および他端の部分 5 3 の一方のみへ供給する場合に比べて、走査線 5 0 のうち走査信号が供給される部分から最遠の画素回路 1 0 までの距離を小さくできる。そのため、最遠の画素回路 1 0 における走査信号の遅延を低減でき、画素回路 1 0 からの高速な読み出しが可能となる。そのため複数の電気回路 2 0 で並列に信号を選択したり処理したり出力する際の遅延を低減し、電気回路 2 0 の性能を向上できる。

30

【 0 1 1 4 】

本例では、走査回路 4 0 2 から導電部 1 3、2 3 を介して部分 5 2 に接続されており、走査回路 4 0 2 から走査回路 4 0 1 と同期した走査信号が走査線 5 0 に供給される。また、走査回路 4 0 3 から導電部 1 3、2 3 を介して部分 5 3 に接続されており、走査回路 4 0 3 から走査回路 4 0 1 と同期した走査信号が走査線 5 0 に供給される。この場合、画素回路 1 0 の読み出し動作をより高速化できる。なお、走査回路 4 0 1 を省略して、走査回路 4 0 2 および走査回路 4 0 3 から部分 5 2、5 3 へ走査信号を供給してもよい。また、走査回路 4 0 1 を省略して、走査回路 4 0 2 および/または走査回路 4 0 3 から部分 5 1 へ走査信号を供給してもよい。しかしながら、走査信号の遅延の改善には部分 5 1 へ走査回路 4 0 1 を接続するのがよい。

40

【 0 1 1 5 】

(第 1 7 実施形態)

50

図 20 を用いて第 17 実施形態を説明する。第 17 実施形態は第 16 実施形態の一例および変形例を含む。他の実施形態、特に第 16 実施形態と同様であってよい点については説明を省略する。

【0116】

図 20 (a) に示す第 1 例は、第 17 実施形態の斜視図に相当する。

【0117】

図 20 (b) に示す第 2 例は、走査回路 402、403 を省略して、走査回路 401 を走査線 50 の中央の部分 (部分 51 に対応) に接続している。

【0118】

図 20 (c) に示す第 3 例では、走査回路 402、403 がチップ 1 に設けられている。画素回路 10 の列が並ぶ方向において、走査回路 402 と走査回路 403 との間に複数の画素回路 10 が位置する。換言すれば、画素回路 10 の列が並ぶ方向において、複数の画素回路 10 とチップ 1 の外縁との間に走査回路 402、403 が位置する。このようにすれば、走査回路 402、403 とチップ 1 の走査線 50 との距離を短縮できるため、画素回路 10 の駆動を高速化できる。

【0119】

図 20 (d) に示す第 4 例では、走査線 50 をチップ 1 ではなくチップ 2 に配置している。つまり、走査線 50 はチップ 2 の配線構造 22 に含まれる配線層で構成されたグローバル配線である。そして、チップ 2 に設けられた走査線 50 の中央の部分 (部分 51 に対応) から導電部 13、23 (不図示) を介して、複数の画素回路 10 の各々に接続されている。このような形態では、導電部 13、14 の数が画素回路 10 の数の数倍 (走査信号の種類の数による) だけ必要になる。そのため、半導体装置 APR の複雑化を招き、コストが高くなる可能性がある。よって、走査線 50 はチップ 1 の配線構造 12 に設けるのが良い。

【0120】

(第 18 実施形態)

図 21 を用いて第 18 実施形態を説明する。他の実施形態と同様であってよい点については説明を省略する。第 18 実施形態は、第 1 ~ 17 実施形態に共通の形態である。第 18 実施形態は、導電部 13 と導電部 23 の接続に関する。

【0121】

図 21 (a) には、半導体デバイス IC の断面図を示している。チップ 1 の半導体層 11 とチップ 2 の半導体層 21 との間には、チップ 1 の配線構造 12 とチップ 2 の配線構造 22 が位置している。配線構造 12 は M 層の配線層 121、122 を有している。配線層 121、122 は Cu 配線層でありうる。本例では、配線層 122 が導電部 13 を含む。導電部 13 は層間絶縁膜に形成された凹部に埋め込まれ、ダマシン構造 (本例ではデュアルダマシン構造) を有している。配線構造 22 は N 層の配線層 221、222 を有している。配線構造 22 の配線層数 (N) は配線構造 12 の配線層数 (M) よりも大きくてもよい ($M > N$)。このようにすることで、画素回路 10 と電気回路 20 の性能を高めつつ、半導体装置 APR のコストを低減できる。配線層 221、222 は Cu 配線層でありうる。本例では、配線層 222 が導電部 23 を含む。導電部 23 は層間絶縁膜に形成された凹部に埋め込まれ、ダマシン構造 (本例ではデュアルダマシン構造) を有している。導電部 13 と導電部 23 とが接合している。導電部 13 が埋め込まれた凹部を有する層間絶縁膜と、導電部 23 が埋め込まれた凹部を有する層間絶縁膜と、も接合 (接触) している。導電部 13 と導電部 23 との位置ずれや、寸法の違いなどにより、導電部 13 は導電部 23 が埋め込まれた凹部を有する層間絶縁膜に面している。導電部 23 は導電部 13 が埋め込まれた凹部を有する層間絶縁膜に面している。導電部 13、23 および層間絶縁膜の接触面を接合面 30 で示している。この例によれば、導電部 13、23 の寸法を小さくできるので、画素回路 10 と電気回路 20 の接続部を多く設けることができ、より多くの画素回路 10 を複数の電気回路 20 で並列処理することができる。

【0122】

半導体層 1 1 には光電変換素子 6 0 1 は、転送トランジスタ 6 0 3 を介して電荷検出部 6 0 5 が設けられている。チップ 1 は裏面照射型の受光構造を有している。導電部 1 3 は配線層 1 2 1 を介して画素回路 1 0 の半導体素子に接続されている。導電部 1 3 が接続される画素回路 1 0 の半導体素子は例えばトランジスタであるが、ダイオードや抵抗、容量でもよい。本例では導電部 1 3 が選択トランジスタ 6 0 8 に接続されている。半導体層 1 1 には光電変換素子 6 0 1 は、転送トランジスタ 6 0 3 を介して電荷検出部 6 0 5 が設けられている。導電部 2 3 は配線層 2 2 1 を介して電気回路 2 0 の半導体素子に接続されている。導電部 2 3 が接続される電気回路 2 0 の半導体素子は例えばトランジスタであるが、ダイオードや抵抗、容量でもよい。本例では導電部 2 3 が選択回路 2 4 0 に接続されている。電気回路 2 0 に用いられるトランジスタは、コバルトシリサイドやニッケルシリサイドなどのシリサイド層を有していてもよい。また、ゲート電極はメタルゲートであってもよく、ゲート絶縁膜は high - k 絶縁膜であってもよい。電気回路 2 0 に用いられるトランジスタは、プレーナ型の MOSFET でもよいが、Fin - FET でもよい。半導体層 2 1 に設けられたトランジスタのゲート絶縁膜の厚さは複数種類であってもよい。厚いゲート絶縁膜を有するトランジスタは電源系やアナログ系などの高耐圧性が要求される回路に用いられ、薄いゲート絶縁膜を有するトランジスタはデジタル系などの高速性が要求される回路に用いられる。半導体層 1 1 は 1 ~ 1 0 μ m 程度であり、半導体層 2 1 は半導体層 1 1 と同程度か、半導体層 1 1 よりも厚くすることができる。半導体層 1 1 の厚さは例えば 5 0 ~ 8 0 0 μ m である。

10

【 0 1 2 3 】

図 2 1 (b) も、半導体装置 A P R の断面図を示している。図 2 1 (b) に示す例では、導電部 1 3 と導電部 2 3 は接触していない点で図 2 1 (a) の例と異なる。導電部 1 3 は導電部 2 3 が埋め込まれた凹部を有する層間絶縁膜に面している。導電部 1 3 が埋め込まれた凹部を有する層間絶縁膜と、導電部 2 3 が埋め込まれた凹部を有する層間絶縁膜と、も離間している。導電部 1 3 と導電部 2 3 との間には両者に接触するバンプ 3 3 が設けられている。バンプ 3 3 は数 μ m ~ 数 1 0 μ m 程度の大きさが必要であるが、上述した第 1 ~ 1 8 実施形態では、電気回路 2 0 の数を画素回路 1 0 の数よりも減らせるので、バンプ 3 3 を使用しても、一定の性能を得ることができる。

20

【 0 1 2 4 】

図 2 1 (c) も、半導体装置 A P R の断面図を示している。図 2 1 (b) に示す例では、導電部 1 3 と導電部 2 3 は接触していない点で図 2 1 (a) の例と異なる。配線構造 1 2 と配線構造 2 2 の間には両者の層間絶縁膜を接着する接着層 3 4 が設けられている。接着層 3 4 の接合面 3 0 は、配線構造 1 2 側の接着層と配線構造 2 2 側の接着層の接触面である。導電部 1 3 と導電部 2 3 は半導体層 2 1 を貫通する貫通電極 3 5 によって接続されている。本例では、半導体層 1 1 ではなく半導体層 2 1 に貫通電極を設けているので、貫通電極 3 5 が画素回路 1 0 の集積化を妨げることがなく、また、半導体層 1 1 へのダメージを抑制することもできる。しかしながら、貫通電極 3 5 は電気回路 2 0 の集積化を妨げうため、上述の図 2 1 (a) の例を採用することが望ましい。

30

【 0 1 2 5 】

(第 1 9 実施形態)

第 1 9 実施形態として、図 1 (a) に示した機器 E Q P について詳述する。半導体装置 A P R はチップ 1、2 の積層体である半導体デバイス I C の他に、半導体デバイス I C を収容するパッケージ P K G を含む。パッケージ P K G は、半導体デバイス I C が固定された基体と、半導体デバイス I C に対向するガラス等の蓋体と、基体に設けられた端子と半導体デバイス I C に設けられた端子とを接続するボンディングワイヤやバンプ等の接続部材と、を含む。

40

【 0 1 2 6 】

機器 E Q P は、光学系 O P T、制御装置 C T R L、処理装置 P R C S、表示装置 D S P L、記憶装置 M M R Y の少なくともいずれかをさらに備え得る。光学系 O P T は光電変換装置としての半導体装置 A P R に結像するものであり、例えばレンズやシャッター、ミラー

50

である。制御装置 C T R L は半導体装置 A P R を制御するものであり、例えば A S I C などの半導体デバイスである。処理装置 P R C S は半導体装置 A P R から出力された信号を処理するものであり、A F E (アナログフロントエンド)あるいは D F E (デジタルフロントエンド)を構成するための、C P U や A S I C などの半導体デバイスである。表示装置 D S P L は半導体装置 A P R で得られた情報(画像)を表示する、E L 表示装置や液晶表示装置である。記憶装置 M M R Y は、半導体装置 A P R で得られた情報(画像)を記憶する、磁気デバイスや半導体デバイスである。記憶装置 M M R Y は、S R A M や D R A M などの揮発性メモリ、あるいは、フラッシュメモリやハードディスクドライブなどの不揮発性メモリである。機械装置 M C H N はモーターやエンジン等の可動部あるいは推進部を有する。機器 E Q P では、半導体装置 A P R から出力された信号を表示装置 D S P L に表示したり、機器 E Q P が備える通信装置(不図示)によって外部に送信したりする。そのために、機器 E Q P は、半導体装置 A P R が有する記憶回路部や演算回路部とは別に、記憶装置 M M R Y や処理装置 P R C S を更に備えることが好ましい。

10

【0127】

図1(a)に示した機器 E Q P は、撮影機能を有する情報端末(例えばスマートフォンやウェアラブル端末)やカメラ(例えばレンズ交換式カメラ、コンパクトカメラ、ビデオカメラ、監視カメラ)などの電子機器でありうる。カメラにおける機械装置 M C H N はズームリングや合焦、シャッター動作のために光学系 O P T の部品を駆動することができる。また、機器 E Q P は、車両や船舶、飛行体などの輸送機器(移動体)でありうる。輸送機器における機械装置 M C H N は移動装置として用いられうる。輸送機器としての機器 E Q P は、半導体装置 A P R を輸送するものや、撮影機能により運転(操縦)の補助および/または自動化を行うものに好適である。運転(操縦)の補助および/または自動化のための処理装置 P R C S は、半導体装置 A P R で得られた情報に基づいて移動装置としての機械装置 M C H N を操作するための処理を行うことができる。

20

【0128】

以上説明した実施形態による半導体装置 A P R は、その設計者、製造者、販売者、購入者および/または使用者に、高い価値を提供することができる。そのため、半導体装置 A P R を機器 E Q P に搭載すれば、機器 E Q P 価値も高めることができる。よって、機器 E Q P の製造、販売を行う上で、本実施形態の半導体装置 A P R の機器 E Q P への搭載を決定することは、機器 E Q P の価値を高める上で有利である。

30

【0129】

以上、説明した実施形態は、技術思想を逸脱しない範囲において適宜変更が可能である。なお、実施形態の開示内容は、本明細書に明記したことのみならず、本明細書および本明細書に添付した図面から把握可能な全ての事項を含む。また、同様の名称で異なる符号を付した構成については、第1構成、第2構成、第3構成・・・などとして区別することが可能である。

【符号の説明】

【0130】

A P R 半導体装置

1 チップ

10 画素回路

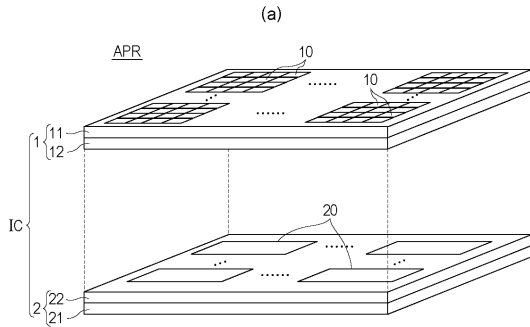
2 チップ

20 電気回路

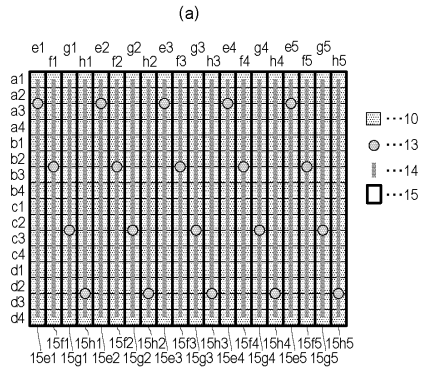
40

【 図面 】

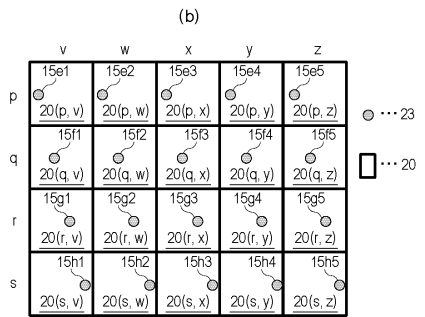
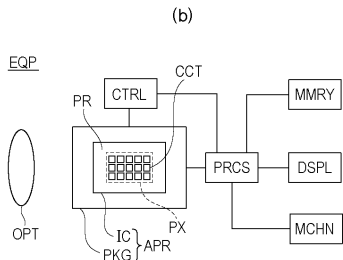
【 図 1 】



【 図 2 】

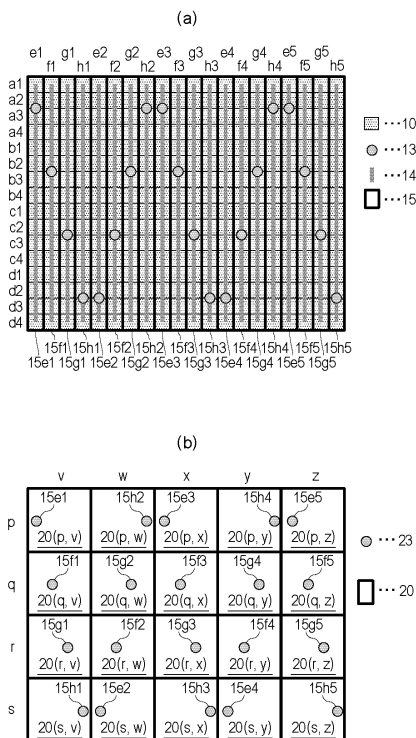


10



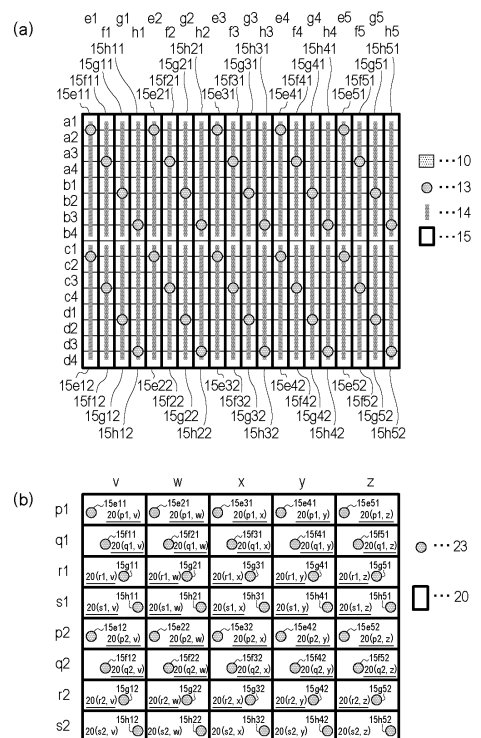
20

【 図 3 】



30

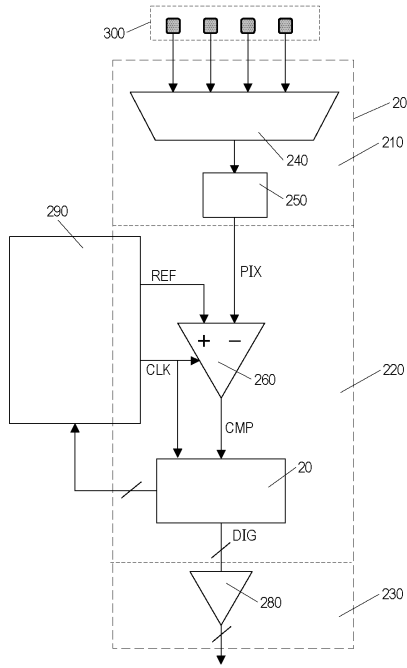
【 図 4 】



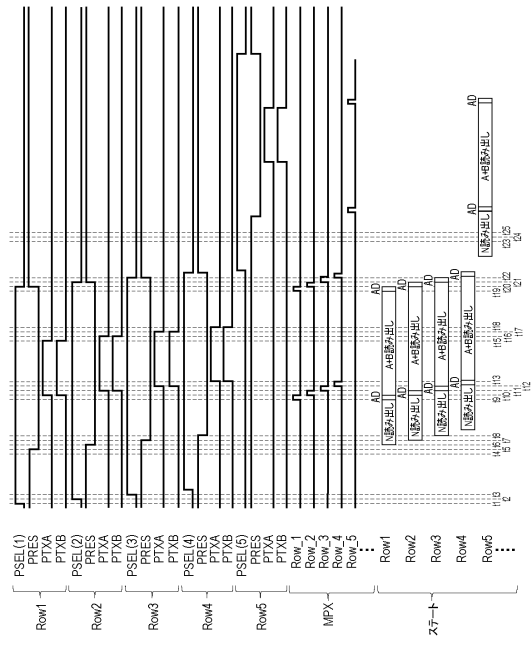
40

50

【図 9】



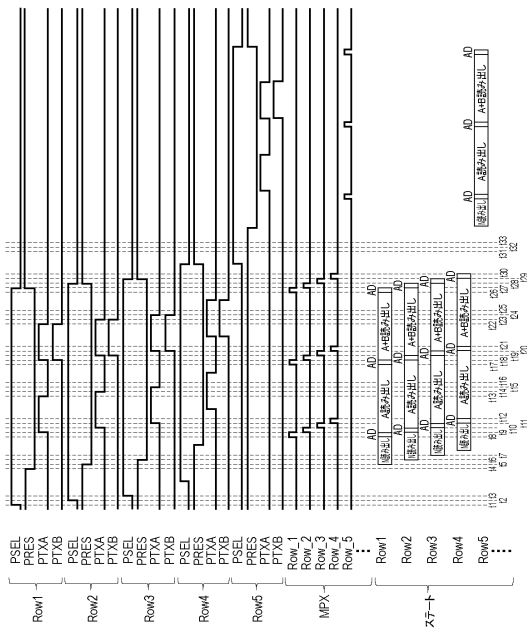
【図 10】



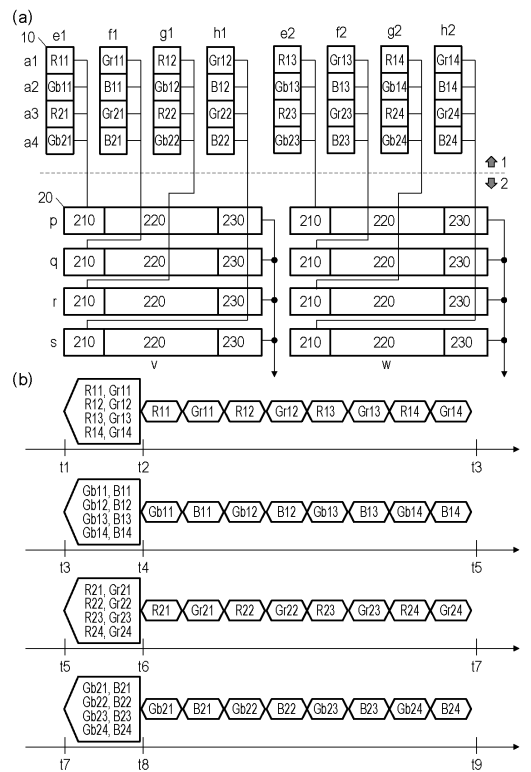
10

20

【図 11】



【図 12】

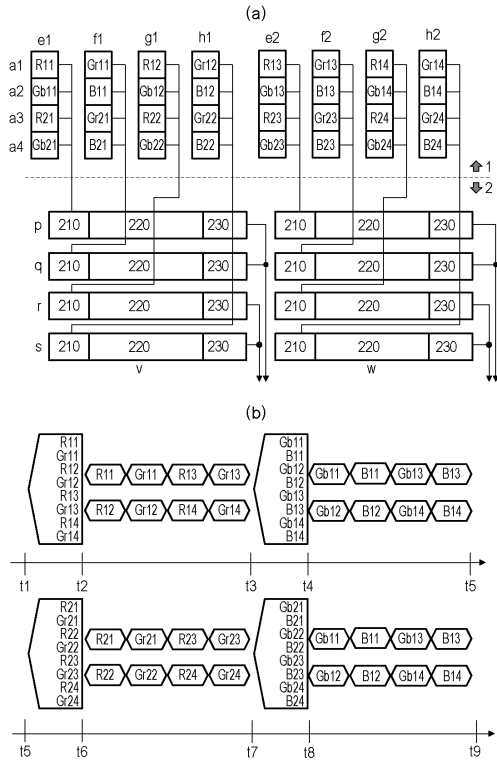


30

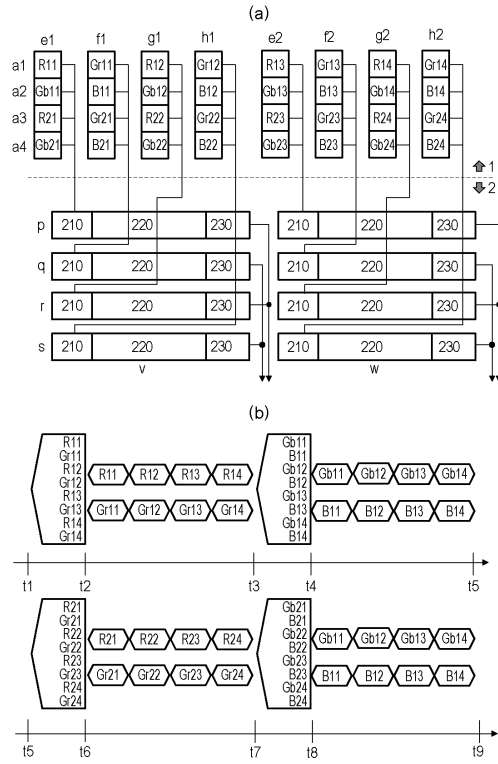
40

50

【 図 1 3 】



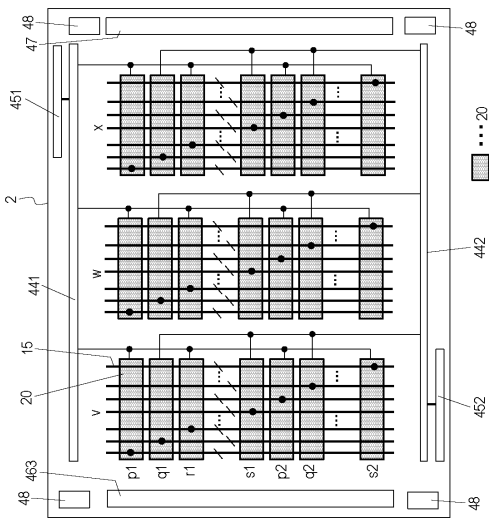
【 図 1 4 】



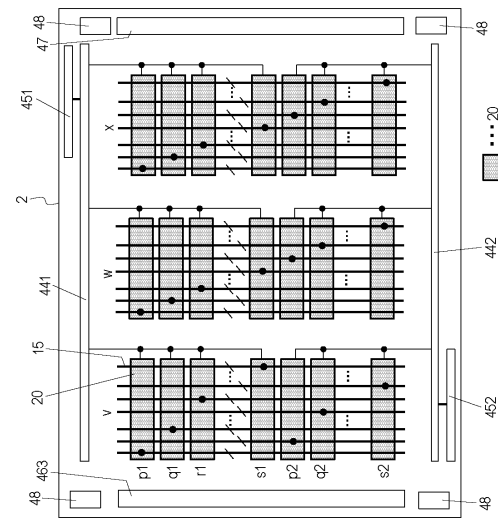
10

20

【 図 1 5 】



【 図 1 6 】

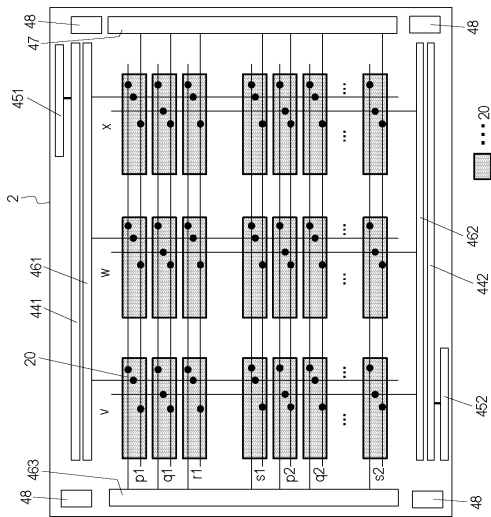


30

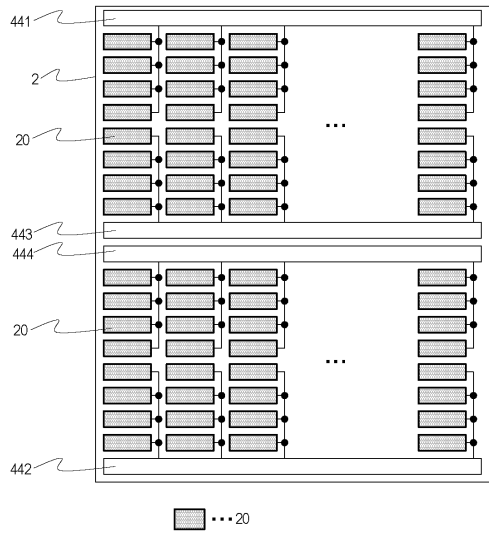
40

50

【図 17】



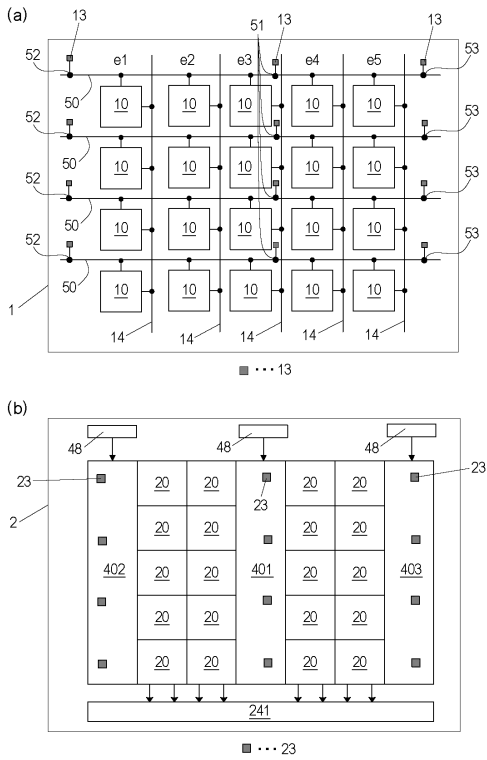
【図 18】



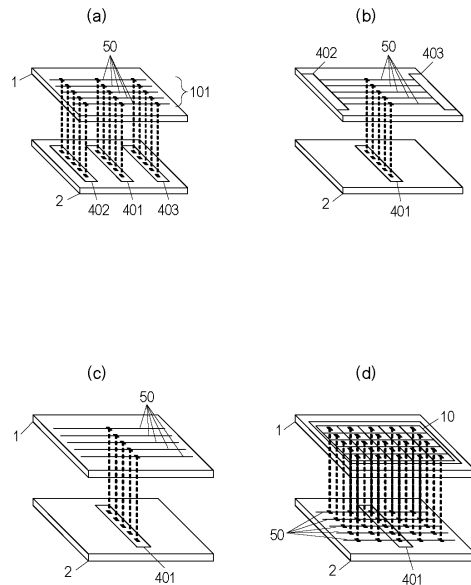
10

20

【図 19】



【図 20】

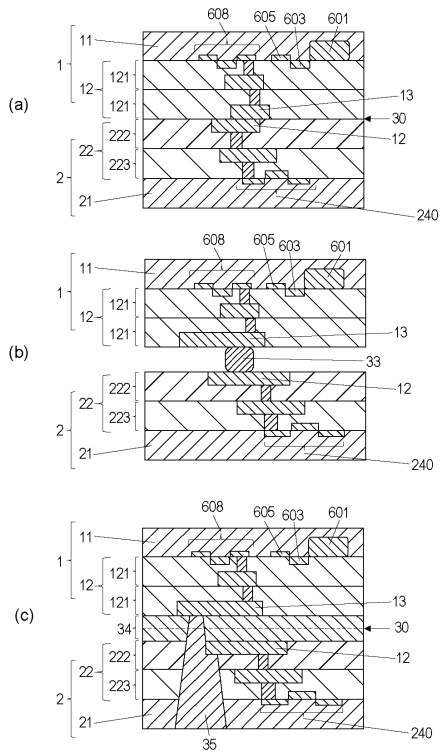


30

40

50

【 図 2 1 】



10

20

30

40

50

フロントページの続き

ヤノン株式会社内

- (72)発明者 小林 秀央
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 中村 恒一
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 吉田 大介
東京都大田区下丸子3丁目30番2号キヤノン株式会社内
- (72)発明者 乾 文洋
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 明

- (56)参考文献 特表2014-519703(JP,A)
特開2012-104684(JP,A)
国際公開第2014/109044(WO,A1)
特開2017-123381(JP,A)
特開2015-122730(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H04N 5/30 - 5/378
H01L 27/14 - 27/148