

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6007804号  
(P6007804)

(45) 発行日 平成28年10月12日(2016.10.12)

(24) 登録日 平成28年9月23日(2016.9.23)

(51) Int.Cl. F I  
**HO2M 3/155 (2006.01)** HO2M 3/155 B  
 HO2M 3/155 P

請求項の数 10 (全 26 頁)

(21) 出願番号 特願2013-13371(P2013-13371)  
 (22) 出願日 平成25年1月28日(2013.1.28)  
 (65) 公開番号 特開2014-147182(P2014-147182A)  
 (43) 公開日 平成26年8月14日(2014.8.14)  
 審査請求日 平成27年9月30日(2015.9.30)

(73) 特許権者 514315159  
 株式会社ソシオネクスト  
 神奈川県横浜市港北区新横浜2丁目10番  
 23  
 (74) 代理人 100105957  
 弁理士 恩田 誠  
 (74) 代理人 100068755  
 弁理士 恩田 博宣  
 (72) 発明者 長谷川 守仁  
 愛知県春日井市高蔵寺町二丁目1844番  
 2 富士通VLSI株式会社内  
 審査官 坂東 博司

最終頁に続く

(54) 【発明の名称】 電源の制御回路、電源装置、電子機器及び電源の制御方法

(57) 【特許請求の範囲】

【請求項1】

誘導素子にエネルギーを蓄積する際にオンする第1スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第2スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御回路であって、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第1スイッチ回路及び前記第2スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第1の範囲内である場合に、前記第1スイッチ回路及び前記第2スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第1の範囲の上限値である第1の基準値よりも大きい場合に、前記出力電圧に基づいて前記第1スイッチ回路をオンオフ動作させるとともに、前記第2スイッチ回路をオフ状態にすることを特徴とする電源の制御回路。

【請求項2】

前記設定回路は、前記停止信号が入力されたときに、前記負荷電流が前記第1の範囲の下限値である第2の基準値よりも小さい場合に、前記出力電圧に基づいて、前記第1スイッチ回路のオンオフ制御を間欠的に行うとともに、前記第2スイッチ回路をオンオフ動作させることを特徴とする請求項1に記載の電源の制御回路。

10

20

**【請求項 3】**

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御回路であって、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の下限値である第 2 の基準値よりも小さい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路を、オンオフ動作させる期間とオフ状態とする期間とを含む動作をさせるとともに、前記第 2 スイッチ回路をオンオフ動作させることを特徴とする電源の制御回路。

10

**【請求項 4】**

前記検出回路は、前記出力端子と前記負荷との間に挿入接続されたセンス抵抗の両端の電位差を増幅した増幅電圧を生成する増幅回路を有することを特徴とする請求項 2 又は 3 に記載の電源の制御回路。

**【請求項 5】**

前記検出回路は、前記第 1 の範囲の上限値を設定する第 1 基準電圧と前記増幅電圧とを比較する第 1 比較回路と、前記第 1 の範囲の下限値を設定する第 2 基準電圧と前記増幅電圧とを比較する第 2 比較回路と、を有し、

20

前記設定回路は、前記第 1 比較回路の出力信号と前記第 2 比較回路の出力信号とに応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定することを特徴とする請求項 4 に記載の電源の制御回路。

**【請求項 6】**

前記設定回路は、前記第 1 スイッチ回路のスイッチング周波数と同一の周波数を有する周期信号を、前記負荷電流に応じた分周比で分周したカウント信号を生成するカウンタ回路を有し、前記カウント信号に応じて、前記第 1 スイッチ回路を、前記オンオフ動作させる期間とオフ状態とする期間とを含む動作をさせることを特徴とする請求項 2 ~ 5 のいずれか 1 つに記載の電源の制御回路。

30

**【請求項 7】**

前記出力電圧に応じた帰還電圧と、前記出力電圧の目標電圧に応じて設定された第 3 基準電圧との比較結果に基づいてパルス信号を生成するスイッチング制御部と、

前記パルス信号に応じて、前記第 1 スイッチ回路をオンオフ制御する第 1 制御信号を生成する第 1 ドライバ回路と、

前記パルス信号に応じて、前記第 2 スイッチ回路をオンオフ制御する第 2 制御信号を生成する第 2 ドライバ回路と、

前記第 1 ドライバ回路及び前記第 2 ドライバ回路の電源端子に供給されるバイアス電圧を生成する電圧生成回路と、を有し、

40

前記電圧生成回路は、前記停止信号を入力したときに、前記帰還電圧が第 4 基準電圧よりも低くなった場合に前記バイアス電圧の生成を停止することを特徴とする請求項 1 ~ 6 のいずれか 1 つに記載の電源の制御回路。

**【請求項 8】**

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路と、前記第 1 スイッチ回路及び前記第 2 スイッチ回路をオンオフ制御する制御回路と、を有する電源装置であって、

前記制御回路は、

前記負荷に流れる負荷電流を検出する検出回路と、

50

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源装置の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力端子に生成される出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電源装置。

【請求項 9】

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路と、前記第 1 スイッチ回路及び前記第 2 スイッチ回路をオンオフ制御する制御回路と、を有する電源と、前記電源の出力電圧が供給される内部回路と、を有する電子機器であって、

前記制御回路は、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電子機器。

【請求項 10】

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御方法であって、

前記電源の動作停止を指令する外部からの停止信号が入力されたときに前記負荷に流れる負荷電流を検出し、該負荷電流が第 1 の範囲内である場合には、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電源の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源の制御回路、電源装置、電子機器及び電源の制御方法に関するものである。

【背景技術】

【0002】

電子機器等において、負荷への電力供給にスイッチング電源が用いられており、例えば直流電圧を別の直流電圧に変換する DC - DC コンバータが用いられている。電子機器によっては、各々電圧値の異なる複数の電圧源が使用される場合があり、それぞれの電圧源に対して個別に DC - DC コンバータが備えられることがある。この場合、電子機器の起動・停止に伴い、各電圧源の起動・停止のシーケンスを考慮して適格な順序で立ち上げ・立ち下げを行うことが重要である。例えば、起動・停止のシーケンスの順序が適格でないと、電子機器の構成要素である半導体装置において、PN 接合部に順バイアスが印加された状態が維持され不要電流が流れ続ける、いわゆるラッチアップ現象などの問題が発生するおそれがある。

10

20

30

40

50

## 【0003】

そこで、上記問題を回避するために、DC-DCコンバータの停止後に、DC-DCコンバータの出力電圧を速やかに低下させる方法が様々提案されている（例えば、特許文献1, 2参照）。例えば、外付けのコンデンサと放電用の抵抗を設け、DC-DCコンバータの停止後に出力電圧を低下させるソフトストップ技術が提案されている。このソフトストップ技術では、DC-DCコンバータの停止後に、上記放電用の抵抗により上記コンデンサに蓄積された電荷の放電が開始され、そのコンデンサの端子電圧が誤差増幅回路に入力される。これにより、誤差増幅回路において出力電圧と比較される基準電圧が徐々に低下するため、DC-DCコンバータの出力電圧を徐々に低下させることができる。また、同期整流方式のDC-DCコンバータにおいて、そのDC-DCコンバータの停止後に、メイン側のトランジスタをオフしつつ同期側のトランジスタをオンすることで、負荷側に設けられた出力コンデンサ等の容量素子に蓄積されている電荷を迅速に引き抜き、出力電圧を速やかに低下させる技術が提案されている。

10

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開2006-109535号公報

【特許文献2】特許第4621448号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

20

## 【0005】

ところが、上記ソフトストップ技術では、上記外付けのコンデンサを接続するための専用端子や上記コンデンサとして容量の大きなコンデンサが必要となるため、DC-DCコンバータ全体の回路面積が増大するという問題がある。また、同期側のトランジスタを利用して放電を行う技術では、負荷が重負荷であると、その負荷と同期側のトランジスタとによって出力コンデンサに蓄積されている電荷が急速に放電されてしまうため、DC-DCコンバータの出力電圧が急変（急減）してしまう。このように出力電圧が急変すると、その変動が上記電子機器に悪影響を及ぼすという問題がある。

## 【課題を解決するための手段】

## 【0006】

30

本発明の一観点によれば、誘導素子にエネルギーを蓄積する際にオンする第1スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第2スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御回路であって、前記負荷に流れる負荷電流を検出する検出回路と、前記負荷電流に応じて、前記第1スイッチ回路及び前記第2スイッチ回路のスイッチング動作を設定する設定回路と、を有し、前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第1の範囲内である場合に、前記第1スイッチ回路及び前記第2スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第1の範囲の上限値である第1の基準値よりも大きい場合に、前記出力電圧に基づいて前記第1スイッチ回路をオンオフ動作させるとともに、前記第2スイッチ回路をオフ状態にする。

40

## 【発明の効果】

## 【0007】

本発明の一観点によれば、出力電圧の急変を抑制することができるという効果を奏する。

## 【図面の簡単な説明】

## 【0008】

【図1】一実施形態のDC-DCコンバータを示すブロック回路図。

【図2】負荷電流と増幅電圧との関係を示すグラフ。

【図3】負荷の大きさと放電制御との関係を示すテーブル。

50

【図4】カウンタ回路の内部構成例を示すブロック回路図。

【図5】電圧生成回路の内部構成例を示すブロック回路図。

【図6】一実施形態のDC-DCコンバータの動作を示す波形図。

【図7】一実施形態のDC-DCコンバータの動作を示す波形図。

【図8】一実施形態のDC-DCコンバータの動作を示す波形図。

【図9】電子機器を示す概略構成図。

【発明を実施するための形態】

【0009】

以下、一実施形態を図1～図8に従って説明する。

図1に示すように、DC-DCコンバータ1は、入力端子 $T_i$ に供給される入力電圧 $V_i$ に基づいて、その入力電圧 $V_i$ よりも低い出力電圧 $V_o$ を生成する同期整流方式の降圧型DC-DCコンバータである。出力電圧 $V_o$ は、出力端子 $T_o$ に接続された負荷2に供給される。この負荷2の例としては、携帯型電子機器（パーソナルコンピュータ、携帯電話、ゲーム機器、デジタルカメラ等）及びその他の電子機器の内部回路や、ノート型のパーソナルコンピュータ等に内蔵されているリチウム電池などの充電機などが挙げられる。

10

【0010】

DC-DCコンバータ1は、入力電圧 $V_i$ に基づいて出力電圧 $V_o$ を生成するコンバータ部10と、出力電圧 $V_o$ に基づいてコンバータ部10を制御する制御回路20とを有している。

【0011】

20

コンバータ部10は、トランジスタ $T_1$ 、 $T_2$ と、コイル $L_1$ と、コンデンサ $C_1$ とを有している。入力電圧 $V_i$ が供給される入力端子 $T_i$ と、出力電圧 $V_o$ を出力する出力端子 $T_o$ との間には、メイン側のトランジスタ $T_1$ とコイル $L_1$ とが直列に接続されている。また、入力端子 $T_i$ と、入力電圧 $V_i$ よりも低い電位の電源線（ここでは、グランド）との間には、メイン側のトランジスタ $T_1$ と同期側のトランジスタ $T_2$ とが直列に接続されている。

【0012】

トランジスタ $T_1$ 、 $T_2$ はNチャンネルMOSトランジスタである。トランジスタ $T_1$ の第1端子（例えば、ドレイン）は入力端子 $T_i$ に接続され、トランジスタ $T_1$ の第2端子（例えば、ソース）はトランジスタ $T_2$ の第1端子（例えば、ドレイン）に接続されている。トランジスタ $T_2$ の第2端子（例えば、ソース）はグランドに接続されている。トランジスタ $T_1$ のゲートには制御回路20の制御部30から制御信号 $DH$ が供給され、トランジスタ $T_2$ のゲートには制御回路20から制御信号 $DL$ が供給される。制御信号 $DH$ にตอบสนองしてトランジスタ $T_1$ がオン・オフし、制御信号 $DL$ にตอบสนองしてトランジスタ $T_2$ がオン・オフする。

30

【0013】

これらトランジスタ $T_1$ 、 $T_2$ 間のノード $N_1$ は、コイル $L_1$ の第1端子に接続され、コイル $L_1$ の第2端子は出力端子 $T_o$ に接続されている。この出力端子 $T_o$ は、制御回路20に接続されている。また、コイル $L_1$ の第2端子は平滑用のコンデンサ $C_1$ の第1端子に接続され、そのコンデンサ $C_1$ の第2端子はグランドに接続されている。なお、コンデンサ $C_1$ は、出力電圧 $V_o$ を平滑化する平滑回路に含まれる。

40

【0014】

このようなコンバータ部10では、メイン側のトランジスタ $T_1$ がオンし同期側のトランジスタ $T_2$ がオフした場合に、コイル $L_1$ に入力電圧 $V_i$ と出力電圧 $V_o$ との差に応じたコイル電流 $I_L$ が流れ、コイル $L_1$ にはエネルギーが蓄積される。一方、メイン側のトランジスタ $T_1$ がオフし同期側のトランジスタ $T_2$ がオンすると、コイル $L_1$ に蓄えられたエネルギーが負荷2に向かって放出され、そのコイル $L_1$ に誘導電流が流れる。このような動作により、入力電圧 $V_i$ よりも降圧された出力電圧 $V_o$ が生成される。そして、その出力電圧 $V_o$ が出力端子 $T_o$ に接続された負荷2に出力される。また、負荷2には負荷電流 $I_o$ が供給される。

50

## 【 0 0 1 5 】

制御回路 2 0 は、当該 DC - DC コンバータ 1 の制御端子 T c に論理 H レベル ( H レベル ) の外部制御信号 C T L が入力される期間における通常動作時には、出力電圧 V o に基づいて、その出力電圧 V o を目標電圧に近づけるように、トランジスタ T 1 , T 2 を相補的にオンオフ制御する。換言すると、通常動作時における制御回路 2 0 は、出力電圧 V o に基づいて、上記負荷 2 に所望の電力が供給されるように、トランジスタ T 1 のオン時間を調整する。例えば、制御回路 2 0 は、周波数 ( 周期 ) が一定で、負荷 2 へ供給する電力に応じてパルス幅が変動する制御信号 D H , D L をトランジスタ T 1 , T 2 に供給する。その一方で、制御回路 2 0 は、制御端子 T c に論理 L レベル ( L レベル ) の外部制御信号 C T L が入力される期間における放電動作時には、負荷 2 の大きさに応じたスイッチング動作でトランジスタ T 1 , T 2 をオンオフ制御する。

10

## 【 0 0 1 6 】

制御回路 2 0 は、出力電圧 V o に応じた帰還電圧 V F B を生成する帰還電圧生成回路 2 1 と、帰還電圧 V F B に基づいてトランジスタ T 1 , T 2 をオンオフ制御する制御部 3 0 とを有している。また、制御回路 2 0 は、負荷 2 に流れる負荷電流 I o を検出する負荷電流検出回路 4 0 と、負荷 2 の大きさに応じてトランジスタ T 1 , T 2 のスイッチング動作を設定する設定回路 4 5 と、図 2 に示す高電位電源電圧 V C C からバイアス電圧 V B を生成し、負荷 2 の大きさに応じて基準電圧 V r を生成する電圧生成回路 6 0 とを有している。なお、L レベルの外部制御信号 C T L は、当該 DC - DC コンバータ 1 の動作停止を指令する信号である。

20

## 【 0 0 1 7 】

帰還電圧生成回路 2 1 は、抵抗 R 1 , R 2 を有している。具体的には、出力端子 T o が抵抗 R 1 の第 1 端子に接続され、その抵抗 R 1 の第 2 端子が抵抗 R 2 の第 1 端子に接続されている。抵抗 R 2 の第 2 端子はグランドに接続されている。そして、これら抵抗 R 1 , R 2 間のノード N 2 が制御部 3 0 及び電圧生成回路 6 0 に接続されている。ここで、抵抗 R 1 , R 2 は、それぞれの抵抗値に応じて、出力電圧 V o を分圧した帰還電圧 V F B をノード N 2 に生成する。この帰還電圧 V F B の値は、抵抗 R 1 , R 2 の抵抗値の比と、出力電圧 V o とグランドとの電位差に対応する。このため、抵抗 R 1 , R 2 は、出力電圧 V o に比例した帰還電圧 V F B を生成することになる。そして、この帰還電圧 V F B が制御部 3 0 及び電圧生成回路 6 0 に供給される。

30

## 【 0 0 1 8 】

制御部 3 0 は、誤差増幅回路 3 1 と、PWM 比較器 3 2 と、発振器 3 3 と、アンド回路 3 4 , 3 5 と、ドライバ回路 3 6 , 3 7 とを有している。

誤差増幅回路 3 1 の反転入力端子には上記帰還電圧 V F B が供給される。また、誤差増幅回路 3 1 の非反転入力端子には、電圧生成回路 6 0 から基準電圧 V r が供給される。

## 【 0 0 1 9 】

誤差増幅回路 3 1 は、帰還電圧 V F B と基準電圧 V r とを比較し、両電圧の差電圧を増幅した誤差信号 S 1 を PWM 比較器 3 2 に出力する。PWM 比較器 3 2 には、発振器 3 3 から所定の周期を有する周期信号 C K が供給される。この周期信号 C K は、例えば鋸歯状波信号 ( 基準値から所定の立ち上がり特性で上昇し、リセットにより基準値に急速低下する鋸歯状波形の信号 ) や三角波信号である。また、周期信号 C K は、設定回路 4 5 にも供給される。

40

## 【 0 0 2 0 】

PWM 比較器 3 2 は、誤差信号 S 1 と周期信号 C K とを比較する。例えば、PWM 比較器 3 2 は、誤差信号 S 1 よりも周期信号 C K の信号レベルが高くなるときに L レベル ( 例えば、グランドレベル ) の PWM 信号 S 2 を生成し、誤差信号 S 1 よりも周期信号 C K の信号レベルが低くなるときに H レベル ( 例えば、高電位電源電圧 V C C レベル又はバイアス電圧 V B レベル ) の PWM 信号 S 2 を生成する。この PWM 信号 S 2 は、アンド回路 3 4 , 3 5 に供給される。

## 【 0 0 2 1 】

50

アンド回路34には、PWM信号S2と、設定回路45から出力される出力信号S5と、電圧生成回路60から出力される制御信号SG1とが供給される。アンド回路34は、PWM信号S2と、出力信号S5と、制御信号SG1とを論理積演算した結果を持つ出力信号SHをドライバ回路36に出力する。

【0022】

アンド回路35には、PWM信号S2と、設定回路45から出力される出力信号S6と、電圧生成回路60から出力される制御信号SG1とが供給される。アンド回路35は、PWM信号S2と、出力信号S5と、制御信号SG1とを論理積演算した結果を持つ出力信号SLをドライバ回路37に出力する。

【0023】

ドライバ回路36の出力端子は、メイン側のトランジスタT1のゲートに接続されている。ドライバ回路36の高電位側電源端子は、ダイオードD1のカソードとコンデンサC2の第1端子とに接続されている。ドライバ回路36の低電位側電源端子は、コンデンサC2の第2端子と上記ノードN1とに接続されている。上記ダイオードD1のアノードは、電圧生成回路60にて生成されるバイアス電圧VBが供給される電源線に接続されている。また、コンデンサC2の第2端子はノードN1に接続されている。このコンデンサC2の充電電圧がドライバ回路36の高電位側電源端子に供給される。

【0024】

ここで、コンデンサC2の機能について説明する。NチャネルMOSトランジスタT1をオンさせるためには、トランジスタT1のゲートにソースより高い電圧を印加する。トランジスタT1がオンしたときには、トランジスタT1のソースとドレインは共に入力電圧Viとなる。このため、入力電圧Viが供給されるメイン側のトランジスタT1がNチャネルMOSトランジスタである場合には、入力電圧Viよりも高いゲート電圧を生成する。

【0025】

コンデンサC2は、その第1端子に上記バイアス電圧VBが供給される電源線がダイオードD1を介して接続され、第2端子にコイルL1の第1端子(ノードN1)が接続されている。ここでは、バイアス電圧VBが入力電圧Viよりも低い電圧であり、ダイオードD1の順方向電圧降下を0.7Vとする。トランジスタT1がオフして上記ノードN1の電位がグラウンドレベルになると、コンデンサC2はダイオードD1を経由してVB-0.7Vの電圧まで充電される。次に、トランジスタT1がオンしてコイルL1の第1端子(ノードN1)の電圧が入力電圧Viまで上昇すると、コンデンサC2の第2端子側の電位が入力電圧Viとなるため、コンデンサC2の第1端子側の電位はVi+VB-0.7Vまで上昇する。したがって、高電位側電源端子にコンデンサC2の第1端子側から電圧が供給されるドライバ回路36は、トランジスタT2がオン状態のときも、トランジスタT1がオン状態のときも、常にトランジスタT1のソース電圧よりもVB-0.7Vだけ高い電圧を受けることができる。これにより、ドライバ回路36は、安定してゲート駆動を行うことができる。このように、コンデンサC2は、ブートストラップ回路として機能する。なお、ダイオードD1は、コンデンサC2の第1端子側の電位がVi+VB-0.7Vに上昇したときに、コンデンサC2側から上記バイアス電圧VBが供給される電源線に向かつて電流が流れることを防止する機能を有している。

【0026】

そして、ドライバ回路36は、Hレベル(例えば、高電位電源電圧VCCレベル又はバイアス電圧VBレベル)の出力信号SHに应答してHレベル(コンデンサC2の充電電圧レベル)の制御信号DHをメイン側のトランジスタT1に出力する。また、ドライバ回路36は、Lレベル(例えば、グラウンドレベル)の出力信号SHに应答してLレベル(ノードN1の電圧レベル)の制御信号DHをトランジスタT1に出力する。なお、トランジスタT1は、Hレベルの制御信号DHに应答してオンし、Lレベルの制御信号DHに应答してオフする。

【0027】

10

20

30

40

50

ドライバ回路37の出力端子は、同期側のトランジスタT2のゲートに接続されている。ドライバ回路37の高電位側電源端子には、バイアス電圧VBが供給される。ドライバ回路37の低電位側電源端子にはグラウンドが接続されている。そして、ドライバ回路37は、Hレベル（例えば、高電位電源電圧VCCレベル又はバイアス電圧VBレベル）の出力信号SLにตอบสนองしてLレベル（グラウンドレベル）の制御信号DLをトランジスタT2に出力する。また、ドライバ回路37は、Lレベル（例えば、グラウンドレベル）の出力信号SLにตอบสนองしてHレベル（バイアス電圧VBレベル）の制御信号DLをトランジスタT2に出力する。なお、トランジスタT2は、Hレベルの制御信号DLにตอบสนองしてオンし、Lレベルの制御信号DLにตอบสนองしてオフする。

**【0028】**

このような制御部30では、通常動作時に、出力電圧Voに応じた帰還電圧VFBが基準電圧Vrに近づくように、トランジスタT1, T2を相補的にオンオフ制御する制御信号DH, DLが生成される。これにより、出力電圧Voが基準電圧Vr及び抵抗R1, R2の抵抗値に基づく目標電圧に近づくように制御される。

**【0029】**

負荷電流検出回路40は、センス抵抗Rsと、オペアンプ41と、コンパレータ42, 43と、基準電源E1, E2とを有している。

センス抵抗Rsは、出力端子Toと負荷2との間に挿入接続されている。すなわち、センス抵抗Rsの第1端子が出力端子Toに接続され、センス抵抗Rsの第2端子が負荷2に接続されている。

**【0030】**

オペアンプ41の反転入力端子にはセンス抵抗Rsの第1端子が接続されている。また、オペアンプ41の非反転入力端子にはセンス抵抗Rsの第2端子が接続されている。このオペアンプ41は、センス抵抗Rsの両端の電位差を増幅した増幅電圧Vampを生成する。すなわち、オペアンプ41は、負荷2に流れる負荷電流Ioの大きさ（つまり、負荷2の大きさ）に対応する増幅電圧Vampを生成する。そして、増幅電圧Vampは、コンパレータ42の非反転入力端子と、コンパレータ43の反転入力端子と、設定回路45内のカウンタ回路50とに供給される。

**【0031】**

コンパレータ42の反転入力端子には、基準電源E1にて生成された基準電圧Vref1が供給される。コンパレータ42は、オペアンプ41の増幅電圧Vampと基準電圧Vref1とを比較し、その比較結果に応じたレベルの出力信号S3を生成する。例えば、コンパレータ42は、増幅電圧Vampが基準電圧Vref1よりも低いときにはLレベル（例えば、グラウンドレベル）の出力信号S3を生成する。また、コンパレータ42は、増幅電圧Vampが基準電圧Vref1よりも高くなるとHレベル（例えば、バイアス電圧VBレベル）の出力信号S3を生成する。そして、出力信号S3は、オア回路46及び電圧生成回路60に供給される。

**【0032】**

コンパレータ43の非反転入力端子には、基準電源E2にて生成された基準電圧Vref2が供給される。この基準電圧Vref2は、上記基準電圧Vref1よりも電圧値が低く設定された電圧である。コンパレータ43は、オペアンプ41の増幅電圧Vampと基準電圧Vref2とを比較し、その比較結果に応じたレベルの出力信号S4を生成する。例えば、コンパレータ43は、増幅電圧Vampが基準電圧Vref2よりも低いときにHレベル（例えば、バイアス電圧VBレベル）の出力信号S4を生成する。また、コンパレータ43は、増幅電圧Vampが基準電圧Vref2よりも高くなるとLレベル（例えば、グラウンドレベル）の出力信号S4を生成する。そして、出力信号S4は、設定回路45内のオア回路47及びアンド回路48に供給される。

**【0033】**

このようなオペアンプ41及びコンパレータ42, 43は、センス抵抗Rsの両端の電位差を検出することで負荷電流Ioを検出し、増幅電圧Vampと基準電圧Vref1,

10

20

30

40

50

V r e f 2 とを比較することで負荷電流 I o の大きさ（つまり、負荷 2 の大きさ）を判定している。

【 0 0 3 4 】

詳述すると、図 2 に示すように、上記増幅電圧 V a m p は、負荷電流 I o が大きくなるほど（つまり、負荷 2 が大きくなるほど）、その電圧値が高くなる。このため、増幅電圧 V a m p の電圧値から負荷 2 の大きさを判定することができる。すなわち、増幅電圧 V a m p が低い場合（本例の場合には、増幅電圧 V a m p が基準電圧 V r e f 2 よりも低い場合）には、負荷電流 I o が小さく、負荷 2 が「軽負荷」とであると判定することができる。このように負荷 2 が「軽負荷」である場合には、図 3 に示すように、コンパレータ 4 2 の出力信号 S 3 が L レベルとなり、コンパレータ 4 3 の出力信号 S 4 が H レベルとなる。また、増幅電圧 V a m p が高い場合（本例の場合には、増幅電圧 V a m p が基準電圧 V r e f 1 よりも高い場合）には、負荷電流 I o が大きく、負荷 2 が「重負荷」とであると判定することができる。このように負荷 2 が「重負荷」である場合には、コンパレータ 4 2 の出力信号 S 3 が H レベルとなり、コンパレータ 4 3 の出力信号 S 4 が L レベルとなる。さらに、増幅電圧 V a m p が基準電圧 V r e f 2 よりも高く基準電圧 V r e f 1 よりも低い範囲（第 1 の範囲）である場合には、負荷 2 が「軽負荷」よりも大きく「重負荷」よりも小さい「通常負荷」とであると判定することができる。このように負荷 2 が「通常負荷」である場合には、コンパレータ 4 2 の出力信号 S 3 が L レベルとなり、コンパレータ 4 3 の出力信号 S 4 が L レベルとなる。

【 0 0 3 5 】

換言すると、基準電圧 V r e f 1 及び基準電圧 V r e f 2 は、負荷 2 の大きさを「軽負荷」、「通常負荷」、「重負荷」の 3 段階に設定するための電圧である。すなわち、基準電圧 V r e f 1 は、負荷 2 が「重負荷」とであると判定する際の増幅電圧 V a m p の下限値を設定した電圧であるとともに、負荷 2 が「通常負荷」とであると判定する際の増幅電圧 V a m p の上限値を設定した電圧である。また、基準電圧 V r e f 2 は、負荷 2 が「軽負荷」とであると判定する際の増幅電圧 V a m p の上限値を設定した電圧であるとともに、負荷 2 が「通常負荷」とであると判定する際の増幅電圧 V a m p の下限値を設定した電圧である。なお、上記「軽負荷」には負荷 2 が無負荷である場合も含まれる。

【 0 0 3 6 】

また、負荷電流 I o を示す電流値として、「通常負荷」の上限値を第 1 の基準値とし、下限値を第 2 の基準値として表すと、第 1 の基準値を電流値から電圧値に変換した値が、基準電圧 V r e f 1 となり、第 2 の基準値を電流値から電圧値に変換した値が、基準電圧 V r e f 2 となる。

【 0 0 3 7 】

図 1 に示すように、設定回路 4 5 は、オア回路 4 6 , 4 7 と、アンド回路 4 8 と、カウンタ回路 5 0 とを有している。

オア回路 4 6 には、コンパレータ 4 2 の出力信号 S 3 と、アンド回路 4 8 の出力信号 S 7 と、外部制御信号 C T L とが供給される。オア回路 4 6 は、出力信号 S 3 と出力信号 S 7 と外部制御信号 C T L とを論理和演算した結果を持つ出力信号 S 5 を上記アンド回路 3 4 に出力する。

【 0 0 3 8 】

オア回路 4 7 には、コンパレータ 4 3 の出力信号 S 4 と、外部制御信号 C T L とが供給される。オア回路 4 7 は、出力信号 S 4 と外部制御信号 C T L とを論理和演算した結果を持つ出力信号 S 6 を上記アンド回路 3 5 に出力する。

【 0 0 3 9 】

カウンタ回路 5 0 には、オペアンプ 4 1 の増幅電圧 V a m p と、発振器 3 3 にて生成される周期信号 C K とが供給される。カウンタ回路 5 0 は、増幅電圧 V a m p に応じた分周比で周期信号 C K を分周したカウント信号 C N T を生成する。例えば、カウンタ回路 5 0 は、増幅電圧 V a m p が小さくなるほど大きい分周比で周期信号 C K を分周してカウント信号 C N T を生成する。そして、カウント信号 C N T はアンド回路 4 8 に供給される。

10

20

30

40

50

## 【 0 0 4 0 】

アンド回路 4 8 には、コンパレータ 4 3 の出力信号 S 4 と、カウンタ回路 5 0 から出力されるカウント信号 C N T とが供給される。アンド回路 4 8 は、出力信号 S 4 とカウント信号 C N T とを論理積演算した結果を持つ出力信号 S 7 をオア回路 4 6 に出力する。すなわち、アンド回路 4 8 は、出力信号 S 4 が H レベルのとき（つまり、負荷 2 が「軽負荷」であるとき）には、カウント信号 C N T と同等の信号レベルを持つ出力信号 S 7 を出力する。また、アンド回路 4 8 は、出力信号 S 4 が L レベルのとき（つまり、負荷 2 が「通常負荷」又は「重負荷」であるとき）には、カウント信号 C N T の信号レベルに関わらず、L レベル固定の出力信号 S 7 を出力する。すなわち、負荷 2 が「通常負荷」又は「重負荷」である場合のアンド回路 4 8 は、カウント信号 C N T を無効にする回路として機能する。

10

## 【 0 0 4 1 】

次に、カウンタ回路 5 0 の内部構成例について説明する。

図 4 に示すように、カウンタ回路 5 0 は、直列に接続された複数（ここでは、4 つ）の T - フリップフロップ回路（T - F F 回路）5 1 , 5 2 , 5 3 , 5 4 と、アナログデジタル変換器（A / D 変換器）5 5 と、マルチプレクサ 5 6 とを有している。

## 【 0 0 4 2 】

T - F F 回路 5 1 の T 端子には上記周期信号 C K が供給される。T - F F 回路 5 1 は、周期信号 C K を 2 分周した分周信号 C K a を出力端子 Q から出力する。例えば、T - F F 回路 5 1 は、周期信号 C K が立ち上がる毎に、分周信号 C K a の信号レベルを反転させる。分周信号 C K a は、次段の T - F F 回路 5 2 の T 端子及びマルチプレクサ 5 6 に供給される。

20

## 【 0 0 4 3 】

2 段目の T - F F 回路 5 2 は、分周信号 C K a を 2 分周した分周信号 C K b を、次段の T - F F 回路 5 3 の T 端子及びマルチプレクサ 5 6 に出力する。なお、分周信号 C K b は、周期信号 C K を 4 分周した信号となる。

## 【 0 0 4 4 】

3 段目の T - F F 回路 5 3 は、分周信号 C K b を 2 分周した分周信号 C K c を、次段の T - F F 回路 5 4 の T 端子及びマルチプレクサ 5 6 に出力する。なお、分周信号 C K c は、周期信号 C K を 8 分周した信号となる。

30

## 【 0 0 4 5 】

4 段目（最終段）の T - F F 回路 5 4 は、分周信号 C K c を 2 分周した分周信号 C K d をマルチプレクサ 5 6 に出力する。なお、分周信号 C K d は、周期信号 C K を 1 6 分周した信号となる。

## 【 0 0 4 6 】

A / D 変換器 5 5 には増幅電圧 V a m p が供給される。A / D 変換器 5 5 は、アナログ信号である増幅電圧 V a m p を複数ビット（ここでは、4 ビット）のデジタル信号 D 1 0 に変換し、そのデジタル信号 D 1 0 をマルチプレクサ 5 6 に出力する。

## 【 0 0 4 7 】

マルチプレクサ 5 6 には、異なる分周比で周期信号 C K を分周した 4 つの分周信号 C K a , C K b , C K c , C K d が 4 つの T - F F 回路 5 1 ~ 5 4 から供給される。すなわち、マルチプレクサ 5 6 には、分周比が「2」の分周信号 C K a と、分周比が「4」の分周信号 C K b と、分周比が「8」の分周信号 C K c と、分周比が「16」の分周信号 C K d とが供給される。このマルチプレクサ 5 6 は、4 ビットのデジタル信号 D 1 0 に応じて、4 つの分周信号 C K a ~ C K d のうち 1 つの分周信号を選択し、その選択した分周信号を上記カウント信号 C N T として出力する。例えば、マルチプレクサ 5 6 は、デジタル信号 D 1 0（増幅電圧 V a m p）が小さいほど（つまり、負荷 2 が小さいほど）、4 つの分周信号 C K a ~ C K d のうち分周比の大きい分周信号をカウント信号 C N T として出力する。

40

## 【 0 0 4 8 】

50

次に、電圧生成回路60の内部構成例について説明する。

図5に示すように、電圧生成回路60は、抵抗R3、R4と、NPNトランジスタT3、T4と、ヒステリシスコンパレータ61と、基準電源E3、E4と、インバータ回路62と、オア回路63と、スイッチSWと、電流源64、65と、基準電圧生成回路66と、バイアス電圧生成回路67とを有している。

【0049】

外部制御信号CTLが供給される制御端子Tcは、抵抗R3の第1端子と、NPNトランジスタT3のベース端子と、オア回路63と、図1に示したオア回路46、47の入力端子と接続されている。抵抗R3の第2端子はグランドに接続されている。

【0050】

トランジスタT3のエミッタ端子は抵抗R4の第1端子に接続され、その抵抗R4の第2端子はグランドに接続されている。また、トランジスタT3のコレクタ端子は電流源64の第1端子に接続されている。このトランジスタT3は、Hレベルの外部制御信号CTLに応答してオンし、Lレベルの外部制御信号CTLに応答してオフする。

【0051】

ヒステリシスコンパレータ61の非反転入力端子には上記帰還電圧VFBが供給される。ヒステリシスコンパレータ61の反転入力端子には、基準電源E3にて生成された基準電圧Vr1が供給される。ヒステリシスコンパレータ61の出力端子はNPNトランジスタT4のベース端子に接続されている。トランジスタT4のエミッタ端子は抵抗R4の第1端子及びトランジスタT3のエミッタ端子に接続され、トランジスタT4のコレクタ端子は電流源64の第1端子及びトランジスタT3のコレクタ端子に接続されている。すなわち、トランジスタT3とトランジスタT4とは並列に接続されている。

【0052】

上記ヒステリシスコンパレータ61は、上記基準電圧Vr1に基づく下限基準電圧V1（図6参照）とその下限基準電圧V1よりも電圧値の高い上限基準電圧とが設定されている。なお、下限基準電圧V1は、トランジスタT4のオフタイミングを設定する電圧である。

【0053】

ヒステリシスコンパレータ61は、帰還電圧VFBと下限基準電圧V1及び上限基準電圧とを比較し、その比較結果に応じた制御信号SG1をNPNトランジスタT4のベース端子及び図1に示したアンド回路34、35に出力する。例えば、ヒステリシスコンパレータ61は、帰還電圧VFBが下限基準電圧V1よりも低くなるとLレベル（例えば、グランドレベル）の制御信号SG1を出力する。また、ヒステリシスコンパレータ61は、帰還電圧VFBが上限基準電圧よりも高くなるとHレベル（例えば、高電位電源電圧VCCレベル）の制御信号SG1を出力する。なお、トランジスタT4は、Hレベルの制御信号SG1に응答してオンし、Lレベルの制御信号SG1に응答してオフする。

【0054】

スイッチSWの第1端子は基準電源E3のプラス側端子に接続され、スイッチSWの第2端子は基準電源E4のプラス側端子に接続されている。このため、スイッチSWの第1端子には基準電圧Vr1が供給され、スイッチSWの第2端子には基準電源E4にて生成される基準電圧Vr2が供給される。スイッチSWの共通端子は、図1に示した誤差増幅回路31の非反転入力端子に接続されている。このスイッチSWは、オア回路63から供給される制御信号SG2に응答して、共通端子と、第1端子又は第2端子との接続を切り替える。例えば、スイッチSWは、Lレベル（例えば、グランドレベル）の制御信号SG2に응答して、共通端子と第1端子とを接続し、基準電圧Vr1を基準電圧Vrとして出力する。また、スイッチSWは、Hレベル（例えば、高電位電源電圧VCCレベル）の制御信号SG2に응答して、共通端子と第2端子とを接続し、基準電圧Vr2を基準電圧Vrとして出力する。なお、基準電圧Vr2は、出力電圧Voが目標電圧（規格値）に達したときに、帰還電圧VFBと一致する電圧である。

【0055】

10

20

30

40

50

インバータ回路 6 2 には、図 1 に示したコンパレータ 4 2 から出力信号 S 3 が供給される。インバータ回路 6 2 は、出力信号 S 3 を論理反転した信号をオア回路 6 3 に出力する。オア回路 6 3 は、インバータ回路 6 2 の出力信号と、外部制御信号 C T L とを論理和演算した結果を持つ制御信号 S G 2 をスイッチ S W に出力する。詳述すると、外部制御信号 C T L が H レベルである場合には、出力信号 S 3 の信号レベルに関わらずに H レベルの制御信号 S G 2 がオア回路 6 3 から出力され、基準電圧 V r 2 が基準電圧 V r として出力される。一方、外部制御信号 C T L が D C - D C コンバータ 1 の動作停止を指令する L レベルであって、且つ出力信号 S 3 が H レベルである場合には、オア回路 6 3 から L レベルの制御信号 S G 2 が出力され、基準電圧 V r 1 が基準電圧 V r として出力される。すなわち、外部制御信号 C T L が L レベルであって、負荷 2 が「重負荷」である場合には、基準電圧 V r 1 が基準電圧 V r として出力される。

10

## 【 0 0 5 6 】

一方、上記電流源 6 4 の第 2 端子は、高電位電源電圧 V C C が供給される電源線に接続されている。

電流源 6 5 は、トランジスタ T 3 に流れるバイアス電流 I b に応じた電流 I b 1 を基準電圧生成回路 6 6 に供給する。例えば、電流源 6 5 は、バイアス電流 I b に比例した電流 I b 1 を基準電圧生成回路 6 6 に供給する。電流源 6 5 の第 1 端子は基準電圧生成回路 6 6 に接続され、電流源 6 5 の第 2 端子には高電位電源電圧 V C C が供給される。電流源 6 5 としては、例えばカレントミラー回路を用いることができる。

## 【 0 0 5 7 】

20

基準電圧生成回路 6 6 は、電流 I b 1 に基づいて基準電圧 V B a を生成する。例えば、基準電圧 V B a は、バンドギャップリファレンス電圧にて生成される。この基準電圧 V B a は、バイアス電圧生成回路 6 7 に供給される。

## 【 0 0 5 8 】

バイアス電圧生成回路 6 7 は、基準電圧 V B a に基づいて所定電圧値の上記バイアス電圧 V B を生成する。このバイアス電圧 V B は、図 1 に示したドライバ回路 3 7 の高電位側電源端子やダイオード D 1 等に供給される。

## 【 0 0 5 9 】

このような電圧生成回路 6 0 では、H レベルの外部制御信号 C T L に応答してトランジスタ T 3 がオンすると、トランジスタ T 3 のエミッタ電圧と抵抗 R 4 とによって定まるバイアス電流 I b が流れる。また、H レベルの制御信号 S G 1 に応答してトランジスタ T 4 がオンした場合にも、トランジスタ T 4 のエミッタ電圧と抵抗 R 4 とによって定まるバイアス電流 I b が流れる。このようにバイアス電流 I b が流れると、そのバイアス電流 I b に比例した電流 I b 1 が電流源 6 5 から基準電圧生成回路 6 6 に供給される。これにより、基準電圧生成回路 6 6 で基準電圧 V B a が生成され、バイアス電圧生成回路 6 7 でバイアス電圧 V B が生成される。

30

## 【 0 0 6 0 】

一方、L レベルの外部制御信号 C T L が電圧生成回路 6 0 に入力されると、トランジスタ T 3 がオフする。また、ヒステリシスコンパレータ 6 1 から L レベルの制御信号 S G 1 が出力されると、トランジスタ T 4 がオフする。このようにトランジスタ T 3 , T 4 の双方がオフされると、上記バイアス電流 I b が流れない。すると、電流源 6 5 から基準電圧生成回路 6 6 に電流 I b 1 が供給されないため、基準電圧生成回路 6 6 において基準電圧 V B a の生成が停止される。このため、バイアス電圧生成回路 6 7 においてもバイアス電圧 V B の生成が停止される。

40

## 【 0 0 6 1 】

本実施形態において、D C - D C コンバータ 1 は電源及び電源装置の一例、トランジスタ T 1 は第 1 スイッチ回路の一例、トランジスタ T 2 は第 2 スイッチ回路の一例、コイル L 1 は誘導素子の一例、論理 L レベルの外部制御信号 C T L は停止信号の一例である。オペンプ 4 1 は増幅回路の一例、コンパレータ 4 2 は第 1 比較回路の一例、コンパレータ 4 3 は第 2 比較回路の一例、基準電圧 V r e f 1 は第 1 基準電圧の一例、基準電圧 V r e

50

f 2 は第 2 基準電圧の一例、出力信号 S 3 は第 1 比較回路の出力信号の一例、出力信号 S 4 は第 2 比較回路の出力信号の一例である。誤差増幅回路 3 1、P W M 比較器 3 2 及び発振器 3 3 はスイッチング制御部の一例、ドライバ回路 3 6 は第 1 ドライバ回路の一例、ドライバ回路 3 7 は第 2 ドライバ回路の一例、アンド回路 3 4 は第 1 無効回路の一例、アンド回路 3 5 は第 2 無効回路の一例である。P W M 信号 S 2 はパルス信号の一例、制御信号 D H は第 1 制御信号の一例、制御信号 D L は第 2 制御信号の一例、基準電圧 V r 2 は第 3 基準電圧の一例、基準電圧 V r 1 は第 5 基準電圧の一例、下限基準電圧 V 1 は第 4 基準電圧の一例である。

【 0 0 6 2 】

次に、上記 D C - D C コンバータ 1 の動作について図 6 ~ 図 8 に従って説明する。なお、図 6 ~ 図 8 において、縦軸及び横軸は、説明を簡潔にするため、適宜拡大、縮小して示している。

【 0 0 6 3 】

まず、負荷 2 が「軽負荷」である場合の D C - D C コンバータ 1 の動作について説明する。

図 6 に示した時刻 t 1 において、H レベルの外部制御信号 C T L が D C - D C コンバータ 1 に入力されている場合には、図 5 に示したトランジスタ T 3 のオン動作に伴って該トランジスタ T 3 にバイアス電流 I b が流れるため、バイアス電圧生成回路 6 7 でバイアス電圧 V B が生成される。そして、このバイアス電圧 V B がドライバ回路 3 6 , 3 7 に供給される。このため、ドライバ回路 3 6 , 3 7 から出力される H レベル又は L レベルの制御信号 D H , D L によってトランジスタ T 1 , T 2 がオンオフ制御される。また、H レベルの外部制御信号 C T L に応答して、オア回路 6 3 から L レベルの制御信号 S G 2 が出力され、その制御信号 S G 2 によって基準電圧 V r 2 が基準電圧 V r として誤差増幅回路 3 1 に供給される。また、時刻 t 1 では、帰還電圧 V F B が下限基準電圧 V 1 よりも高いため、ヒステリシスコンパレータ 6 1 から H レベルの制御信号 S G 1 がトランジスタ T 4 のベース端子及びアンド回路 3 4 , 3 5 に供給される。

【 0 0 6 4 】

このとき、図 1 に示した負荷電流検出回路 4 0 及び設定回路 4 5 では、オペアンプ 4 1 の増幅電圧 V a m p に応じて、コンパレータ 4 2 から L レベルの出力信号 S 3 がオア回路 4 6 に出力され、コンパレータ 4 3 から H レベルの出力信号 S 4 がオア回路 4 7 に出力される。また、本例では、負荷 2 が「軽負荷」であることを示す増幅電圧 V a m p に基づいて、周期信号 C K を 4 分周した分周信号 C K b がカウント信号 C N T としてカウンタ回路 5 0 から出力されると仮定する。このカウント信号 C N T はアンド回路 4 8 に供給される。アンド回路 4 8 は、H レベルの出力信号 S 4 に応答して、カウント信号 C N T を出力信号 S 7 としてオア回路 4 6 に出力する。但し、オア回路 4 6 , 4 7 には H レベルの外部制御信号 C T L が入力されているため、オア回路 4 6 , 4 7 からは H レベル固定の出力信号 S 5 , S 6 がアンド回路 3 4 , 3 5 にそれぞれ供給される。このため、アンド回路 3 4 は、H レベルの出力信号 S 5 及び H レベルの制御信号 S G 1 に応答して、P W M 比較器 3 2 からの P W M 信号 S 2 を出力信号 S H として出力する。また、アンド回路 3 5 は、H レベルの出力信号 S 6 及び H レベルの制御信号 S G 1 に応答して、P W M 信号 S 2 を出力信号 S L として出力する。

【 0 0 6 5 】

以上のように、外部制御信号 C T L が H レベルである場合には、出力電圧 V o の目標電圧に応じて設定された基準電圧 V r 2 が誤差増幅回路 3 1 の非反転入力端子に供給され、アンド回路 3 4 , 3 5 から P W M 信号 S 2 が出力信号 S H , S L として出力される。このため、この場合には、コンバータ部 1 0、帰還電圧生成回路 2 1 及び制御部 3 0 によって、出力電圧 V o を予め定めた目標電圧に近づけるように（帰還電圧 V F B を基準電圧 V r 2 に近づけるように）トランジスタ T 1 , T 2 がオンオフ制御される、つまり通常のスイッチング制御が行われる。すなわち、外部制御信号 C T L が H レベルである通常動作時においては、出力電圧 V o と基準電圧 V r 2 との比較結果に基づいてトランジスタ T 1 , T

10

20

30

40

50

2 がオンオフ制御される。換言すると、通常動作時においては、トランジスタ T 1 , T 2 のスイッチング動作が負荷電流検出回路 4 0 及び設定回路 4 5 の動作の影響を受けない。

【 0 0 6 6 】

なお、通常のスイッチング制御では、周期信号 C K に基づく一定周期でトランジスタ T 1 がオンされトランジスタ T 2 がオフされる。このトランジスタ T 1 のオン動作に基づいて、出力電圧 V o が上昇する。このとき、出力電圧 V o が目標電圧よりも高くなると（つまり、帰還電圧 V F B が基準電圧 V r 2 よりも高くなると）、誤差信号 S 1 が低下してトランジスタ T 1 のオン時間が短くなる。反対に、出力電圧 V o が目標電圧よりも低くなると（つまり、帰還電圧 V F B が基準電圧 V r 2 よりも低くなると）、誤差信号 S 1 が上昇してトランジスタ T 1 のオン時間が長くなる。このような動作により、出力電圧 V o が基準電圧 V r 2 及び抵抗 R 1 , R 2 に基づく目標電圧（一定値）に維持される。

10

【 0 0 6 7 】

続いて、時刻 t 2 において、D C - D C コンバータ 1 の動作停止を指令する L レベルの外部制御信号 C T L が D C - D C コンバータ 1 に入力されると、図 5 に示したトランジスタ T 3 がオフされる。但し、このとき、帰還電圧 V F B が下限基準電圧 V 1 よりも高いため、ヒステリシスコンパレータ 6 1 から H レベルの制御信号 S G 1 が出力され、その制御信号 S G 1 に応答してトランジスタ T 4 がオンされる。このトランジスタ T 4 のオン動作に伴って該トランジスタ T 4 にバイアス電流 I b が流れるため、バイアス電圧生成回路 6 7 でバイアス電圧 V B が生成される。すなわち、トランジスタ T 4 のオン動作によって、外部制御信号 C T L が L レベルに遷移した後もバイアス電圧 V B の生成が継続される。そして、このバイアス電圧 V B がドライバ回路 3 6 , 3 7 に供給される。このため、ドライバ回路 3 6 , 3 7 は、H レベル及び L レベルの制御信号 D H , D L を出力可能な状態に維持される。なお、上記 H レベルの制御信号 S G 1 は、アンド回路 3 4 , 3 5 にも供給される。

20

【 0 0 6 8 】

このとき、図 1 に示した負荷電流検出回路 4 0 では、オペアンプ 4 1 から基準電圧 V r e f 1 , V r e f 2 よりも低い増幅電圧 V a m p が出力されている。このため、上述したように、コンパレータ 4 2 , 4 3 からそれぞれ L レベルの出力信号 S 3 及び H レベルの出力信号 S 4 が出力されている。すなわち、負荷電流検出回路 4 0 では、時刻 t 2 において負荷 2 に流れる負荷電流 I o が小さく、負荷 2 が「軽負荷」であると判定されている。また、設定回路 4 5 では、アンド回路 4 8 からカウント信号 C N T（ここでは、周期信号 C K を 4 分周した分周信号）と同等の信号レベルを持つ出力信号 S 7 が出力されている。そして、上記 L レベルの外部制御信号 C T L 及び L レベルの出力信号 S 3 に応答して、オア回路 4 6 からカウント信号 C N T と同等の信号レベルを持つ出力信号 S 5 が出力される。また、上記 L レベルの外部制御信号 C T L に応答して、オア回路 4 7 から H レベルの出力信号 S 6 が出力される。

30

【 0 0 6 9 】

アンド回路 3 4 は、出力信号 S 5 が H レベルである場合には、H レベルの制御信号 S G 1 に応答して、P W M 比較器 3 2 からの P W M 信号 S 2 と同等の信号レベルを持つ出力信号 S H を出力する。また、アンド回路 3 4 は、出力信号 S 5 が L レベルである場合には、P W M 信号 S 2 の信号レベルに関わらず、L レベル固定の出力信号 S H を出力する。ここで、本例では、時刻 t 2 の直後に出力信号 S 5 が周期信号 C K の 4 同期分だけ L レベルになる。このため、アンド回路 3 5 は、時刻 t 2 で H レベルの出力信号 S H を出力した直後に、L レベル固定の出力信号 S H を周期信号 C K の 4 周期分だけ出力する。このように L レベル固定の出力信号 S H が出力される期間では、メイン側のトランジスタ T 1 に L レベル固定の制御信号 D H が供給されるため、そのトランジスタ T 1 がオフ状態に維持される。すなわち、カウント信号 C N T が L レベルとなる期間では、トランジスタ T 1 のスイッチング制御が停止される。

40

【 0 0 7 0 】

その一方で、アンド回路 3 5 は、H レベルの出力信号 S 6 及び H レベルの制御信号 S G

50

1 に応答して、P W M 信号 S 2 と同等の信号レベルを持つ出力信号 S L を出力する。このため、外部制御信号 C T L が L レベルに遷移した後も、H レベル及び L レベルに切り替わる制御信号 D L に応答して、同期側のトランジスタ T 2 のスイッチング制御が継続される。すなわち、外部制御信号 C T L が L レベルに遷移した後も、同期側のトランジスタ T 2 については上記通常のスイッチング制御が継続される。

**【 0 0 7 1 】**

このようにトランジスタ T 1 がオフ状態に維持され、トランジスタ T 2 のみがスイッチング制御されると、コンデンサ C 1 に充電されていた電荷がトランジスタ T 2 のオン期間にグラウンドに放電される。さらに、出力端子 T o に接続された負荷 2 によって、コンデンサ C 1 に充電されていた電荷が放電される。これにより、出力電圧 V o 及び帰還電圧 V F B が徐々に低下する。

10

**【 0 0 7 2 】**

その後、時刻 t 2 から周期信号 C K の 4 周期分の時間が経過すると（時刻 t 3 参照）、出力信号 S 5（カウント信号 C N T）が L レベルから H レベルに遷移する。すると、P W M 信号 S 2 が出力信号 S H として出力され、トランジスタ T 1 について通常のスイッチング制御が再開される。これにより、カウント信号 C N T が H レベルの期間では、トランジスタ T 1, T 2 が相補的にオンオフ制御され、出力電圧 V o が基準電圧 V r（基準電圧 V r 2）に近づくように制御される。したがって、カウント信号 C N T が H レベルの期間では、カウント信号 C N T が L レベルの期間に比べて、出力電圧 V o 及び帰還電圧 V F B の低下速度が緩やかになる。なお、この期間では、負荷 2 によって、コンデンサ C 1 に充電

20

**【 0 0 7 3 】**

以上説明したように、外部制御信号 C T L が L レベルになると、負荷電流検出回路 4 0 及び設定回路 4 5 による放電制御が開始される。このとき、負荷 2 が「軽負荷」のときには、トランジスタ T 1 のスイッチング制御がカウント信号 C N T の周期に応じて間欠的に行われるとともに、トランジスタ T 2 のスイッチング制御が継続的に行われる。すなわち、負荷 2 が「軽負荷」のときには、トランジスタ T 1 を、オンオフ動作させる期間とオフ状態とする期間とを含む動作をさせるとともに、トランジスタ T 2 をオンオフ動作させる。換言すると、負荷 2 が「軽負荷」のときには、トランジスタ T 1 のスイッチング制御の回数（オンオフ動作の回数）が、トランジスタ T 2 のスイッチング制御の回数（オンオフ動作の回数）よりも少ない回数となるように、制御している。そして、トランジスタ T 1 のスイッチング制御が停止されている期間にトランジスタ T 2 をスイッチングさせることで、オンしたトランジスタ T 2 及び負荷 2 によって出力電圧 V o を徐々に低下させている。このようにトランジスタ T 1 のスイッチング制御を完全に停止させるのではなく、トランジスタ T 1 のスイッチング制御を間欠的に行うことで、出力電圧 V o を所望の電圧値（例えば、下限基準電圧 V 1）まで低下させるまでの時間（つまり、放電時間）を制御しやすくなる。

30

**【 0 0 7 4 】**

そして、徐々に低下した帰還電圧 V F B が下限基準電圧 V 1 よりも低くなると（時刻 t 4 参照）、ヒステリシスコンパレータ 6 1 から L レベルの制御信号 S G 1 が出力される。この L レベルの制御信号 S G 1 に応答して、アンド回路 3 4, 3 5 は、P W M 信号 S 2 及び出力信号 S 5, S 6 の信号レベルに関わらず、L レベル固定の出力信号 S H, S L を出力する。すなわち、L レベルの制御信号 S G 1 によって、P W M 信号 S 2 と、設定回路 4 5 から出力される出力信号 S 5, S 6 とが無効化される。すなわち、負荷電流検出回路 4 0 及び設定回路 4 5 等による放電制御が停止される。

40

**【 0 0 7 5 】**

また、上記 L レベルの制御信号 S G 1 に応答して、トランジスタ T 4 がオフされる。すると、トランジスタ T 3, T 4 の双方がオフされるため、バイアス電流 I b が流れなくなる。このため、基準電圧生成回路 6 6 における基準電圧 V B a の生成、及びバイアス電圧生成回路 6 7 におけるバイアス電圧 V B の生成が停止される。このようなバイアス電圧 V

50

Bの生成停止に伴って、ドライバ回路36, 37等の動作が停止されるとともに、負荷電流検出回路40及び設定回路45の動作が停止される。すなわち、帰還電圧VFBが下限基準電圧V1よりも低くなると、DC-DCコンバータ1全体の動作が停止される。その後、負荷2によって、コンデンサC1に充電されていた電荷が放電され、出力電圧Vo及び帰還電圧VFBが0Vまで徐々に低下する。

【0076】

次に、負荷2が「通常負荷」である場合のDC-DCコンバータ1の動作について説明する。

図7に示す時刻t5において、外部制御信号CTLがHレベルからLレベルに遷移される。すると、Lレベルの外部制御信号CTLにตอบสนองして図5に示したトランジスタT3がオフされる。但し、このとき、帰還電圧VFBが下限基準電圧V1よりも高いため、ヒステリシスコンパレータ61からHレベルの制御信号SG1が出力され、そのHレベルの制御信号SG1にตอบสนองしてトランジスタT4がオンされる。このトランジスタT4のオン動作により、バイアス電圧生成回路67でバイアス電圧VBが生成される。なお、上記Hレベルの制御信号SG1は、アンド回路34, 35にも供給される。

10

【0077】

このとき、図1に示した負荷電流検出回路40では、基準電圧Vref2よりも高く、基準電圧Vref1よりも低い増幅電圧Vampがオペアンプ41から出力されている。このため、コンパレータ42, 43からそれぞれLレベルの出力信号S3及びLレベルの出力信号S4が出力されている。すなわち、負荷電流検出回路40では、時刻t5において負荷2が「通常負荷」であると判定されている。

20

【0078】

上記Lレベルの出力信号S4にตอบสนองして、アンド回路48は、カウント信号CNTの信号レベルに関わらず、Lレベル固定の出力信号S7を出力する。すなわち、負荷2が「通常負荷」と判定された場合には、アンド回路48は、カウント信号CNTを無効化する。オア回路46は、Lレベルの出力信号S3, S7及びLレベルの外部制御信号CTLにตอบสนองして、Lレベルの出力信号S5をアンド回路34に出力する。このため、アンド回路34は、PWM信号S2の信号レベルに関わらず、Lレベル固定の出力信号SHを出力する。また、オア回路47は、Lレベルの出力信号S4及びLレベルの外部制御信号CTLにตอบสนองして、Lレベルの出力信号S6をアンド回路35に出力する。このため、アンド回路35は、PWM信号S2の信号レベルに関わらず、Lレベル固定の出力信号SLを出力する。このようにLレベル固定の出力信号SH, SLが出力されると、トランジスタT1, T2にLレベル固定の制御信号DH, DLがそれぞれ供給されるため、それらトランジスタT1, T2がオフ状態に維持される。すなわち、両トランジスタT1, T2のスイッチング制御が停止される。

30

【0079】

以上説明したように、負荷2が「通常負荷」のときに外部制御信号CTLがLレベルになると、トランジスタT1, T2のスイッチング制御が停止される。すなわち、負荷2が「通常負荷」のときには、トランジスタT1, T2の双方をオフ状態にする。そして、この場合には、負荷2によって、コンデンサC1に充電されていた電荷が放電される。これにより、出力電圧Vo及び帰還電圧VFBが徐々に低下する。その後、帰還電圧VFBが下限基準電圧V1よりも低くなると(時刻t6参照)、上述したように負荷電流検出回路40及び設定回路45等による放電制御が停止されるとともに、DC-DCコンバータ1全体の動作が停止される。

40

【0080】

次に、負荷2が「重負荷」である場合のDC-DCコンバータ1の動作について説明する。

図8に示す時刻t7において、外部制御信号CTLがHレベルからLレベルに遷移される。すると、Lレベルの外部制御信号CTLにตอบสนองして図5に示したトランジスタT3がオフされる。但し、このとき、帰還電圧VFBが下限基準電圧V1よりも高いため、ヒス

50

テリシスコンパレータ61から出力されるHレベルの制御信号SG1にตอบสนองしてトランジスタT4がオンされる。このトランジスタT4のオン動作により、バイアス電圧生成回路67でバイアス電圧VBが生成される。なお、上記Hレベルの制御信号SG1は、アンド回路34, 35にも供給される。

#### 【0081】

このとき、図1に示した負荷電流検出回路40では、基準電圧Vref2よりも高く、基準電圧Vref1よりも高い増幅電圧Vampがオペアンプ41から出力されている。このため、コンパレータ42, 43からそれぞれHレベルの出力信号S3及びLレベルの出力信号S4が出力されている。すなわち、負荷電流検出回路40では、時刻t7において負荷2が「重負荷」とであると判定されている。

10

#### 【0082】

オア回路46は、Hレベルの出力信号S3にตอบสนองして、Hレベル固定の出力信号S5をアンド回路34に出力する。このため、アンド回路34は、Hレベルの出力信号S5及びHレベルの制御信号SG1にตอบสนองして、PWM信号S2と同等の信号レベルを持つ出力信号SHを出力する。このため、外部制御信号CTLがLレベルに遷移した後も、Hレベル及びLレベルに切り替わる制御信号DHにตอบสนองして、メイン側のトランジスタT1のスイッチング制御が継続される。但し、図5に示したインバータ回路62にHレベルの出力信号S3が入力され、オア回路63にLレベルの外部制御信号CTLが入力されるため、Lレベルの制御信号SG2がスイッチSWに供給される。これにより、基準電圧Vr2よりも低い基準電圧Vr1が基準電圧Vrとして図1に示した誤差増幅回路31に供給される。このため、帰還電圧VFBと基準電圧Vr(基準電圧Vr1)との比較結果に基づいてPWM信号S2が生成され、そのPWM信号S2に応じて生成される制御信号DHにตอบสนองしてメイン側のトランジスタT1がスイッチング制御される。

20

#### 【0083】

その一方で、オア回路47は、Lレベルの出力信号S4及びLレベルの外部制御信号CTLにตอบสนองして、Lレベルの出力信号S6をアンド回路35に出力する。このため、アンド回路35は、PWM信号S2の信号レベルに関わらず、Lレベル固定の出力信号SLを出力する。このようにLレベル固定の出力信号SLが出力されると、トランジスタT2にLレベル固定の制御信号DLが供給されるため、そのトランジスタT2がオフ状態に維持される。すなわち、トランジスタT2のスイッチング制御が停止される。

30

#### 【0084】

以上説明したように、負荷2が「重負荷」のときに外部制御信号CTLがLレベルになると、トランジスタT2のスイッチング制御が停止されてトランジスタT2がオフ状態に維持され、トランジスタT1のスイッチング制御が継続される。すなわち、負荷2が「重負荷」のときには、出力電圧Voに基づいてトランジスタT1をオンオフ動作させるとともに、トランジスタT2をオフ状態にする。そして、帰還電圧VFBが基準電圧Vr1に近づくようにトランジスタT1がオンオフ制御される。このように、外部制御信号CTLがLレベルになった後の放電期間においてトランジスタT1をオン状態にすることで、コンデンサC1に充電されていた電荷が急速に放電されることが抑制される。詳述すると、負荷2が「重負荷」である場合には、その負荷2のみによってコンデンサC1の放電が行われ、コンデンサC1に充電されていた電荷が急速に放電されてしまう。これによって、前述したような出力電圧Voの急変が生じてしまう。これに対し、上記放電期間においてメイン側のトランジスタT1をオンする期間を設けることで、その期間の放電量を抑制するようにした。これにより、コンデンサC1に充電されていた電荷が急速に放電されることを抑制することができ、出力電圧Voが急変(急減)することを抑制することができる。すなわち、ソフトストップ技術を利用した場合のように、出力電圧Voを徐々に低下させることができる(図8に示した帰還電圧VFB参照)。なお、負荷2が更に重い場合、すなわちオペアンプ41の増幅電圧Vampが更に高い場合には、放電期間における出力電圧Vo及び帰還電圧VFBの低下速度は速くなる(一点鎖線参照)。但し、その場合であっても、放電期間にトランジスタT1のオン期間を設けることによって、出力電圧

40

50

$V_o$ の急減を抑制でき、出力電圧 $V_o$ を徐々に低下させることができる。

【0085】

その後、帰還電圧 $V_{FB}$ が下限基準電圧 $V_1$ よりも低くなると（時刻 $t_8$ 参照）、上述したように負荷電流検出回路40及び設定回路45等による放電制御が停止されるとともに、DC-DCコンバータ1全体の動作が停止される。

【0086】

以上説明した本実施形態によれば、以下の効果を奏することができる。

(1)外部制御信号CTLがLレベルになったときに負荷2が「重負荷」である場合に、トランジスタT2をオフ状態に維持しつつ、トランジスタT1のスイッチング制御を継続するようにした。さらに、帰還電圧 $V_{FB}$ が基準電圧 $V_{r1}$ に近づくようにトランジスタT1をオンオフ制御するようにした。これにより、外部制御信号CTLがLレベルに遷移した後に、コンデンサC1に充電されていた電荷が急速に放電されることを抑制することができ、出力電圧 $V_o$ が急変（急減）することを抑制することができる。すなわち、ソフトストップ技術を利用した場合のように、出力電圧 $V_o$ を徐々に低下させることができる。さらに、ソフトストップ技術のように外付けの大容量のコンデンサを設ける必要がなく、そのコンデンサを接続するための専用端子も必要ないため、DC-DCコンバータ1全体の回路面積の増大を抑制することができる。

【0087】

(2)外部制御信号CTLがLレベルになったときに負荷2が「軽負荷」である場合に、トランジスタT1のスイッチング制御を間欠的に行うとともに、トランジスタT2のスイッチング制御を継続するようにした。これによれば、トランジスタT1のスイッチング制御が停止されトランジスタT1がオフ状態に維持されている期間にトランジスタT2をオンさせることで、オンしたトランジスタT2及び負荷2によって出力電圧 $V_o$ を徐々に低下させることができる。また、トランジスタT1のスイッチング制御が行われている期間では、上述のようにトランジスタT1のスイッチング制御が停止している期間に比べて、出力電圧 $V_o$ の低下速度が遅くなる。このようにトランジスタT1のスイッチング制御を完全に停止させるのではなく、トランジスタT1のスイッチング制御を間欠的に行うことで、出力電圧 $V_o$ を所望の電圧値（例えば、下限基準電圧 $V_1$ ）まで低下させるまでの時間（つまり、放電時間）を制御しやすくなる。

【0088】

(3)負荷2の大きさに応じた分周比で周期信号CKを分周した分周信号をカウント信号CNTとして生成し、そのカウント信号CNTに応じてトランジスタT1のスイッチング制御を間欠的に行うようにした。例えば本例では、負荷2が小さくなるほど大きい分周比で周期信号CKを分周した分周信号をカウント信号CNTとして生成するようにした。ここで、負荷2が小さいほど負荷2による放電量が少なくなるため放電時間が長くなり、負荷2が大きいほど負荷2による放電量が多くなるため放電時間が短くなる。このため、トランジスタT1のスイッチング制御の停止期間が固定である場合には、負荷2が小さいほど放電時間が長くなり、放電時間が負荷2の大きさに依存することになる。これに対し、本例では、負荷2が小さくなるほど分周比を大きく設定し、トランジスタT1のスイッチング制御の停止期間（つまり、放電量が多くなる期間）が長くなるようにした。これにより、負荷2の大きさに依存しない放電時間を設定しやすくなる。

【0089】

（他の実施形態）

なお、上記実施形態は、これを適宜変更した以下の態様にて実施することもできる。

・上記実施形態の負荷電流検出回路40では、センス抵抗 $R_s$ の両端の電位差を検出することで負荷電流 $I_o$ の大きさを検出するようにしたが、これに限らず、負荷2の大きさを検出することができれば特に検出方法及び検出対象は限定されない。

【0090】

・上記実施形態では、外部制御信号CTLがLレベルに遷移した後の期間において、負荷電流 $I_o$ の大きさを継続的に検出するようにした。これに限らず、例えば外部制御信号

10

20

30

40

50

C T L が L レベルになった時点での増幅電圧  $V_{amp}$  をサンプルホールドし、そのサンプルホールドした増幅電圧  $V_{amp}$  に基づいて放電制御を行うようにしてもよい。すなわち、外部制御信号 C T L が L レベルになった時点での負荷 2 の大きさに基づいて放電制御を行うようにしてもよい。

【 0 0 9 1 】

・上記実施形態におけるカウンタ回路 5 0 の内部構成は特に限定されない。例えば、T - F F 回路を 1 ~ 3 つ設けるようにしてもよいし、T - F F 回路を 5 つ以上設けるようにしてもよい。この場合には、T - F F 回路の数に合わせてデジタル信号 D 1 0 のビット数も増減させることが好ましい。また、周期信号 C K を負荷 2 の大きさに応じた分周比で分周するようにしたが、例えば周期信号 C K を固定の分周比で分周するようにしてもよい。あるいは、周期信号 C K を所定の分周比で分周するようにしたが、例えば P W M 信号 S 2 を所定の分周比で分周するようにしてもよい。

10

【 0 0 9 2 】

・上記実施形態では、第 1 スイッチ回路の一例として N チャネル M O S トランジスタ T 1 を開示したが、第 1 スイッチ回路として P チャネル M O S トランジスタを用いてもよい。また、第 1 スイッチ回路としてバイポーラトランジスタを用いてもよい。あるいは、第 1 スイッチ回路として複数のトランジスタを含むスイッチ回路を用いてもよい。

【 0 0 9 3 】

・上記実施形態では、第 2 スイッチ回路の一例として N チャネル M O S トランジスタ T 2 を開示したが、第 2 スイッチ回路として P チャネル M O S トランジスタを用いてもよい。また、第 2 スイッチ回路としてバイポーラトランジスタを用いてもよい。あるいは、第 2 スイッチ回路として複数のトランジスタを含むスイッチ回路を用いてもよい。

20

【 0 0 9 4 】

・上記実施形態における制御部 3 0 の内部構成は特に限定されない。例えば、上記実施形態では、P W M 制御方式の D C - D C コンバータ 1 に具体化した。P F M (Pulse Frequency Modulation) 制御方式の D C - D C コンバータや P S M (Pulse Skipping Modulation) 制御方式の D C - D C コンバータに具体化してもよい。また、上記実施形態では、電圧制御モードの D C - D C コンバータ 1 に具体化した。電流制御モードの D C - D C コンバータに具体化してもよい。あるいは、上記実施形態では、誤差増幅回路 3 1 を用いた D C - D C コンバータ 1 に具体化した。エラーコンパレータを用いたコンパレータ方式等のヒステリシス制御方式の D C - D C コンバータに具体化してもよい。

30

【 0 0 9 5 】

・上記実施形態におけるトランジスタ T 1 , T 2 を制御回路 2 0 に含めるようにしてもよい。また、コンバータ部 1 0 を制御回路 2 0 に含めるようにしてもよい。

・上記実施形態では、入力電圧  $V_i$  を降圧した出力電圧  $V_o$  を生成する降圧型の D C - D C コンバータに具体化した。入力電圧  $V_i$  を昇圧した出力電圧  $V_o$  を生成する昇圧型の D C - D C コンバータに具体化してもよい。

【 0 0 9 6 】

・上記各実施形態では、出力電圧  $V_o$  を抵抗 R 1 , R 2 にて分圧した分圧電圧を帰還電圧 V F B としたが、これに限らず、例えば出力電圧  $V_o$  そのものを帰還電圧 V F B としてもよい。

40

【 0 0 9 7 】

・上記実施形態における基準電圧  $V_{ref1}$  ,  $V_{ref2}$  ,  $V_{r1}$  ,  $V_{r2}$  を制御回路 2 0 の外部で生成するようにしてもよい。

・図 9 に、上記 D C - D C コンバータ 1 を備える電子機器 1 0 0 の一例を示す。電子機器 1 0 0 は、本体部 1 1 0 (内部回路)と、電源部 1 3 0 とを有する。

【 0 0 9 8 】

本体部 1 1 0 は、プログラムを実行する C P U 1 1 1 と、その C P U 1 1 1 で実行されるプログラム又は C P U 1 1 1 が処理するデータを記憶するメモリ 1 1 2 とを有する。また、本体部 1 1 0 は、インタフェース ( I / F ) 1 1 3 を介して C P U 1 1 1 に接続され

50

るキーボード 114A 及びポインティングデバイス 114B を有する。ポインティングデバイス 114B は、例えばマウス、トラックボール、タッチパネルや静電センサを有するフラットデバイス等である。

【0099】

また、本体部 110 は、インタフェース 115 を介して CPU 111 に接続されるディスプレイ 116 を有する。ディスプレイ 116 は、例えば液晶ディスプレイ (Liquid Crystal Display: LCD) や EL (エレクトロルミネッセンス) パネル等である。

【0100】

また、本体部 110 は、インタフェース 117 を介して CPU 111 に接続される通信部 118 を有する。通信部 118 は、例えば LAN (ローカルエリアネットワーク) ボード等である。

10

【0101】

また、本体部 110 は、インタフェース 119 を介して CPU 111 に接続される外部記憶装置 120 を有する。外部記憶装置 120 は、例えばハードディスクである。

また、本体部 110 は、インタフェース 121 を介して CPU 111 に接続される着脱可能記録媒体アクセス装置 122 を有する。ここで、着脱可能な記録媒体としては、例えば CD (Compact Disc)、DVD (Digital Versatile Disk)、フラッシュメモリカード等が挙げられる。

【0102】

この本体部 110 には、電源部 130 から電力が供給される。電源部 130 は、スイッチ SW1 を介して、DC-DC コンバータ 1 と交流アダプタ 131 に接続されている。これら DC-DC コンバータ 1 及び交流アダプタ 131 のいずれか一方から電力が本体部 110 に供給される。DC-DC コンバータ 1 は、図 9 の例では、例えば電池 132 からの電圧 (入力電圧  $V_i$ ) を出力電圧  $V_o$  に変換し、その出力電圧  $V_o$  を本体部 110 に供給する。

20

【0103】

このような電子機器としては、ノート型のパーソナルコンピュータ、携帯電話等の通信機器、携帯情報端末 (PDA) 等の情報処理装置、デジタルカメラやビデオカメラ等の映像機器、テレビジョン装置等の受信機などが挙げられる。

【0104】

以上の様々な実施の形態をまとめると、以下のようになる。

30

(付記 1)

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御回路であって、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電源の制御回路。

40

(付記 2)

前記設定回路は、前記停止信号が入力されたときに、前記負荷電流が前記第 1 の範囲の下限値である第 2 の基準値よりも小さい場合に、前記出力電圧に基づいて、前記第 1 スイッチ回路のオンオフ制御を間欠的に行うとともに、前記第 2 スイッチ回路をオンオフ動作させることを特徴とする付記 1 に記載の電源の制御回路。

50

(付記 3)

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御回路であって、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の下限値である第 2 の基準値よりも小さい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路を、オンオフ動作させる期間とオフ状態とする期間とを含む動作をさせるとともに、前記第 2 スイッチ回路をオンオフ動作させることを特徴とする電源の制御回路。

10

(付記 4)

前記検出回路は、前記出力端子と前記負荷との間に挿入接続されたセンス抵抗の両端の電位差を増幅した増幅電圧を生成する増幅回路を有することを特徴とする付記 2 又は 3 に記載の電源の制御回路。

(付記 5)

前記検出回路は、前記第 1 の範囲の上限値を設定する第 1 基準電圧と前記増幅電圧とを比較する第 1 比較回路と、前記第 1 の範囲の下限値を設定する第 2 基準電圧と前記増幅電圧とを比較する第 2 比較回路と、を有し、

20

前記設定回路は、前記第 1 比較回路の出力信号と前記第 2 比較回路の出力信号とに応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定することを特徴とする付記 4 に記載の電源の制御回路。

(付記 6)

前記設定回路は、前記第 1 スイッチ回路のスイッチング周波数と同一の周波数を有する周期信号を、前記負荷電流に応じた分周比で分周したカウント信号を生成するカウンタ回路を有し、前記カウント信号に応じて、前記第 1 スイッチ回路を、前記オンオフ動作させる期間とオフ状態とする期間とを含む動作をさせることを特徴とする付記 2 ~ 5 のいずれか 1 つに記載の電源の制御回路。

30

(付記 7)

前記出力電圧に応じた帰還電圧と、前記出力電圧の目標電圧に応じて設定された第 3 基準電圧との比較結果に基づいてパルス信号を生成するスイッチング制御部と、

前記パルス信号に応じて、前記第 1 スイッチ回路をオンオフ制御する第 1 制御信号を生成する第 1 ドライバ回路と、

前記パルス信号に応じて、前記第 2 スイッチ回路をオンオフ制御する第 2 制御信号を生成する第 2 ドライバ回路と、

前記第 1 ドライバ回路及び前記第 2 ドライバ回路の電源端子に供給されるバイアス電圧を生成する電圧生成回路と、を有し、

40

前記電圧生成回路は、前記停止信号を入力したときに、前記帰還電圧が第 4 基準電圧よりも低くなった場合に前記バイアス電圧の生成を停止することを特徴とする付記 1 ~ 6 のいずれか 1 つに記載の電源の制御回路。

(付記 8)

前記スイッチング制御部は、前記負荷電流が前記第 1 の範囲よりも大きい場合に、前記帰還電圧と前記第 3 基準電圧よりも低い第 5 基準電圧との比較結果に基づいて前記パルス信号を生成することを特徴とする付記 7 に記載の電源の制御回路。

(付記 9)

前記スイッチング制御部と前記第 1 ドライバ回路との間に設けられ、前記停止信号が入力されてから前記バイアス電圧の生成が停止されるまでの期間に、前記負荷電流に応じて

50

前記パルス信号を無効にする第 1 無効回路と、

前記スイッチング制御部と前記第 2 ドライバ回路との間に設けられ、前記停止信号が入力されてから前記バイアス電圧の生成が停止されるまでの期間に、前記負荷電流に応じて前記パルス信号を無効にする第 2 無効回路と、  
を有することを特徴とする付記 7 又は 8 に記載の電源の制御回路。

(付記 10)

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路と、前記第 1 スイッチ回路及び前記第 2 スイッチ回路をオンオフ制御する制御回路と、  
を有する電源装置であって、

10

前記制御回路は、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

前記設定回路は、前記電源装置の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力端子に生成される出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電源装置。

20

(付記 11)

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路と、前記第 1 スイッチ回路及び前記第 2 スイッチ回路をオンオフ制御する制御回路と、  
を有する電源と、前記電源の出力電圧が供給される内部回路と、を有する電子機器であって、

前記制御回路は、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、を有し、

30

前記設定回路は、前記電源の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電子機器。

(付記 12)

誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、前記誘導素子に蓄積されたエネルギーを、出力端子に接続された負荷に放出する際にオンする第 2 スイッチ回路とをオンオフ制御することにより、入力電圧から出力電圧を生成する電源の制御方法であって、

40

前記電源の動作停止を指令する外部からの停止信号が入力されたときに前記負荷に流れる負荷電流を検出し、該負荷電流が第 1 の範囲内である場合には、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電源の制御方法。

(付記 13)

入力端子に入力される入力電圧から出力端子に出力電圧を生成する電源装置であって、  
誘導素子にエネルギーを蓄積する際にオンする第 1 スイッチ回路と、

前記誘導素子に蓄積されたエネルギーを、前記出力端子に接続された負荷に放出する際

50

にオンする第 2 スイッチ回路と、

前記第 1 スイッチ回路及び前記第 2 スイッチ回路をオンオフ制御する制御回路と、  
を有し、

前記制御回路は、

前記負荷に流れる負荷電流を検出する検出回路と、

前記負荷電流に応じて、前記第 1 スイッチ回路及び前記第 2 スイッチ回路のスイッチング動作を設定する設定回路と、

を有し、

前記設定回路は、前記電源装置の動作停止を指令する外部からの停止信号が入力されたときに、前記負荷電流が第 1 の範囲内である場合に、前記第 1 スイッチ回路及び前記第 2 スイッチ回路の双方をオフ状態にし、前記負荷電流が前記第 1 の範囲の上限値である第 1 の基準値よりも大きい場合に、前記出力端子に生成される出力電圧に基づいて前記第 1 スイッチ回路をオンオフ動作させるとともに、前記第 2 スイッチ回路をオフ状態にすることを特徴とする電源装置。

10

(付記 14)

前記設定回路は、前記停止信号が入力されたときに、前記負荷電流が前記第 1 の範囲の下限値である第 2 の基準値よりも小さい場合に、前記出力電圧に基づいて前記第 1 スイッチ回路のオンオフ動作の回数が前記第 2 スイッチ回路のオンオフ動作の回数よりも少なくなるように制御することを特徴とする付記 13 に記載の電源装置。

【符号の説明】

20

【0105】

1 DC - DC コンバータ (電源、電源装置)

2 負荷

10 コンバータ部

20 制御回路

21 帰還電圧生成回路

30 制御部

31 誤差増幅回路 (スイッチング制御部)

32 PWM 比較器 (スイッチング制御部)

33 発振器 (スイッチング制御部)

30

34 アンド回路 (第 1 無効回路)

35 アンド回路 (第 2 無効回路)

36 ドライバ回路 (第 1 ドライバ回路)

37 ドライバ回路 (第 2 ドライバ回路)

40 負荷電流検出回路 (検出回路)

41 オペアンプ (増幅回路)

42 コンパレータ (第 1 比較回路)

43 コンパレータ (第 2 比較回路)

45 設定回路

50 カウンタ回路

40

60 電圧生成回路

100 電子機器

110 本体部 (内部回路)

T1 トランジスタ (第 1 スイッチ回路)

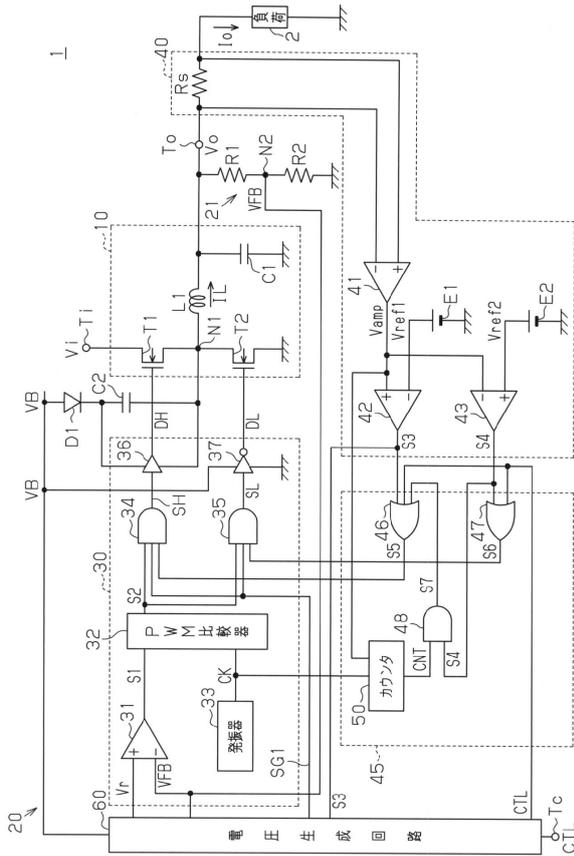
T2 トランジスタ (第 2 スイッチ回路)

Ti 入力端子

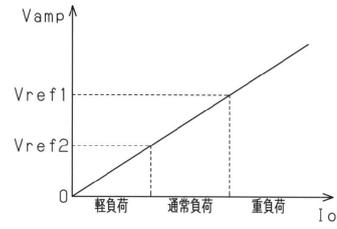
To 出力端子

L1 コイル (誘導素子)

【図1】



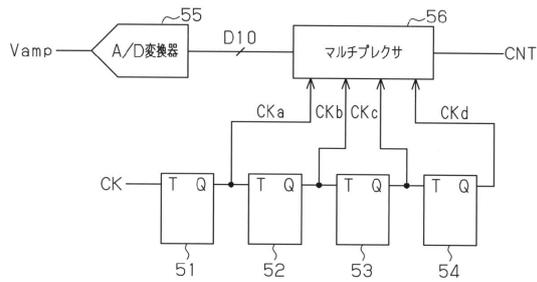
【図2】



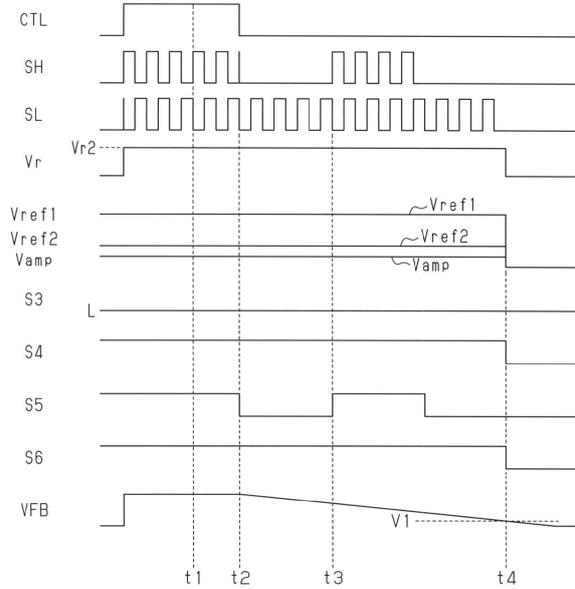
【図3】

	S3	S4	スイッチング動作
軽負荷	L	H	T1を間欠的にスイッチング制御 T2をスイッチング制御
通常負荷	L	L	T1, T2のスイッチング制御を停止
重負荷	H	L	T1をスイッチング制御 T2のスイッチング制御を停止

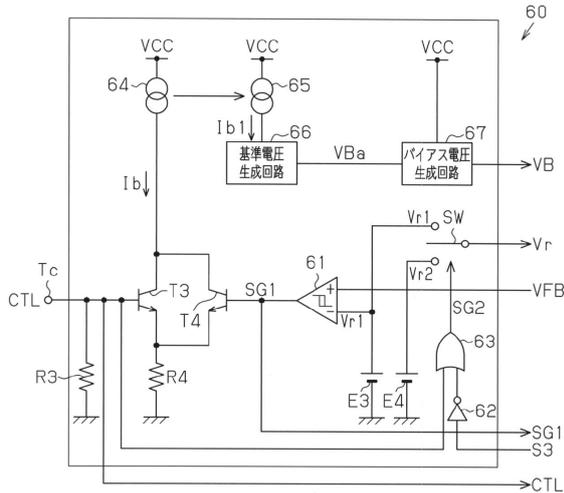
【図4】



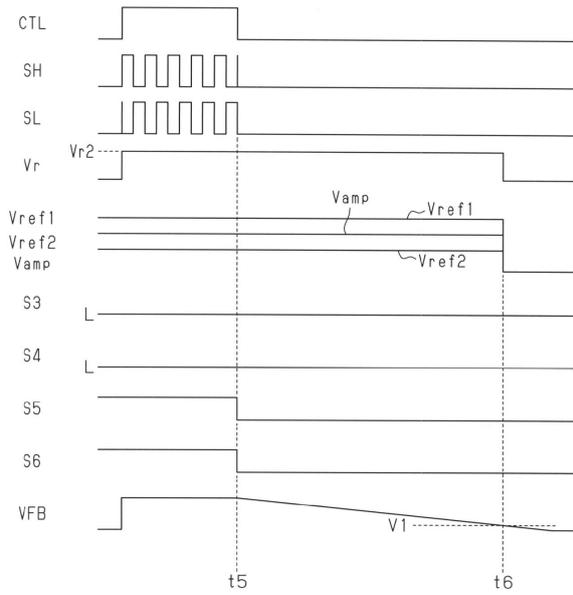
【図6】



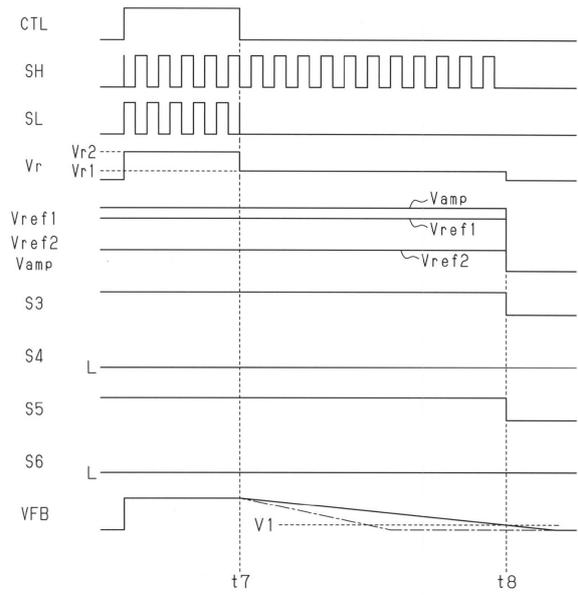
【図5】



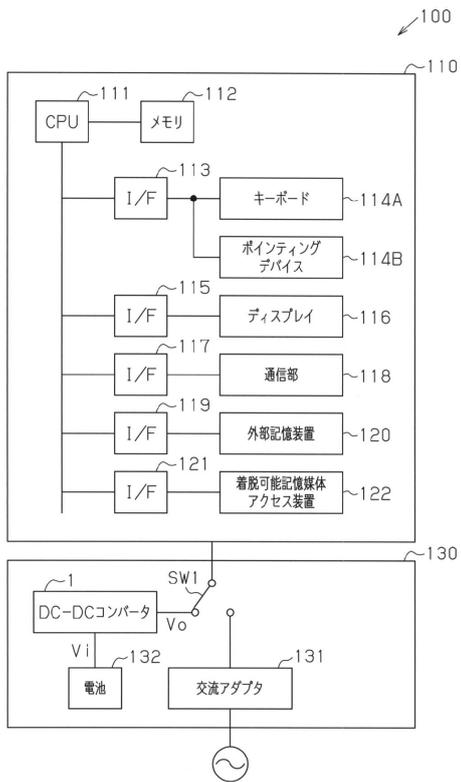
【図7】



【図8】



【図9】



フロントページの続き

(56)参考文献 特開平9 - 154275 (JP, A)  
特開2008 - 206216 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H02M 3 / 155