



(10) **DE 20 2012 013 723 U1** 2020.05.28

(12) **Gebrauchsmusterschrift**

(21) Aktenzeichen: **20 2012 013 723.9**
(22) Anmeldetag: **30.07.2012**
(67) aus Patentanmeldung: **EP 12 82 0337.9**
(47) Eintragungstag: **22.04.2020**
(45) Bekanntmachungstag im Patentblatt: **28.05.2020**

(51) Int Cl.: **H01L 29/739** (2006.01)
H01L 29/161 (2006.01)

(30) Unionspriorität:
2011169349 **02.08.2011** **JP**
2011234058 **25.10.2011** **JP**
2011273401 **14.12.2011** **JP**

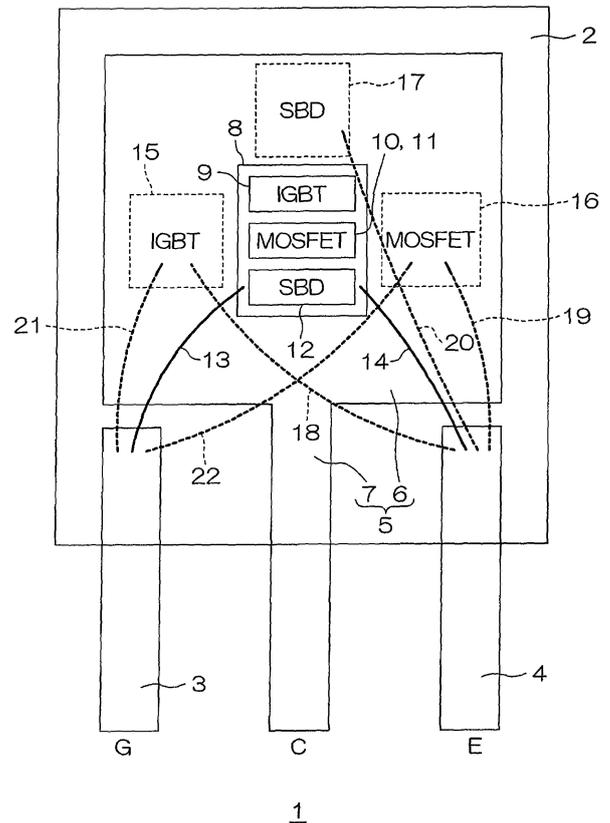
(74) Name und Wohnsitz des Vertreters:
WITTE, WELLER & PARTNER Patentanwälte mbB,
70173 Stuttgart, DE

(73) Name und Wohnsitz des Inhabers:
ROHM CO., LTD., Kyoto, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Halbleiterbauteil**

(57) Hauptanspruch: Halbleitervorrichtung, aufweisend:
einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend:
eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist;
ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt;
ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist;
ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist;
ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert;
eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und
eine Emitterelektrode, die so ausgebildet ist, dass die Emitterelektrode mit der ersten ...



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Erfindung betrifft eine Halbleitervorrichtung, die einen SiC-IGBT (IGBT - Insulated Gate Bipolar Semiconductor) aufweist.

STAND DER TECHNIK

[0002] In letzter Zeit sind SiC-Halbleitervorrichtungen in den Fokus der Aufmerksamkeit geraten, die in erster Linie für Systeme auf verschiedenen Leistungselektronikgebieten, wie zum Beispiel Motorsteuerungssystemen und Leistungsumwandlungssystemen, verwendet werden.

[0003] Patentdokument 1 offenbart zum Beispiel einen vertikalen IGBT, der ein SiC-Substrat vom p-Typ (Kollektorschicht), eine auf dem SiC-Substrat ausgebildete Driftschicht vom n-Typ, ein auf einem oberen Teil der Driftschicht ausgebildetes Basisgebiet vom p-Typ und ein in einem oberen Teil des Basisgebiets ausgebildetes Emittergebiet vom n-Typ aufweist.

[0004] Patentdokument 2 offenbart einen MOSFET vom Graben-Gate-Typ, der ein SiC-Substrat vom n⁺-Typ, eine auf dem SiC-Substrat ausgebildete Basisschicht vom n-Typ, ein in einem Oberflächenteil der Basisschicht ausgebildetes Körpergebiet vom p-Typ, ein in einem Oberflächenteil des Körpergebiets ausgebildetes Source-Gebiet vom n⁺-Typ, einen Gate-Graben, der von der Oberfläche der Basisschicht durch das Source-Gebiet und das Körpergebiet eindringt, und eine Gate-Elektrode, die in dem Gate-Graben mit einem Gate-Isolierfilm dazwischen eingebettet ist, aufweist.

DOKUMENTE DES STANDS DER TECHNIK

PATENTDOKUMENTE

Patentdokument 1: ungeprüfte japanische Patentveröffentlichung Nr. 2011-49267

Patentdokument 2: ungeprüfte japanische Patentveröffentlichung Nr. 2011-44688

Patentdokument 3: ungeprüfte japanische Patentveröffentlichung Nr. 2010-251517

Patentdokument 4: ungeprüfte japanische Patentveröffentlichung Nr. 2010-74051

KURZDARSTELLUNG DER ERFINDUNG

MITTEL ZUM LÖSEN DER PROBLEME

[0005] Die vorliegende Erfindung richtet sich auf eine Halbleitervorrichtung, die einen Halbleiterchip aufweist, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend ei-

ne SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist, ein Kollektorgebiet vom ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, ein Basisgebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist, ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist, ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert, eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist, und eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, aufweist, wobei der MOSFET ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist, und ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist.

[0006] In einem SiC-IGBT werden von dem Kollektorgebiet zu dem Basisgebiet Löcher injiziert, um eine Leitfähigkeitsmodulation im Basisgebiet zu bewirken, wodurch der Einschaltwiderstand des Basisgebiets reduziert werden kann. Selbst wenn das Basisgebiet eine geringe Störstellenkonzentration und daher aufgrund der Störstellenkonzentration einen höheren ursprünglichen Widerstand haben kann, um den Spannungswiderstand des IGBTs zu erhöhen, kann aus diesem Grunde der Einschaltwiderstand ausreichend gering gehalten werden. Infolgedessen ist der IGBT nützlicher als eine Vorrichtung zur Verwendung in einem Spannungsbereich als ein SiC-MOSFET.

[0007] Da SiC eine pn-Barriere, die höher als die von Si ist, hat, ist unterdessen eine höhere Einschaltspannung erforderlich, um den SiC-IGBT in einem Schwachstrombereich (von zum Beispiel 4 A oder darunter) zu verwenden. Dies ist selbst im Vergleich mit dem SiC-MOSFET ein sehr hoher Wert. Im Gegensatz zu dem IGBT unterliegt der SiC-MOSFET, der SiC verwendet, einer linearen Zunahme des Einschaltstroms aus der Anfangsphase, was im Schwachstrombereich nicht besonders nachteilig ist.

Für die Verwendung in einem Strombereich um 1 A hat der SiC-MOSFET zum Beispiel eine Einschaltspannung von ca. 0,8 V und hat der SiC-IGBT eine Einschaltspannung von ca. 1,3 V, während der SiC-IGBT eine Einschaltspannung von 3,5 V hat, das heißt, es besteht eine Differenz von ca. dem Vierfachen.

[0008] Entsprechend der Halbleitervorrichtung gemäß der vorliegenden Erfindung ist der MOSFET mit dem SiC-IGBT parallelgeschaltet. Dies gestattet einen Stromfluss durch die Halbleitervorrichtung durch Einschalten des SiC-IGBTs oder des MOSFETs. Zur Verwendung in einem Schwachstrombereich kann die Halbleitervorrichtung dementsprechend mit der Einschaltspannung des MOSFETs betrieben werden, wodurch die Einschaltspannung im Schwachstrombereich reduziert werden kann.

[0009] Darüber hinaus kann der mit dem SiC-IGBT verbundene MOSFET ein MOSFET auf Si-Basis, wie zum Beispiel ein SiC-MOSFET oder ein Si-MOSFET, oder alternativ ein MOSFET auf GaN-Basis oder ein MOSFET auf GaAs-Basis sein. Von diesen wird der SiC-MOSFET bevorzugt. Bei einem SiC-MOSFET können der SiC-IGBT und der SiC-MOSFET in einem einzigen Halbleiterchip integriert sein.

[0010] Insbesondere wird bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung bevorzugt, dass der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet, das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist, das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist.

[0011] Bei der obigen Anordnung können das Emittergebiet, das Basisgebiet, das Kanalgebiet, die Emittierelektrode und die Kollektorelektrode zwischen dem SiC-IGBT und dem SiC-MOSFET geteilt sein, wodurch diese Vorrichtungen in einer einzigen Zelleinheit integriert sein können. Infolgedessen kann die Größe der Halbleitervorrichtung reduziert sein, und dadurch kann die Kapazität zwischen den Vorrichtungen reduziert sein.

Darüber hinaus können der SiC-IGBT und der SiC-MOSFET als getrennte Zelleinheiten in der SiC-Halbleiterschicht ausgebildet sein.

[0012] Des Weiteren wird bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung bevorzugt, dass die SiC-Halbleiterschicht ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist, und eine SiC-Basis-

schicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, aufweist, wobei das Drain-Gebiet unter Verwendung des SiC-Substrats ausgebildet ist und das Kollektorgebiet an der unteren Fläche des Grabens ausgebildet ist.

[0013] Die Halbleitervorrichtung gemäß der vorliegenden Erfindung mit solch einer Struktur kann zum Beispiel durch ein Verfahren zur Herstellung einer Halbleitervorrichtung mit einem SiC-IGBT und einem SiC-MOSFET in einem einzigen Halbleiterchip hergestellt werden, wobei das Verfahren die Schritte des Ausbildens einer SiC-Basissschicht vom zweiten Leitfähigkeitstyp auf einer ersten Oberfläche eines SiC-Substrats vom zweiten Leitfähigkeitstyp, das die erste Oberfläche und eine zweite Oberfläche aufweist und ein Drain-Gebiet des SiC-MOSFETs definiert, selektiven Ätzens der zweiten Oberfläche des SiC-Substrats zum Ausbilden eines Grabens in dem SiC-Substrat, Implantierens von Störstellen vom ersten Leitfähigkeitstyp in die untere Fläche des Grabens zum Ausbilden eines Kollektorgebiets in der unteren Fläche, selektiven Implantierens von Störstellen vom ersten Leitfähigkeitstyp in die Oberfläche der SiC-Basissschicht zum Ausbilden eines Kanalgebiets in einem Oberflächenteil der SiC-Basissschicht, und selektiven Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in die Oberfläche der SiC-Basissschicht zum Ausbilden eines Emittergebiets in einem Oberflächenteil des Kanalgebiets, wobei das Emittergebiet auch als ein Source-Gebiet des SiC-MOSFETs dient, aufweist.

[0014] Gemäß dem obigen Verfahren lassen sich das Kollektorgebiet und das Drain-Gebiet, die auf der zweiten Oberfläche der SiC-Halbleiterschicht selektiv freigelegt sind, unter Verwendung einer bekannten Halbleitervorrichtungsherstellungstechnik, die Ätzen des SiC-Substrats und Störstellenimplantation in das SiC-Substrat und die SiC-Basissschicht beinhaltet, leicht herstellen.

Der Schritt des Ausbildens des Grabens kann ferner den Schritt des Ätzens, bis die SiC-Basissschicht zu dem Graben freiliegt, beinhalten.

[0015] Dies gestattet, dass der tiefste Teil des Grabens die Grenzfläche zwischen dem SiC-Substrat und der SiC-Basissschicht erreicht. Das heißt, der tiefste Teil des Grabens kann an der Grenzfläche zwischen dem SiC-Substrat und der SiC-Basissschicht positioniert sein oder kann sich an einer Stelle befinden, die bezüglich der Grenzfläche näher an der ersten Oberfläche der SiC-Basissschicht liegt. In diesem Fall müssen die untere Fläche und ein Teil der Seitenfläche des Grabens durch die SiC-Basissschicht definiert werden, während der Rest der Seitenfläche durch das SiC-Substrat definiert werden muss. Alternativ kann sich der tiefste Teil des Grabens bezüg-

lich der Grenzfläche näher an der zweiten Oberfläche des SiC-Substrats befinden. In diesem Fall müssen die untere Fläche und die Seitenfläche des Grabens durch das SiC-Substrat definiert werden.

[0016] Des Weiteren kann bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung die SiC-Halbleiterschicht ein SiC-Substrat vom ersten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist, und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, aufweisen, wobei bevorzugt wird, dass das Kollektorgebiet unter Verwendung des SiC-Substrats ausgebildet ist und das Drain-Gebiet an der unteren Fläche des Grabens ausgebildet ist.

[0017] Des Weiteren wird bevorzugt, dass mehrere der Gräben streifenartig ausgebildet sind.

Bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung kann die SiC-Halbleiterschicht ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist, und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, aufweisen, wobei das Drain-Gebiet und das Kollektorgebiet an der unteren Fläche des Grabens nebeneinanderliegend ausgebildet sein können.

[0018] Die Halbleitervorrichtung gemäß der vorliegenden Erfindung mit solch einer Struktur kann zum Beispiel durch ein Verfahren zur Herstellung einer Halbleitervorrichtung mit einem SiC-IGBT und einem SiC-MOSFET in einem einzigen Halbleiterchip hergestellt werden, wobei das Verfahren die Schritte des Ausbildens einer SiC-Basisschicht vom zweiten Leitfähigkeitstyp auf einer ersten Oberfläche eines SiC-Substrats vom zweiten Leitfähigkeitstyp, das die erste Oberfläche und eine zweite Oberfläche aufweist, selektiven Ätzens der zweiten Oberfläche des SiC-Substrats zum Ausbilden eines Grabens in dem SiC-Substrat, selektiven Implantierens von Störstellen vom ersten Leitfähigkeitstyp in die untere Fläche des Grabens zum Ausbilden eines Kollektorgebiets in der unteren Fläche, selektiven Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in die untere Fläche des Grabens zum Ausbilden eines Drain-Gebiets in der unteren Fläche, selektiven Implantierens von Störstellen vom ersten Leitfähigkeitstyp in die Oberfläche der SiC-Basisschicht zum Ausbilden eines Kanalgebiets in einem Oberflächenenteil der SiC-Basisschicht und selektiven Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in

die Oberfläche der SiC-Basisschicht zum Ausbilden eines Emittergebiets in einem Oberflächenenteil des Kanalgebiets, wobei das Emittergebiet auch als ein Source-Gebiet des SiC-MOSFETs dient, aufweist.

[0019] Gemäß dem obigen Verfahren lassen sich des Weiteren das Kollektorgebiet und das Drain-Gebiet, die selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freigelegt sind, unter Verwendung einer bekannten Halbleitervorrichtungsherstellungstechnik, die Ätzen des SiC-Substrats und Störstellenimplantation in das SiC-Substrat und die SiC-Basisschicht beinhaltet, leicht herstellen.

Ferner kann bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung die SiC-Halbleiterschicht ein SiC-Substrat, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und einen Teil vom ersten Leitfähigkeitstyp und einen Teil vom zweiten Leitfähigkeitstyp aufweist, die segmentiert sind, derart, dass die Teile vom ersten und zweiten Leitfähigkeitstyp getrennt auf der zweiten Oberfläche freiliegen, und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, aufweisen, wobei bevorzugt wird, dass das Kollektorgebiet unter Verwendung des Teils vom ersten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und das Drain-Gebiet unter Verwendung des Teils vom zweiten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist.

[0020] In diesem Fall wird bevorzugt, dass mehrere der Teile vom ersten Leitfähigkeitstyp und der Teile vom zweiten Leitfähigkeitstyp des SiC-Substrats abwechselnd streifenartig ausgebildet sind.

In solch einem Fall des Integrierens des SiC-IGBTs und des SiC-MOSFETs in einem Chip weist die Kollektorelektrode, die gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist, vorzugsweise ein Metallsilizid in einem Teil auf, das mit dem Drain-Gebiet und dem Kollektorgebiet in Kontakt ist.

[0021] Das Metallsilizid kann die Kollektorelektrode mit dem SiC in Ohm'schen Kontakt bringen, unabhängig davon, ob der Leitfähigkeitstyp des SiCs der p-Typ oder der n-Typ ist.

Des Weiteren weist bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung das Basisgebiet vorzugsweise ein Driftgebiet, das eine erste Störstellenkonzentration aufweist und mit dem Kanalgebiet in Kontakt ist, und ein Puffergebiet, das so ausgebildet ist, dass das Puffergebiet das Kollektorgebiet zwischen dem Driftgebiet und dem Kollektorgebiet umgibt, und eine zweite Störstellenkonzentration aufweist, die höher als die erste Störstellenkonzentration ist, auf.

[0022] Bei der obigen Anordnung kann das Puffergebiet, wenn sich der SiC-IGBT in einem ausgeschal-

teten Zustand befindet, die an der Grenzfläche zwischen dem Kanalgebiet und dem Driftgebiet erzeugte Erweiterung der Verarmungsschicht unterbinden und somit ein Punchthrough verhindern. Daher ist es möglich, die Halbleitervorrichtung als eine Vorrichtung vom Punchthrough-Typ auszuführen, um dadurch einen geringen Einschaltwiderstand zu erreichen.

Es wird dann bevorzugt, dass die SiC-Halbleiterschicht ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert, und eine SiC-Basissschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, aufweist und ein Graben, der von der zweiten Oberfläche des SiC-Substrats das SiC-Substrat durchdringt, um die SiC-Basissschicht zu erreichen, selektiv ausgebildet ist, wobei das Drain-Gebiet unter Verwendung des SiC-Substrats ausgebildet ist, das Kollektorgebiet an der unteren Fläche des Grabens ausgebildet ist und die SiC-Basissschicht eine Pufferschicht vom zweiten Leitfähigkeitstyp, die so ausgebildet ist, dass die Pufferschicht das Kollektorgebiet umgibt, um als das Puffergebiet zu dienen, und ein Driftgebiet vom zweiten Leitfähigkeitstyp, das auf der Pufferschicht ausgebildet ist, um als das Driftgebiet zu dienen, aufweist.

[0023] Die SiC-Halbleiterschicht kann ferner ein SiC-Substrat, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und einen Teil vom ersten Leitfähigkeitstyp und einen Teil vom zweiten Leitfähigkeitstyp aufweist, die segmentiert sind, derart, dass die Teile vom ersten und zweiten Leitfähigkeitstyp getrennt auf der zweiten Oberfläche freiliegen, und eine SiC-Basissschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, aufweisen, wobei bevorzugt wird, dass das Kollektorgebiet unter Verwendung des Teils vom ersten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und das Drain-Gebiet unter Verwendung des Teils vom zweiten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und die SiC-Basissschicht eine Pufferschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, derart, dass die Pufferschicht das Drain-Gebiet und das Kollektorgebiet bedeckt, um als das Puffergebiet zu dienen, und eine Driftschicht vom zweiten Leitfähigkeitstyp, die auf der Pufferschicht ausgebildet ist, um als das Driftgebiet zu dienen, aufweist.

[0024] Die Halbleitervorrichtung gemäß der vorliegenden Erfindung weist ferner eine pn-Diode auf, die mit dem SiC-IGBT parallelgeschaltet ist und ein Gebiet vom ersten Leitfähigkeitstyp, das mit der Emitterelektrode elektrisch verbunden ist, und ein Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist, aufweist.

IGBTs, bei denen Anoden und Kathoden von pn-Dioden verbunden sind, können keine Body-Diode wie MOSFETs enthalten. Daher ist es schwierig, eine gegenelektromotorische Kraft zu verbrauchen, falls diese an der Last auftritt.

[0025] Gemäß der Halbleitervorrichtung gemäß der vorliegenden Erfindung ist somit die pn-Diode mit dem SiC-IGBT parallelgeschaltet. Selbst wenn eine gegenelektromotorische Kraft an der Last auftreten kann, verursacht das Gleichrichtungsverhalten der pn-Diode, dass ein Strom aufgrund der gegenelektromotorischen Kraft als ein Rückflussstrom durch die Last fließt, was verhindern kann, dass eine hohe gegenelektromotorische Kraft an den SiC-IGBT angelegt wird.

In solch einem Fall des Integrierens des SiC-IGBTs und des SiC-MOSFETs in einem Chip wird ferner bevorzugt, dass die pn-Diode eine in dem MOSFET enthaltene Body-Diode aufweist. Die Body-Diode kann unter Verwendung eines pn-Übergangs zwischen dem Kanalgebiet und dem Basisgebiet des in dem Halbleiterchip vorgesehenen MOSFETs ausgebildet sein.

[0026] Dies gestattet des Weiteren, dass die pn-Diode in der gleichen Zelleneinheit wie der SiC-IGBT und der SiC-MOSFET integriert wird, wodurch die Größe der Halbleitervorrichtung weiter reduziert werden kann.

Die Halbleitervorrichtung gemäß der vorliegenden Erfindung weist ferner vorzugsweise eine Schottky-Barriერიode auf, die mit dem SiC-IGBT parallelgeschaltet ist und ein Driftgebiet vom zweiten Leitfähigkeitstyp, eine Anodenelektrode, die einen Schottky-Übergang mit dem Driftgebiet bildet und mit der Emitterelektrode elektrisch verbunden ist, und eine Kathodenelektrode, die mit dem Driftgebiet in Ohm'schem Kontakt steht und mit der Kollektorelektrode elektrisch verbunden ist, aufweist.

[0027] Da die Schottky-Barriერიode mit dem SiC-IGBT parallelgeschaltet ist, kann bei der obigen Anordnung die Rückerzolungszeit verkürzt sein, wodurch die Halbleitervorrichtung eine schnelle Rückerholung erzielen kann.

Des Weiteren kann bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung der Halbleiterchip so angeordnet sein, dass das Basisgebiet einen Basisoberflächenteil aufweist, der auf der ersten Oberfläche der SiC-Halbleiterschicht freiliegt, um einen Teil der ersten Oberfläche zu definieren, und die Emitterelektrode einen Schottky-Verbindungsteil, der einen Schottky-Übergang mit dem Basisoberflächenteil bildet, aufweist, wobei bevorzugt wird, dass die Schottky-Barriერიode eine SiC-Schottky-Barriერიode beinhaltet, die in dem Halbleiterchip vorgesehen ist, das Driftgebiet unter Verwendung des Basisgebiets des SiC-IGBTs ausgebildet ist und die An-

odenelektrode unter Verwendung der Emittierelektrode des SiC-IGBTs ausgebildet ist.

[0028] Bei der obigen Anordnung können das Basisgebiet, die Emittierelektrode und die Kollektorelektrode zwischen dem SiC-IGBT und der SiC-Schottky-Barrierediode geteilt sein, wodurch diese Vorrichtungen in einer einzigen Zelleneinheit integriert sein können. Infolgedessen kann die Größe der Halbleitervorrichtung reduziert sein, und dadurch kann die Kapazität zwischen den Vorrichtungen reduziert sein. Ferner kann die Halbleitervorrichtung einen Zwischenschichtisolierfilm, der auf der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist und mit einem Kontaktloch ausgebildet ist, durch das der Basisoberflächenteil freiliegt, und ferner ein Harzgehäuse, in dem der SiC-IGBT, der MOSFET und die Schottky-Barrierediode gemeinsam verkapselt sind, aufweisen.

[0029] Des Weiteren wird bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung bevorzugt, dass das Basisgebiet auf der ersten Oberfläche der SiC-Halbleiterschicht teilweise freiliegt, wobei der Halbleiterchip eine Schottky-Elektrode, die so ausgebildet ist, dass die Schottky-Elektrode mit dem freiliegenden Teil des Basisgebiets in Kontakt ist, und einen Graben, der an einer Stelle neben einem Verbindungsteil zwischen dem Basisgebiet und der Schottky-Elektrode aus der ersten Oberfläche der Halbleiterschicht ausgegraben ist, aufweist, wobei der Graben eine untere Fläche und eine Seitenfläche aufweist.

[0030] Bei der obigen Anordnung kann das Basisgebiet zwischen dem SiC-IGBT und der SiC-Schottky-Barrierediode geteilt sein, wodurch diese Vorrichtungen in einer einzigen Zelleneinheit integriert sein können. Infolgedessen kann die Größe der Halbleitervorrichtung reduziert sein, und dadurch kann die Kapazität zwischen den Vorrichtungen reduziert sein. Da der Graben neben dem Schottky-Verbindungsteil ausgebildet ist, kann ferner die elektrische Feldstärke an der Schottky-Grenzfläche zwischen dem Basisgebiet und der Schottky-Elektrode reduziert sein. Infolgedessen kann die Barriere der Schottky-Grenzfläche niedrig eingestellt sein, wodurch die Schottky-Barrierediode eine geringe Schwellenspannung haben kann.

[0031] In diesem Fall weist die SiC-Halbleiterschicht vorzugsweise einen Relaxierteil des elektrischen Felds bzw. einen Elektrisches-Feld-Relaxierteil vom ersten Leitfähigkeitstyp auf, der auf der unteren Fläche und an einem Randteil der unteren Fläche des Grabens selektiv ausgebildet ist. Dies kann den Sperrleckstrom in der gesamten Halbleitervorrichtung reduzieren. Das heißt, da der Sperrleckstrom selbst dann reduziert werden kann, wenn möglicherweise eine Sperrspannung nahe

der Durchbruchspannung angelegt ist, können die Spannungsfestigkeitseigenschaften des SiC-Halbleitersubstrats effizient genutzt werden.

[0032] In diesem Fall wird der Relaxierteil des elektrischen Felds vorzugsweise so ausgebildet, dass er sich zwischen dem Randteil der unteren Fläche des Grabens und der Seitenfläche des Grabens erstreckt und vorzugsweise entlang der Seitenfläche des Grabens zu dem Öffnungsende des Grabens ausgebildet ist.

Ferner beinhaltet der Graben vorzugsweise einen sich verjüngenden Graben mit der unteren Fläche in einem planaren Profil und der Seitenfläche in einem Winkel von mehr als 90 Grad bezüglich der planaren unteren Fläche geneigt.

[0033] Der sich verjüngende Graben kann ferner die Spannungsfestigkeit der Halbleitervorrichtung im Vergleich zu dem Fall, dass die Seitenwand senkrecht in einem Winkel von 90 Grad zu der Bodenwand steht, erhöhen.

Des Weiteren führt der sich verjüngende Graben zu einer Anordnung, bei der nicht nur die untere Fläche, sondern auch die gesamte oder ein Teil der Seitenfläche dem Öffnungsende des Grabens gegenüberliegt. Wenn die Störstellen vom ersten Leitfähigkeitstyp über den Graben in die SiC-Halbleiterschicht implantiert werden, können demgemäß die durch das Öffnungsende in den Graben einfallenden Störstellen zuverlässig die Seitenfläche des Grabens treffen. Infolgedessen lässt sich der oben beschriebene Relaxierteil des elektrischen Felds leicht ausbilden.

[0034] Darüber hinaus ist der sich verjüngende Graben ein Konzept, das sowohl einen Graben, dessen Seitenfläche vollständig in einem Winkel von mehr als 90 Grad bezüglich der unteren Fläche geneigt ist, als auch einen Graben, dessen Seitenfläche teilweise (zum Beispiel der den Randteil des Grabens definierende Teil) in einem Winkel von mehr als 90 Grad bezüglich der unteren Fläche geneigt ist, beinhaltet. Des Weiteren wird bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung bevorzugt, dass die Schottky-Elektrode so ausgebildet ist, dass die Schottky-Elektrode in dem Graben eingebettet ist, und der Relaxierteil des elektrischen Felds einen Kontaktteil aufweist, der einen Ohm'schen Übergang mit der Schottky-Elektrode an der unteren Fläche des Grabens bildet.

[0035] Bei der obigen Anordnung kann die Schottky-Elektrode einen Ohm'schen Übergang mit der pn-Diode bilden, die einen pn-Übergang zwischen dem Kontaktteil (erster Leitfähigkeitstyp) und dem Basisgebiet (zweiter Leitfähigkeitstyp) aufweist. Die pn-Diode ist parallel zu der Schottky-Barrierediode (Heteroübergangsdiode) mit einem Schottky-Übergang zwischen der Schottky-Elektrode und dem Basisgebiet vorgesehen. Demgemäß kann ein Stoß-

strom teilweise durch die enthaltene pn-Diode fließen, selbst wenn der Stoßstrom durch die Halbleitervorrichtung fließen kann. Infolgedessen kann der durch die Schottky-Barrierediode fließende Stoßstrom reduziert werden, wodurch eine thermische Zerstörung der Schottky-Barrierediode aufgrund des Stoßstroms verhindert werden kann.

[0036] Bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung wird ferner bevorzugt, dass das Basisgebiet ein Basisdriftgebiet mit einer ersten Störstellenkonzentration und ein auf dem Basisdriftgebiet ausgebildetes Driftgebiet mit geringem Widerstand mit einer zweiten Störstellenkonzentration, die im Verhältnis höher als die erste Störstellenkonzentration ist, aufweist und der Graben so ausgebildet ist, dass sein tiefster Teil das Driftgebiet mit geringem Widerstand erreicht.

Da die durch den Graben segmentierten grabensegmentierten Zelleneinheiten ein Gebiet mit geringem Stromfluss (Strompfad) aufweisen, können die Zelleneinheiten, wenn die die Zelleneinheiten in der SiC-Halbleiterschicht definierenden Teile eine geringe Störstellenkonzentration haben, einen hohen Widerstand haben. Somit gestattet das derartige Ausbilden des Grabens, dass sein tiefster Teil das Driftgebiet mit geringem Widerstand erreicht, daher, dass alle oder ein Teil der Zelleneinheiten in dem Driftgebiet mit geringem Widerstand ausgebildet werden. In den Teilen, in denen das Driftgebiet mit geringem Widerstand ausgebildet ist, kann demgemäß das Driftgebiet mit geringem Widerstand, das die relativ hohe zweite Störstellenkonzentration hat, eine Zunahme des Widerstands unterdrücken. Infolgedessen können die Zelleneinheiten einen geringen Widerstand haben.

[0037] Die erste Störstellenkonzentration des Basisdriftgebiets kann von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Halbleiterschicht abnehmen. Ferner kann die zweite Störstellenkonzentration des Driftgebiets mit geringem Widerstand von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Halbleiterschicht gleichbleibend sein oder kann von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Halbleiterschicht abnehmen.

[0038] Des Weiteren weist bei der Halbleitervorrichtung gemäß der vorliegenden Erfindung das Basisgebiet vorzugsweise ferner ein Oberflächendriftgebiet auf, das auf dem Driftgebiet mit geringem Widerstand ausgebildet ist und eine dritte Störstellenkonzentration aufweist, die im Verhältnis geringer als die zweite Störstellenkonzentration ist.

Da die Störstellenkonzentration in der Nähe der Oberfläche der SiC-Halbleiterschicht (Basisgebiet) gering ausgelegt werden kann, kann bei dieser Anordnung die elektrische Feldstärke an der Oberfläche der SiC-Halbleiterschicht bei Anlegen von Sperr-

spannung reduziert werden. Infolgedessen kann der Sperrleckstrom weiter reduziert werden.

[0039] Die SiC-IGBT kann einen Planar-Gate-IGBT aufweisen, der einen Gate-Isolierfilm, der auf der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, und eine Gate-Elektrode, die so auf dem Gate-Isolierfilm ausgebildet ist, dass die Gate-Elektrode dem Kanalgebiet mit dem Gate-Isolierfilm dazwischen gegenüberliegt, aufweist, oder kann einen IGBT vom Graben-Gate-Typ aufweisen, der einen Gate-Graben, der sich von der ersten Oberfläche der SiC-Halbleiterschicht durch das Emittergebiet und das Kanalgebiet erstreckt, um das Basisgebiet zu erreichen, einen auf der Innenfläche des Gate-Grabens ausgebildeten Gate-Isolierfilm und eine auf der Innenseite des Gate-Isolierfilms in dem Gate-Graben ausgebildete Gate-Elektrode aufweist.

[0040] Das obige Halbleitervorrichtungsherstellungsverfahren beinhaltet vorzugsweise ferner einen Schritt des Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in die Nähe der ersten Oberfläche des SiC-Substrats vor dem Schritt des Ausbildens der SiC-Basissschicht.

Bei diesem Verfahren kann während des Ätzens von der zweiten Oberfläche zu der ersten Oberfläche des SiC-Substrats zur Ausbildung eines Grabens, wenn die Ätzfläche das Ende (nahe der ersten Oberfläche) des SiC-Substrats erreicht, eine andere Plasmaart detektiert werden, die sich von der während des Ätzens der anderen Teile des SiC-Substrats unterscheidet. Infolgedessen kann die Tiefe des Ätzens genau gesteuert werden.

[0041] Bei dem obigen Halbleitervorrichtungsherstellungsverfahren wird des Weiteren bevorzugt, dass der Schritt des Ausbildens der SiC-Basissschicht die Schritte des Ausbildens einer ersten Störstellenschicht mit hoher Konzentration auf der ersten Oberfläche des SiC-Substrats und Ausbildens einer Driftschicht auf der ersten Störstellenschicht mit hoher Konzentration, so dass sie eine Störstellenkonzentration hat, die im Verhältnis geringer als die der Störstellenschicht mit hoher Konzentration ist, beinhaltet, und der Schritt des Ausbildens des Grabens den Schritt des selektiven Ausbildens eines Grabens, der sich durch das SiC-Substrat und die Störstellenschicht mit hoher Konzentration erstreckt, um die Driftschicht zu erreichen, beinhaltet, wobei das Verfahren ferner vor dem Schritt des Ausbildens des Kollektorgebiets den Schritt des Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in die untere Fläche des Grabens zum Ausbilden einer zweiten Störstellenschicht mit hoher Konzentration in der unteren Fläche, um dadurch eine Pufferschicht auszubilden, in der die zweite Störstellenschicht mit hoher Konzentration und die erste Störstellenschicht mit hoher Konzentration integriert sind, beinhaltet.

[0042] Bei dem obigen Verfahren kann die Halbleitervorrichtung mit einer Anordnung hergestellt werden, bei der das Kollektorgebiet von der Pufferschicht umgeben ist.

Des Weiteren kann die Halbleitervorrichtung gemäß der vorliegenden Erfindung durch ein Verfahren zur Herstellung einer Halbleitervorrichtung mit einem SiC-IGBT und einem SiC-MOSFET in einem einzigen Halbleiterchip hergestellt werden. Das Verfahren kann die Schritte des Ausbildens einer SiC-Basisschicht vom zweiten Leitfähigkeitstyp auf einer ersten Oberfläche eines Substrats, das die erste Oberfläche und eine zweite Oberfläche aufweist, Entfernens des Substrats zum Freilegen einer zweiten Oberfläche der SiC-Basisschicht, selektiven Implantierens von Störstellen vom ersten Leitfähigkeitstyp in die zweite Oberfläche der SiC-Basisschicht zum Ausbilden eines Kollektorgebiets in der zweiten Oberfläche, selektiven Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in die zweite Oberfläche der SiC-Basisschicht zum Ausbilden eines Draingebiets in der zweiten Oberfläche, selektiven Implantierens von Störstellen vom ersten Leitfähigkeitstyp in eine erste Oberfläche der SiC-Basisschicht zum Ausbilden eines Kanalgebiets in einem Oberflächenteil der SiC-Basisschicht, und selektiven Implantierens von Störstellen vom zweiten Leitfähigkeitstyp in die erste Oberfläche der SiC-Basisschicht zum Ausbilden eines Emittergebiets in einem Oberflächenteil des Kanalgebiets, wobei das Emittergebiet auch als ein Source-Gebiet des SiC-MOSFETs dient, beinhalten.

Figurenliste

[Fig. 1] Fig. 1 ist eine perspektivische Außenansicht eines Halbleitergehäuses gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 2] Fig. 2 ist ein Schaltplan innerhalb des in Fig. 1 gezeigten Halbleiterchips.

[Fig. 3] Fig. 3 ist eine schematische Querschnittsansicht des in Fig. 1 gezeigten Halbleiterchips.

[Fig. 4A] Fig. 4A zeigt einen Schritt eines Prozesses zur Herstellung des in Fig. 3 gezeigten Halbleiterchips.

[Fig. 4B] Fig. 4B zeigt einen Schritt, der dem in Fig. 4A gezeigten folgt.

[Fig. 4C] Fig. 4C zeigt einen Schritt, der dem in Fig. 4B gezeigten folgt.

[Fig. 4D] Fig. 4D zeigt einen Schritt, der dem in Fig. 4C gezeigten folgt.

[Fig. 4E] Fig. 4E zeigt einen Schritt, der dem in Fig. 4D gezeigten folgt.

[Fig. 4F] Fig. 4F zeigt einen Schritt, der dem in Fig. 4E gezeigten folgt.

[Fig. 5] Fig. 5 zeigt eine erste beispielhafte Variante des in Fig. 3 gezeigten Grabens.

[Fig. 6] Fig. 6 zeigt eine zweite beispielhafte Variante des in Fig. 3 gezeigten Grabens.

[Fig. 7] Fig. 7 zeigt eine beispielhafte Variante der in Fig. 3 gezeigten Gate-Elektrode.

[Fig. 8] Fig. 8 ist ein Schaltplan einer Wechselrichterschaltung mit dem darin enthaltenen in Fig. 3 gezeigten Halbleiterchip.

[Fig. 9] Fig. 9 ist eine schematische Querschnittsansicht eines Halbleiterchips gemäß einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 10A] Fig. 10A zeigt einen Schritt eines Prozesses zur Herstellung des in Fig. 9 gezeigten Halbleiterchips.

[Fig. 10B] Fig. 10B zeigt einen Schritt, der dem in Fig. 10A gezeigten folgt.

[Fig. 10C] Fig. 10C zeigt einen Schritt, der dem in Fig. 10B gezeigten folgt.

[Fig. 10D] Fig. 10D zeigt einen Schritt, der dem in Fig. 10C gezeigten folgt.

[Fig. 10E] Fig. 10E zeigt einen Schritt, der dem in Fig. 10D gezeigten folgt.

[Fig. 10F] Fig. 10F zeigt einen Schritt, der dem in Fig. 10E gezeigten folgt.

[Fig. 10G] Fig. 10G zeigt einen Schritt, der dem in Fig. 10F gezeigten folgt.

[Fig. 10H] Fig. 10H zeigt einen Schritt, der dem in Fig. 10G gezeigten folgt.

[Fig. 11] Fig. 11 ist eine schematische Querschnittsansicht eines Halbleiterchips (vom Typ mit segmentiertem SiC-Substrat) gemäß einer dritten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 12] Fig. 12 ist eine schematische Querschnittsansicht eines Halbleiterchips (vom Typ mit segmentiertem SiC-Substrat) gemäß einer vierten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 13] Fig. 13 ist eine schematische Querschnittsansicht eines Halbleiterchips (vom Graben-Gate-Typ) gemäß einer fünften bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 14] Fig. 14 ist eine schematische Querschnittsansicht eines Halbleiterchips (vom Typ mit getrennten Vorrichtungen) gemäß einer sechsten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 15] Fig. 15 ist eine schematische Draufsicht eines Halbleiterchips gemäß einer siebten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 16] Fig. 16 ist eine schematische Unteransicht des in Fig. 15 gezeigten Halbleiterchips.

[Fig. 17] Fig. 17 zeigt eine beispielhafte Variante der Streifenrichtung des in Fig. 16 gezeigten Kollektorgebiets.

[Fig. 18] Fig. 18 ist eine schematische Querschnittsansicht des Halbleiterchips gemäß der siebten bevorzugten Ausführungsform der Erfindung.

[Fig. 19] Fig. 19 veranschaulicht die Störstellenkonzentration des SiC-Substrats und der SiC-Basissschicht.

[Fig. 20A] Fig. 20A zeigt einen Schritt eines Prozesses zur Herstellung des in Fig. 18 gezeigten Halbleiterchips.

[Fig. 20B] Fig. 20B zeigt einen Schritt, der dem in Fig. 20A gezeigten folgt.

[Fig. 20C] Fig. 20C zeigt einen Schritt, der dem in Fig. 20B gezeigten folgt.

[Fig. 20D] Fig. 20D zeigt einen Schritt, der dem in Fig. 20C gezeigten folgt.

[Fig. 21] Fig. 21 ist eine schematische Querschnittsansicht eines Halbleiterchips gemäß einer achten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 22A] Fig. 22A zeigt einen Schritt eines Prozesses zur Herstellung des in Fig. 21 gezeigten Halbleiterchips.

[Fig. 22B] Fig. 22B zeigt einen Schritt, der dem in Fig. 22A gezeigten folgt.

[Fig. 22C] Fig. 22C zeigt einen Schritt, der dem in Fig. 22B gezeigten folgt.

[Fig. 22D] Fig. 22B zeigt einen Schritt, der dem in Fig. 22C gezeigten folgt.

[Fig. 23] Fig. 23 ist eine schematische Querschnittsansicht eines Halbleiterchips gemäß einer neunten bevorzugten Ausführungsform der vorliegenden Erfindung.

[Fig. 24A] Fig. 24A zeigt einen Schritt eines Prozesses zur Herstellung des in Fig. 23 gezeigten Halbleiterchips.

[Fig. 24B] Fig. 24B zeigt einen Schritt, der dem in Fig. 24A gezeigten folgt.

[Fig. 24C] Fig. 24C zeigt einen Schritt, der dem in Fig. 24B gezeigten folgt.

[Fig. 24D] Fig. 24D zeigt einen Schritt, der dem in Fig. 24C gezeigten folgt.

[Fig. 24E] Fig. 24D zeigt einen Schritt, der dem in Fig. 24D gezeigten folgt

[Fig. 24F] Fig. 24F zeigt einen Schritt, der dem in Fig. 24E gezeigten folgt.

DURCHFÜHRUNGSWEISEN DER ERFINDUNG

[0043] Nachfolgend werden bevorzugte Ausführungsformen der vorliegenden Erfindung unter Bezugnahme auf die beigefügten Zeichnungen ausführlich beschrieben.

Fig. 1 ist eine perspektivische Außenansicht eines Halbleitergehäuses 1 gemäß einer ersten bevorzugten Ausführungsform der vorliegenden Erfindung.

Fig. 2 ist ein Schaltplan innerhalb des in Fig. 1 gezeigten Halbleiterchips.

Das Halbleitergehäuse 1, das als eine Halbleitervorrichtung dient, weist ein abgeflachtes rechteckiges parallelepipedisches Harzgehäuse 2, einen Gate-Anschluss 3 (G), einen Emitter-Anschluss 4 (E) und einen Kollektoranschluss 5 (C) auf, die in dem Harzgehäuse 2 eingekapselt sind.

[0044] Die drei Anschlüsse 3 bis 5 sind jeweils aus einer Metallplatte in einer vorbestimmten Form ausgebildet. Bei dieser bevorzugten Ausführungsform ist der Kollektoranschluss 5 in einer Form ausgebildet, die eine quadratische Insel 6 und einen länglichen rechteckigen Anschlusssteil 7, der sich linear von einer Seite der Insel 6 erstreckt, aufweist. Der Gate-Anschluss 3 und der Emitter-Anschluss 4 sind in ungefähr der gleichen Form wie der Anschlusssteil 7 des Kollektoranschlusses 5 ausgebildet und auf der einen und der anderen Seite des Anschlusssteils 7 des Kollektoranschlusses 5 parallel zueinander angeordnet, derart, dass der Anschlusssteil 7 des Kollektoranschlusses 5 dazwischen angeordnet ist.

[0045] Der Halbleiterchip 8 ist (in einem zentralen Teil der Insel 6) auf dem Kollektoranschluss 5 platziert. Ein IGBT 9 (Insulated Gate Bipolar Semiconductor), ein MOSFET 11, der eine Body-Diode 10 (pn-Di) enthält, und eine Schottky-Barriere-Diode 12 (SBD) sind auf dem Halbleiterchip 8 montiert. Das heißt, die drei Vorrichtungen, der IGBT 9, der MOSFET 11 und die Schottky-Barriere-Diode 12, die einer Schaltfunktion dienen, sind auf dem einzigen Halbleiterchip 8 montiert, und der Halbleiterchip 8 ist auf der Insel 6 des Kollektoranschlusses 5 gestützt.

[0046] Wie in Fig. 2 gezeigt ist, sind der MOSFET 11, die Body-Diode 10 und die Schottky-Barriere-Diode 12 mit dem IGBT 9 in dem Halbleiterchip 8 parallelgeschaltet.

Insbesondere sind die Source (S) des MOSFETs 11, die Anode (A) der Body-Diode 10 und die Anode (A) der Schottky-Barriere-Diode 12 jeweils mit dem Emitter (E) des IGBTs 9 verbunden. Der Drain (D) des MOSFETs 11, die Kathode (K) der Body-Diode 10 und die Kathode (K) der Schottky-Barriere-Diode 12

sind jeweils mit dem Kollektor (C) des IGBTs **9** verbunden. Das Gate (G) des MOSFETs **11** ist mit dem (G) des IGBTs **9** verbunden.

[0047] Das Gate (G) des IGBTs **9** ist unter Verwendung eines Bonddrahts **13** mit dem Gate-Anschluss **3** verbunden, und der Emitter (E) des IGBTs **9** ist unter Verwendung eines Bonddrahts **14** mit dem Emitter-Anschluss **4** verbunden. Der Kollektor (T) des IGBTs **9** ist mit der Insel **6** des Kollektoranschlusses **5** verbunden.

Das Harzgehäuse **2** kapselt dann den Halbleiterchip **8**, die Bonddrähte **13** und **14**, die gesamte Insel **6** und einen Teil des Anschlussteils **7** des Kollektoranschlusses **5**, einen Teil des Gate-Anschlusses **3** und einen Teil des Emitter-Anschlusses **4** ein. Der Rest des Anschlussteils **7** des Kollektoranschlusses **5**, des Gate-Anschlusses **3** und des Emitter-Anschlusses **4** sind durch eine Seitenfläche des Harzgehäuse **2** freigelegt.

[0048] Darüber hinaus können der IGBT **9**, der die Body-Diode **10** enthaltende MOSFET **11** und die Schottky-Barriervediode **12** in dem gleichen Halbleiterchip **8** (einzigen Chip) integriert sein, der in **Fig. 1** durch die durchgezogene Linie gezeigt ist (das heißt auf dem gleichen Chip vorliegt), oder können getrennt als ein IGBT-Chip **15**, ein MOSFET-Chip **16** (der die Body-Diode **10** enthält) und ein Schottky-Barriervedioden-Chip **17**, die in **Fig. 1** durch die Strichlinien gezeigt sind, vorgesehen sein, solange sie in der Lage sind, die in **Fig. 2** gezeigte Schaltung auszubilden.

[0049] Im letzteren Fall können der MOSFET **11**, die Body-Diode **10** und die Schottky-Barriervediode **12** mit dem IGBT **9** parallelgeschaltet werden, wie in **Fig. 2** gezeigt ist, indem der Kollektor (C) des IGBT-Chips **15**, der Drain (D) des MOSFET-Chips **16** und die Kathode (K) des Schottky-Barriervedioden-Chips **17** mit der Insel **6** des Kollektoranschlusses **5** verbunden werden, der Emitter (E) des IGBT-Chips **15**, die Source (S) des MOSFET Chips **16** und die Anode (A) des Schottky-Barriervedioden-Chips **17** unter Verwendung der jeweiligen Bonddrähte **18** bis **20** mit dem Emitter-Anschluss **4** verbunden werden und das Gate (G) des IGBT-Chips **15** und das Gate (G) des MOSFET-Chips **16** unter Verwendung der Bonddrähte **21** bzw. **22** mit dem Gate-Anschluss **3** verbunden werden.

<Spezielle Ausbildung des Halbleiterchips **8** (Typ mit integrierten Vorrichtungen)>

[0050] **Fig. 3** ist eine schematische Querschnittsansicht des in **Fig. 1** gezeigten Halbleiterchips **8**.

[0051] Der Halbleiterchip **8** weist eine SiC-Halbleiterschicht (SiC - Siliciumcarbid) mit einer ersten Oberfläche **24** und einer zweiten Oberfläche **25**, eine mit der ersten Oberfläche **24** der SiC-Halbleiterschicht **23** verbundene Emittierelektrode **26** und ei-

ne mit der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** verbundene Kollektorelektrode **27** auf und ist durch Verbinden der Kollektorelektrode **27** und des Kollektoranschlusses **5** (Insel **6**) mit nach oben gerichteter Emittierelektrode **26** auf dem Kollektoranschluss **5** gestützt. Der in **Fig. 1** gezeigte Bonddraht **14** ist mit der Emittierelektrode **26** verbunden.

[0052] In der SiC-Halbleiterschicht **23** sind mehrere Störstellengebiete, die den IGBT **9**, den MOSFET **11** und die Schottky-Barriervediode **12** bilden, ausgebildet und vertikal zwischen der Emittierelektrode **26** und der Kollektorelektrode **27** angeordnet. Die Emittierelektrode **26** und die Kollektorelektrode **27** sind zwischen dem IGBT **19**, dem MOSFET **11** und der Schottky-Barriervediode **12** geteilt. Das heißt, die Emittierelektrode **26** und die Kollektorelektrode **27** sind dem IGBT **9**, dem MOSFET **11** und der Schottky-Barriervediode **12** gemeine externe Elektroden. Bei dem MOSFET **11** dient die Emittierelektrode **26** als eine Source-Elektrode **28**, und die Kollektorelektrode **27** dient als eine Drain-Elektrode **29**. Andererseits dient die Emittierelektrode **26** bei der Schottky-Barriervediode **12** als eine Anodenelektrode **30**, und die Kollektorelektrode **27** dient als eine Kathodenelektrode **31**. Demgemäß sind der SiC-IGBT **9**, der SiC-MOSFET **11** und die SiC-Schottky-Barriervediode **12**, die durch mehrere SiC-Störstellengebiete ausgebildet werden, zwischen der Emittierelektrode **26** und der Kollektorelektrode **27** parallelgeschaltet.

[0053] Die SiC-Halbleiterschicht **23** weist ein SiC-Substrat **32** vom n⁺-Typ (mit einer Konzentration von zum Beispiel $1,0 \times 10^{19}$ bis $1,0 \times 10^{21}$ Atomen \cdot cm⁻³; nachfolgend gilt das Gleiche), das die zweite Oberfläche **25** der SiC-Halbleiterschicht **23** definiert, und eine SiC-Basisschicht **33** vom n⁻-Typ (SiC-Epitaxialschicht) (mit einer Konzentration von zum Beispiel $5,0 \times 10^{16}$ bis $1,0 \times 10^{14}$ Atomen \cdot cm⁻³; nachfolgend gilt das Gleiche), die auf dem SiC-Substrat **32** ausgebildet ist und die erste Oberfläche **24** der SiC-Halbleiterschicht **23** definiert, auf.

[0054] Bei dieser bevorzugten Ausführungsform definiert das SiC-Substrat **32** vom n⁺-Typ ein Drain-Gebiet **34** des MOSFETs **11** und ein Kathodengebiet **35** der Schottky-Barriervediode **12**. Des Weiteren dient die SiC-Basisschicht **33** als ein Driftgebiet in dem MOSFET **11** und der Schottky-Barriervediode **12**. Darüber hinaus kann die Störstelle vom n-Typ zum Beispiel N (Stickstoff), P (Phosphor) oder As (Arsen) sein.

[0055] Bei der SiC-Halbleiterschicht **23** sind mehrere Gräben **36** ausgebildet, die sich von der zweiten Oberfläche **25** zu der SiC-Basisschicht **33** erstrecken. Die mehreren Gräben **36** sind zum Beispiel in gleichmäßigen Abständen streifenartig ausgebildet. Darüber hinaus können die Gräben **36** zum Beispiel

gitterartig ohne Beschränkung auf die Streifenart ausgebildet sein.

Die Seitenfläche jedes Grabens **36** wird durch das SiC-Substrat **32** definiert, während die untere Fläche durch die SiC-Basisschicht **33** definiert wird. Die Kollektorgebiete **37** vom p⁺-Typ (Kollektorgebiet **37** des IGBTs **9**) (mit einer Konzentration von zum Beispiel $1,0 \times 10^{18}$ bis $1,0 \times 10^{20}$ Atomen · cm⁻³; nachfolgend gilt das Gleiche) sind an der unteren Fläche (dem zweiten Oberflächenteil der SiC-Basisschicht **33**) ausgebildet. Darüber hinaus kann die p-Störstelle vom p-Typ zum Beispiel B (Bor) oder Al (Aluminium) sein.

[0056] Der Abstand zwischen benachbarten Gräben **36** (Grabenabstand P) beträgt vorzugsweise 1 µm bis 500 µm. Bei diesem Bereich des Grabenabstands P kann verhindert werden, dass die Teile zwischen benachbarten Kollektorgebieten **37** (das heißt die Teile, wo die Strompfade des MOSFETs **11** ausgebildet sind) durch die Verarmungsschicht, die sich von der Grenzfläche zwischen dem Kollektorgebiet **37** und der SiC-Basisschicht **33** erstreckt, geschlossen werden.

[0057] Die Kollektorelektrode **27** dringt gemeinsam dahingehend in alle der Gräben **36** ein, um die zweite Oberfläche **25** des SiC-Substrats **32** zu bedecken, und ist über die Seitenfläche jedes Grabens **36** mit dem SiC-Substrat **32** verbunden, während sie über die unteren Flächen der jeweiligen Gräben **36** mit dem Kollektorgebiet **37** verbunden ist. Die Kollektorelektrode **27** ist eine AlCu-Elektrode (AlCu - Legierung aus Aluminium und Kupfer) mit einem Metallsilicid **38** (zum Beispiel Nickel(Ni-)Silicid oder Titan(Ti-)Silicid), das die Innenfläche (Seitenfläche und untere Fläche) jedes Grabens **36** berührend ausgebildet ist. Dies kann die Kollektorelektrode **27** in Ohm'schen Kontakt mit jeglichem Ziel bringen, unabhängig von dem Leitungstyp, einschließlich des SiC-Substrats **32** vom n⁺-Typ und der Kollektorgebiet **37** vom p⁺-Typ.

[0058] Mehrere wannenartige Kanalgebiete **39** vom p-Typ (mit einer Konzentration von zum Beispiel 1×10^{16} bis 1×10^{19} Atomen · cm⁻³; nachfolgend gilt das Gleiche) sind selektiv in Oberflächenteilen der SiC-Basisschicht **33** ausgebildet. Die mehreren Kanalgebiete **39** liegen auf der ersten Oberfläche **24** der SiC-Basisschicht **33** frei, um Teile der ersten Oberfläche **24** zu definieren. Andererseits liegt die SiC-Basisschicht **33** zwischen den mehreren Kanalgebieten **39** auf der ersten Oberfläche **24** als ein Basisoberflächenteil **40** teilweise frei.

[0059] Ein Emittergebiet **41** vom n⁺-Typ (Emittergebiet **41** des IGBTs **9**) ist in einem Teil der ersten Oberfläche **24** jedes Kanalgebiets **39** ausgebildet. Das Emittergebiet **41** liegt auf der ersten Oberfläche **24** der SiC-Basisschicht **33** frei, um einen Teil der ersten Oberfläche **24** zu definieren. Das Emittergebiet **41** dient auch als Source-Gebiet **42** des MOSFETs **11**.

In einem zentralen Teil jedes Kanalgebiets **39** ist ein Kanalkontaktgebiet **43** vom p⁺-Typ ausgebildet, das von der ersten Oberfläche **24** der SiC-Basisschicht **33** das Emittergebiet **41** durchdringt, um das Kanalgebiet **39** zu erreichen.

[0060] Ein aus Siliciumoxid (SiO₂) gebildeter Gate-Isolierfilm **44** ist auf der ersten Oberfläche **24** der SiC-Basisschicht **33** ausgebildet, und eine aus Polysilicium gebildete Gate-Elektrode **45** ist auf dem Gate-Isolierfilm **44** ausgebildet. Die Gate-Elektrode **45** liegt dem Kanalgebiet **39** gegenüber, das auf der ersten Oberfläche **24** der SiC-Basisschicht **33** freiliegt, wobei sich der Gate-Isolierfilm **44** zwischen dem Emittergebiet **41** und dem Basisoberflächenteil **40** erstreckt.

[0061] Ein aus SiO₂ gebildeter Zwischenschichtisolierfilm **46** ist so auf der SiC-Basisschicht **33** geschichtet, dass er die Gate-Elektrode **45** bedeckt. Der Zwischenschichtisolierfilm **46** ist mit Kontaktlöchern **47** und **48** ausgebildet, die den Zwischenschichtisolierfilm **46** in der Dickenrichtung direkt über dem Emittergebiet **41** bzw. dem Basisoberflächenteil **40** durchdringen.

[0062] Die Emittierelektrode **26** dringt gemeinsam dahingehend in die Kontaktlöcher **47** und **48** ein, den Zwischenschichtisolierfilm **46** zu bedecken, und ist durch die Kontaktlöcher **47** und **48** mit dem Emittergebiet **41**, dem Kanalkontaktgebiet **43** und dem Basisoberflächenteil **40** verbunden. Die Emittierelektrode **26** ist eine AlCu-Elektrode. Demgemäß weist die Emittierelektrode **26** einen Ohm'schen Kontaktteil **49**, der mit dem Emittergebiet **41** vom n⁺-Typ und dem Kanalkontaktgebiet **43** vom p⁺-Typ, die eine hohe Störstellenkonzentration haben, in Ohm'schen Kontakt steht, und einen Schottky-Verbindungsteil **50**, der einen Schottky-Übergang mit der SiC-Basisschicht **33** vom n-Typ, die eine geringere Störstellenkonzentration hat, auf.

[0063] Wie bisher beschrieben wurde, ist der Halbleiterchip **8** mit dem vertikalen IGBT **9** ausgebildet, der die Emittierelektrode **26**, das mit der Emittierelektrode **26** verbundene Emittergebiet **41**, das Kanalgebiet **39**, das so ausgebildet ist, dass es die Seite des Emittergebiets **41** näher an der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** berührt, die SiC-Basisschicht **33**, die so ausgebildet ist, dass sie die Seite des Kanalgebiets **39** näher an der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** berührt, die Kollektorgebiete **37**, die so ausgebildet sind, dass sie die Seite der SiC-Basisschicht **33** näher an der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** berühren, und die mit dem Kollektorgebiet **37** verbundene Kollektorelektrode **27** aufweist.

[0064] Die Emittierelektrode **26** und die Kollektorelektrode **27** des IGBTs **9** sind dann zwischen dem

MOSFET **11** und der Schottky-Barriერიode **12** geteilt, und der MOSFET **11** weist auch das Emittergebiet **41** (Source-Gebiet **42**), das Kanalgebiet **39**, die SiC-Basisschicht **33** und das SiC-Substrat **32** als Störstellengebiete, die mit diesen Elektroden verbunden sind, auf. Die Schottky-Barriერიode **12** weist auch die SiC-Basisschicht **33** und das SiC-Substrat **32** als Störstellengebiete, die mit den Elektroden **26** und **27** verbunden sind, auf.

[0065] Das heißt, in dem Halbleiterchip **8** sind der IGBT **9**, der MOSFET **11** und die Schottky-Barriერიode **12** in einer einzigen Zelleneinheit integriert. Der MOSFET **11** enthält eine pn-Diode (Body-Diode **10**), die durch einen pn-Übergang zwischen dem Kanalgebiet **39** vom p-Typ und der SiC-Basisschicht **33** vom n-Typ definiert wird, wobei die p-Seite (Anodenseite) der Body-Diode **10** mit der Anodenelektrode **30** und der Emittierelektrode **26** verbunden ist, während die n-Seite (Kathodenseite) mit der Kathodenelektrode **31** und der Kollektorelektrode **27** verbunden ist.

[0066] Somit sind die drei Vorrichtungen, der IGBT **9**, der MOSFET **11**, der die Body-Diode **10** enthält, und die Schottky-Barriერიode **12** gemeinsam auf dem Halbleiterchip **8** montiert und zueinander parallelgeschaltet.

<Verfahren zur Herstellung des Halbleiterchips
8 (Typ mit integrierten Vorrichtungen)>

[0067] Die **Fig. 4A** bis **Fig. 4F** zeigen aufeinanderfolgende Schritte eines Prozesses zur Herstellung des in **Fig. 3** gezeigten Halbleiterchips **8**.

[0068] Zur Herstellung des Halbleiterchips **8** wird ein epitaktisches Aufwachsverfahren, wie zum Beispiel CVD (Chemical Vapor Deposition), LPE (Liquid Phase Epitaxy) oder MBE (Molecular Beam Epitaxy) verwendet, um ein SiC-Kristall aufwachsen zu lassen, während Störstellen vom n-Typ in eine Oberfläche des Wafer-SiC-Substrats **32** dotiert werden, wie in **Fig. 4** gezeigt ist. Dies bewirkt die Ausbildung der SiC-Basisschicht **33** vom n-Typ auf dem SiC-Substrat **32**.

[0069] Als Nächstes wird, wie in **Fig. 4B** gezeigt ist, eine Hartmaske **51** ausgebildet und auf der zweiten Oberfläche **25** des SiC-Substrats **32** strukturiert und dann trocken geätzt, mindestens bis die SiC-Basisschicht **33** auf der zweiten Oberfläche **25** des SiC-Substrats **32** freiliegt. Dies bewirkt ein selektives Ausgraben des SiC-Substrats **32** aus der zweiten Oberfläche **25** und dadurch die Ausbildung der Gräben **36**. Wie in **Fig. 4C** gezeigt ist, werden als Nächstes mit der zum Ausbilden der Gräben **36** verwendeten belassenen Hartmaske **51** Störstellen vom p-Typ zu den durch die Hartmaske **51** freigelegten Gräben **36** beschleunigt, um in die unteren Flächen der Gräben **36** implantiert zu werden (Ionenimplantation). Als

Nächstes wird die SiC-Basisschicht **33** ausgeheilt. Dies bewirkt, dass die in die unteren Flächen der Gräben **36** implantierten Störstellen vom p-Typ aktiviert werden und dadurch die Kollektorgebiete **37** in der SiC-Basisschicht **33** ausgebildet werden danach wird die Hartmaske **51** abgezogen.

[0070] Wie in **Fig. 4D** gezeigt ist, werden als Nächstes die Hartmaskenbildung und die Ionenimplantation gemäß den Formen des Kanalgebiets **39**, des Emittergebiets **41** und des Kanalkontaktgebiets **43** sowie den Störstellentypen durchgeführt, und dann wird die SiC-Basisschicht **33** auf ähnliche Weise wie in dem in **Fig. 4C** gezeigten Schritt ausgeheilt. Dies bewirkt, dass die in die SiC-Basisschicht **33** implantierten Störstellen vom n-Typ und Störstellen vom p-Typ aktiviert werden und dadurch das Kanalgebiet **39**, das Emittergebiet **41** und das Kanalkontaktgebiet **43** gleichzeitig in der SiC-Basisschicht **33** ausgebildet werden.

[0071] Wie in **Fig. 4E** gezeigt ist, wird als Nächstes ein thermisches Oxidationsverfahren zur Ausbildung des Gate-Isolierfilms **44** auf der ersten Oberfläche **24** der SiC-Basisschicht **33** verwendet. Anschließend wird zum Beispiel eine CVD-Technik verwendet, um Polysilicium über die SiC-Basisschicht **33** abzuscheiden. Das abgeschiedene Polysilicium wird dann zur Ausbildung der Gate-Elektrode **45** strukturiert. Als Nächstes wird zum Beispiel ein CVD-Verfahren zum Schichten des Zwischenschichtisolierfilms **46** auf der SiC-Basisschicht **33** verwendet. Anschließend werden der Zwischenschichtisolierfilm **46** und der Gate-Isolierfilm **44** selektiv trocken geätzt, um die Kontaktlöcher **47** und **48** gleichzeitig auszubilden.

[0072] Wie in **Fig. 4F** gezeigt ist, wird als Nächstes zum Beispiel ein Sputterverfahren verwendet, um AlCu auf dem Zwischenschichtisolierfilm **46** auf die Kontaktlöcher **47** und **48** füllende Weise abzuscheiden. Dies bewirkt die Ausbildung der Emittierelektrode **26**. Danach wird auf den Innenflächen der Gräben **36** das Metallsilicid **38** ausgebildet, und dann wird zum Beispiel ein Sputterverfahren verwendet, um AlCu auf der zweiten Oberfläche **25** des SiC-Substrats **32** auf das Innere des Metallsilicids **38** füllende Weise abzuscheiden. Dies bewirkt die Ausbildung der Kollektorelektrode **27**.

[0073] Der in **Fig. 3** gezeigte Halbleiterchip **8** ist somit durch die vorhergehenden Schritte gebildet worden.

In dem auf dem Halbleitergehäuse **1** montierten IGBT **9** werden Löcher von dem Kollektorgebiet **37** vom p⁺-Typ zu der SiC-Basisschicht **33** vom n-Typ injiziert, um eine Leitfähigkeitsmodulation in der SiC-Basisschicht **33** zu bewirken, wodurch der Einschaltwiderstand der SiC-Basisschicht **33** (Driftschicht) reduziert werden kann. Selbst wenn die SiC-Basisschicht **33** eine geringe Störstellenkonzentration und/oder ei-

ne vergrößerte Dicke und daher einen höheren ursprünglichen Widerstand haben kann, um den Spannungswiderstand des IGBTs **9** zu erhöhen, kann aus diesem Grunde der Einschaltwiderstand ausreichend gering gehalten werden. Infolgedessen ist der IGBT **9** nützlicher als eine Vorrichtung zur Verwendung in einem Hochspannungsbereich als ein SiC-MOSFET.

[0074] Da SiC eine pn-Barriere, die höher als die von Si ist, hat, ist unterdessen eine höhere Einschaltspannung erforderlich, um den IGBT in einem Schwachstrombereich (von zum Beispiel 4 A oder darunter) zu verwenden. Dies ist selbst im Vergleich mit dem SiC-MOSFET ein sehr hoher Wert. Im Gegensatz zu dem IGBT unterliegt der SiC-MOSFET, der SiC verwendet, einer linearen Zunahme des Einschaltstroms aus der Anfangsphase, was im Schwachstrombereich nicht besonders nachteilig ist. Für die Verwendung in einem Strombereich um 1 A hat der SiC-MOSFET zum Beispiel eine Einschaltspannung von ca. 0,8 V und hat der Si-IGBT eine Einschaltspannung von ca. 1,3 V, während der SiC-IGBT eine Einschaltspannung von 3,5 V hat, das heißt, es besteht eine Differenz von ca. dem Vierfachen.

[0075] Entsprechend dem Halbleitergehäuse **1** gemäß der vorliegenden Erfindung ist der MOSFET **11** mit dem IGBT **9** parallelgeschaltet. Dies gestattet einen Stromfluss durch das Halbleitergehäuse **1** durch Einschalten des IGBTs **9** oder des MOSFETs **11**. Zur Verwendung in einem Schwachstrombereich kann das Halbleitergehäuse **1** dementsprechend mit der Einschaltspannung des MOSFETs **11** betrieben werden, wodurch die Einschaltspannung im Schwachstrombereich reduziert werden kann.

[0076] Darüber hinaus sind bei dieser bevorzugten Ausführungsform der IGBT **9**, der die Body-Diode **10** enthaltene MOSFET **11** und die Schottky-Barrierediode **12** in einer einzigen Zelleinheit in dem Halbleiterchip **8** integriert. Infolgedessen kann die Größe des Halbleitergehäuses **1** reduziert sein, und dadurch kann die Kapazität zwischen den Vorrichtungen reduziert sein.

Andererseits kann der IGBT **9**, in dem die Kathode der durch den pn-Übergang zwischen dem Kanalgebiet **39** vom p-Typ und der SiC-Basisschicht **33** vom n-Typ definierten pn-Diode, mit der Kathode der durch den pn-Übergang zwischen den Kollektorgebieten **37** vom p⁺-Typ und der SiC-Basisschicht **33** vom n-Typ definierten pn-Diode verbunden ist, keine Body-Diode **10** wie den MOSFET **11** enthalten. Es ist daher schwierig, eine gegenelektromotorische Kraft zu verbrauchen, falls diese an der Last auftritt.

[0077] Somit enthält der MOSFET **11** entsprechend dem Halbleitergehäuse **1** die Body-Diode **10** und ist die Body-Diode **10** mit dem IGBT **9** parallelgeschaltet. Selbst wenn eine gegenelektromotorische Kraft an der Last auftreten kann, verursacht das Gleich-

richtungsverhalten der Body-Diode **10** dementsprechend, dass ein Strom aufgrund der gegenelektromotorischen Kraft als ein Rückflussstrom durch die Last fließt, was verhindern kann, dass eine hohe gegenelektromotorische Kraft an den IGBT **9** angelegt wird.

[0078] Da die Schottky-Barrierediode **12** mit dem IGBT **9** parallelgeschaltet ist, kann die Rückzerholungszeit verkürzt sein, wodurch das Halbleitergehäuse **1** eine schnelle Rückerholung erzielen kann. Da der IGBT **9** und der MOSFET **11** in dem gleichen Halbleiterchip **8** integriert sind, können darüber hinaus die Kollektorgebiete **37** und das Drain-Gebiet **34**, die auf der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** selektiv freigelegt sind, unter Verwendung einer bekannten Halbleitervorrichtungsherstellungstechnik, die Ätzen des SiC-Substrats **32** und Störstellenimplantation in die SiC-Basisschicht **33** beinhaltet, wie in den **Fig. 4A** bis **Fig. 4C** gezeigt ist, leicht hergestellt werden. Die Kollektorgebiete **37** und das Drain-Gebiet **34** können somit an der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** leicht hergestellt werden.

[0079] Darüber hinaus müssen die tiefsten Teile der Gräben **36** nicht an der Grenzfläche zwischen dem SiC-Substrat **32** und der SiC-Basisschicht **33**, wie in **Fig. 3** gezeigt ist, positioniert sein, sondern können sich zum Beispiel an einer näher an der ersten Oberfläche **24** der SiC-Basisschicht **33** bezüglich der Grenzfläche liegenden Stelle befinden, wie in **Fig. 5** gezeigt ist. In diesem Fall müssen die untere Fläche und ein Teil der Seitenfläche jedes Grabens **36** durch die SiC-Basisschicht **33** definiert werden, während der Rest der Seitenfläche durch das SiC-Substrat **32** definiert werden muss. Alternativ können sich die tiefsten Teile an einer näher an der zweiten Oberfläche **25** des SiC-Substrats **32** bezüglich der Grenzfläche liegenden Stelle befinden, wie in **Fig. 6** gezeigt ist. In diesem Fall müssen die untere Fläche und die Seitenfläche jedes Grabens **36** durch das SiC-Substrat **32** definiert werden.

[0080] Ferner kann die Gate-Elektrode **45** so ausgebildet sein, dass sie sich zwischen benachbarten Kanalgebieten **39** erstreckt, derart, dass sie den Basisoberflächenteil **40** bedeckt, wie zum Beispiel in **Fig. 7** gezeigt ist. In diesem Fall liegt der Basisoberflächenteil **40** nicht frei und kann nicht mit der Emittierelektrode **26** (dem Schottky-Verbindungsteil **50**) verbunden werden, die Schottky-Barrierediode **12** ist nicht vorzusehen.

Des Weiteren können der IGBT **9**, der MOSFET **11** und die Schottky-Barrierediode **12** als getrennte Zelleinheiten in der SiC-Halbleiterschicht **23** ausgebildet sein.

[0081] Das Halbleitergehäuse **1** kann in einer Wechselrichterschaltung gebaut und verwendet werden, wie zum Beispiel in **Fig. 8** gezeigt ist. Darüber hin-

aus sind in **Fig. 8** der IGBT **9** und der MOSFET **11** zur besseren Veranschaulichung in einem einzigen Transistor integriert.

Die Inverterschaltung **58** ist eine Drehstrom-Wechselrichterschaltung, die mit einem Drehstrommotor **59** verbunden ist und eine DC-Leistungsversorgung **60** und einen Schaltteil **61** aufweist.

[0082] Ein Hochspannungsdraht **62** und ein Niederspannungsdraht **63** sind mit der Hochspannungs- bzw. Niederspannungsseite der DC-Leistungsversorgung **60** verbunden.

[0083] Der Schaltteil **61** weist drei Reihenschaltungen **64** bis **66**, die der U-Phase **59U**, der V-Phase **59V** bzw. der W-Phase **59W** des Drehstrommotors **59** entsprechen, auf.

[0084] Die Reihenschaltungen **64** bis **66** sind zwischen dem Hochspannungsdraht **62** und dem Niederspannungsdraht **63** parallelgeschaltet. Die Reihenschaltungen **64** bis **66** weisen High-Side-Transistoren (IGBT **9** + MOSFET **11**) **67H** bis **69H** auf der Hochspannungsseite bzw. Low-Side-Transistoren (IGBT **9** + MOSFET **11**) **67L** bis **69L** auf der Niederspannungsseite auf. Regenerative Dioden **70H** bis **72H** und **70L** bis **72L** sind mit jeweiligen Transistoren **67H** bis **69H** und **67L** bis **69L** parallelgeschaltet, so dass der Vorwärtsstrom von der Niederspannungsseite zu der Hochspannungsseite fließt.

[0085] Es wird ein Schaltsignal von einer nicht gezeigten Steuerschaltung an die Gates der Transistoren **67H** bis **69H** und **67L** bis **69L** gegeben. Als Reaktion auf das Schaltsignal führen die Transistoren **67H** bis **69H** und **67L** bis **69L** Schaltoperationen durch. Dies bewirkt, dass ein Dreiphasenwechselstrom durch den Drehstrommotor **59** fließt und den Drehstrommotor **59** antreibt.

<Halbleitergehäuse 1 gemäß einer zweiten bevorzugten Ausführungsform>

[0086] **Fig. 9** ist eine schematische Querschnittsansicht eines Halbleiterchips gemäß einer zweiten bevorzugten Ausführungsform der vorliegenden Erfindung. In **Fig. 9** sind Teile, die den in **Fig. 3** gezeigten entsprechen, mit den gleichen Bezugszeichen bezeichnet worden, um ihre Beschreibung wegzulassen.

[0087] In dem in **Fig. 9** gezeigten Halbleiterchip **71** sind die mehreren Gräben **36** dahingehend ausgebildet, dass sie sich durch das SiC-Substrat **32** in die SiC-Basissschicht **33** erstrecken. Dadurch wird ein Absatz **72** zwischen der unteren Fläche jedes Grabens **36** und der zweiten Oberfläche der SiC-Basissschicht **33** vorgesehen. Die zweite Oberfläche der SiC-Basissschicht **33** ragt dementsprechend selektiv zu den Absätzen **72** zur Ausbildung konvexer Teile **73**.

[0088] Die SiC-Basissschicht **33** weist eine Pufferschicht **74** vom n⁺-Typ, die so ausgebildet ist, dass sie die Kollektorgebiete **37** umgibt, und eine Driftschicht **75** vom n-Typ, die auf der Pufferschicht ausgebildet ist, um die erste Oberfläche **24** der SiC-Halbleiterschicht **23** zu definieren, auf. Die Störstellenkonzentration der Pufferschicht **74** ist höher als die der Driftschicht **75**. Zum Beispiel weist die Pufferschicht **74** eine Störstellenkonzentration von $1,0 \times 10^{18}$ bis $1,0 \times 10^{15}$ Atomen · cm⁻³ auf, während die Driftschicht **75** eine Störstellenkonzentration von $5,0 \times 10^{16}$ bis $1,0 \times 10^{14}$ Atomen · cm⁻³ aufweist.

[0089] Die Pufferschicht **74** weist erste Teile **76**, die entlang den Oberflächen der konvexen Teile **73** zu der zweiten Oberfläche **25** der SiC-Halbleiterschicht **23** ragen, und zweite Teile **77**, die in der den ersten Teilen **76** entgegengesetzten Richtung ragen, um die Kollektorgebiete **37** zu umgeben, wobei die ersten und der zweiten Teile gemäß dem Abstand P der Gräben **76** serpentinenförmig abwechselnd ausgebildet sind.

Die Driftschicht **75** bildet einen Großteil der SiC-Basissschicht **33** und ist an der ersten Oberfläche **24** der SiC-Halbleiterschicht **23** mit dem Kanalgebiet **39** in Kontakt.

[0090] Ein Störstellengebiet **78** mit hoher Konzentration, das eine höhere Störstellenkonzentration als die der anderen Teile des SiC-Substrats **32** aufweist, ist in der Nähe der ersten Oberfläche des SiC-Substrats **32** (in der Nähe des Bodens jedes Grabens **36**) ausgebildet. Das Störstellengebiet **78** mit hoher Konzentration ist mit jedem konvexen Teil **73** der SiC-Basissschicht **33** in Kontakt.

Die **Fig. 10A** bis **Fig. 10H** zeigen aufeinanderfolgende Schritte eines Prozesses zur Herstellung des in **Fig. 9** gezeigten Halbleiterchips.

[0091] Zur Herstellung des Halbleiterchips **71** werden Störstellen vom n-Typ (zum Beispiel P oder As) in eine Oberfläche des Wafer-SiC-Substrats **32** implantiert, um das in **Fig. 10A** gezeigte Störstellengebiet **78** mit hoher Konzentration auszubilden.

Wie in **Fig. 10B** gezeigt ist, wird als Nächstes ein epitaktisches Aufwachsverfahren, wie zum Beispiel CVD, LPE oder MBE verwendet, um ein SiC-Kristall aufwachsen zu lassen, während Störstellen vom n-Typ in die Oberfläche des SiC-Substrats **32** dotiert werden. Dies bewirkt die Ausbildung einer ersten Störstellenschicht **79** mit hoher Konzentration als eine Basis der Pufferschicht **74** und der Driftschicht **75** in dieser Reihenfolge und dadurch die Ausbildung der SiC-Basissschicht **33** vom n-Typ auf dem SiC-Substrat **32**.

[0092] Als Nächstes werden, wie in **Fig. 10C** gezeigt ist, eine Hartmaskenausbildung und Ionimplantation gemäß den Formen des Kanalgebiets **39**, des Emittergebiets **41** und des Kanalkontaktgebiets

43 sowie den Störstellentypen durchgeführt. Dies bewirkt eine gleichzeitige Ausbildung des Kanalgebiets **39**, des Emittergebiets **41** und des Kanalkontaktgebiets **43** in der SiC-Basisschicht **33**.

Wie in **Fig. 10D** gezeigt ist, wird als Nächstes eine Hartmaske **51** auf der zweiten Oberfläche **25** des SiC-Substrats **32** ausgebildet und strukturiert und dann trocken geätzt, mindestens bis die Driftschicht **75** durch die erste Störstellenschicht **79** mit hoher Konzentration auf der zweiten Oberfläche **25** des SiC-Substrats **32** freigelegt ist. Dies bewirkt, dass das SiC-Substrat **32** selektiv aus der zweiten Oberfläche **25** ausgegraben wird und dadurch die Gräben **36** ausgebildet werden.

[0093] Da das Störstellengebiet **78** mit hoher Konzentration in der Nähe der ersten Oberfläche des SiC-Substrats **32** ausgebildet wird, kann während dieser Zeit, wenn die Ätzfläche das Ende (nahe der ersten Oberfläche) des SiC-Substrats **32** erreicht, ein anderer Plasmotyp detektiert werden, der sich von dem während des Ätzens der anderen Teile des SiC-Substrats **32** unterscheidet. Infolgedessen kann die Tiefe des Ätzens genau gesteuert werden, um die erste Störstellenschicht **79** mit hoher Konzentration so weit wie möglich zu durchdringen.

[0094] Wie in **Fig. 10E** gezeigt ist, werden als Nächstes mit der zum Ausbilden der Gräben **36** verwendeten belassenen Hartmaske **51** Störstellen vom n-Typ zu den durch die Hartmaske **51** freigelegten Gräben **36** beschleunigt, um in die unteren Flächen der Gräben **36** implantiert zu werden. Dies bewirkt, dass eine zweite Störstellenschicht **80** mit hoher Konzentration und die erste Störstellenschicht **79** mit hoher Konzentration integriert werden und dadurch die Pufferschicht **74** ausgebildet wird.

Wie in **Fig. 10F** gezeigt ist, werden als Nächstes Störstellen vom p-Typ zu den durch die Hartmaske **51** freigelegten Gräben **36** beschleunigt, um in die unteren Flächen der Gräben **36** (zweite Teile **77** der Pufferschicht **74**) implantiert zu werden. Dies bewirkt die Ausbildung der Kollektorgebiete **37** in der SiC-Basisschicht **33**. Danach wird die Hartmaske **51** abgezogen und dann die SiC-Basisschicht **33** ausgeheilt. Dies bewirkt, dass das Kanalgebiet **39**, das Emittergebiet **41**, das Kanalkontaktgebiet **43**, die Pufferschicht **74**, die Störstellen vom n-Typ und die Störstellen vom p-Typ, die in die Kollektorgebiete **37** implantiert sind, aktiviert werden.

[0095] Wie in **Fig. 10G** gezeigt ist, wird als Nächstes zum Beispiel ein thermisches Oxidationsverfahren zur Ausbildung des Gate-Isolierfilms **44** auf der ersten Oberfläche **24** der SiC-Basisschicht **33** verwendet. Anschließend wird zum Beispiel ein CVD-Verfahren verwendet, um Polysilicium über die SiC-Basisschicht **33** abzuscheiden. Das abgeschiedene Polysilicium wird dann zur Ausbildung der Gate-Elektrode **45** strukturiert.

Als Nächstes wird zum Beispiel ein CVD-Verfahren zum Schichten des Zwischenschichtisolierfilms **46** auf der SiC-Basisschicht **33** verwendet. Anschließend werden der Zwischenschichtisolierfilm **46** und der Gate-Isolierfilm **44** selektiv trocken geätzt, um die Kontaktlöcher **47** und **48** gleichzeitig auszubilden.

[0096] Wie in **Fig. 10H** gezeigt ist, wird als Nächstes zum Beispiel ein Sputterverfahren verwendet, um AlCu auf dem Zwischenschichtisolierfilm **46** auf die Kontaktlöcher **47** und **48** füllende Weise abzuscheiden. Dies bewirkt die Ausbildung der Emittierelektrode **26**. Danach wird auf den Innenflächen der Gräben **36** das Metallsilicid **38** ausgebildet, und dann wird zum Beispiel ein Sputterverfahren verwendet, um AlCu auf der zweiten Oberfläche **25** des SiC-Substrats **32** auf das Innere des Metallsilicids **38** füllende Weise abzuscheiden. Dies bewirkt die Ausbildung der Kollektorelektrode **27**.

[0097] Der in **Fig. 9** gezeigte Halbleiterchip **71** ist somit durch die vorhergehenden Schritte gebildet worden.

Wie vorstehend beschrieben wurde, kann der Halbleiterchip **71** auch die gleichen funktionellen Vorteile wie der oben beschriebene Halbleiterchip **8** erzielen.

[0098] Bei dem Halbleiterchip **71** mit der darin ausgebildeten Pufferschicht **74** kann des Weiteren, wenn sich der IGBT **9** in einem ausgeschalteten Zustand befindet, die Pufferschicht **74** die an der Grenzfläche zwischen dem Kanalgebiet **39** und dem Driftgebiet **75** erzeugte Erweiterung der Verarmungsschicht unterbinden und somit ein Punchthrough verhindern. Daher ist es möglich, den Halbleiterchip **71** als eine Vorrichtung vom Punchthrough-Typ auszuführen, um dadurch einen geringen Einschaltwiderstand zu erreichen.

[0099] Das Halbleitergehäuse **1** gemäß der vorliegenden Erfindung kann auch wie in den **Fig. 11** bis **Fig. 14** gezeigt ausgestaltet sein. Darüber hinaus sind in den **Fig. 11** bis **Fig. 14** Teile, die den in den **Fig. 1** bis **Fig. 3** gezeigten entsprechen, mit den gleichen Bezugszeichen bezeichnet worden. Die detaillierte Beschreibung der mit den gleichen Bezugszeichen bezeichneten Teile wird unten weggelassen.

Typ mit segmentiertem SiC-Substrat (Figuren 11 und 12)

[0100] Zum Beispiel kann das SiC-Substrat **52** in mehrere Teile segmentiert sein, so dass Teile **53** vom p⁺-Typ und Teile **54** vom n⁺-Typ streifenartig abwechselnd angeordnet sind und auf der zweiten Oberfläche **25** des SiC-Substrats **52** freiliegen, so dass die Teile **53** vom p⁺-Typ als die Kollektorgebiete **37** des IGBTs **9** verwendet werden können, während die Teile **54** vom n⁺-Typ als das Drain-Gebiet **34** des MOS-FETs **11** verwendet werden können.

[0101] Des Weiteren kann bei diesem SiC-Substrat vom segmentierten Typ die SiC-Basissschicht **33** eine Doppelschichtstruktur haben, die die Pufferschicht **74** und die Driftschicht **75** aufweist, wie in **Fig. 12** gezeigt ist. In diesem Fall ist die Pufferschicht **74** so ausgebildet, dass sie die Teile **53** vom p+-Typ und die Teile **54** vom n⁺-Typ entlang der ersten Oberfläche des SiC-Substrats **32** gemeinsam bedeckt.

Graben-Gate-Typ (Figur 13)

[0102] Der IGBT **9** kann zum Beispiel ein Graben-Gate-Typ sein, obgleich er bei den oben beschriebenen bevorzugten Ausführungsformen ein Planar-Gate-Typ ist.

[0103] Bei dem IGBT **9** vom Graben-Gate-Typ ist in einem zentralen Teil des Kanalgebiets **39** ein Gate-Graben **55** ausgebildet, der sich von der ersten Oberfläche **24** der SiC-Basissschicht **33** durch das Emittergebiet **41** und das Kanalgebiet **39** bis zu der SiC-Basissschicht **33** am tiefsten Teil erstreckt.

Ein aus SiO₂ gebildeter Gate-Isolierfilm **56** wird so ausgebildet, dass er die gesamte Innenfläche des Gate-Grabens **55** bedeckt. Das Innere des Gate-Isolierfilms **56** wird dann mit Polysilicium gefüllt, so dass eine Gate-Elektrode **57** in dem Gate-Graben **55** eingebettet wird.

[0104] Das Kanalkontaktgebiet **43** ist in einem den zentralen Teil des Kanalgebiets **39** umgebenden Umfangsteil so ausgebildet, dass es sich von der ersten Oberfläche **24** der SiC-Basissschicht **33** durch einen Umfangsteil des Emittergebiets **41** bis zu dem Kanalgebiet **39** erstreckt.

Typ mit getrennten Vorrichtungen (Figur 14)

[0105] Der IGBT **9**, der MOSFET **11** und die Schottky-Barrierediode **12** können getrennt und jeweils als ein IGBT-Chip **15**, ein MOSFET-Chip **16** und ein Schottky-Barrierediode-Chip **17** ausgebildet werden, obgleich sie bei den oben beschriebenen bevorzugten Ausführungsformen in dem gleichen Halbleiterchip **8** integriert sind.

[0106] In diesem Fall können der MOSFET-Chip **16** und der Schottky-Barrierediode-Chip **17** nicht unter Verwendung von SiC, aber einem anderen Halbleitermaterial, wie zum Beispiel Si, GaN, oder GaAs ausgebildet werden.

Der Halbleiterchip gemäß der vorliegenden Erfindung kann auch in den folgenden siebten bis neunten bevorzugten Ausführungsformen implementiert werden.

Fig. 15 ist eine schematische Draufsicht eines Halbleiterchips **101** gemäß einer siebten bevorzugten Ausführungsform der vorliegenden Erfindung. **Fig. 16** ist eine schematische Untersicht des in **Fig. 15** gezeigten Halbleiterchips **101**. **Fig. 17** zeigt eine

beispielhafte Variante der Streifenrichtung des in **Fig. 16** gezeigten Kollektorgebiets **109**. **Fig. 18** ist eine schematische Querschnittsansicht des Halbleiterchips **101** gemäß der siebten bevorzugten Ausführungsform der Erfindung.

[0107] Der Halbleiterchip **101** weist zum Beispiel in einer Draufsicht eine quadratische Chipform auf. Der chipförmige Halbleiterchip **101** weist eine vertikale und horizontale Länge von mehreren Millimetern auf den Paperoberflächen der **Fig. 15** und **Fig. 16** auf. Der Halbleiterchip **101** weist ein SiC-Substrat **102** vom n⁺-Typ und eine auf dem SiC-Substrat **102** ausgebildete SiC-Basissschicht **103** vom n⁻-Typ auf. Das SiC-Substrat **102** vom n⁺-Typ definiert ein Drain-Gebiet **104** des MOSFETs **11** und ein Kathodengebiet **105** der Schottky-Barrierediode **12**. Die SiC-Basissschicht **103** dient als ein Driftgebiet **116** in dem MOSFET **11** und der Schottky-Barrierediode **12**.

[0108] Es sind mehrere Gräben **106** der zweiten Oberfläche sich von der zweiten Oberfläche des SiC-Substrats **102** durch das SiC-Substrat **102** in die SiC-Basissschicht **103** erstreckend ausgebildet. Dadurch wird ein Absatz **107** zwischen der unteren Fläche jedes Grabens **106** der zweiten Oberfläche und der zweiten Oberfläche der SiC-Basissschicht **103** vorgesehen. Die zweite Oberfläche der SiC-Basissschicht **103** ragt dementsprechend selektiv zu den Absätzen **107** zur Ausbildung konvexer Teile **108**.

[0109] Die mehreren Gräben **106** der zweiten Oberfläche sind zum Beispiel in gleichmäßigen Abständen streifenartig ausgebildet. Darüber hinaus können die Gräben zum Beispiel gitterartig ausgebildet sein, ohne auf die Streifenart beschränkt zu sein. Im Fall einer Streifenart kann die Streifenrichtung parallel zu der Richtung der (nachfolgend zu beschreibenden) Gräben **131** der ersten Oberfläche verlaufen, wie in **Fig. 16** gezeigt ist, oder die Richtung der (nachfolgend zu beschreibenden) Gräben **131** der ersten Oberfläche schneiden, wie in **Fig. 17** gezeigt ist.

[0110] Die Seitenfläche jedes Grabens **106** der zweiten Oberfläche wird durch das SiC-Substrat **102** definiert, während die untere Fläche durch die SiC-Basissschicht **103** definiert wird. Kollektorgebiete **109** vom p⁺-Typ (die Kollektorgebiete **109** des IGBTs **9**) sind auf der unteren Fläche (dem zweiten Oberflächenteil der SiC-Basissschicht **103**) ausgebildet.

Dann wird eine Kollektorelektrode **110** die gesamte zweite Oberfläche des SiC-Substrats **102** bedeckend ausgebildet. Die Kollektorelektrode **110** durchdringt gemeinsam alle der Gräben **106** der zweiten Oberfläche und ist über die Seitenfläche jedes Grabens **106** der zweiten Oberfläche mit dem SiC-Substrat **102** verbunden, während sie über die unteren Flächen der jeweiligen Gräben **106** der zweiten Oberfläche mit den Kollektorgebieten **109** verbunden ist. Die Kollektorelektrode **110** ist eine AlCu-Elektrode mit einem

die Innenfläche (Seitenfläche und untere Fläche) jedes Grabens **106** der zweiten Oberfläche berührend ausgebildeten Metallsilicid **111**. Dies kann die Kollektorelektrode **110** mit irgendeinem Ziel jedweden Leitungstyps, einschließlich des SiC-Substrats **102** vom n⁺-Typ und der Kollektorgebiete **109** vom p⁺-Typ, in Ohm'schen Kontakt bringen.

[0111] Die Kollektorelektrode **110** ist eine externe Elektrode, die dem IGBT **9**, dem MOSFET **11** und der Schottky-Barrierediode **12** gemein ist. In dem MOSFET **11** dient die Kollektorelektrode **110** als eine Drain-Elektrode **112**. Andererseits dient die Kollektorelektrode **110** in der Schottky-Barrierediode **12** als eine Kathodenelektrode **113**.

Ein Störstellengebiet **114** mit hoher Konzentration, das eine höhere Konzentration als die anderer Teile des SiC-Substrats **102** hat, ist in der Nähe der ersten Oberfläche des SiC-Substrats **102** (in der Nähe der unteren Fläche jedes Grabens **106** der zweiten Oberfläche) ausgebildet. Das Störstellengebiet **114** mit hoher Konzentration ist mit jedem konvexen Teil **108** der SiC-Basisschicht **103** in Kontakt.

[0112] Die SiC-Basisschicht **103** weist ein Puffergebiet **115** und ein Driftgebiet **116** auf.

Das Puffergebiet **115** weist erste Teile **117**, die entlang den Oberflächen der konvexen Teile **108** zu der zweiten Oberfläche der SiC-Basisschicht **103** ragen, und zweite Teile **118**, die in die entgegengesetzte Richtung von den ersten Teilen **117** ragen, um die Kollektorgebiete **109** zu umgeben, auf, wobei die ersten und die zweiten Teile gemäß dem Abstand der Gräben **106** der zweiten Oberfläche abwechselnd ausgebildet sind.

[0113] Das Driftgebiet **116** weist eine dreischichtige Struktur auf, die ein Basisdriftgebiet **125**, ein Driftgebiet **126** mit geringem Widerstand und ein Oberflächendriftgebiet **127** beinhaltet, wobei das Basisdriftgebiet **125** mit dem Puffergebiet **115** in Kontakt ist und das Oberflächendriftgebiet **127** auf der ersten Oberfläche der SiC-Basisschicht **103** freiliegt.

Ein Kanalgebiet **119** vom p-Typ ist selektiv in einem Oberflächenteil des Driftgebiets **116** ausgebildet, und ein Emittergebiet **120** vom n⁺-Typ ist in einem Oberflächenteil des Kanalgebiets **119** ausgebildet. Das Emittergebiet **120** liegt auf der ersten Oberfläche der SiC-Basisschicht **103** frei, um einen Teil der ersten Oberfläche zu definieren. Das Emittergebiet **120** dient auch als ein Source-Gebiet **121** des MOSFETs **11**.

[0114] Das Emittergebiet **120** und das Kanalgebiet **119** bilden eine Zelleneinheit des IGBTs **9** (MOSFETs **11**). Zwischen benachbarten Zelleneinheiten des IGBTs **9** (MOSFETs **11**) liegt das Driftgebiet **116** auf der ersten Oberfläche der SiC-Basisschicht **103** teilweise frei.

In der SiC-Basisschicht **103** ist ein Gate-Graben **122** ausgebildet, wobei sich der Gate-Graben von der ersten Oberfläche der SiC-Basisschicht **103** durch das Emittergebiet **120** und das Kanalgebiet **119** bis zu einem Zwischenteil des Driftgebiets **126** mit geringem Widerstand am tiefsten Teil erstreckt. Dies bewirkt, dass das Emittergebiet **120** (Source-Gebiet **121**) einen Teil der Seitenfläche des Gate-Grabens **122** definiert. Das Kanalgebiet **119** definiert gleichermaßen einen Teil der Seitenfläche des Gate-Grabens **122**. Das Driftgebiet **116** definiert einen Teil der Seitenfläche und der unteren Fläche des Gate-Grabens **122**.

[0115] Ein aus einem Isolator, wie zum Beispiel SiO₂, gebildeter Gate-Isolierfilm **123** ist die gesamte Innenfläche (Seitenfläche und untere Fläche) des Gate-Grabens **122** bedeckend ausgebildet. Dann wird eine aus einem Leiter, wie zum Beispiel Polysilicium, gebildete Gate-Elektrode **124** in dem Gate-Graben **122** eingebettet. Die Gate-Elektrode **124** liegt über den Gate-Isolierfilm **123** dem Emittergebiet **120** (Source-Gebiet **121**), dem Kanalgebiet **119** und dem Driftgebiet **116** gegenüber.

[0116] Ein aus einem Isolator, wie zum Beispiel SiO₂, gebildeter Feldisolierfilm **128** ist auf der ersten Oberfläche der SiC-Basisschicht **103** ausgebildet. Der Feldisolierfilm **128** weist ein Kontaktloch auf, durch das die SiC-Basisschicht **103** teilweise als ein aktives Gebiet **129** freiliegt und ein Feldgebiet **130**, das das aktive Gebiet **129** umgibt, bedeckt.

Zwischen benachbarten Zelleneinheiten des IGBTs **9** (MOSFETs **11**) in dem aktiven Gebiet **129** ist ein Graben **131** der ersten Oberfläche sich von der ersten Oberfläche der SiC-Basisschicht **103** durch das Oberflächendriftgebiet **127** bis zu einem Zwischenteil des Driftgebiets **126** mit geringem Widerstand am tiefsten Teil ausgebildet. Der Graben **131** der ersten Oberfläche ist so ausgebildet, dass er die gleiche Tiefe und Form wie der Gate-Graben **122** hat.

[0117] Der Gate-Graben **122** und der Graben **131** der ersten Oberfläche können streifenartig parallel zu den Gräben **106** der zweiten Oberfläche (siehe **Fig. 16**) oder deren Richtung schneidend (zum Beispiel senkrecht dazu) (siehe **Fig. 17**) ausgebildet sein.

Der Gate-Graben **122** und der Graben **131** der ersten Oberfläche sind durch eine untere Fläche parallel zu der ersten Oberfläche der SiC-Basisschicht **103** und einer bezüglich der unteren Fläche geneigten Seitenfläche definiert. Der Neigungswinkel θ der Seitenfläche beträgt zum Beispiel 90 Grad bis 135 Grad. Die Tiefe des Grabens **131** der ersten Oberfläche (der Abstand von der ersten Oberfläche der SiC-Basisschicht **103** zu der unteren Fläche des Grabens **131** der ersten Oberfläche) beträgt zum Beispiel 3000Å bis 15.000Å. Die Breite des Grabens **131** der ersten Oberfläche senkrecht zu der Längsrichtung (am tiefsten Teil) beträgt 0,3 µm bis 10 µm.

[0118] Die spezielle Form des Gate-Grabens **122** und des Grabens **131** der ersten Oberfläche kann ein U-förmiger Graben mit einem Neigungswinkel θ von ca. 90 Grad und einem U-förmigen Bodenteil in einer Querschnittsansicht sein, wobei der Randteil der unteren Fläche nach außen gekrümmt ist, so dass die Seitenfläche und die untere Fläche über die gekrümmte Fläche verbunden sind, wie in **Fig. 18** beispielhaft dargestellt ist, ohne jedoch darauf beschränkt zu sein; die Seitenfläche und die untere Fläche können zum Beispiel über eine winkelförmige Fläche verbunden sein.

[0119] Der Gate-Graben **122** und der Graben **131** der ersten Oberfläche können auch als ein zum Beispiel umgedreht trapezförmiger Graben mit einem Neigungswinkel θ von über 90 Grad in einer Querschnittsansicht entlang der Breitenrichtung senkrecht zu der Längsrichtung ausgebildet sein. Bei dem umgedreht trapezförmigen Graben kann die Seitenfläche in einem Neigungswinkel θ von über 90 Grad vollständig geneigt sein, oder ein Teil (unterer Teil) der Seitenfläche kann in einem Neigungswinkel θ von über 90 Grad selektiv geneigt sein, während die anderen Teile (oberer Teil) der Seitenfläche bezüglich der unteren Fläche in einem Winkel von 90 Grad ausgebildet sein können.

[0120] An der unteren Fläche und der Seitenfläche des Grabens **131** der ersten Oberfläche ist eine Schicht **132** vom p-Typ, die als ein Relaxierteil des elektrischen Felds dient, entlang der Innenfläche des Grabens **131** der ersten Oberfläche ausgebildet. Die Schicht **132** vom p-Typ ist von der unteren Fläche des Grabens **131** der ersten Oberfläche durch den Randteil zu dem Öffnungsende des Grabens **131** der ersten Oberfläche sowohl das Kanalgebiet **119** als auch das Emittergebiet **120** (Source-Gebiet **121**) bedeckend ausgebildet.

Die Schicht **132** vom p-Typ bildet auch einen pn-Übergang mit der SiC-Basisschicht **103** vom n-Typ. Dies bewirkt, dass die Schottky-Barrierediode **12** mit der durch die Schicht **132** vom p-Typ und der SiC-Basisschicht **103** vom n-Typ (dem Driftgebiet **126** mit geringem Widerstand) gebildeten pn-Diode **133** parallelgeschaltet ist.

[0121] In der Schicht **132** vom p-Typ ist eine Kontaktschicht **134** vom p⁺-Typ auf einem Teil der unteren Fläche des Grabens **131** der ersten Oberfläche ausgebildet. Die Kontaktschicht **134** ist in der Längsrichtung des Grabens **131** der ersten Oberfläche linear ausgebildet und weist eine Tiefe (zum Beispiel 0,05 μm bis 0,2 μm) von der unteren Fläche des Grabens **131** der ersten Oberfläche zu einem Zwischenteil der Schicht **132** vom p-Typ in der Tiefenrichtung auf. Andererseits ist ein sich von der ersten Oberfläche des Feldgebiets **130** durch das Oberflächendriftgebiet **127** bis zu einem Zwischenteil des Driftgebiets **126** mit geringem Widerstand am tiefsten Teil im

Feldgebiet **130** erstreckender ringförmiger Graben **135** ausgebildet. Der ringförmige Graben **135** ist so ausgebildet, dass er das aktive Gebiet **129** umgibt.

[0122] Auf der unteren Fläche und der Seitenfläche des ringförmigen Grabens **135** ist ein Schutzring **136** entlang der Innenfläche des ringförmigen Grabens **135** auf der Innenfläche freiliegend ausgebildet. Der Schutzring **136** wird in dem gleichen Schritt wie die Schicht **132** vom p-Typ ausgebildet und weist die gleiche Störstellenkonzentration und Dicke wie die Schicht **132** vom p-Typ auf.

Eine aus AlCu gebildete Emitterelektrode **137** ist auf dem Feldisolierfilm **128** ausgebildet. Die Emitterelektrode **137** ist mit dem Emittergebiet **120** (Source-Gebiet **121**), dem Oberflächendriftgebiet **127** und der Kontaktschicht **134** in dem Kontaktloch des Feldisolierfilms **128** verbunden.

[0123] Das heißt, die Emitterelektrode **137** ist eine dem IGBT **9**, dem MOSFET **11** und der Schottky-Barrierediode **12** gemeine externe Elektrode. In dem MOSFET **11** dient die Emitterelektrode **137** als eine Source-Elektrode **138**. Andererseits dient die Emitterelektrode **137** in der Schottky-Barrierediode **12** als eine Anodenelektrode **139**.

Demgemäß weist die Emitterelektrode **137** einen Ohm'schen Kontaktteil **140**, der mit dem Emittergebiet **120** vom n⁺-Typ und der Kontaktschicht **134** vom p⁺-Typ, die eine hohe Störstellenkonzentration haben, in Ohm'schen Kontakt steht, und einen Schottky-Verbindungssteil **141**, der mit dem Oberflächendriftgebiet **127** vom n-Typ, das eine geringe Störstellenkonzentration hat, einen Schottky-Übergang bildet, auf.

[0124] Ein Oberflächenschutzfilm **142**, der aus einem Isolator, wie zum Beispiel SiN, gebildet wird, ist auf der obersten Fläche des Halbleiterchips **101** ausgebildet. In einem zentralen Teil des Oberflächenschutzfilms **142** ist eine Öffnung ausgebildet, durch die die Emitterelektrode **137** freigelegt wird. Der in **Fig. 1** gezeigte Bonddraht **14** ist durch die Öffnung mit der Emitterelektrode **137** verbunden.

Wie bisher beschrieben worden ist, ist der Halbleiterchip **101** mit dem vertikalen IGBT **9** ausgebildet, der die Emitterelektrode **137**, das mit der Emitterelektrode **137** verbundene Emittergebiet **120**, das Kanalgebiet **119**, das die Seite des Emittergebiets **120** näher an der zweiten Oberfläche der SiC-Basisschicht **103** berührend ausgebildet ist, das Driftgebiet **116**, das die Seite des Kanalgebiets **119** näher an der zweiten Oberfläche der SiC-Basisschicht **103** berührend ausgebildet ist, das Kollektorgebiet **109**, das die Seite des Driftgebiets **116** näher an der zweiten Oberfläche der SiC-Basisschicht **103** berührend ausgebildet ist, und die mit dem Kollektorgebiet **109** verbundene Kollektorelektrode **110** aufweist.

[0125] Dann werden eine Emitterelektrode **137** und die Kollektorelektrode **110** des IGBTs **9** zwischen

dem MOSFET **11** und der Schottky-Barrierediode **12** geteilt, und der MOSFET **11** weist ferner das Emittergebiet **120** (Source-Gebiet **121**), das Kanalgebiet **119**, das Driftgebiet **116** und das Drain-Gebiet **104** als mit diesen Elektroden verbundene Störstellengebiete auf. Die Schottky-Barrierediode **12** weist ferner das Driftgebiet **116** und das Kathodengebiet **105** als mit diesen Elektroden verbundene Störstellengebiete auf.

[0126] Das heißt, in dem Halbleiterchip **101** sind der IGBT **9**, der MOSFET **11** und die Schottky-Barrierediode **12** als eine einzige Zelleinheit integriert. Somit sind die drei Vorrichtungen, der IGBT **9**, der MOSFET **11** und die Schottky-Barrierediode **12**, gemeinsam auf dem Halbleiterchip **101** montiert und miteinander parallelgeschaltet.

<Störstellenkonzentration
der SiC-Basisschicht 103>

[0127] Als Nächstes wird die Störstellenkonzentration des SiC-Substrats **102** und der SiC-Basisschicht **103** unter Bezugnahme auf **Fig. 19** beschrieben

[0128] **Fig. 19** veranschaulicht die Störstellenkonzentration des SiC-Substrats **102** und der SiC-Basisschicht **103**.

Wie in **Fig. 19** gezeigt ist, sind das SiC-Substrat **102** und die SiC-Basisschicht **103** jeweils aus SiC vom n-Typ gebildet, das Störstellen vom n-Typ enthält. Diese genügen der Größenbeziehung der Störstellenkonzentration: SiC-Substrat **102** > Puffergebiet **115** > Driftgebiet **116**.

[0129] Das SiC-Substrat **102** weist eine ungefähr gleichbleibende Konzentration von beispielsweise 5×10^{18} to $5 \times 10^{19} \text{cm}^{-3}$ in der Dickenrichtung auf. Das Puffergebiet **115** weist eine gleichbleibende Konzentration oder eine entlang der Oberfläche reduzierte Konzentration von beispielsweise 1×10^{17} to $5 \times 10^{18} \text{cm}^{-3}$ in der Dickenrichtung auf.

Die Konzentration des Driftgebiets **116** zeigt stufenweise Änderungen an den Grenzflächen des Basisdriftgebiets **125**, des Driftgebiets **126** mit geringem Widerstand und des Oberflächendriftgebiets **127**. Das heißt, bezüglich jeder Grenzfläche besteht eine Konzentrationsdifferenz zwischen der Schicht, die näher an der ersten Oberfläche liegt, und der Schicht, die näher an der zweiten Oberfläche liegt.

[0130] Das Basisdriftgebiet **125** weist eine gleichbleibende Konzentration von zum Beispiel 5×10^{14} bis $5 \times 10^{16} \text{cm}^{-3}$ in der Dickenrichtung auf. Darüber hinaus kann die Konzentration des Basisdriftgebiets **125** von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Basisschicht **103** kontinuierlich von ca. $3 \times 10^{16} \text{cm}^{-3}$ auf ca. $5 \times 10^{15} \text{cm}^{-3}$ abnehmen, wie in **Fig. 19** durch die gestrichelte Linie gezeigt ist.

Das Driftgebiet **126** mit geringem Widerstand weist eine gleichbleibende Konzentration auf, die höher als die des Basisdriftgebiets **125** ist, zum Beispiel, 5×10^{15} bis $5 \times 10^{17} \text{cm}^{-3}$ in der Dickenrichtung. Darüber hinaus kann die Konzentration des Driftgebiets **126** mit geringem Widerstand von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Basisschicht **103** kontinuierlich von ca. $3 \times 10^{17} \text{cm}^{-3}$ auf ca. $1 \times 10^{16} \text{cm}^{-3}$ abnehmen, wie in **Fig. 19** durch die gestrichelte Linie gezeigt ist.

[0131] Das Oberflächendriftgebiet **127** weist eine gleichbleibende Konzentration auf, die geringer als die des Basisdriftgebiets **125** und des Driftgebiets **126** mit geringem Widerstand ist, zum Beispiel 5×10^{14} bis $1 \times 10^{16} \text{cm}^{-3}$ in der Dickenrichtung. Da die Schottky-Barrierediode **12**, die eine streifenartige Zelleinheit (Linienzelle) aufweist, welche zwischen benachbarten Gräben **131** der ersten Oberfläche angeordnet sind, einen Stromflussgebiet (einen Strompfad) aufweist, der durch den Abstand zwischen den benachbarten Gräben **131** der ersten Oberfläche begrenzt ist, kann, wenn die die Zelleinheiten der SiC-Basisschicht **103** definierenden Teile eine geringe Störstellenkonzentration definieren, die Zelleinheit einen hohen Widerstand aufweisen, wie in **Fig. 18** gezeigt ist.

[0132] Wie in **Fig. 19** gezeigt ist, ist somit die Konzentration des Driftgebiets **126** mit geringem Widerstand, das den Basisteil der Zelleinheit definiert, höher eingestellt als die des Basisdriftgebiets **125**. Selbst wenn der Strompfad durch den Abstand zwischen den Gräben **131** der ersten Oberfläche begrenzt sein kann, kann das Driftgebiet **126** mit geringem Widerstand, das die relativ hohe Konzentration aufweist, demgemäß eine Zunahme des Widerstands der Zelleinheit unterdrücken. Infolgedessen kann die Zelleinheit einen geringen Widerstand aufweisen.

[0133] Da das Oberflächendriftgebiet **127**, das die relativ geringe Konzentration aufweist, in einem Oberflächenteil der Zelleinheit in Kontakt mit der Emittierelektrode **137** (Anodenelektrode **139**) vorgesehen ist, kann andererseits die elektrische Feldstärke an der Oberfläche der SiC-Basisschicht **103** bei Anlegen von Sperrspannung reduziert werden. Infolgedessen kann der Sperrleckstrom weiter reduziert werden.

Als Nächstes wird ein Prozess zur Herstellung des in **Fig. 18** gezeigten Halbleiterchips **101** beschrieben.

[0134] Die **Fig. 20A** bis **Fig. 20D** zeigen aufeinanderfolgende Schritte des Prozesses zur Herstellung des in **Fig. 18** gezeigten Halbleiterchips **101**.

Zunächst wird, wie in **Fig. 20A** gezeigt ist, gemäß den in den **Fig. 10A** und **Fig. 10B** gezeigten Schritten das Störstellengebiet **114** mit hoher Konzentration auf einer Oberfläche des Wafer-SiC-Substrats **102** ausge-

bildet, und dann werden ein erstes Störstellengebiet **143** mit hoher Konzentration als eine Basis des Puffergebiets **115** und das Driftgebiet **116** epitaktisch aufgewachsen gelassen, um die SiC-Basisschicht **103** vom n-Typ auszubilden.

[0135] Als Nächstes werden, wie in **Fig. 20B** gezeigt ist, gemäß den in **Fig. 10C** gezeigten Schritten Hartmaskenbildung und Ionenimplantation gemäß den Formen des Kanalgebiets **119** und des Emittergebiets **120** (Source-Gebiets **121**) sowie den Störstellentypen durchgeführt. Dies bewirkt die Ausbildung des Kanalgebiets **119** und des Emittergebiets **120** (Source-Gebiets **121**) in der SiC-Basisschicht **103**.

Als Nächstes wird gemäß den Mustern des Gate-Grabens **122**, des Grabens **131** der ersten Oberfläche und des ringförmigen Grabens **135** eine Hartmaske ausgebildet, und dann werden durch Ätzen unter Verwendung der Hartmaske der Gate-Graben **122**, der Graben **131** der ersten Oberfläche und der ringförmige Graben **135** gleichzeitig ausgebildet, so dass sie die gleiche Tiefe haben.

[0136] Als Nächstes werden Störstellen selektiv in die Innenflächen des Grabens **131** der ersten Oberfläche und des ringförmigen Grabens **135** implantiert, um die Schicht **132** vom p-Typ und den Schutzring **136** gleichzeitig auszubilden. Des Weiteren werden Störstellen selektiv auf der unteren Fläche des Grabens **131** der ersten Oberfläche ausgebildet, um die Kontaktschicht **134** auszubilden.

Wie in **Fig. 20C** gezeigt ist, wird als Nächstes gemäß dem in **Fig. 10D** gezeigten Schritt eine Hartmaske auf der zweiten Oberfläche des SiC-Substrats **102** ausgebildet und strukturiert und dann trocken geätzt, mindestens bis das Driftgebiet **116** (das Basisdriftgebiet **125**) durch das erste Störstellengebiet **143** mit hoher Konzentration auf der zweiten Oberfläche der SiC-Substrat **102** freigelegt ist. Dies bewirkt, dass das SiC-Substrat **102** selektiv aus der zweiten Oberfläche ausgegraben wird und dadurch die Gräben **106** der zweiten Oberfläche ausgebildet werden.

[0137] Wie in **Fig. 20D** gezeigt ist, werden als Nächstes gemäß den in **Fig. 10E** gezeigten Schritten Störstellen vom n-Typ in die unteren Flächen der Gräben **106** der zweiten Oberfläche implantiert, um das Puffergebiet **115** auszubilden. Gemäß dem in **Fig. 10F** gezeigten Schritt werden als Nächstes Störstellen vom p-Typ in die unteren Flächen der Gräben **106** der zweiten Oberfläche (zweiten Teile **118** des Puffergebiets **115**) implantiert, um die Kollektorgebiete **109** in der SiC-Basisschicht **103** auszubilden.

[0138] Danach wird die SiC-Basisschicht **103** ausgeheilt. Dies bewirkt, dass die Störstellen vom n-Typ und die Störstellen vom p-Typ, die in das Driftgebiet **116**, das Kanalgebiet **119**, das Emittergebiet **120** (das Source-Gebiet **121**), die Kontaktschicht **134**, das Puf-

fergebiet **115** und die Kollektorgebiete **109** implantiert sind, aktiviert werden.

Gemäß dem oben beschriebenen Verfahren oder einer bekannten Halbleiterherstellungstechnik werden anschließend der Gate-Isolierfilm **123**, die Gate-Elektrode **124**, der Feldisolierfilm **128**, die Emittierelektrode **137**, die Kollektorelektrode **110** usw. hergestellt, um den in **Fig. 18** gezeigten Halbleiterchip **101** zu erhalten.

[0139] Wie vorstehend beschrieben wurde, kann der Halbleiterchip **101** auch die gleichen funktionellen Vorteile wie die oben beschriebenen Halbleiterchips **8** und **71** erzielen.

Da der Graben **131** der ersten Oberfläche neben dem Schottky-Verbindungsteil **141** ausgebildet ist, kann gemäß dem Halbleiterchip **101** ferner die elektrische Feldstärke an der Schottky-Grenzfläche zwischen der SiC-Basisschicht **103** und der Anodenelektrode **139** reduziert sein. Infolgedessen kann die Barriere der Schottky-Grenzfläche niedrig eingestellt sein, wodurch die Schottky-Barriervediode eine geringe Schwellenspannung haben kann.

[0140] Da die Schicht **132** vom p-Typ auf der Innenfläche des Grabens **131** der ersten Oberfläche ausgebildet ist, kann des Weiteren der Sperrleckstrom in dem gesamten Halbleiterchip **101** reduziert sein. Da der Sperrleckstrom selbst dann reduziert sein kann, wenn eine Sperrspannung nahe der Durchbruchspannung angelegt ist, können die Spannungseigenschaften des SiC-Halbleiters effizient genutzt werden.

Da die pn-Diode **133** mit der Schottky-Barriervediode **12** parallelgeschaltet ist, kann ein Stoßstrom, wenn er möglicherweise durch den Halbleiterchip **101** fließt, teilweise durch die enthaltene pn-Diode **133** fließen. Infolgedessen kann der durch die Schottky-Barriervediode **12** fließende Stoßstrom reduziert werden, wodurch eine thermische Zerstörung der Schottky-Barriervediode **12** aufgrund des Stoßstroms verhindert werden kann.

[0141] Als Nächstes wird ein Halbleiterchip **151** gemäß einer achten bevorzugten Ausführungsform beschrieben.

Fig. 21 ist eine schematische Querschnittsansicht des Halbleiterchips **151** gemäß einer achten bevorzugten Ausführungsform der vorliegenden Erfindung. In **Fig. 21** sind Teile, die den in **Fig. 18** gezeigten entsprechen, mit den gleichen Bezugszeichen bezeichnet worden, um ihre Beschreibung wegzulassen.

Bei dem Halbleiterchip **101** gemäß der oben beschriebenen siebten bevorzugten Ausführungsform sind die mehreren Gräben **106** der zweiten Oberfläche streifenartig im aktiven Gebiet **129** ausgebildet und angeordnet. Bei dem Halbleiterchip **151** gemäß der achten bevorzugten Ausführungsform ist andererseits ein einziger Graben **152** der zweiten Oberfläche entsprechend den streifenartig ausgebildeten

mehreren Gräben **131** der ersten Oberfläche ausgebildet. Der Graben **152** der zweiten Oberfläche ist ungefähr das gesamte aktive Gebiet **129** bedeckend in der zweiten Oberfläche des SiC-Substrats **102** ausgebildet.

[0142] Drain-Gebiete **153** des MOSFETs **11** (Kathodengebiete **154** der Schottky-Barrierediode **12**) und Kollektorgebiete **155** des IGBTs **9** sind streifenartig abwechselnd auf der unteren Fläche des Grabens **152** der zweiten Oberfläche ausgebildet.

Die **Fig. 22A** bis **Fig. 22D** zeigen aufeinanderfolgende Schritte eines Prozesses zur Herstellung des in **Fig. 21** gezeigten Halbleiterchips **151**.

[0143] Wie in **Fig. 22A** gezeigt ist, wird zunächst gemäß dem in **Fig. 20A** gezeigten Schritt das Störstellengebiet **114** mit hoher Konzentration auf einer Oberfläche des Wafer-SiC-Substrats **102** ausgebildet, und dann werden ein erstes Störstellengebiet **143** mit hoher Konzentration als eine Basis des Puffergebiets **115** und das Driftgebiet **116** epitaktisch aufwachsen gelassen, um die SiC-Basisschicht **103** vom n-Typ auszubilden.

Wie in **Fig. 22B** gezeigt ist, werden gemäß dem in **Fig. 20B** gezeigten Schritt Hartmaskenbildung und Ionenimplantation gemäß den Formen des Kanalgebiets **119** und des Emittergebiets **120** (Source-Gebiets **121**) sowie den Störstellentypen durchgeführt. Dies bewirkt die Ausbildung des Kanalgebiets **119** und des Emittergebiets **120** (Source-Gebiets **121**) in der SiC-Basisschicht **103**.

[0144] Als Nächstes wird gemäß den Mustern des Gate-Grabens **122**, des Grabens **131** der ersten Oberfläche und des ringförmigen Grabens **135** eine Hartmaske ausgebildet, und dann werden durch Ätzen unter Verwendung der Hartmaske der Gate-Graben **122**, der Graben **131** der ersten Oberfläche und der ringförmige Graben **135** gleichzeitig ausgebildet, so dass sie die gleiche Tiefe haben.

Als Nächstes werden Störstellen selektiv in die Innenflächen des Grabens **131** der ersten Oberfläche und des ringförmigen Grabens **135** implantiert, um die Schicht **132** vom p-Typ und den Schutzring **136** gleichzeitig auszubilden. Des Weiteren werden Störstellen selektiv auf der unteren Fläche des Grabens **131** der ersten Oberfläche ausgebildet, um die Kontaktschicht **134** auszubilden.

[0145] Wie in **Fig. 22C** gezeigt ist, wird gemäß dem in **Fig. 20C** gezeigten Schritt eine Hartmaske auf der zweiten Oberfläche des SiC-Substrats **102** ausgebildet und strukturiert und dann trocken geätzt, mindestens bis das Driftgebiet **116** (das Basisdriftgebiet **125**) durch das erste Störstellengebiet **143** mit hoher Konzentration auf der zweiten Oberfläche der SiC-Substrat **102** freigelegt ist. Dies bewirkt, dass das SiC-Substrat **102** selektiv aus der zweiten Oberfläche

ausgegraben wird und dadurch der Graben **152** der zweiten Oberfläche ausgebildet wird.

[0146] Wie in **Fig. 22D** gezeigt ist, werden als Nächstes gemäß dem in **Fig. 20D** gezeigten Schritt Störstellen vom n-Typ in die untere Fläche des Grabens **152** der zweiten Oberfläche implantiert, um das Puffergebiet **115** auszubilden. Als Nächstes werden Störstellen vom p-Typ in die untere Fläche des Grabens **152** der zweiten Oberfläche implantiert, um die Kollektorgebiete **155** in der SiC-Basisschicht **103** auszubilden. Des Weiteren werden Störstellen vom n-Typ in die untere Fläche des Grabens **152** der zweiten Oberfläche implantiert, um die Drain-Gebiete **153** (Kathodengebiete **154**) in die SiC-Basisschicht **103** auszubilden.

[0147] Danach wird die SiC-Basisschicht **103** ausgeheilt. Dies bewirkt, dass die Störstellen vom n-Typ und die Störstellen vom p-Typ, die in das Driftgebiet **116**, das Kanalgebiet **119**, das Emittergebiet **120** (Source-Gebiet **121**), die Kontaktschicht **134**, das Puffergebiet **115**, die Kollektorgebiete **155** und die Drain-Gebiete **153** (Kathodengebiete **154**) implantiert sind, aktiviert werden.

Gemäß dem oben beschriebenen Verfahren oder einer bekannten Halbleiterherstellungstechnik werden anschließend der Gate-Isolierfilm **123**, die Gate-Elektrode **124**, der Feldisolierfilm **128**, die Emittierelektrode **137**, die Kollektorelektrode **110** usw. hergestellt, um den in **Fig. 21** gezeigten Halbleiterchip **151** zu erhalten.

[0148] Wie vorstehend beschrieben wurde, kann der Halbleiterchip **151** auch die gleichen funktionellen Vorteile wie die oben beschriebenen Halbleiterchips **8**, **71** und **101** erzielen.

Als Nächstes wird ein Halbleiterchip **161** gemäß einer neunten bevorzugten Ausführungsform beschrieben. **Fig. 23** ist eine schematische Querschnittsansicht des Halbleiterchips **161** gemäß der neunten bevorzugten Ausführungsform der vorliegenden Erfindung. In **Fig. 23** sind Teile, die den in **Fig. 18** gezeigten entsprechen, mit den gleichen Bezugszeichen bezeichnet worden, um ihre Beschreibung wegzulassen.

[0149] Bei den Halbleiterchips **101** und **151** gemäß der oben beschriebenen siebten und achten bevorzugten Ausführungsform, ist das SiC-Substrat **102** dazu vorgesehen, die SiC-Basisschicht **103** darauf zu stützen. Andererseits ist bei dem Halbleiterchip **161** gemäß der neunten bevorzugten Ausführungsform das SiC-Substrat **102** nicht vorgesehen, so dass die gesamte zweite Oberfläche der SiC-Basisschicht **103** freiliegt.

Über die gesamte zweite Oberfläche der freiliegenden SiC-Basisschicht **103** ist ein Puffergebiet **162** ausgebildet. In dem Puffergebiet **162** sind Drain-Gebiete **163** des MOSFETs **11** (Kathodengebiete **164** der Schottky-Barrierediode **12**) und Kollektorgebiete

165 des IGBTs **9** streifenartig abwechselnd ausgebildet, so dass sie auf der zweiten Oberfläche der SiC-Basisschicht **103** freiliegen.

[0150] Die **Fig. 24A** bis **Fig. 24F** zeigen aufeinanderfolgende Schritte eines Prozesses zur Herstellung des in **Fig. 23** gezeigten Halbleiterchips **161**.

Wie in **Fig. 24A** gezeigt ist, wird zunächst nur das Basisdriftgebiet **125** epitaktisch auf einer Oberfläche eines Wafer-Substrats **166** aufwachsen gelassen, um die SiC-Basisschicht **103** vom n-Typ auszubilden. Das verwendete Substrat **166** ist nicht auf ein SiC-Substrat beschränkt, sondern kann verschiedene Substrate annehmen.

[0151] Wie in **Fig. 24B** gezeigt ist, wird als Nächstes eine Technik, wie zum Beispiel Schleifen, Trockenätzen oder Sandstrahlen verwendet, um das Substrat **166** zu schleifen, bis die zweite Oberfläche der SiC-Basisschicht **103** freiliegt, um dadurch das Substrat **166** zu entfernen.

Wie in **Fig. 24C** gezeigt ist, wird als Nächstes Epitaxialwachstum oder Ionenimplantation verwendet, um das Driftgebiet **126** mit geringem Widerstand und das Oberflächendriftgebiet **127** nacheinander auf dem Basisdriftgebiet **125** auszubilden.

[0152] Wie in **Fig. 24D** gezeigt ist, werden als Nächstes Störstellen vom n-Typ in die gesamte zweite Oberfläche der SiC-Basisschicht **103** implantiert, um das Puffergebiet **162** auszubilden.

Wie in **Fig. 24E** gezeigt ist, werden als Nächstes gemäß dem in **Fig. 20B** gezeigten Schritt Hartmaskenbildung und Ionenimplantation gemäß den Formen des Kanalgebiets **119** und des Emittergebiets **120** (des Source-Gebiets **121**) sowie den Störstellentypen durchgeführt. Dies bewirkt die Ausbildung des Kanalgebiets **119** und des Emittergebiets **120** (Source-Gebiets **121**) in der SiC-Basisschicht **103**.

[0153] Als Nächstes wird eine Hartmaske gemäß den Mustern des Gate-Grabens **122**, des Grabens **131** der ersten Oberfläche und des ringförmigen Grabens **135** ausgebildet, und dann werden durch Ätzen unter Verwendung der Hartmaske der Gate-Graben **122**, der Graben **131** der ersten Oberfläche und der ringförmige Graben **135** gleichzeitig ausgebildet, so dass sie die gleiche Tiefe haben.

Als Nächstes werden Störstellen selektiv in die Innenflächen des Grabens **131** der ersten Oberfläche und des ringförmigen Grabens **135** implantiert, um die Schicht **132** vom p-Typ und den Schutzring **136** gleichzeitig auszubilden. Des Weiteren werden Störstellen selektiv auf der unteren Fläche des Grabens **131** der ersten Oberfläche ausgebildet, um die Kontaktschicht **134** auszubilden.

[0154] Wie in **Fig. 24F** gezeigt ist, werden gemäß dem in **Fig. 20D** gezeigten Schritt als Nächstes Störstellen vom p-Typ in die zweite Oberfläche der SiC-

Basisschicht **103** implantiert, um die Kollektorgebiete **65** in der SiC-Basisschicht **103** auszubilden. Des Weiteren werden Störstellen vom n-Typ in die zweite Oberfläche der SiC-Basisschicht **103** implantiert, um die Drain-Gebiete **163** (die Kathodengebiete **164**) in der SiC-Basisschicht **103** auszubilden.

Danach wird die SiC-Basisschicht **103** ausgeheilt. Dies bewirkt, dass die Störstellen vom n-Typ und die Störstellen vom p-Typ, die in das Driftgebiet **116**, das Kanalgebiet **119**, das Emittergebiet **120** (das Source-Gebiet **121**), die Kontaktschicht **134**, das Puffergebiet **162**, die Kollektorgebiete **165** und die Drain-Gebiete **163** (die Kathodengebiete **164**) implantiert sind, aktiviert werden.

[0155] Anschließend werden gemäß dem oben beschriebenen Verfahren oder einer bekannten Halbleiterherstellungstechnik der Gate-Isolierfilm **123**, die Gate-Elektrode **124**, der Feldisolierfilm **128**, die Emittierelektrode **137**, die Kollektorelektrode **110** usw. hergestellt, um den in **Fig. 23** gezeigten Halbleiterchip **161** zu erhalten.

Wie vorstehend beschrieben wurde, kann der Halbleiterchip **161** auch die gleichen funktionellen Vorteile wie die oben beschriebenen Halbleiterchips **8**, **71**, **101** und **151** erzielen.

[0156] Obgleich vorstehend die bevorzugten Ausführungsformen der vorliegenden Erfindung beschrieben wurden, kann die vorliegende Erfindung auch in noch anderen Formen ausgestaltet werden. Zum Beispiel kann eine Anordnung verwendet werden, bei der der Leitungstyp der Halbleiterteile in dem IGBT **9**, der Body-Diode **10**, dem MOSFET **11** und der Schottky-Barriervediode **12** umgekehrt sind. In dem IGBT **9** können die Teile vom p-Typ vom n-Typ sein, während die Teile vom n-Typ vom p-Typ sein können.

[0157] Bei den siebten bis neunten Ausführungsformen sind die Zelleneinheiten des IGBTs **9** und des MOSFETs **11** und die Zelleneinheiten der Schottky-Barriervediode **12** abwechselnd angeordnet. Die Anordnung ist jedoch nicht besonders eingeschränkt, und es können zum Beispiel zwei oder mehr der letzteren Zelleneinheiten zwischen einem Paar der ersteren Zelleneinheiten angeordnet sein.

Die aus der Offenbarung der oben beschriebenen bevorzugten Ausführungsformen hervorgehenden Merkmale können auch zwischen verschiedenen bevorzugten Merkmalen kombiniert werden. Des Weiteren können die beiden bevorzugten Ausführungsformen dargebotenen Komponenten innerhalb des Schutzzumfangs der vorliegenden Erfindung kombiniert werden.

[0158] Die bevorzugten Ausführungsformen der vorliegenden Erfindung sind lediglich spezielle Beispiele, die zur Veranschaulichung des technischen Inhalts der vorliegenden Erfindung verwendet werden, und die vorliegende Erfindung sollte nicht als auf die-

se speziellen Beispiele beschränkt verstanden werden, und das Wesen und der Schutzzumfang der vorliegenden Erfindung werden allein durch die angehängten Ansprüche eingeschränkt.

Die vorliegende Anmeldung entspricht der am 2. August 2011 im japanischen Patentamt eingereichten japanischen Patentanmeldung Nr. 2011-169349, der am 25. Oktober 2011 im japanischen Patentamt eingereichten japanischen Patentanmeldung Nr. 2011-234058 und der am 14. Dezember 2011 im japanischen Patentamt eingereichten japanischen Patentanmeldung Nr. 2011-273401, deren Offenbarungen durch Bezugnahme hier vollumfänglich aufgenommen sind.

Bezugszeichenliste

1	Halbleitergehäuse	29	Drain-Elektrode
2	Harzgehäuse	30	Anodenelektrode
3	Gate-Anschluss	31	Kathodenelektrode
4	Emitter-Anschluss	32	SiC-Substrat
5	Kollektoranschluss	33	SiC-Basissschicht
6	Insel (des Kollektoranschlusses)	34	Drain-Gebiet
7	Anschlusssteil (des Kollektoranschlusses)	35	Kathodengebiet
8	Halbleiterchip	36	Graben
9	IGBT	37	Kollektorgebiet
10	Body-Diode	38	Metallsilicid
11	MOSFET	39	Kanalgebiet
12	Schottky-Barrierediode	40	Basisoberflächenteil
13	Bonddraht	41	Emittergebiet
14	Bonddraht	42	Source-Gebiet
15	IGBT-Chip	43	Kanalkontaktgebiet
16	MOSFET-Chip	44	Gate-Isolierfilm
17	Schottky-Barrierediodenchip	45	Gate-Elektrode
18	Bonddraht	46	Zwischenschichtisolierfilm
19	Bonddraht	47	Kontaktloch
20	Bonddraht	48	Kontaktloch
21	Bonddraht	49	Ohmscher Kontaktteil
22	Bonddraht	50	Schottky-Verbindungsteil
23	SiC-Halbleiterschicht	51	Hartmaske
24	Erste Oberfläche (der SiC-Halbleiterschicht)	52	SiC-Substrate
25	Zweite Oberfläche (der SiC-Halbleiterschicht)	53	Teil vom P ⁺ -typ
26	Emittierelektrode	54	Teil vom N ⁺ -typ
27	Kollektorelektrode	55	Gate-Graben
28	Source-Elektrode	56	Gate-Isolierfilm
		57	Gate-Elektrode
		58	Wechselrichterschaltung
		59	Drehstrommotor
		59U	U-Phase (des Drehstrommotors)
		59V	V-Phase (des Drehstrommotors)
		59W	W-Phase (des Drehstrommotors)
		60	DC-Leistungsversorgung
		61	Schalteinheit
		62	Hochspannungsdraht
		63	Niederspannungsdraht
		64	Reihenschaltung
		65	Reihenschaltung

66	Reihenschaltung	122	Gate-Graben
67H	High-Side-Transistor	123	Gate-Isolierfilm
67L	Low-Side-Transistor	124	Gate-Elektrode
68H	High-Side-Transistor	125	Basisdriftgebiet
68L	Low-Side-Transistor	126	Driftgebiet mit geringem Widerstand
69H	High-Side-Transistor	127	Oberflächendriftgebiet
69L	Low-Side-Transistor	128	Feldisolierfilm
71	Halbleiterchip	129	Aktives Gebiet
72	Absatz	130	Feldgebiet
73	Konvexer Teil	131	Graben der ersten Oberfläche
74	Pufferschicht	132	Schicht vom p-Typ
75	Driftschicht	133	pn-Diode
76	Erster Teil (der Pufferschicht)	134	Kontaktschicht
77	Zweiter Teil (der Pufferschicht)	135	Ringförmiger Graben
78	Störstellengebiet mit hoher Konzentration	136	Schutzring
79	Erste Störstellenschicht mit hoher Konzentration	137	Emitterelektrode
80	Zweite Störstellenschicht mit hoher Konzentration	138	Source-Elektrode
101	Halbleiterchip	139	Anodenelektrode
102	SiC-Substrat	140	Ohm'scher Kontaktteil
103	SiC-Basisschicht	141	Schottky-Verbindungsteil
104	Drain-Gebiet	142	Oberflächenschutzfilm
105	Kathodengebiet	143	Erstes Störstellengebiet mit hoher Konzentration
106	Graben der zweiten Oberfläche	151	Halbleiterchip
107	Absatz	152	Graben der zweiten Oberfläche
108	Konvexer Teil	153	Drain-Gebiet
109	Kollektorgebiet	154	Kathodengebiet
110	Kollektorelektrode	155	Kollektorgebiet
111	Metallsilicid	161	Halbleiterchip
112	Drain-Elektrode	162	Puffergebiet
113	Kathodenelektrode	163	Drain-Gebiet
114	Störstellengebiet mit hoher Konzentration	164	Kathodengebiet
115	Puffergebiet	165	Kollektorgebiet
116	Driftgebiet	166	Substrate
117	Erster Teil (des Puffergebiets)		
118	Zweiter Teil (des Puffergebiets)		
119	Kanalgebiet		
120	Emittergebiet		
121	Source-Gebiet		

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- JP 2011169349 [0158]
- JP 2011234058 [0158]
- JP 2011273401 [0158]

Schutzansprüche

1. Halbleitervorrichtung, aufweisend:
 einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend:
 eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist;
 ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt;
 ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist;
 ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist;
 ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert;
 eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und
 eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und
 einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, wobei der MOSFET Folgendes aufweist:
 ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und
 ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist, wobei
 der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet,
 das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist,
 das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und
 die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist und wobei die SiC-Halbleiterschicht Folgendes aufweist:
 ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten

Oberfläche zu der ersten Oberfläche ausgebildet ist, und
 eine SiC-Basissschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei das Drain-Gebiet unter Verwendung des SiC-Substrats ausgebildet ist, und
 das Kollektorgebiet an der unteren Fläche des Grabens ausgebildet ist.

2. Halbleitervorrichtung nach Anspruch 1, wobei mehrere der Gräben streifenartig ausgebildet sind.

3. Halbleitervorrichtung nach Anspruch 1, wobei der tiefste Teil des Grabens die Grenzfläche zwischen dem SiC-Substrat und der SiC-Basissschicht erreicht.

4. Halbleitervorrichtung, aufweisend:
 einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend:
 eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist;
 ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt;
 ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist;
 ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist;
 ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert;
 eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und
 eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und
 einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, wobei der MOSFET Folgendes aufweist:
 ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und

ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist, wobei der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet, das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist, das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist und wobei die SiC-Halbleiterschicht Folgendes aufweist: ein SiC-Substrat vom ersten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist, und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei das Kollektorgebiet unter Verwendung des SiC-Substrats ausgebildet ist und das Drain-Gebiet an der unteren Fläche des Grabens ausgebildet ist.

5. Halbleitervorrichtung, aufweisend:

einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend:
 eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist;
 ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt;
 ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist;
 ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist;
 ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert;
 eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und
 eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-

Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, wobei der MOSFET Folgendes aufweist: ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist, wobei der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet, das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist, das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist, und wobei die SiC-Halbleiterschicht Folgendes aufweist: ein SiC-Substrat, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und einen Teil vom ersten Leitfähigkeitstyp und einen Teil vom zweiten Leitfähigkeitstyp aufweist, die segmentiert sind, derart, dass die Teile vom ersten und zweiten Leitfähigkeitstyp getrennt auf der zweiten Oberfläche freiliegen; und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei das Kollektorgebiet unter Verwendung des Teils vom ersten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und das Drain-Gebiet unter Verwendung des Teils vom zweiten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist.

6. Halbleitervorrichtung nach Anspruch 5, wobei mehrere der Teile vom ersten Leitfähigkeitstyp und der Teile vom zweiten Leitfähigkeitstyp des SiC-Substrats abwechselnd streifenartig ausgebildet sind.

7. Halbleitervorrichtung, aufweisend:

einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend:
 eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist;
 ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt;
 ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist;

ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist;

ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert; eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und

eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, wobei der MOSFET Folgendes aufweist: ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist, wobei

der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet,

das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist,

das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und

die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist, und wobei

die SiC-Halbleiterschicht Folgendes aufweist:

ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist; und

eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei

das Drain-Gebiet und das Kollektorgebiet an der unteren Fläche des Grabens nebeneinanderliegend ausgebildet sind.

8. Halbleitervorrichtung, aufweisend:

einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend:

eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist;

ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt;

ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist;

ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist;

ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert; eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und

eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, wobei der MOSFET Folgendes aufweist: ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist, wobei

der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet,

das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist,

das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und

die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist, und wobei

das Basisgebiet ein Driftgebiet, das eine erste Störstellenkonzentration aufweist und mit dem Kanalgebiet in Kontakt ist, und ein Puffergebiet, das so ausgebildet ist, dass das Puffergebiet das Kollektorgebiet zwischen dem Driftgebiet und dem Kollektorgebiet umgibt, und eine zweite Störstellenkonzentration aufweist, die höher als die erste Störstellenkonzentration ist, aufweist.

9. Halbleitervorrichtung nach Anspruch 8, wobei die SiC-Halbleiterschicht Folgendes aufweist:

ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert; und

eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, wobei

ein Graben, der von der zweiten Oberfläche des SiC-Substrats das SiC-Substrat durchdringt, um die SiC-Basisschicht zu erreichen, selektiv ausgebildet ist, und wobei

das Drain-Gebiet unter Verwendung des SiC-Substrats ausgebildet ist,

das Kollektorgebiet an der unteren Fläche des Grabens ausgebildet ist und

die SiC-Basisschicht Folgendes aufweist:

eine Pufferschicht vom zweiten Leitfähigkeitstyp, die so ausgebildet ist, dass die Pufferschicht das Kollektorgebiet umgibt, um als das Puffergebiet zu dienen; und

ein Driftgebiet vom zweiten Leitfähigkeitstyp, das auf der Pufferschicht ausgebildet ist, um als das Driftgebiet zu dienen.

10. Halbleitervorrichtung nach Anspruch 8, wobei die SiC-Halbleiterschicht Folgendes aufweist:

ein SiC-Substrat, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und einen Teil vom ersten Leitfähigkeitstyp und einen Teil vom zweiten Leitfähigkeitstyp aufweist, die segmentiert sind, derart, dass die Teile vom ersten und zweiten Leitfähigkeitstyp getrennt auf der zweiten Oberfläche freiliegen; und

eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei

das Kollektorgebiet unter Verwendung des Teils vom ersten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist,

das Drain-Gebiet unter Verwendung des Teils vom zweiten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und

die SiC-Basisschicht Folgendes aufweist:

eine Pufferschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, derart, dass die Pufferschicht das Drain-Gebiet und das Kollektorgebiet bedeckt, um als das Puffergebiet zu dienen; und

eine Driftschicht vom zweiten Leitfähigkeitstyp, die auf der Pufferschicht ausgebildet ist, um als das Driftgebiet zu dienen.

11. Halbleitervorrichtung nach einem der Ansprüche 1 bis 10, ferner aufweisend:

eine pn-Diode auf, die mit dem SiC-IGBT parallelgeschaltet ist und Folgendes aufweist:

ein Gebiet vom ersten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und

ein Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist.

12. Halbleitervorrichtung nach Anspruch 11, wie in einem der Ansprüche 2 bis 10 dargelegt, wobei die pn-Diode eine in dem MOSFET enthaltene Body-Diode aufweist, wobei die Body-Diode unter Verwendung eines pn-Übergangs zwischen dem Kanalgebiet und dem Basisgebiet des in dem Halbleiterchip vorgesehenen MOSFETs ausgebildet ist.

13. Halbleitervorrichtung nach einem der Ansprüche 1 bis 12, ferner aufweisend:

eine Schottky-Barriერიode, die mit dem SiC-IGBT parallelgeschaltet ist und Folgendes aufweist:

ein Driftgebiet vom zweiten Leitfähigkeitstyp;

eine Anodenelektrode, die einen Schottky-Übergang mit dem Driftgebiet bildet und mit der Emittierelektrode elektrisch verbunden ist; und

eine Kathodenelektrode, die mit dem Driftgebiet in Ohm'schem Kontakt steht und mit der Kollektorelektrode elektrisch verbunden ist.

14. Halbleitervorrichtung nach Anspruch 13, wobei der Halbleiterchip so angeordnet ist, dass:

das Basisgebiet einen Basisoberflächenteil aufweist, der auf der ersten Oberfläche der SiC-Halbleiterschicht freiliegt, um einen Teil der ersten Oberfläche zu definieren;

die Emittierelektrode einen Schottky-Verbindungsteil, der einen Schottky-Übergang mit dem Basisoberflächenteil bildet, aufweist,

die Schottky-Barriერიode eine SiC-Schottky-Barriერიode beinhaltet, die in dem Halbleiterchip vorgesehen ist;

das Driftgebiet unter Verwendung des Basisgebiets des SiC-IGBTs ausgebildet ist; und

die Anodenelektrode unter Verwendung der Emittierelektrode des SiC-IGBTs ausgebildet ist.

15. Halbleitervorrichtung nach Anspruch 14, ferner aufweisend einen Zwischenschichtisolierfilm, der auf der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist und mit einem Kontaktloch ausgebildet ist, durch das der Basisoberflächenteil freiliegt.

16. Halbleitervorrichtung nach einem der Ansprüche 13 bis 15, ferner aufweisend ein Harzgehäuse, in dem der SiC-IGBT, der MOSFET und die Schottky-Barriერიode gemeinsam verkapselt sind.

17. Halbleitervorrichtung nach einem der Ansprüche 1 bis 16, wobei der SiC-IGBT einen Planar-Gate-IGBT aufweist, der Folgendes aufweist:

einen Gate-Isolierfilm, der auf der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist; und

eine Gate-Elektrode, die so auf dem Gate-Isolierfilm ausgebildet ist, dass die Gate-Elektrode dem Kanalgebiet mit dem Gate-Isolierfilm dazwischen gegenüberliegt.

18. Halbleitervorrichtung nach einem der Ansprüche 1 bis 17, wobei der SiC-IGBT einen IGBT vom Graben-Gate-Typ aufweist, der Folgendes aufweist: einen Gate-Graben, der sich von der ersten Oberfläche der SiC-Halbleiterschicht durch das Emittergebiet und das Kanalgebiet erstreckt, um das Basisgebiet zu erreichen; einen auf der Innenfläche des Gate-Grabens ausgebildeten Gate-Isolierfilm; und eine auf der Innenseite des Gate-Isolierfilms in dem Gate-Graben ausgebildete Gate-Elektrode.

19. Halbleitervorrichtung, aufweisend: einen Halbleiterchip, der mit einem SiC-IGBT (Insulated Gate Bipolar Semiconductor) ausgebildet ist, aufweisend: eine SiC-Halbleiterschicht, die eine erste Oberfläche und eine zweite Oberfläche aufweist; ein Kollektorgebiet von einem ersten Leitfähigkeitstyp, das so ausgebildet ist, dass das Kollektorgebiet auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt; ein Basisgebiet von einem zweiten Leitfähigkeitstyp, das bezüglich des Kollektorgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Basisgebiet mit dem Kollektorgebiet in Kontakt ist; ein Kanalgebiet vom ersten Leitfähigkeitstyp, das bezüglich des Basisgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Kanalgebiet mit dem Basisgebiet in Kontakt ist; ein Emittergebiet vom zweiten Leitfähigkeitstyp, das bezüglich des Kanalgebiets näher an der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist, derart, dass das Emittergebiet mit dem Kanalgebiet in Kontakt ist, wobei das Emittergebiet einen Teil der ersten Oberfläche der SiC-Halbleiterschicht definiert; eine Kollektorelektrode, die so ausgebildet ist, dass die Kollektorelektrode mit der zweiten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Kollektorelektrode mit dem Kollektorgebiet verbunden ist; und eine Emittierelektrode, die so ausgebildet ist, dass die Emittierelektrode mit der ersten Oberfläche der SiC-Halbleiterschicht in Kontakt ist, wobei die Emittierelektrode mit dem Emittergebiet verbunden ist, und einen MOSFET (Metal Oxide Semiconductor Field Effect Transistor), der mit dem SiC-IGBT parallelgeschaltet ist, wobei der MOSFET Folgendes aufweist: ein Source-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und ein Drain-Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist.

20. Halbleitervorrichtung nach Anspruch 19, wobei der MOSFET einen in dem Halbleiterchip vorgesehenen SiC-MOSFET beinhaltet, das Source-Gebiet unter Verwendung des Emittergebiets des SiC-IGBTs ausgebildet ist,

das Drain-Gebiet neben dem Kollektorgebiet des SiC-IGBTs ausgebildet ist, derart, dass das Drain-Gebiet selektiv auf der zweiten Oberfläche der SiC-Halbleiterschicht freiliegt, und die Kollektorelektrode gemeinsam mit dem Drain-Gebiet und dem Kollektorgebiet verbunden ist.

21. Halbleitervorrichtung nach Anspruch 20, wobei die SiC-Halbleiterschicht Folgendes aufweist: ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist, und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei das Drain-Gebiet unter Verwendung des SiC-Substrats ausgebildet ist, und das Kollektorgebiet an der unteren Fläche des Grabens ausgebildet ist.

22. Halbleitervorrichtung nach Anspruch 20, wobei die SiC-Halbleiterschicht Folgendes aufweist: ein SiC-Substrat vom ersten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist, und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei das Kollektorgebiet unter Verwendung des SiC-Substrats ausgebildet ist und das Drain-Gebiet an der unteren Fläche des Grabens ausgebildet ist.

23. Halbleitervorrichtung nach Anspruch 21 oder 22, wobei mehrere der Gräben streifenartig ausgebildet sind.

24. Halbleitervorrichtung nach einem der Ansprüche 21 bis 23, wobei der tiefste Teil des Grabens die Grenzfläche zwischen dem SiC-Substrat und der SiC-Basisschicht erreicht.

25. Halbleitervorrichtung nach Anspruch 20, wobei die SiC-Halbleiterschicht Folgendes aufweist: ein SiC-Substrat, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und einen Teil vom ersten Leitfähigkeitstyp und einen Teil vom zweiten Leitfähigkeitstyp aufweist, die segmentiert sind, derart, dass die Teile vom ersten und zweiten Leitfähigkeitstyp getrennt auf der zweiten Oberfläche freiliegen; und eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei

das Kollektorgebiet unter Verwendung des Teils vom ersten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und

das Drain-Gebiet unter Verwendung des Teils vom zweiten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist.

26. Halbleitervorrichtung nach Anspruch 25, wobei mehrere der Teile vom ersten Leitfähigkeitstyp und der Teile vom zweiten Leitfähigkeitstyp des SiC-Substrats abwechselnd streifenartig ausgebildet sind.

27. Halbleitervorrichtung nach Anspruch 20, wobei die SiC-Halbleiterschicht Folgendes aufweist:

ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und selektiv mit einem Graben von der zweiten Oberfläche zu der ersten Oberfläche ausgebildet ist; und

eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei das Drain-Gebiet und das Kollektorgebiet an der unteren Fläche des Grabens nebeneinanderliegend ausgebildet sind.

28. Halbleitervorrichtung nach einem der Ansprüche 20 bis 27, wobei die Kollektorelektrode ein Metallsilizid in einem Teil aufweist, das mit dem Drain-Gebiet und dem Kollektorgebiet in Kontakt ist.

29. Halbleitervorrichtung nach Anspruch 19, wobei das Basisgebiet ein Driftgebiet, das eine erste Störstellenkonzentration aufweist und mit dem Kanalgebiet in Kontakt ist, und ein Puffergebiet, das so ausgebildet ist, dass das Puffergebiet das Kollektorgebiet zwischen dem Driftgebiet und dem Kollektorgebiet umgibt, und eine zweite Störstellenkonzentration aufweist, die höher als die erste Störstellenkonzentration ist, aufweist.

30. Halbleitervorrichtung nach Anspruch 29, wobei die SiC-Halbleiterschicht Folgendes aufweist:

ein SiC-Substrat vom zweiten Leitfähigkeitstyp, das die zweite Oberfläche der SiC-Halbleiterschicht definiert; und

eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, wobei

ein Graben, der von der zweiten Oberfläche des SiC-Substrats das SiC-Substrat durchdringt, um die SiC-Basisschicht zu erreichen, selektiv ausgebildet ist, und wobei

das Drain-Gebiet unter Verwendung des SiC-Substrats ausgebildet ist,

das Kollektorgebiet an der unteren Fläche des Grabens ausgebildet ist und

die SiC-Basisschicht Folgendes aufweist:

eine Pufferschicht vom zweiten Leitfähigkeitstyp, die so ausgebildet ist, dass die Pufferschicht das Kollektorgebiet umgibt, um als das Puffergebiet zu dienen; und

ein Driftgebiet vom zweiten Leitfähigkeitstyp, das auf der Pufferschicht ausgebildet ist, um als das Driftgebiet zu dienen.

31. Halbleitervorrichtung nach Anspruch 29, wobei die SiC-Halbleiterschicht Folgendes aufweist:

ein SiC-Substrat, das die zweite Oberfläche der SiC-Halbleiterschicht definiert und einen Teil vom ersten Leitfähigkeitstyp und einen Teil vom zweiten Leitfähigkeitstyp aufweist, die segmentiert sind, derart, dass die Teile vom ersten und zweiten Leitfähigkeitstyp getrennt auf der zweiten Oberfläche freiliegen; und

eine SiC-Basisschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, um als das die erste Oberfläche der SiC-Halbleiterschicht definierende Basisgebiet zu dienen, und wobei

das Kollektorgebiet unter Verwendung des Teils vom ersten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist,

das Drain-Gebiet unter Verwendung des Teils vom zweiten Leitfähigkeitstyp des SiC-Substrats ausgebildet ist und

die SiC-Basisschicht Folgendes aufweist:

eine Pufferschicht vom zweiten Leitfähigkeitstyp, die auf dem SiC-Substrat ausgebildet ist, derart, dass die Pufferschicht das Drain-Gebiet und das Kollektorgebiet bedeckt, um als das Puffergebiet zu dienen; und

eine Driftschicht vom zweiten Leitfähigkeitstyp, die auf der Pufferschicht ausgebildet ist, um als das Driftgebiet zu dienen.

32. Halbleitervorrichtung nach einem der Ansprüche 19 bis 31, ferner aufweisend:

eine pn-Diode auf, die mit dem SiC-IGBT parallelgeschaltet ist und Folgendes aufweist:

ein Gebiet vom ersten Leitfähigkeitstyp, das mit der Emittierelektrode elektrisch verbunden ist; und

ein Gebiet vom zweiten Leitfähigkeitstyp, das mit der Kollektorelektrode elektrisch verbunden ist.

33. Halbleitervorrichtung nach Anspruch 32, wie in einem der Ansprüche 20 bis 28 dargelegt, wobei die pn-Diode eine in dem MOSFET enthaltene Body-Diode aufweist, wobei die Body-Diode unter Verwendung eines pn-Übergangs zwischen dem Kanalgebiet und dem Basisgebiet des in dem Halbleiterchip vorgesehenen MOSFETs ausgebildet ist.

34. Halbleitervorrichtung nach einem der Ansprüche 19 bis 33, ferner aufweisend:

eine Schottky-Barriერიode, die mit dem SiC-IGBT parallelgeschaltet ist und Folgendes aufweist:

ein Driftgebiet vom zweiten Leitfähigkeitstyp;

eine Anodenelektrode, die einen Schottky-Übergang mit dem Driftgebiet bildet und mit der Emittierelektrode elektrisch verbunden ist; und
eine Kathodenelektrode, die mit dem Driftgebiet in Ohm'schem Kontakt steht und mit der Kollektorelektrode elektrisch verbunden ist.

35. Halbleitervorrichtung nach Anspruch 34, wobei der Halbleiterchip so angeordnet ist, dass:
das Basisgebiet einen Basisoberflächenteil aufweist, der auf der ersten Oberfläche der SiC-Halbleiterschicht freiliegt, um einen Teil der ersten Oberfläche zu definieren;
die Emittierelektrode einen Schottky-Verbindungsteil, der einen Schottky-Übergang mit dem Basisoberflächenteil bildet, aufweist,
die Schottky-Barriერიode eine SiC-Schottky-Barriერიode beinhaltet, die in dem Halbleiterchip vorgesehen ist;
das Driftgebiet unter Verwendung des Basisgebiets des SiC-IGBTs ausgebildet ist; und
die Anodenelektrode unter Verwendung der Emittierelektrode des SiC-IGBTs ausgebildet ist.

36. Halbleitervorrichtung nach Anspruch 35, ferner aufweisend einen Zwischenschichtisolierfilm, der auf der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist und mit einem Kontaktloch ausgebildet ist, durch das der Basisoberflächenteil freiliegt.

37. Halbleitervorrichtung nach einem der Ansprüche 34 bis 36, ferner aufweisend ein Harzgehäuse, in dem der SiC-IGBT, der MOSFET und die Schottky-Barriერიode gemeinsam verkapselt sind.

38. Halbleitervorrichtung nach Anspruch 19, wobei das Basisgebiet auf der ersten Oberfläche der SiC-Halbleiterschicht teilweise freiliegt, und wobei der Halbleiterchip Folgendes aufweist:
eine Schottky-Elektrode, die so ausgebildet ist, dass die Schottky-Elektrode mit dem freiliegenden Teil des Basisgebiets in Kontakt ist; und
einen Graben, der an einer Stelle neben einem Verbindungsteil zwischen dem Basisgebiet und der Schottky-Elektrode aus der ersten Oberfläche der Halbleiterschicht ausgegraben ist, wobei der Graben eine untere Fläche und eine Seitenfläche aufweist.

39. Halbleitervorrichtung nach Anspruch 38, wobei die SiC-Halbleiterschicht einen Relaxierteil des elektrischen Felds vom ersten Leitfähigkeitstyp aufweist, der auf der unteren Fläche und an einem Randteil der unteren Fläche des Grabens selektiv ausgebildet ist.

40. Halbleitervorrichtung nach Anspruch 39, wobei der Relaxierteil des elektrischen Felds vorzugsweise so ausgebildet ist, dass er sich zwischen dem Randteil der unteren Fläche des Grabens und der Seitenfläche des Grabens erstreckt.

41. Halbleitervorrichtung nach Anspruch 40, wobei der Relaxierteil des elektrischen Felds entlang der Seitenfläche des Grabens zu dem Öffnungsende des Grabens ausgebildet ist.

42. Halbleitervorrichtung nach einem der Ansprüche 38 bis 41, wobei der Graben einen sich verjüngenden Graben mit der unteren Fläche in einem planaren Profil und der Seitenfläche in einem Winkel von mehr als 90 Grad bezüglich der planaren unteren Fläche geneigt beinhaltet.

43. Halbleitervorrichtung nach einem der Ansprüche 39 bis 41 oder nach Anspruch 42, wie in einem der Ansprüche 39 bis 41 dargelegt, wobei die Schottky-Elektrode so ausgebildet ist, dass die Schottky-Elektrode in dem Graben eingebettet ist, und wobei der Relaxierteil des elektrischen Felds einen Kontaktteil aufweist, der einen Ohm'schen Übergang mit der Schottky-Elektrode an der unteren Fläche des Grabens bildet.

44. Halbleitervorrichtung nach einem der Ansprüche 38 bis 43, wobei das Basisgebiet ein Basisdriftgebiet mit einer ersten Störstellenkonzentration und ein auf dem Basisdriftgebiet ausgebildetes Driftgebiet mit niedrigem Widerstand mit einer zweiten Störstellenkonzentration, die im Verhältnis höher als die erste Störstellenkonzentration ist, aufweist, und wobei der Graben so ausgebildet ist, dass sein tiefster Teil das Driftgebiet mit niedrigem Widerstand erreicht.

45. Halbleitervorrichtung nach Anspruch 44, wobei die erste Störstellenkonzentration des Basisdriftgebiets von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Halbleiterschicht abnimmt.

46. Halbleitervorrichtung nach Anspruch 44 oder 45, wobei die zweite Störstellenkonzentration des Driftgebiets mit niedrigem Widerstand von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Halbleiterschicht gleichbleibend ist.

47. Halbleitervorrichtung nach Anspruch 44 oder 45, wobei die zweite Störstellenkonzentration des Driftgebiets mit niedrigem Widerstand von der zweiten Oberfläche zu der ersten Oberfläche der SiC-Halbleiterschicht abnimmt.

48. Halbleitervorrichtung nach einem der Ansprüche 44 bis 47, wobei das Basisgebiet ferner ein Oberflächendriftgebiet, das auf dem Driftgebiet mit niedrigem Widerstand ausgebildet ist und eine dritte Störstellenkonzentration aufweist, die im Verhältnis geringer als die zweite Störstellenkonzentration ist, aufweist.

49. Halbleitervorrichtung nach einem der Ansprüche 19 bis 48, wobei der SiC-IGBT einen Planar-Gate-IGBT aufweist, der Folgendes aufweist:
einen Gate-Isolierfilm, der auf der ersten Oberfläche der SiC-Halbleiterschicht ausgebildet ist; und
eine Gate-Elektrode, die so auf dem Gate-Isolierfilm ausgebildet ist, dass die Gate-Elektrode dem Kanalgebiet mit dem Gate-Isolierfilm dazwischen gegenüberliegt.

50. Halbleitervorrichtung nach einem der Ansprüche 19 bis 49, wobei der SiC-IGBT einen IGBT vom Graben-Gate-Typ aufweist, der Folgendes aufweist:
einen Gate-Graben, der sich von der ersten Oberfläche der SiC-Halbleiterschicht durch das Emittergebiet und das Kanalgebiet erstreckt, um das Basisgebiet zu erreichen;
einen auf der Innenfläche des Gate-Grabens ausgebildeten Gate-Isolierfilm; und
eine auf der Innenseite des Gate-Isolierfilms in dem Gate-Graben ausgebildete Gate-Elektrode.

Es folgen 46 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

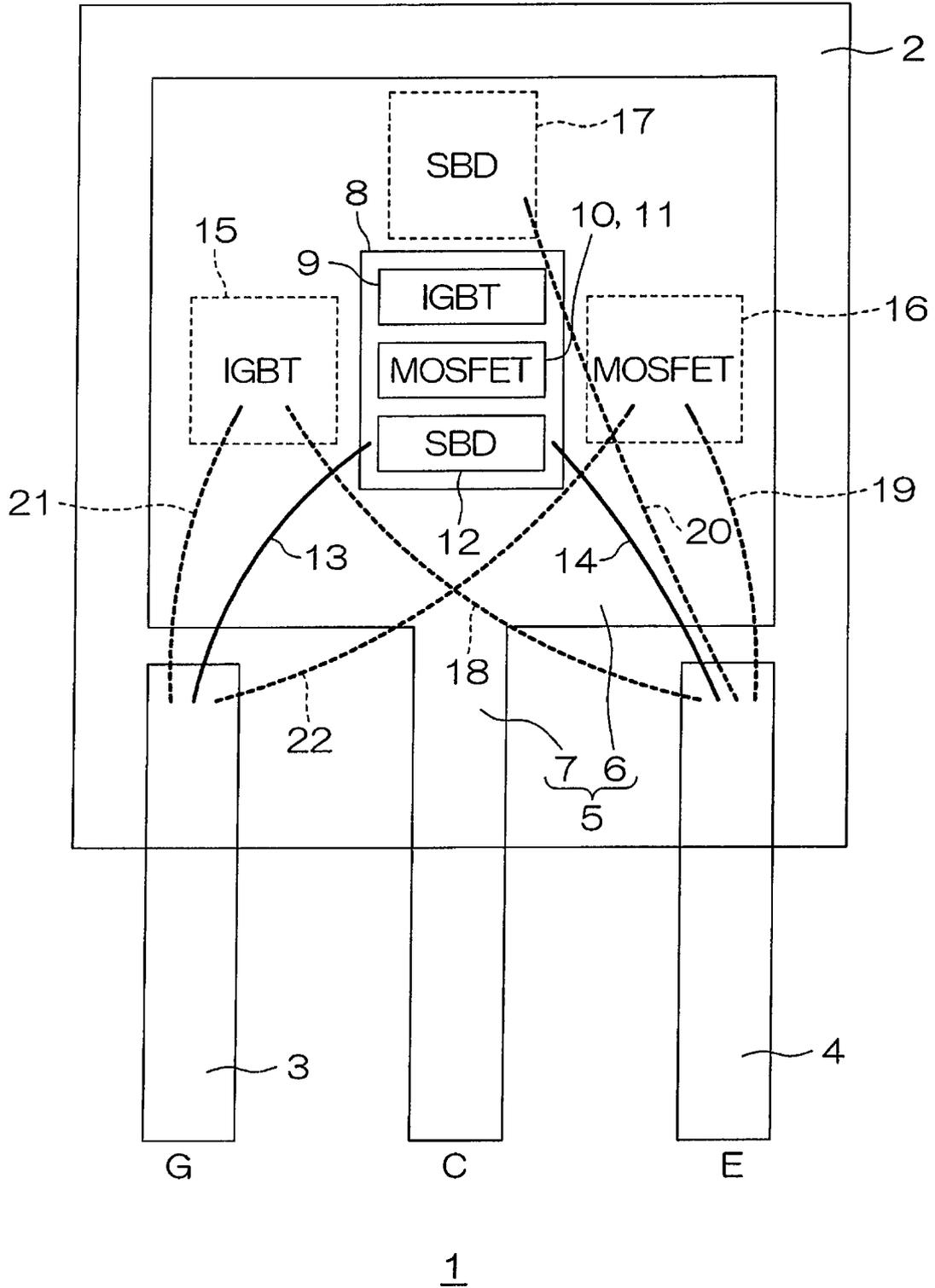


FIG. 2

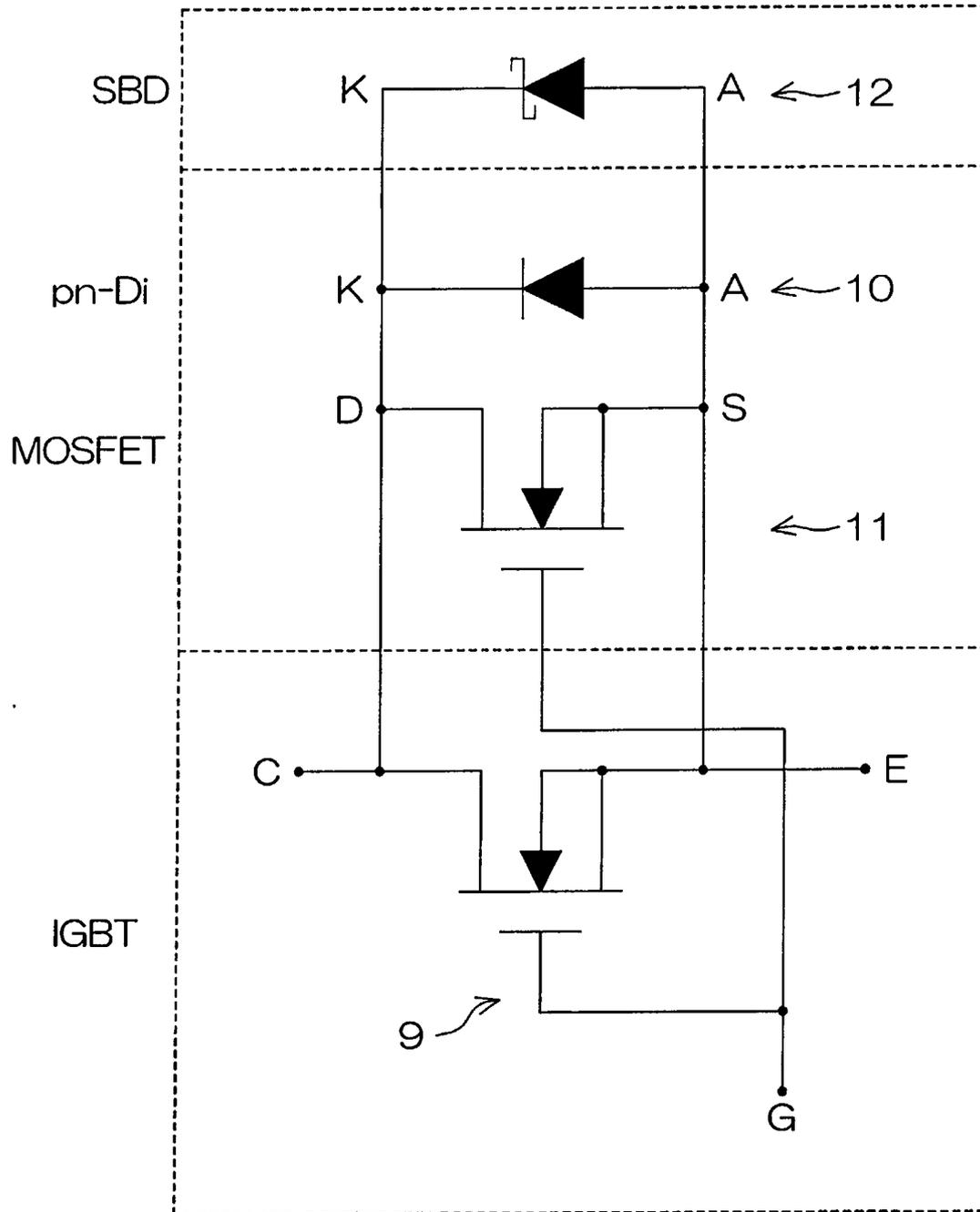


FIG. 3

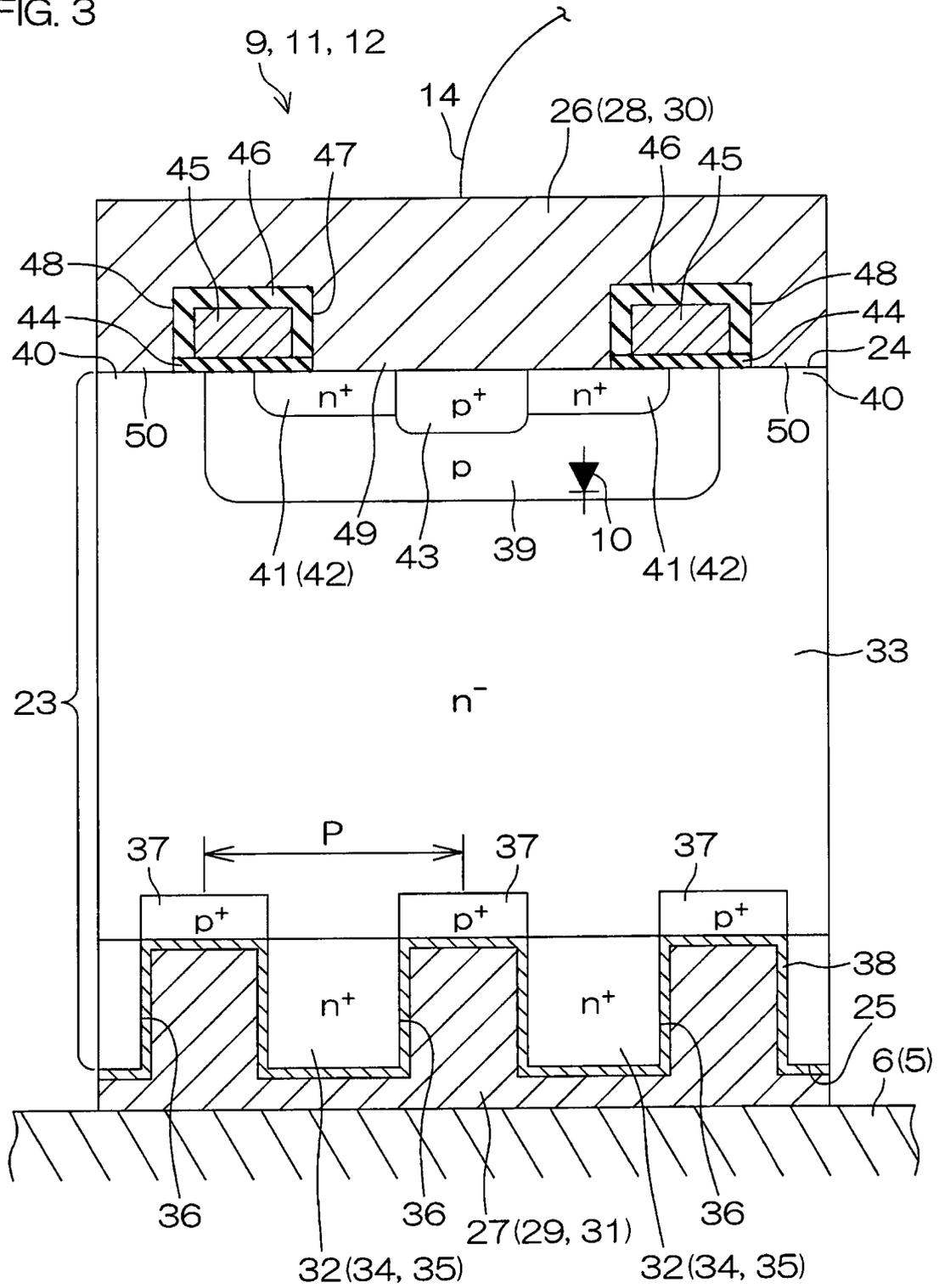


FIG. 4A

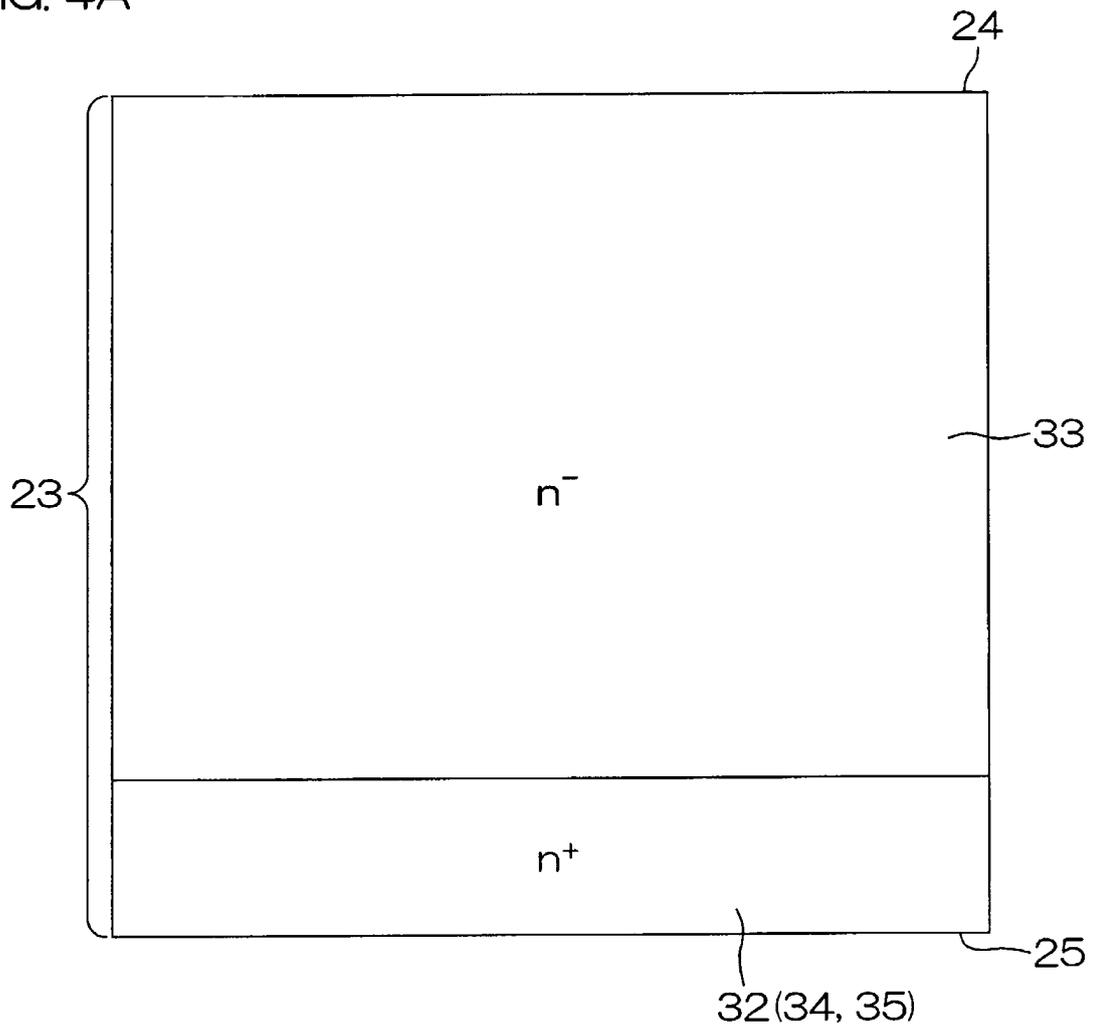


FIG. 4B

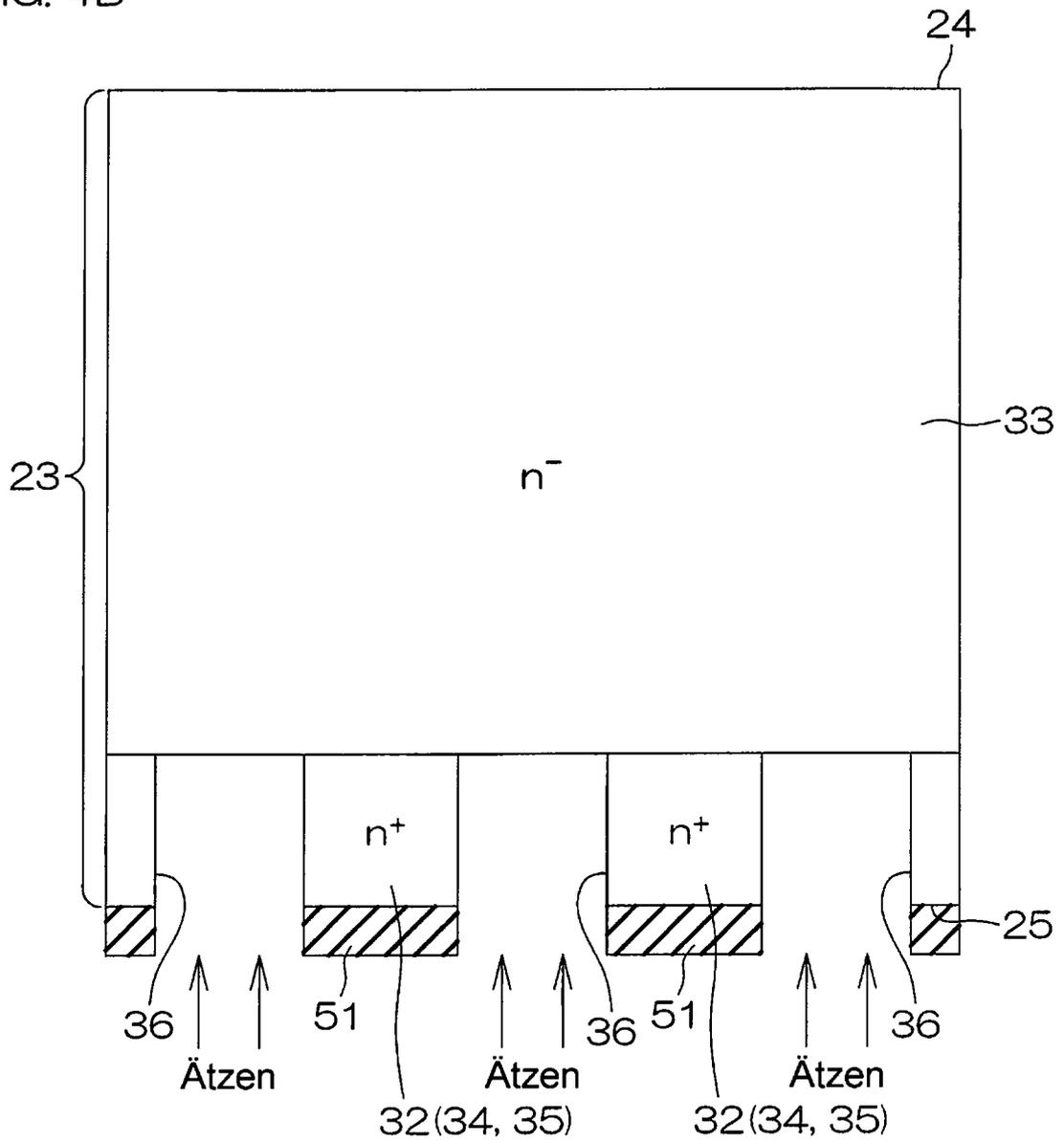


FIG. 4C

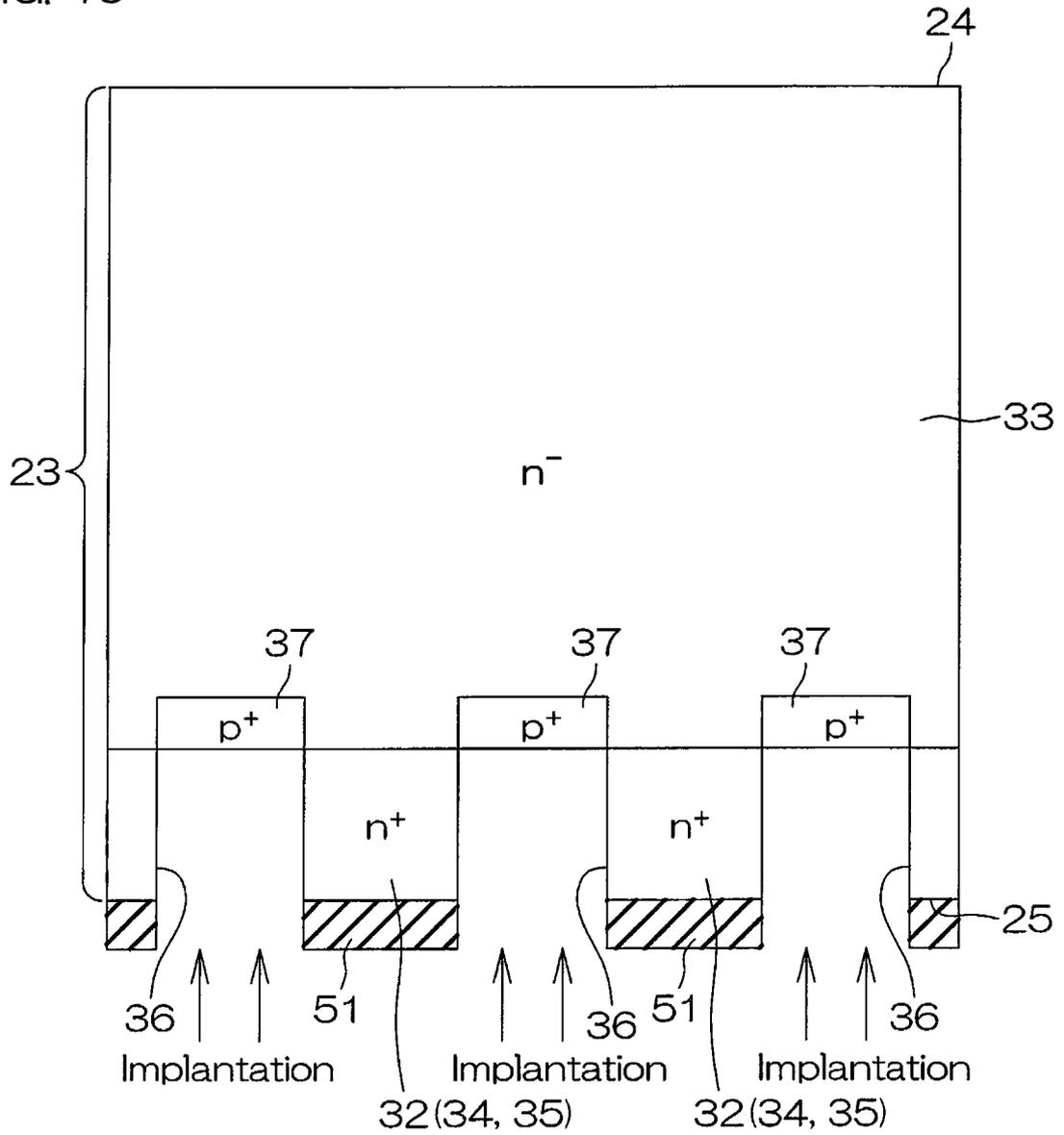


FIG. 4D

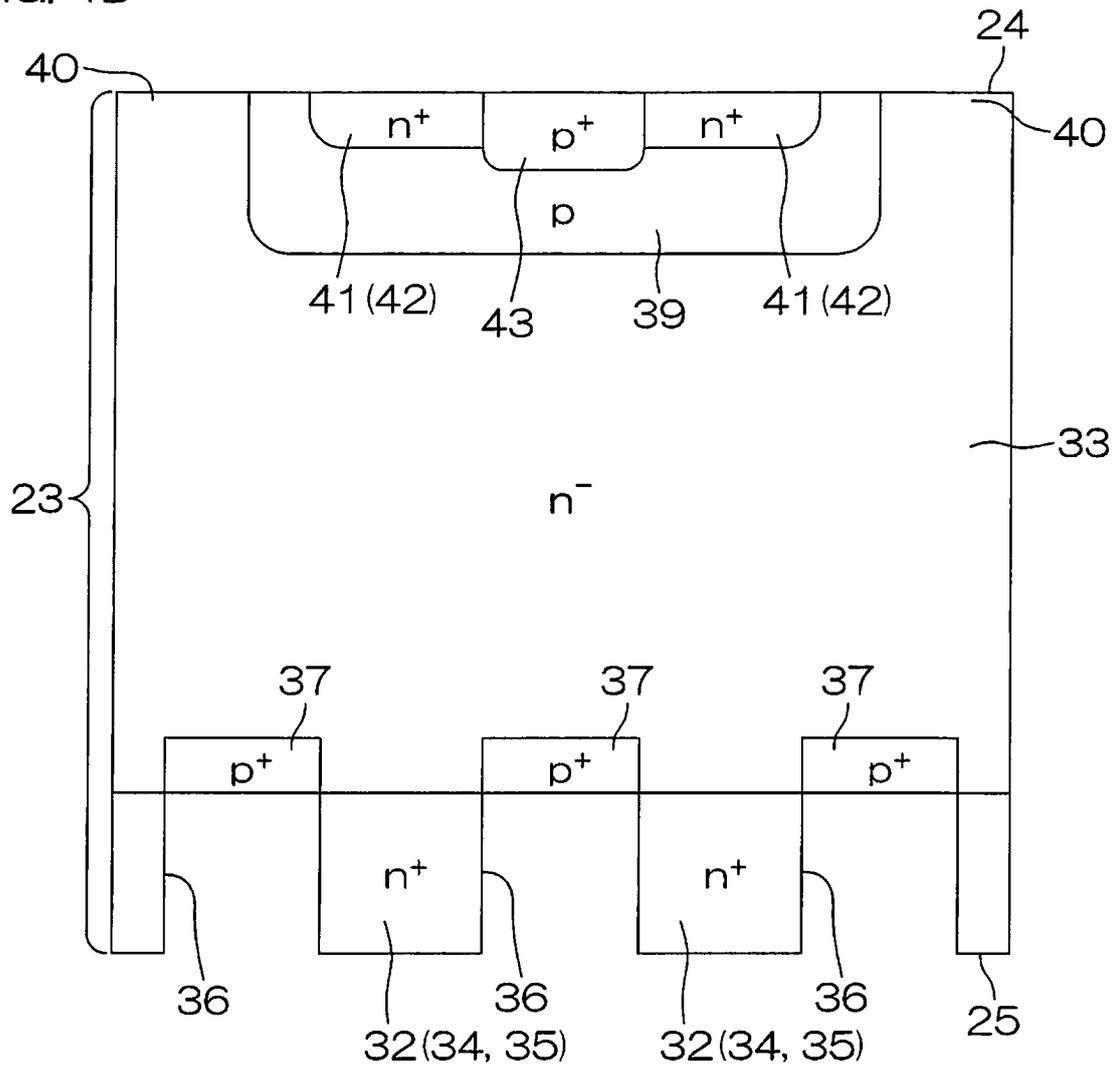


FIG. 4E

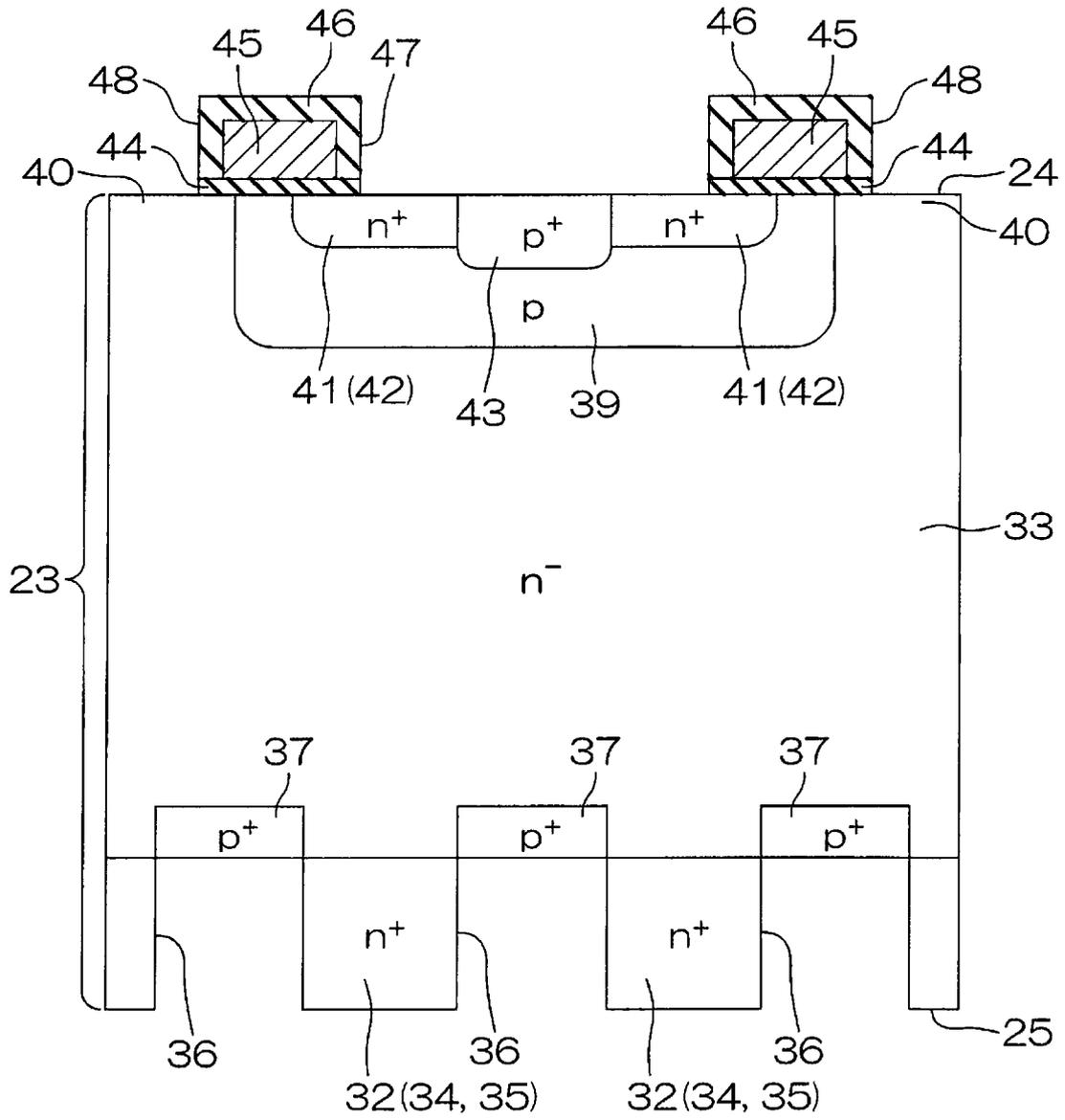
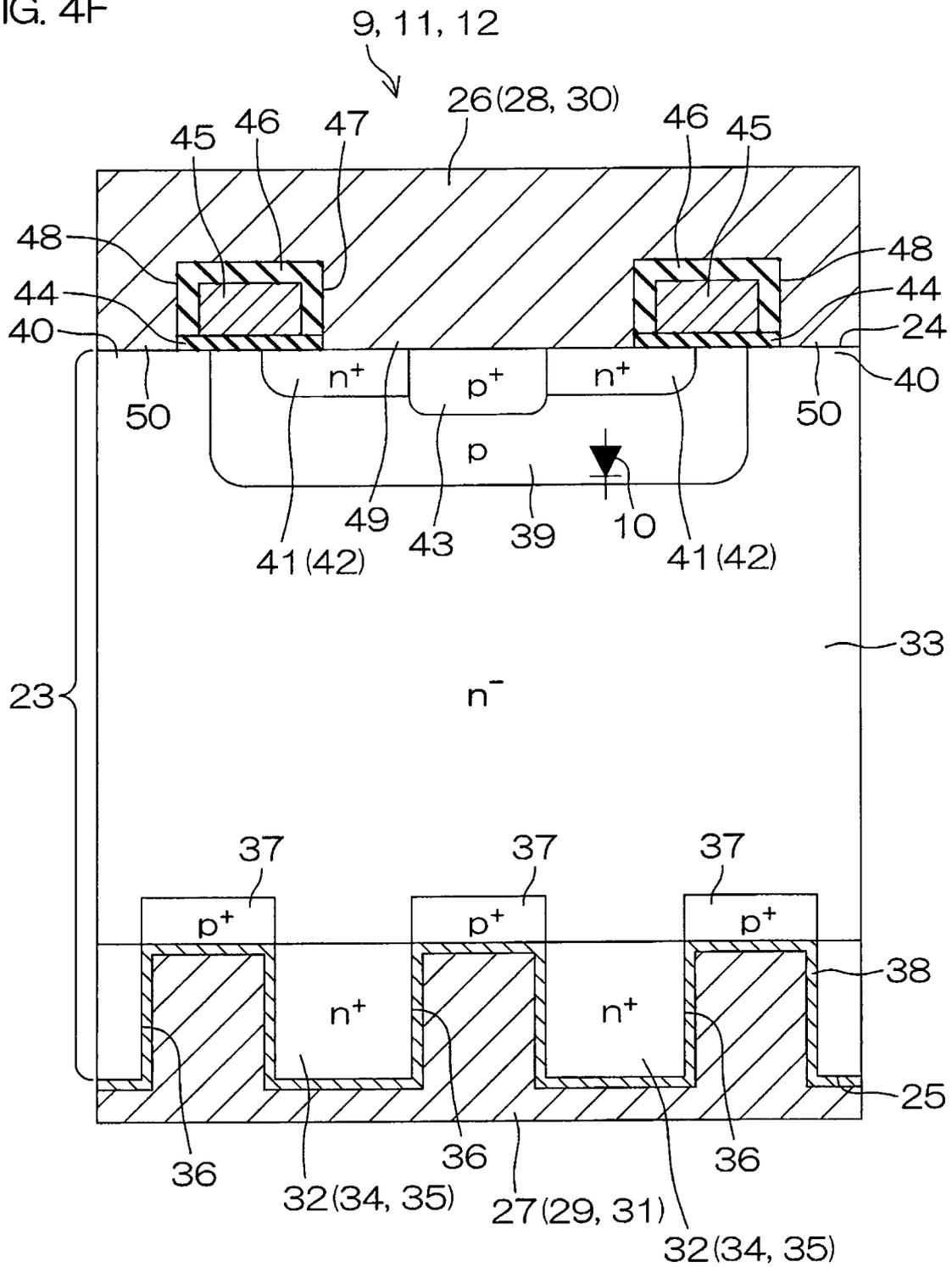


FIG. 4F



8

FIG. 5

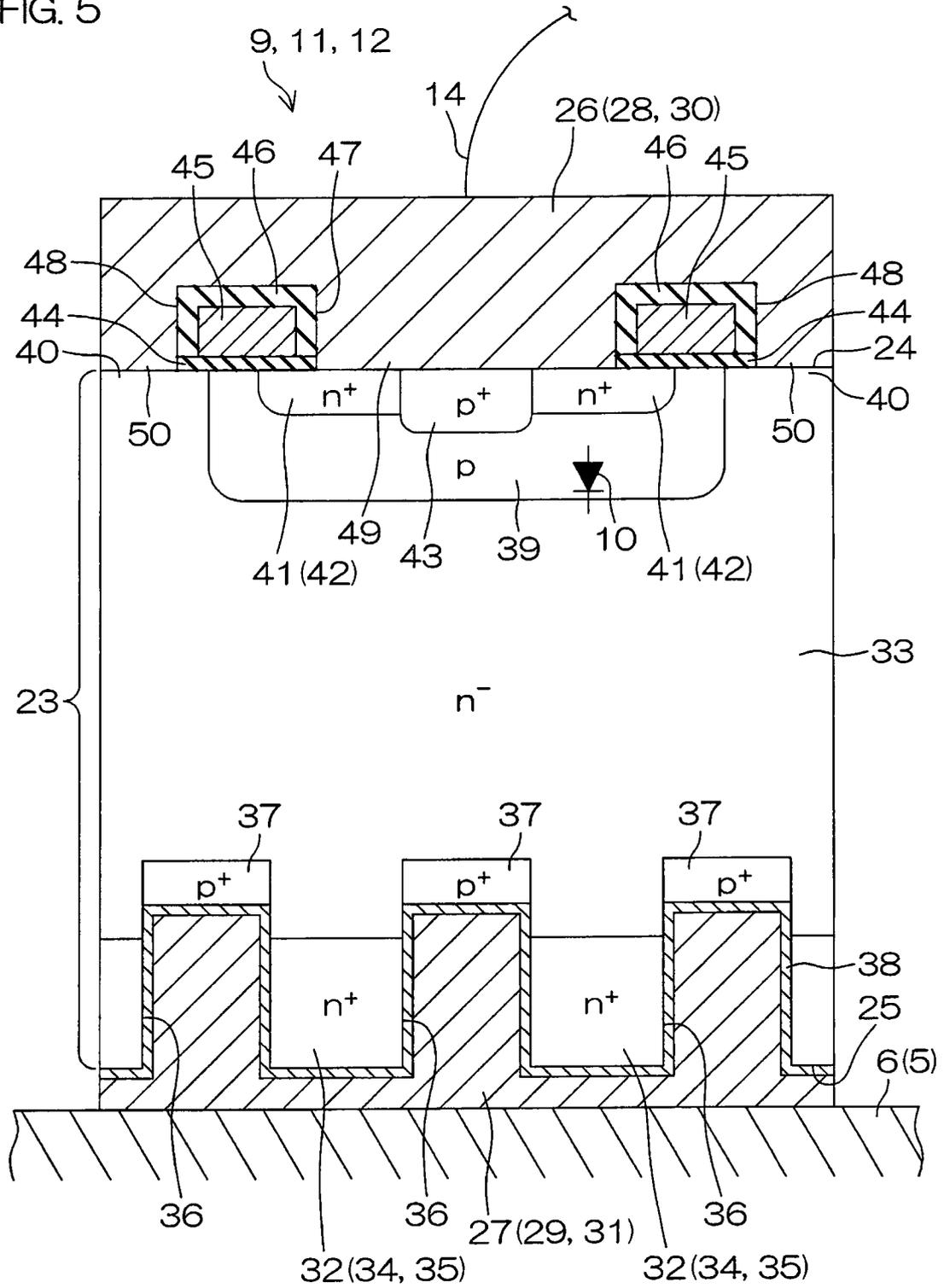


FIG. 6

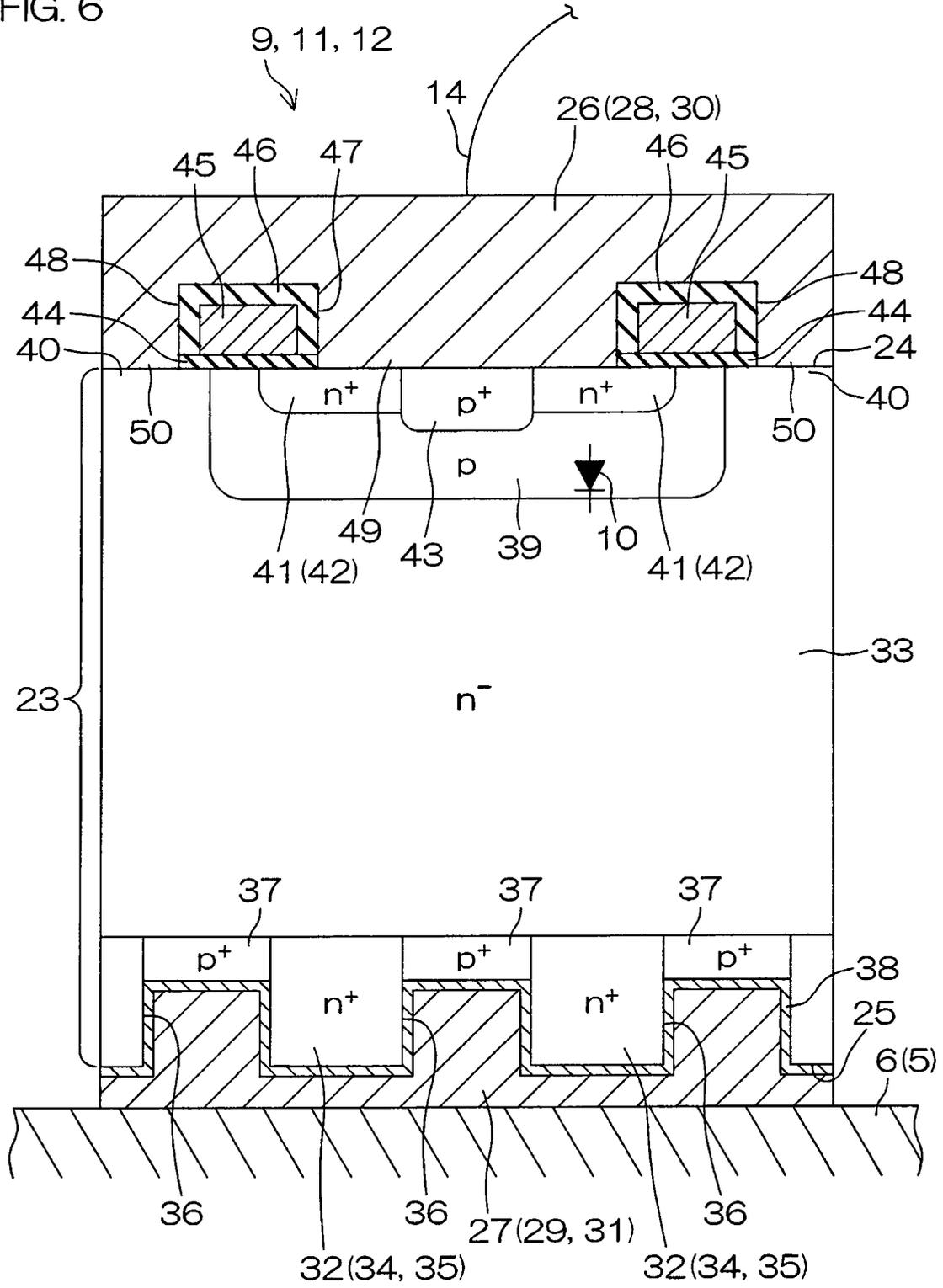
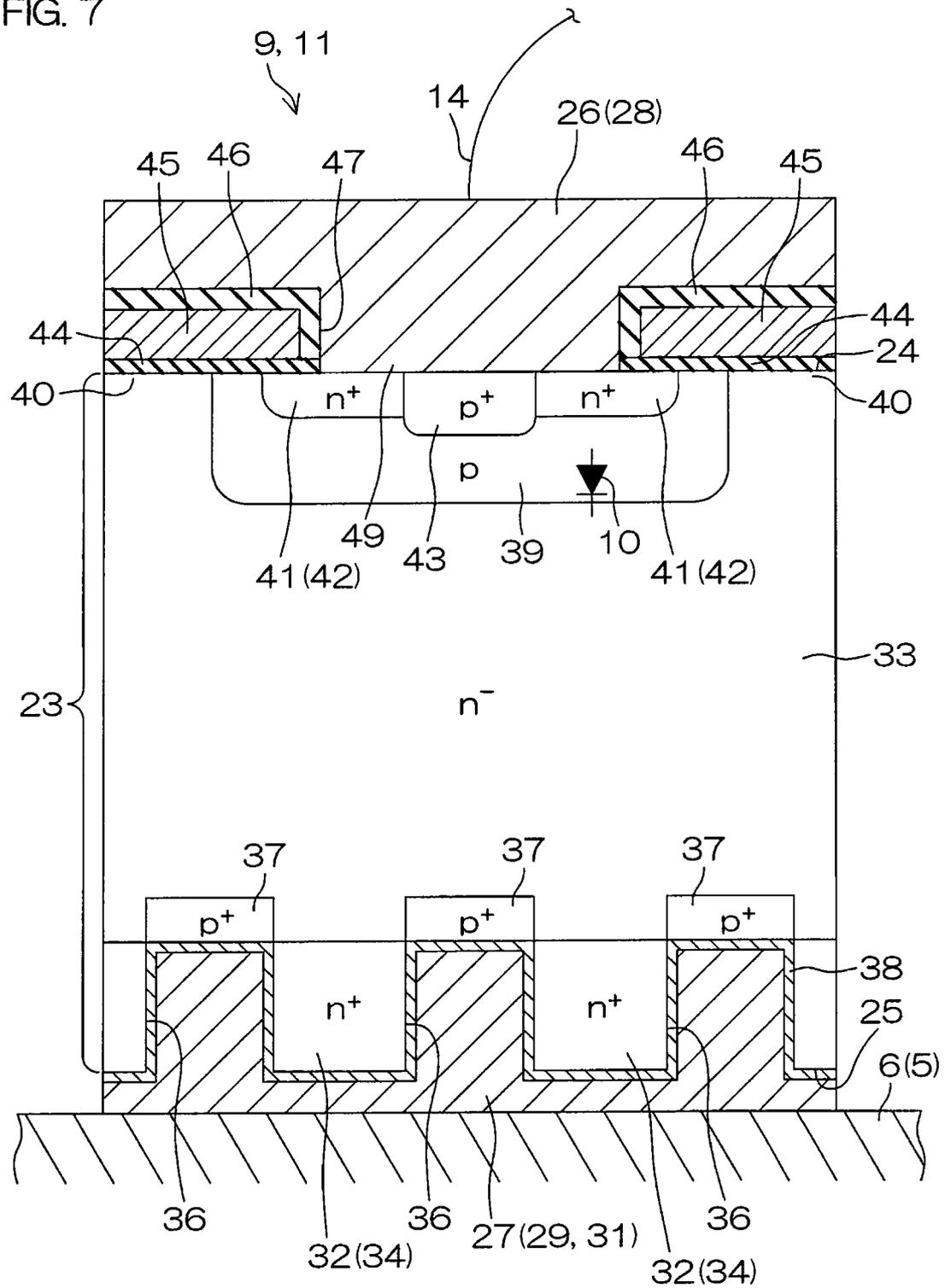


FIG. 7



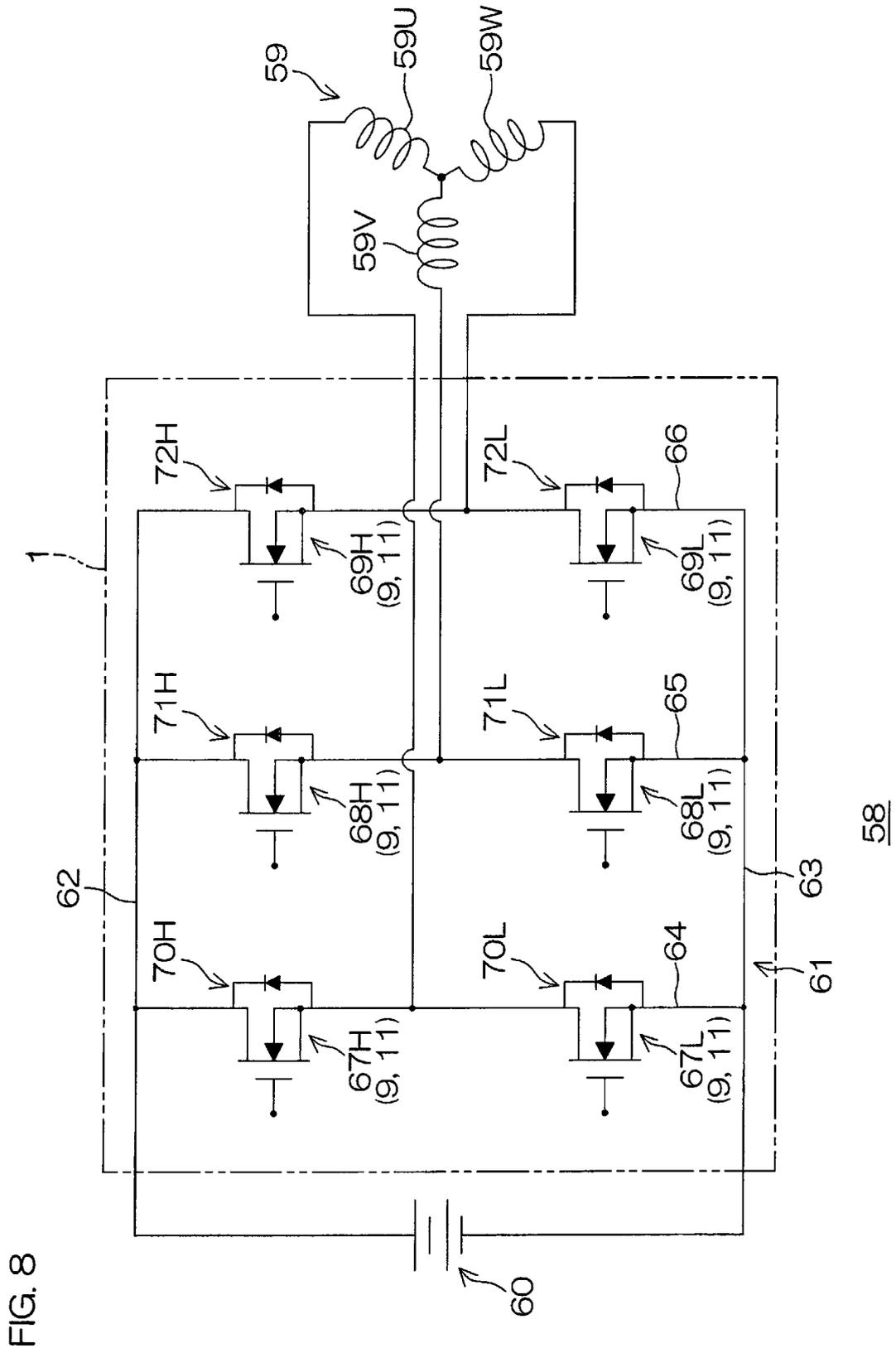
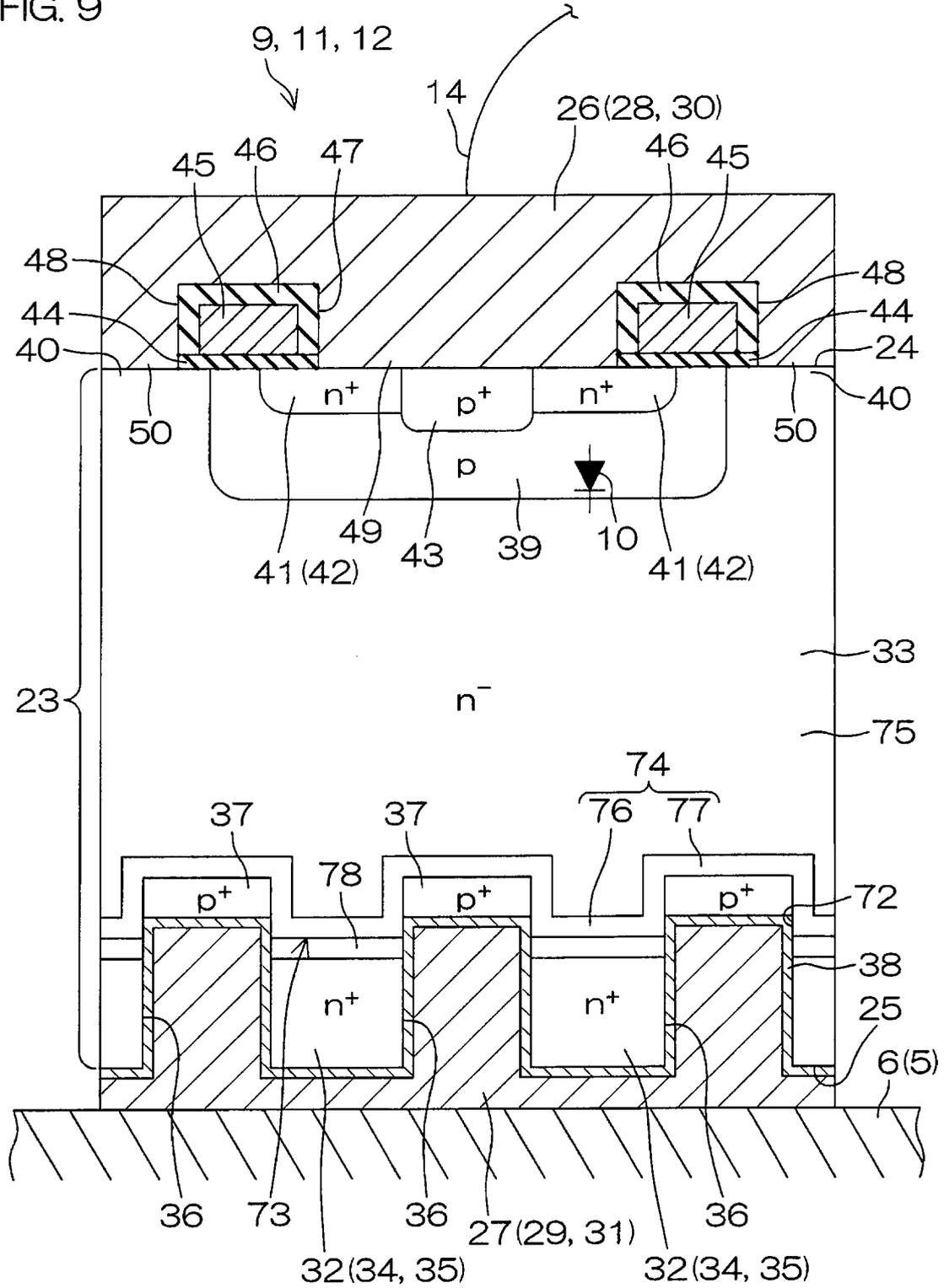


FIG. 9



71

FIG. 10A

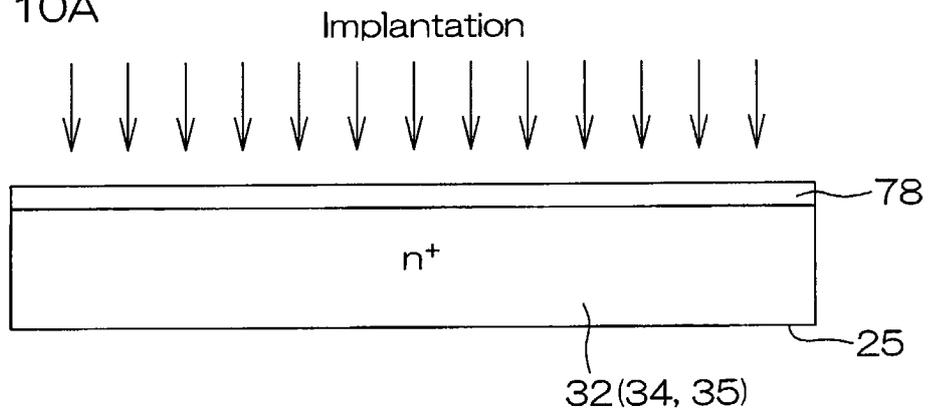


FIG. 10B

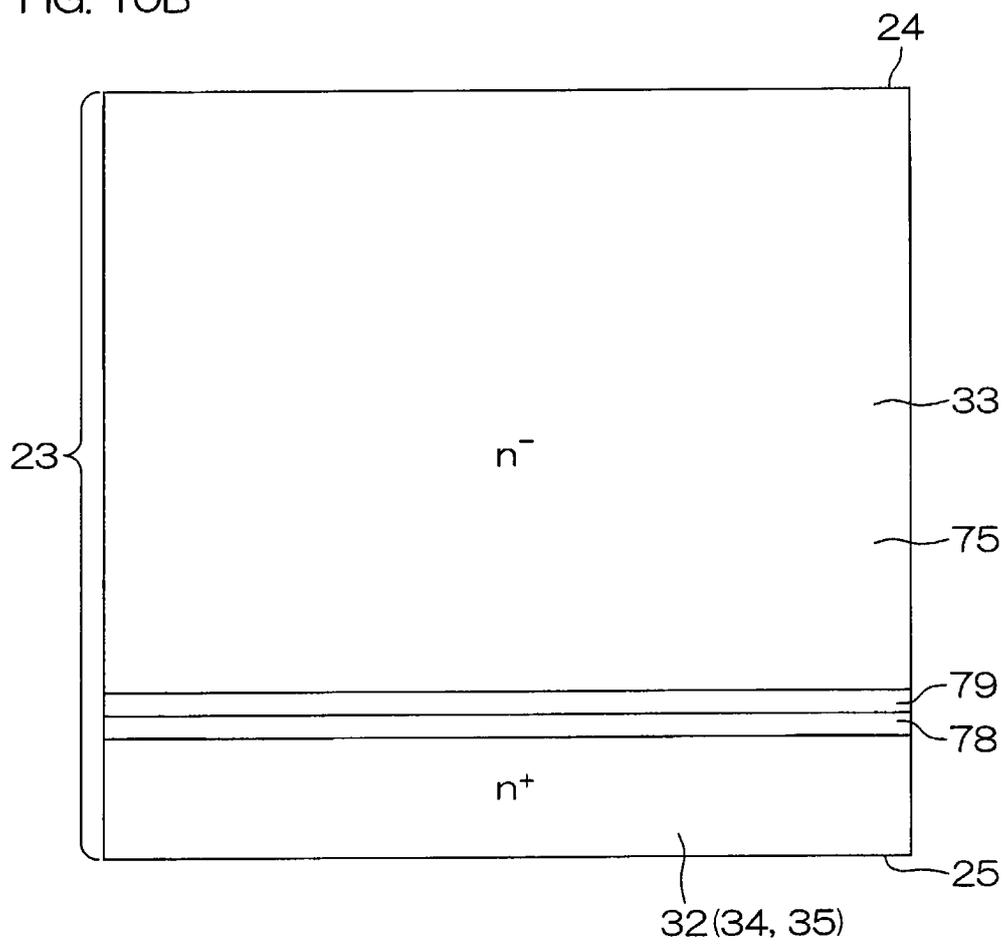


FIG. 10C

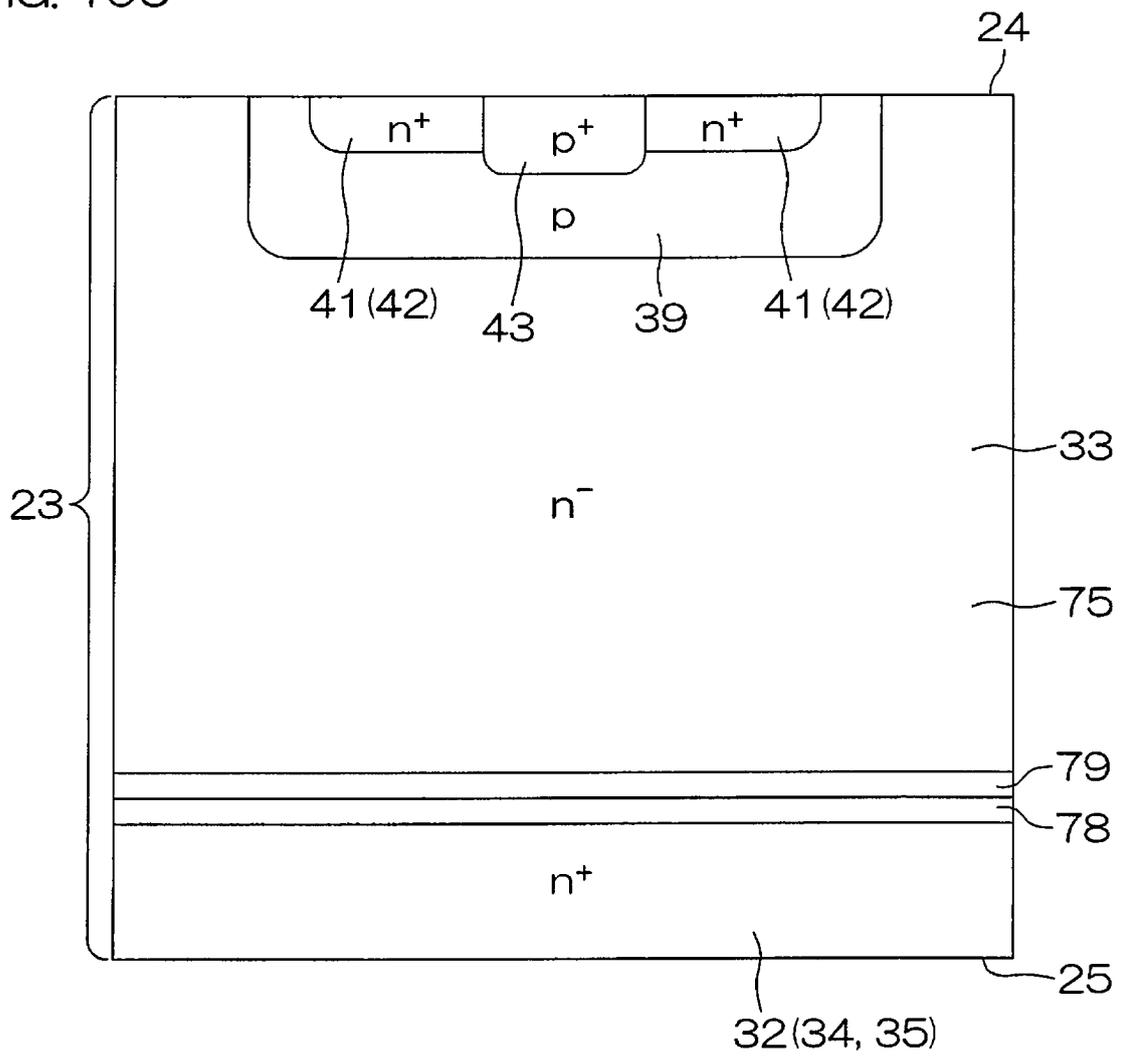


FIG. 10D

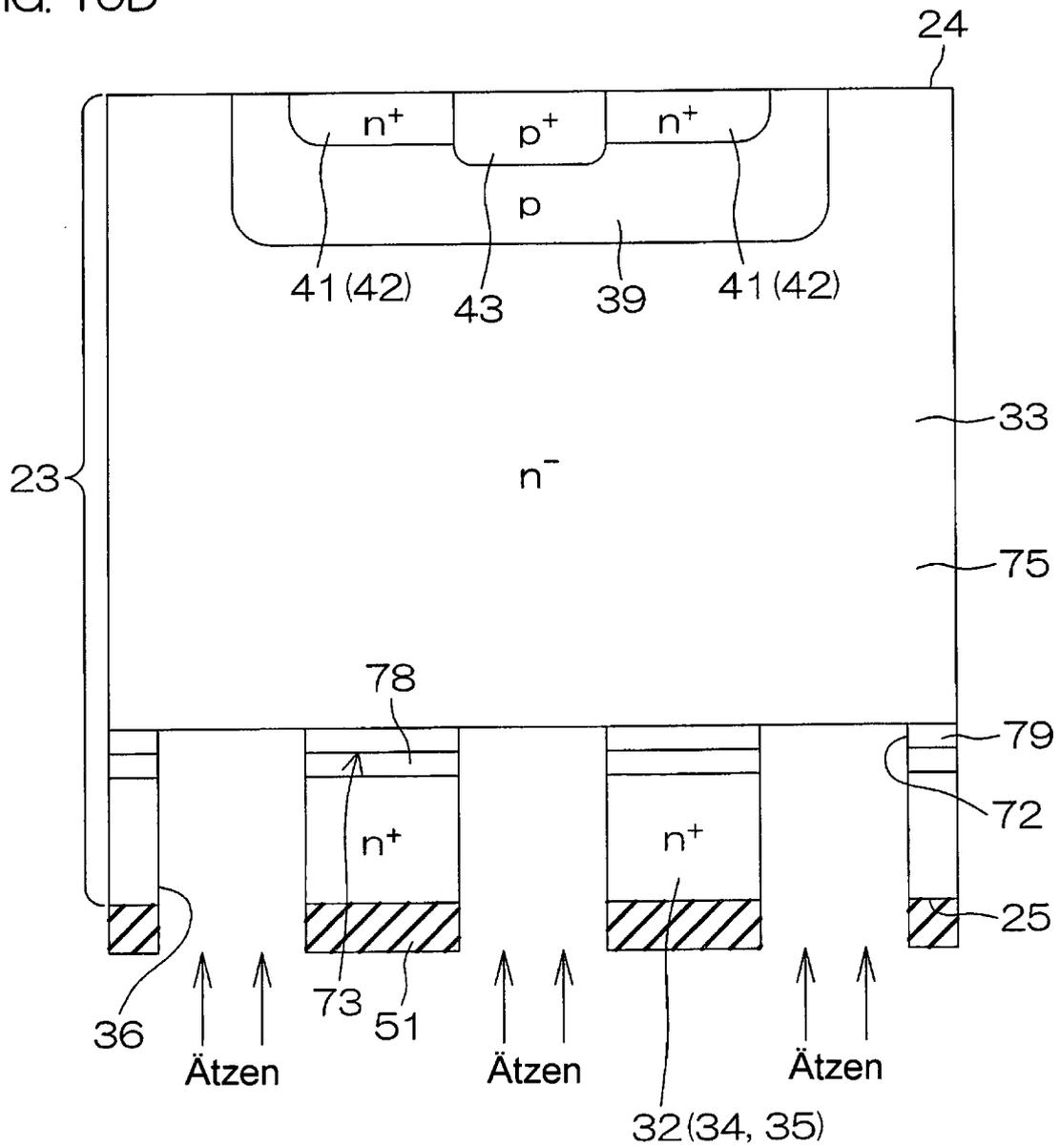


FIG. 10E

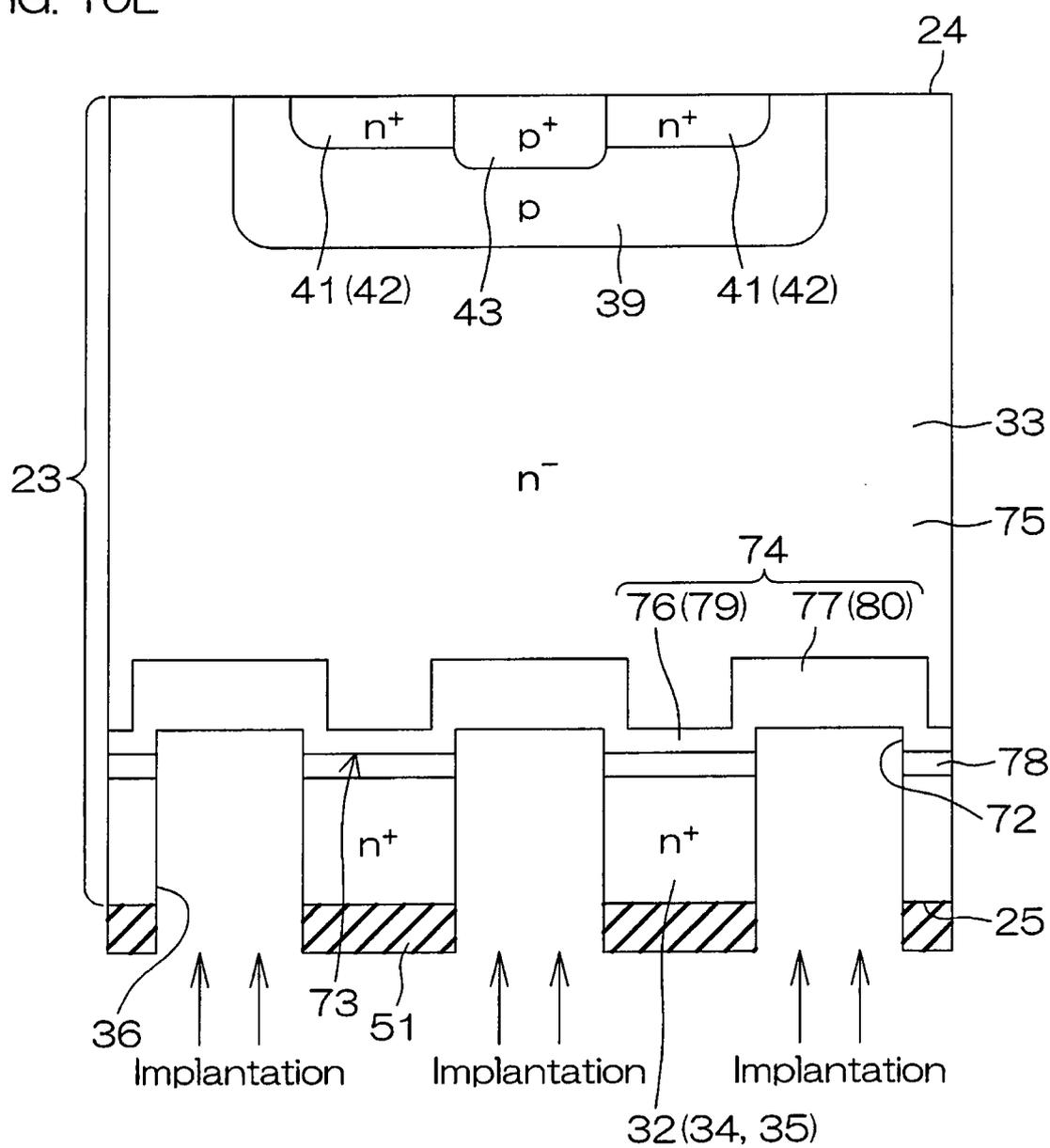


FIG. 10F

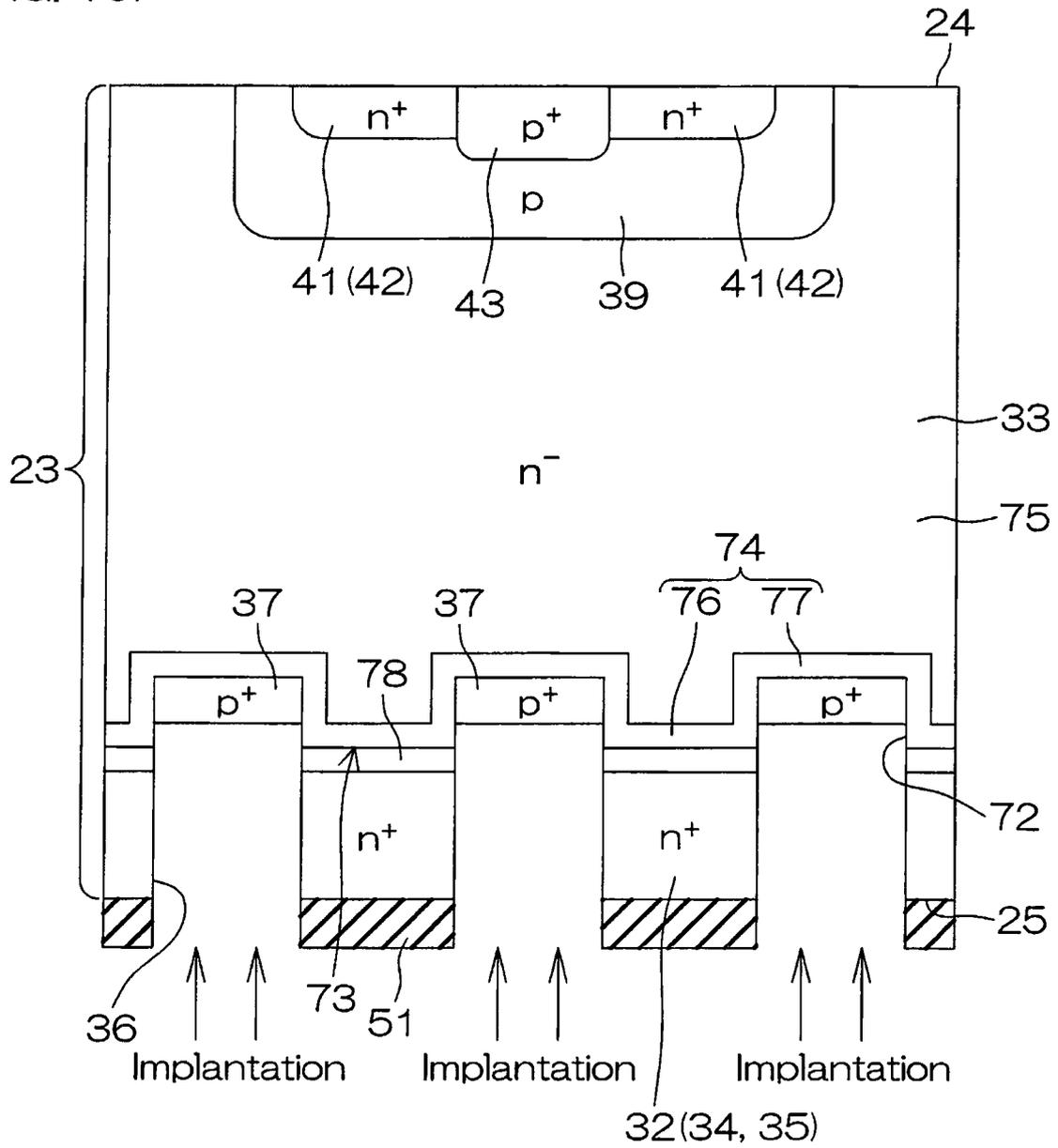


FIG. 10G

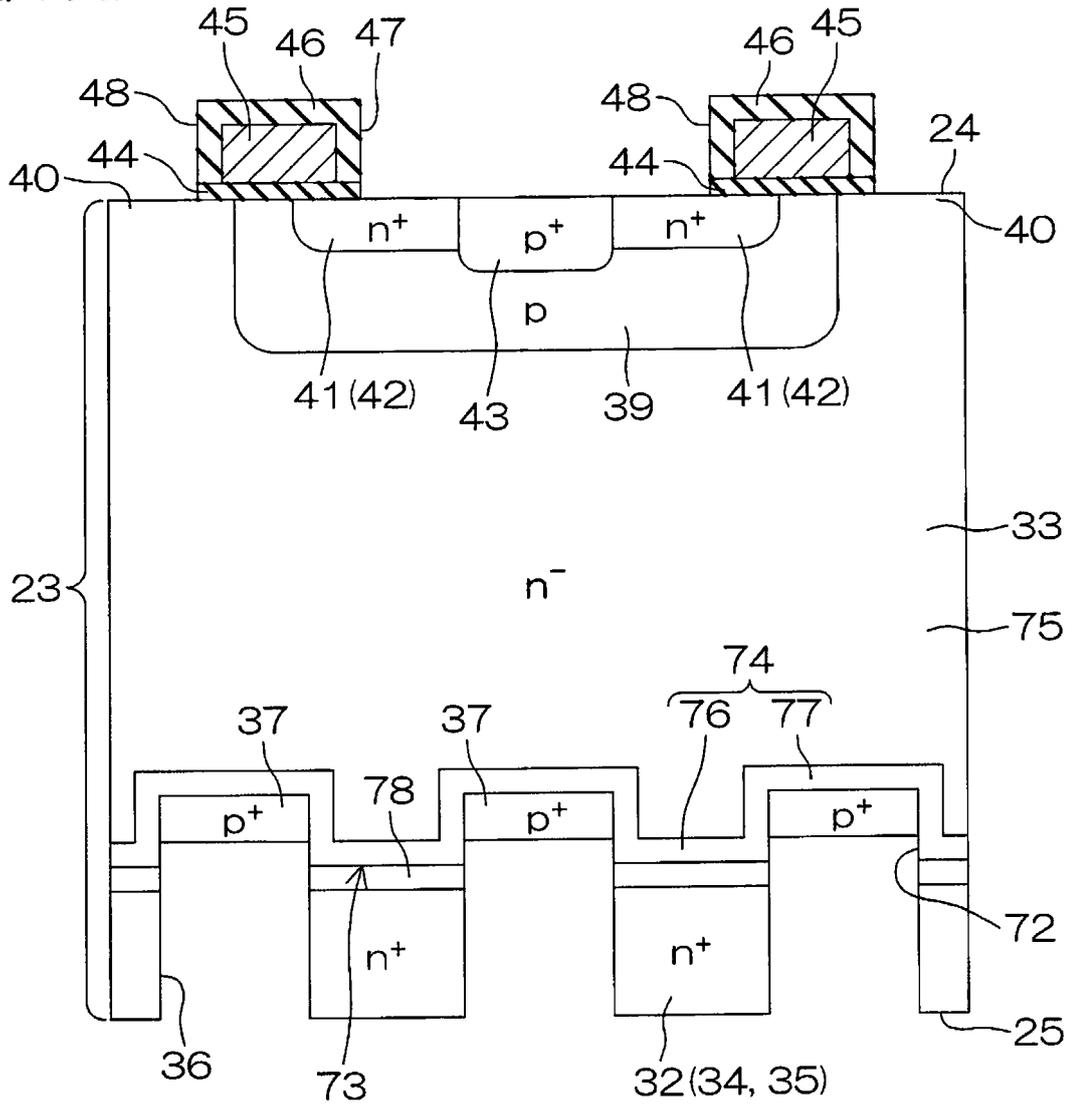
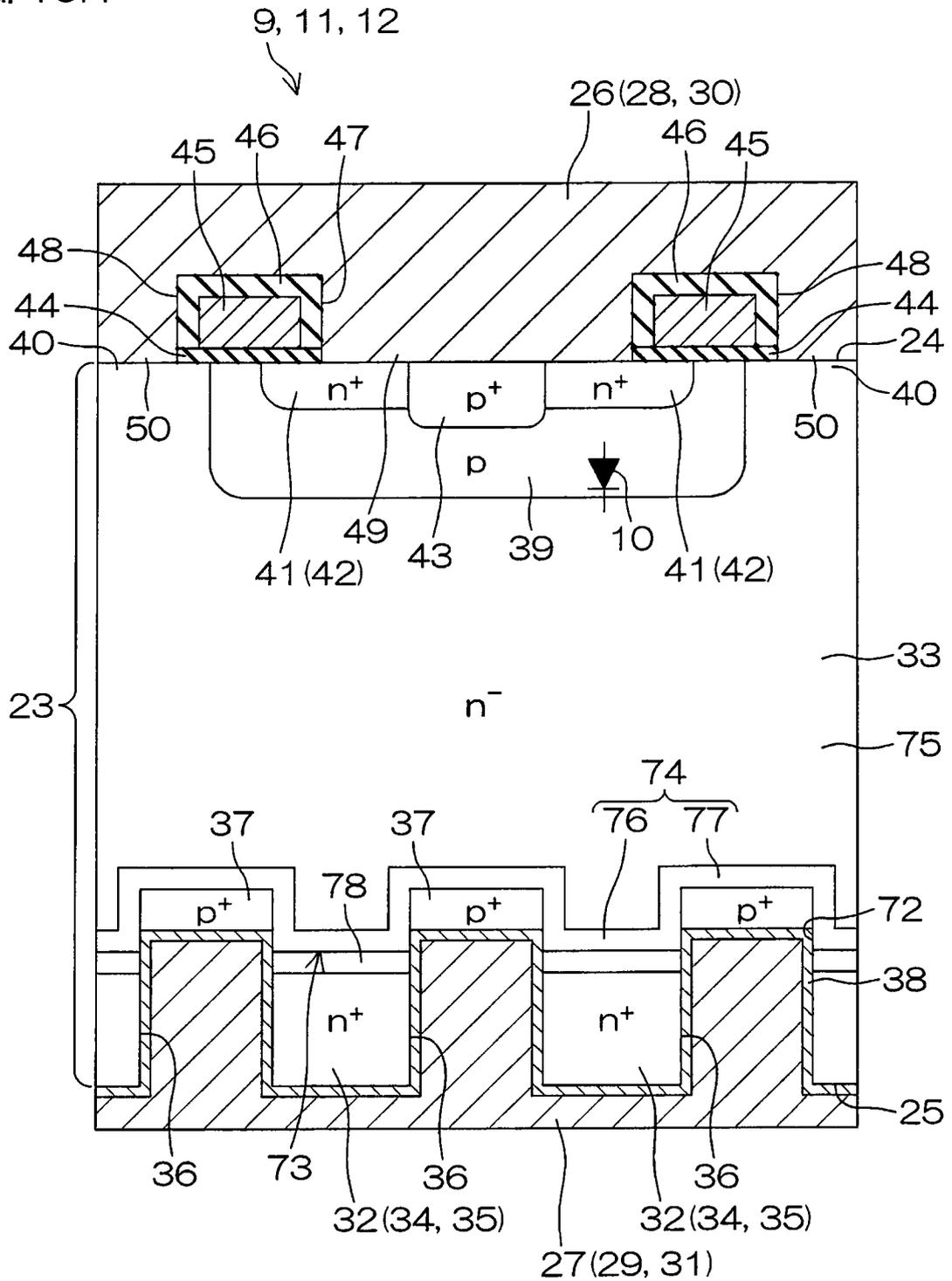


FIG. 10H



71

FIG. 11

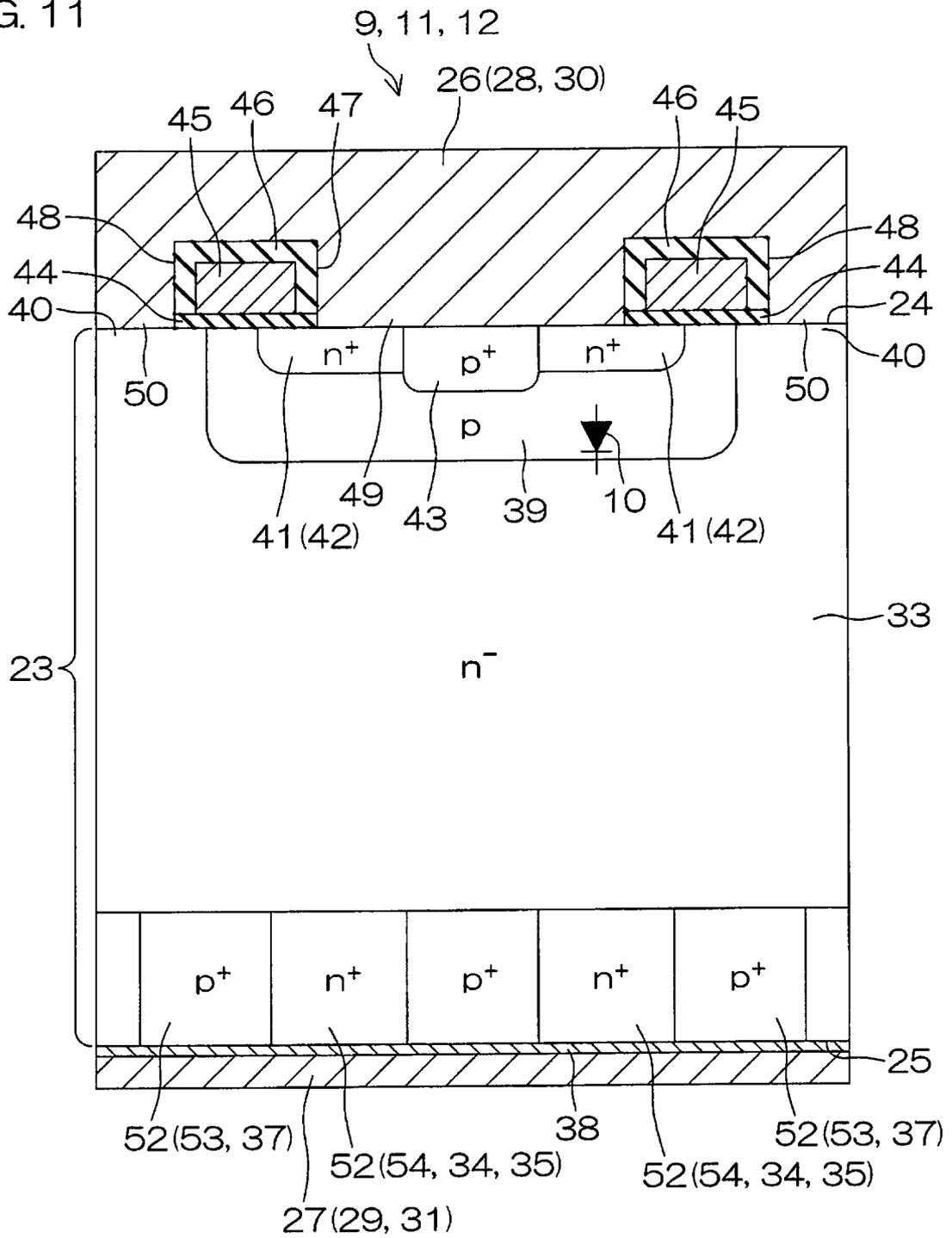


FIG. 12

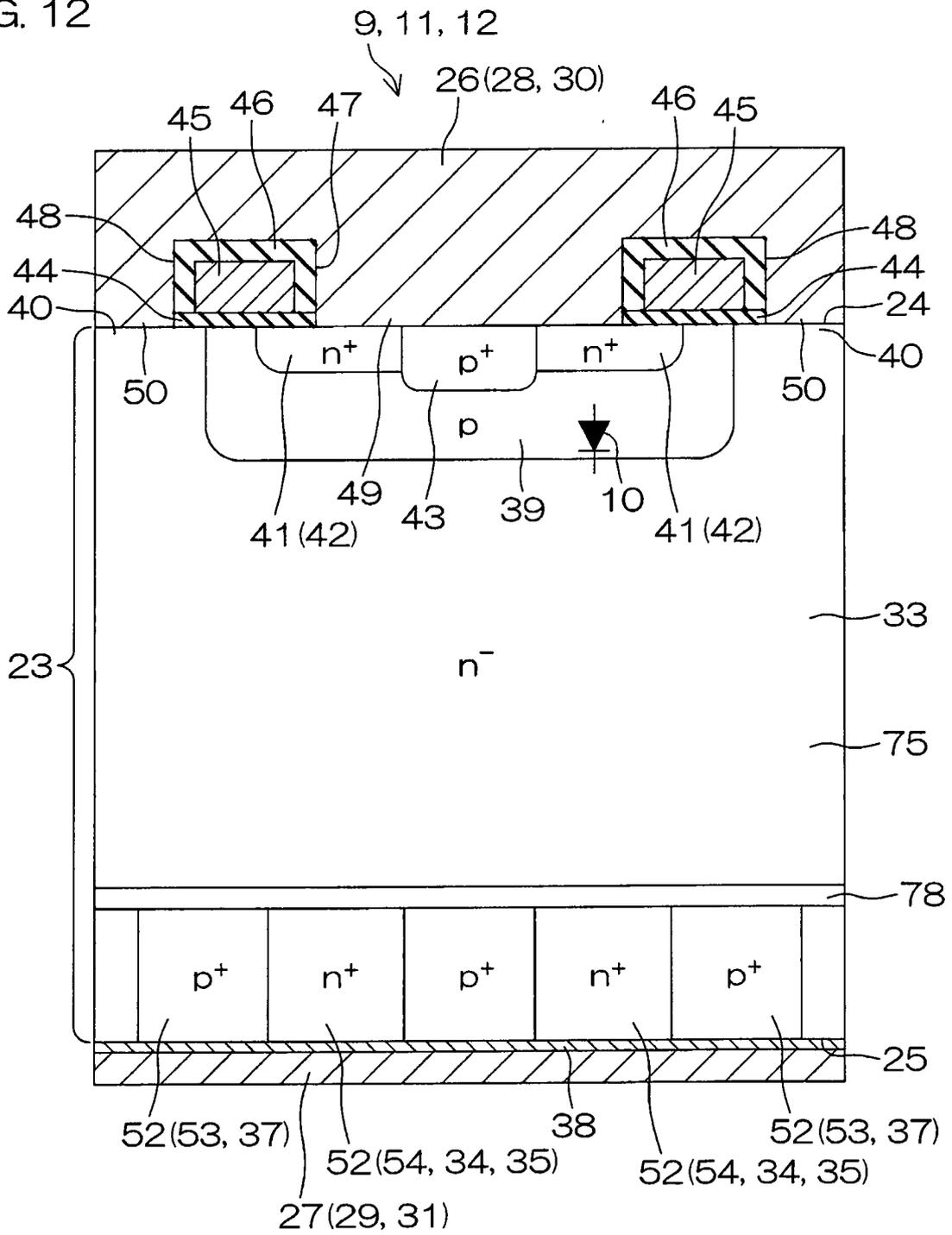


FIG. 13

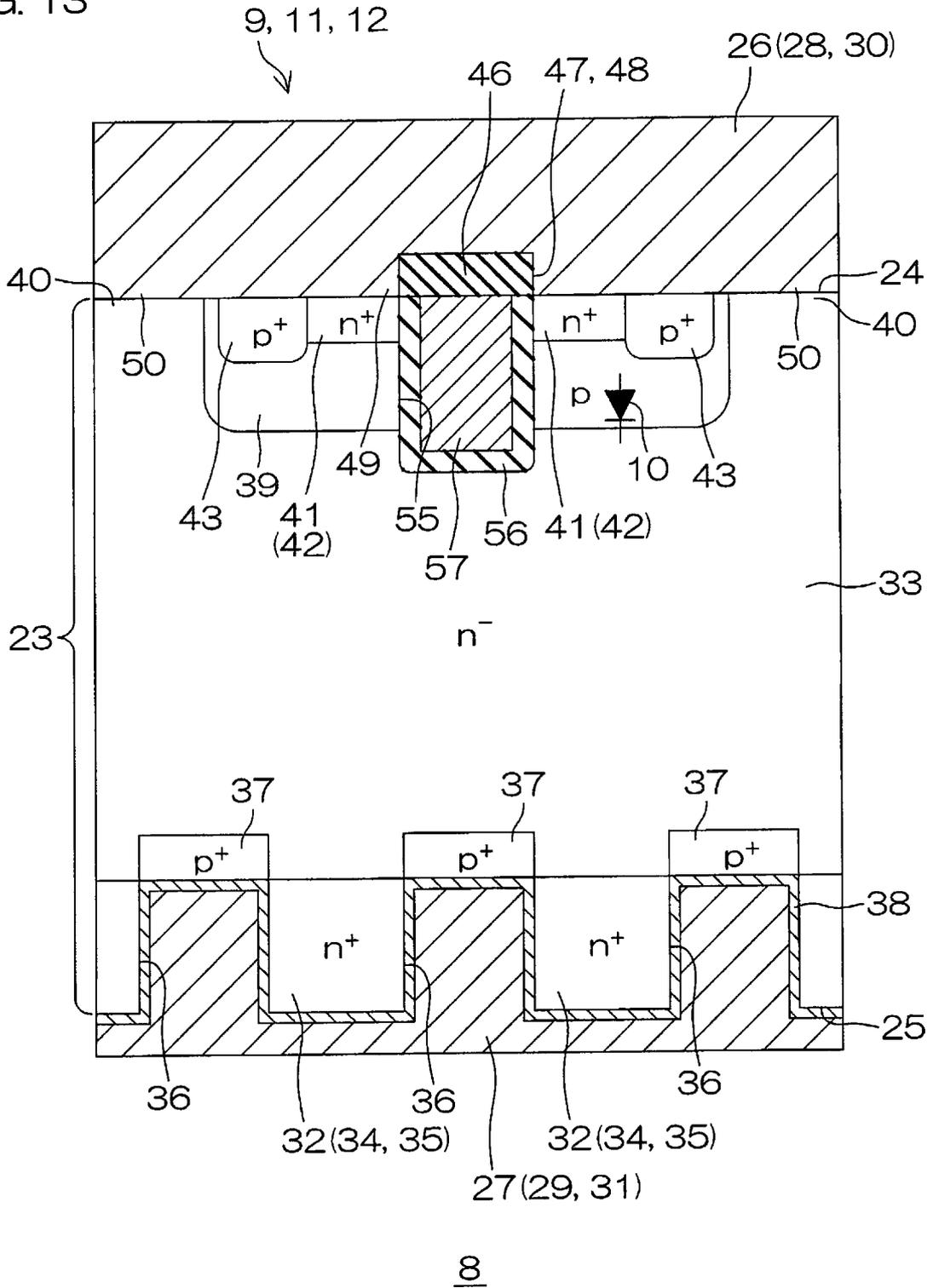


FIG. 14

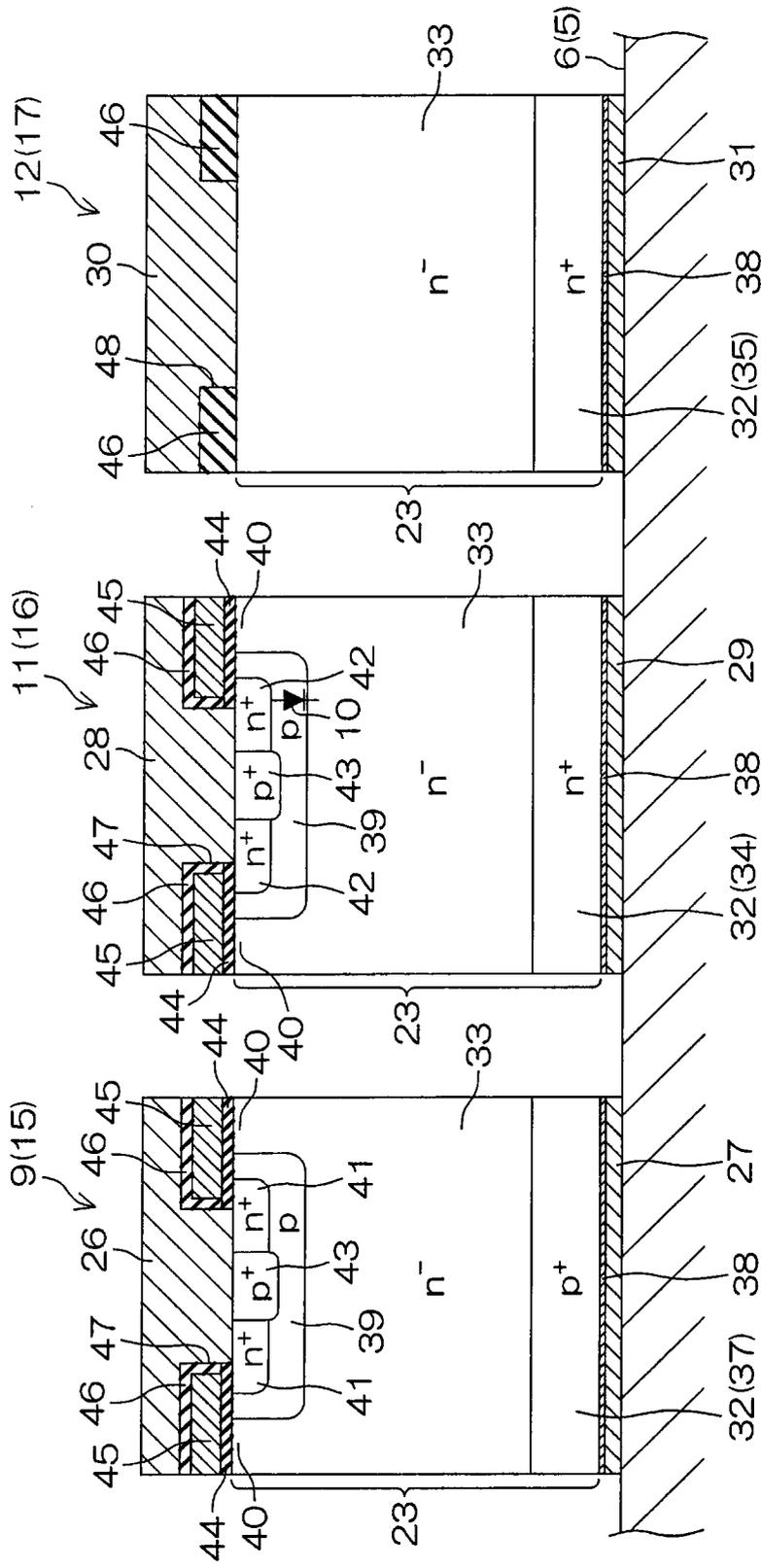


FIG. 15

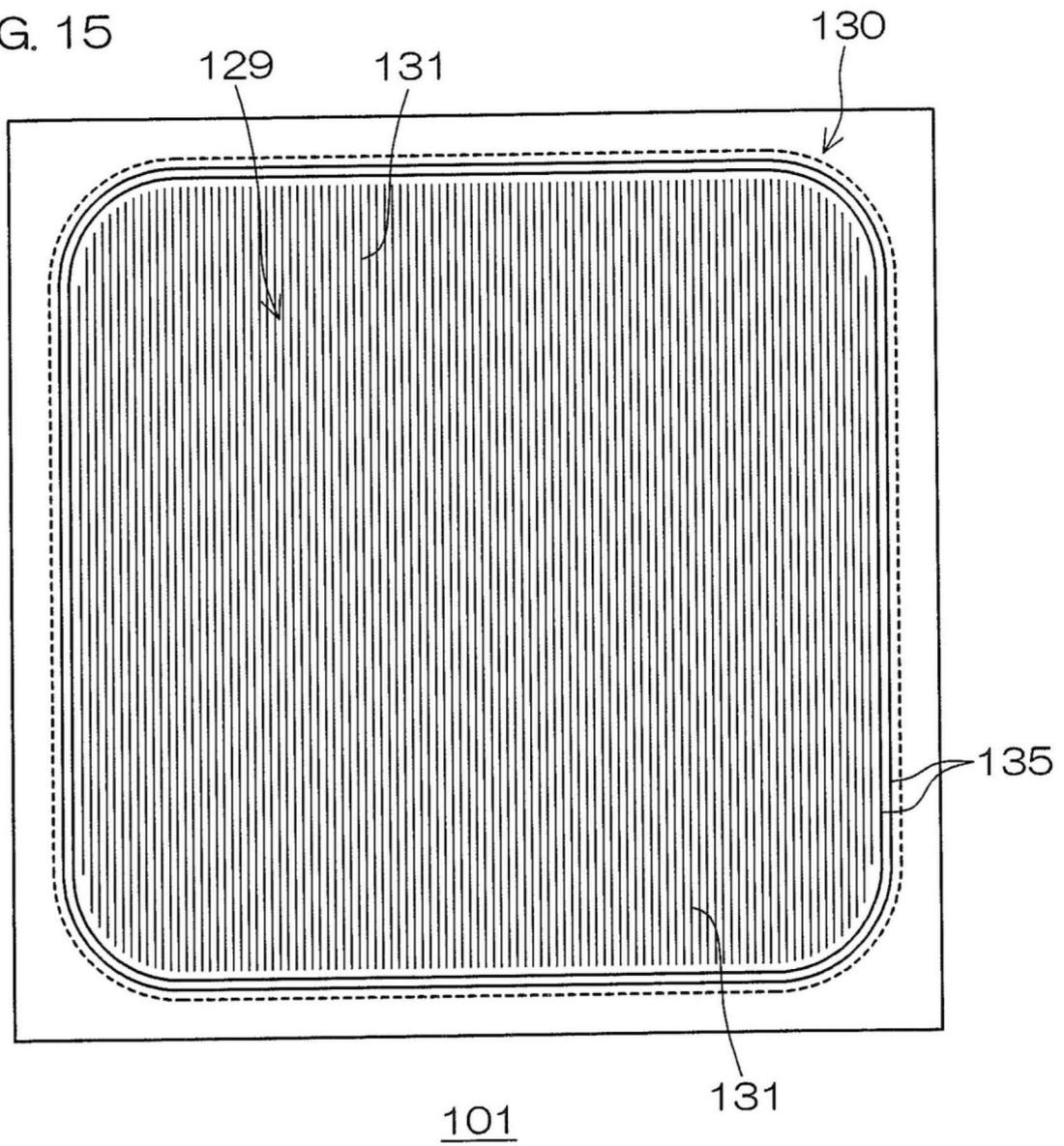
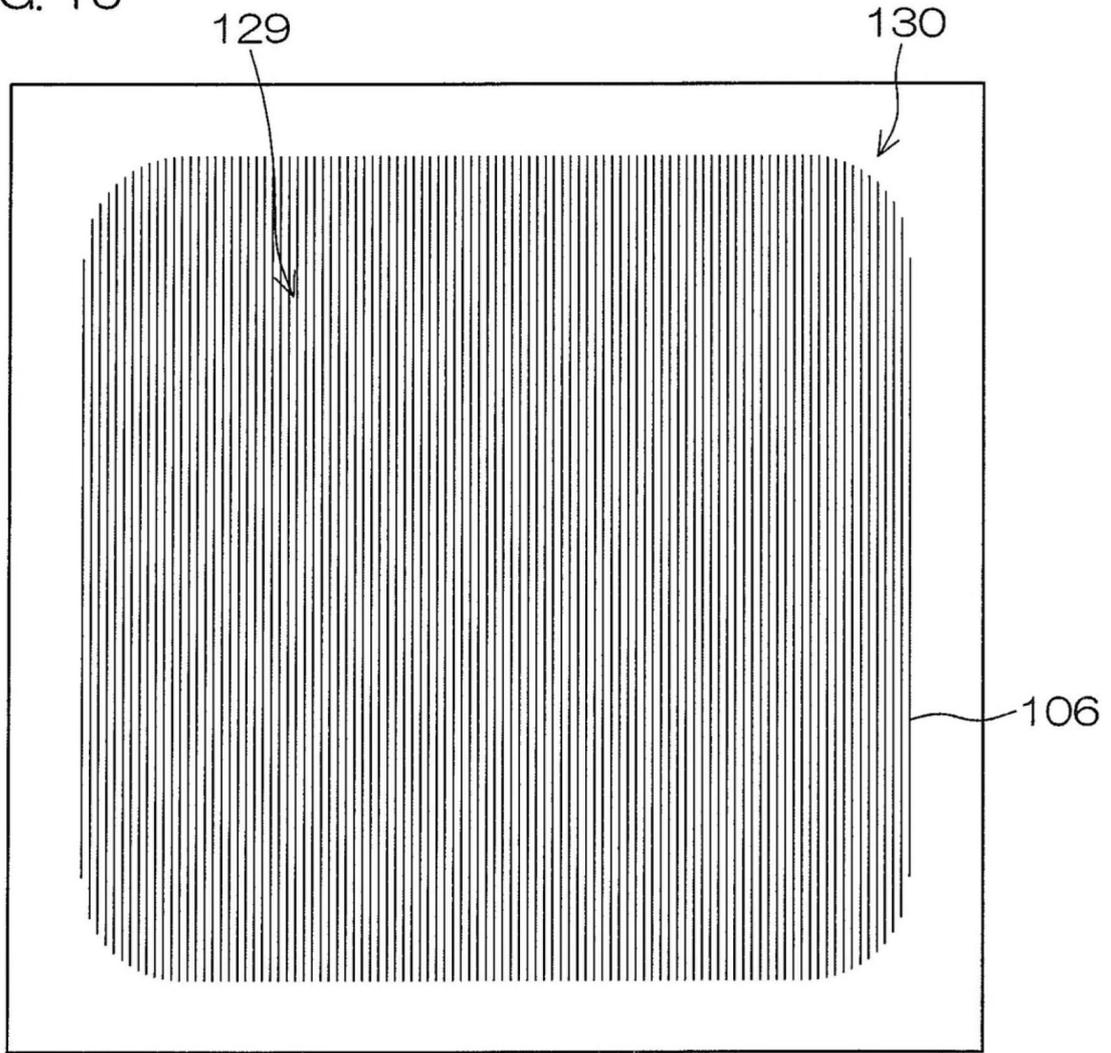
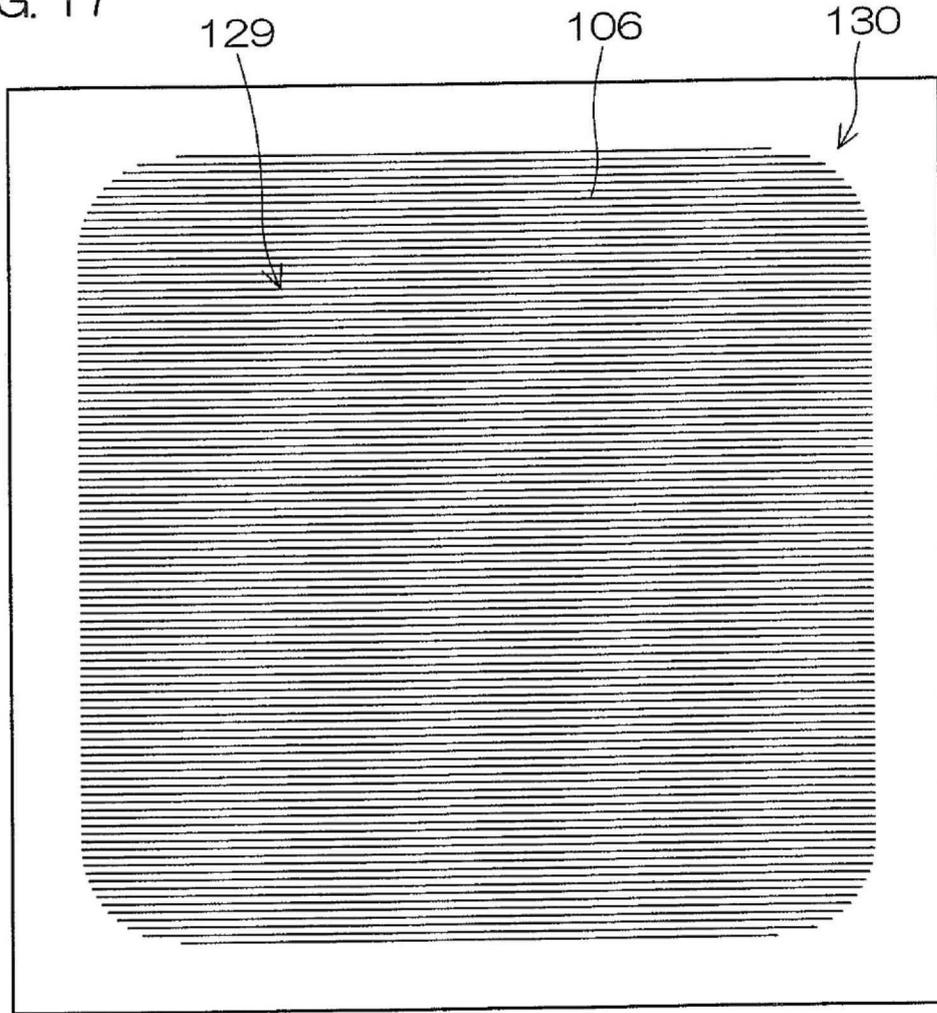


FIG. 16



101

FIG. 17



101

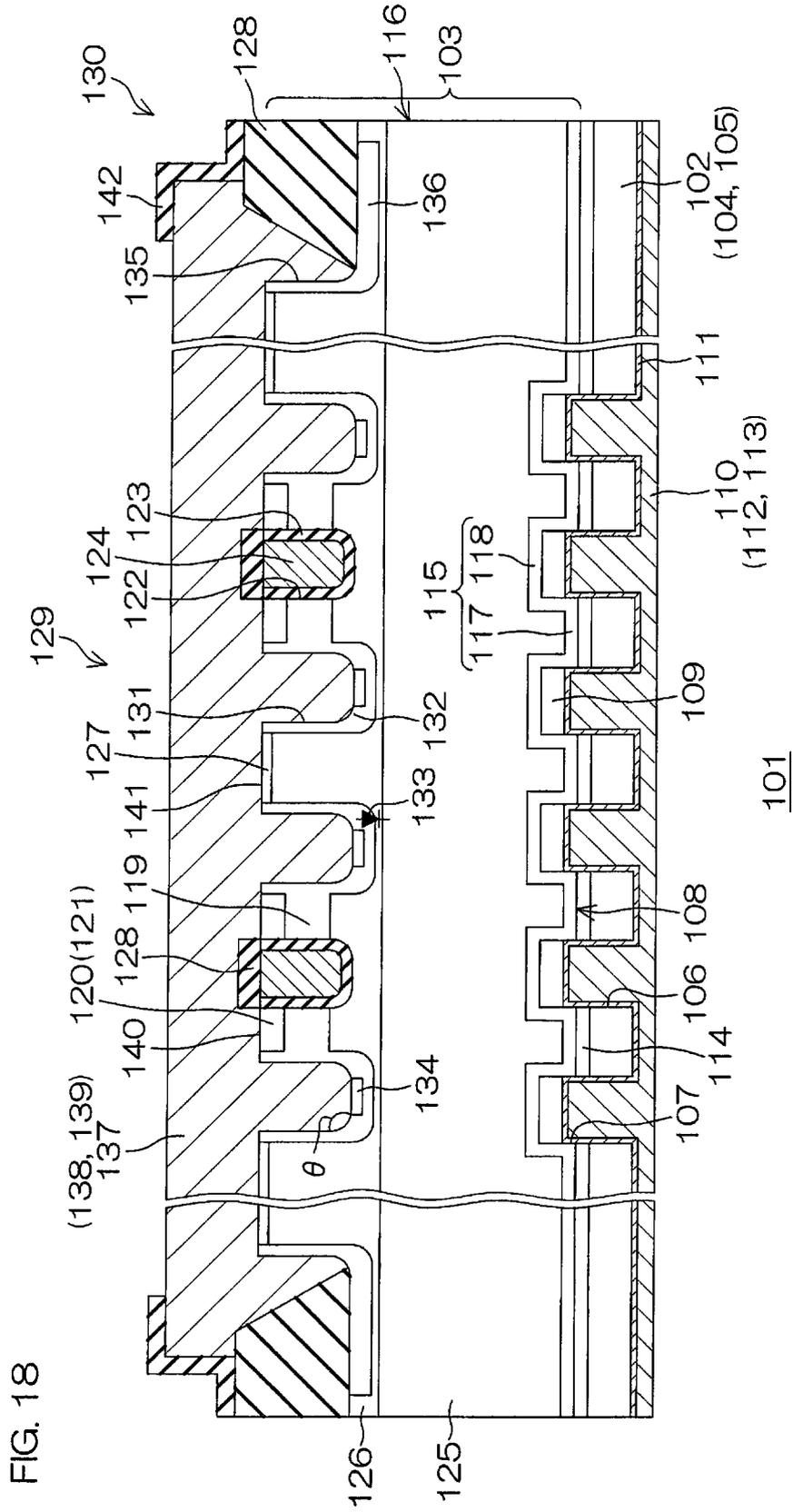
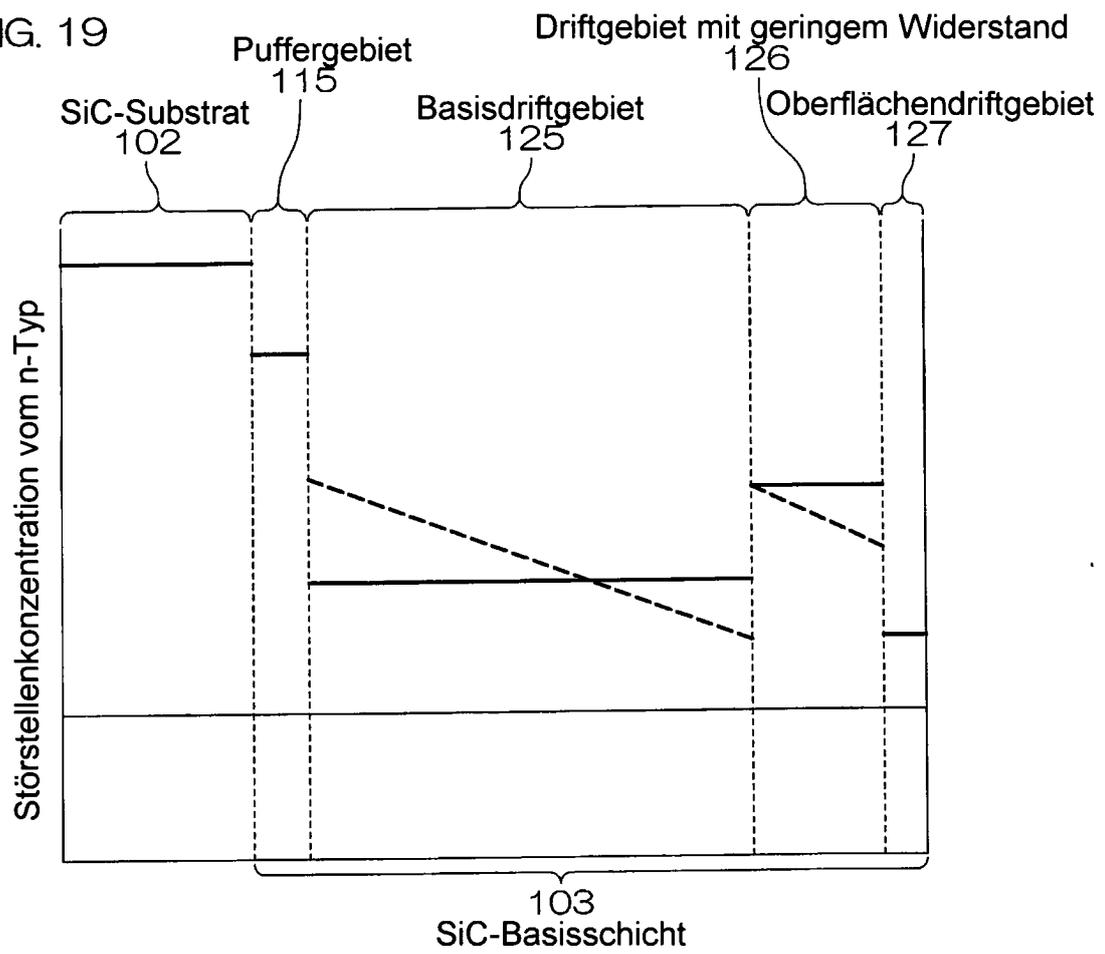
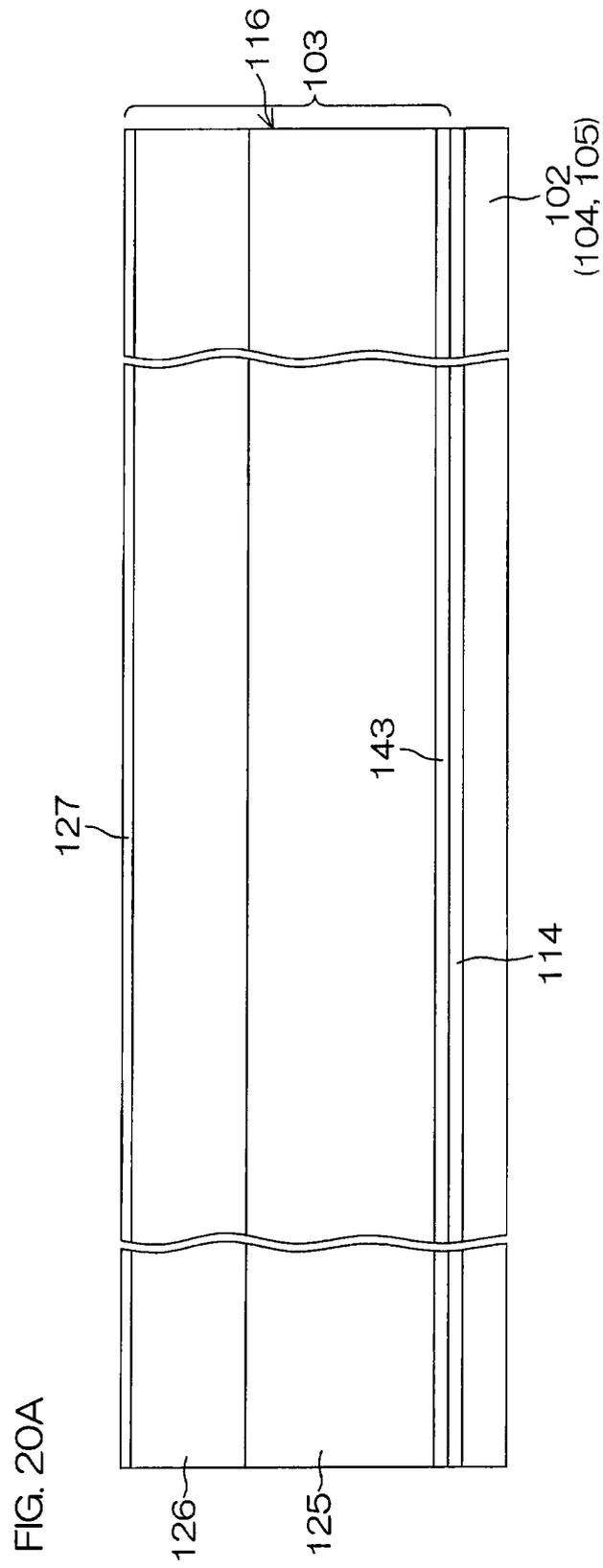
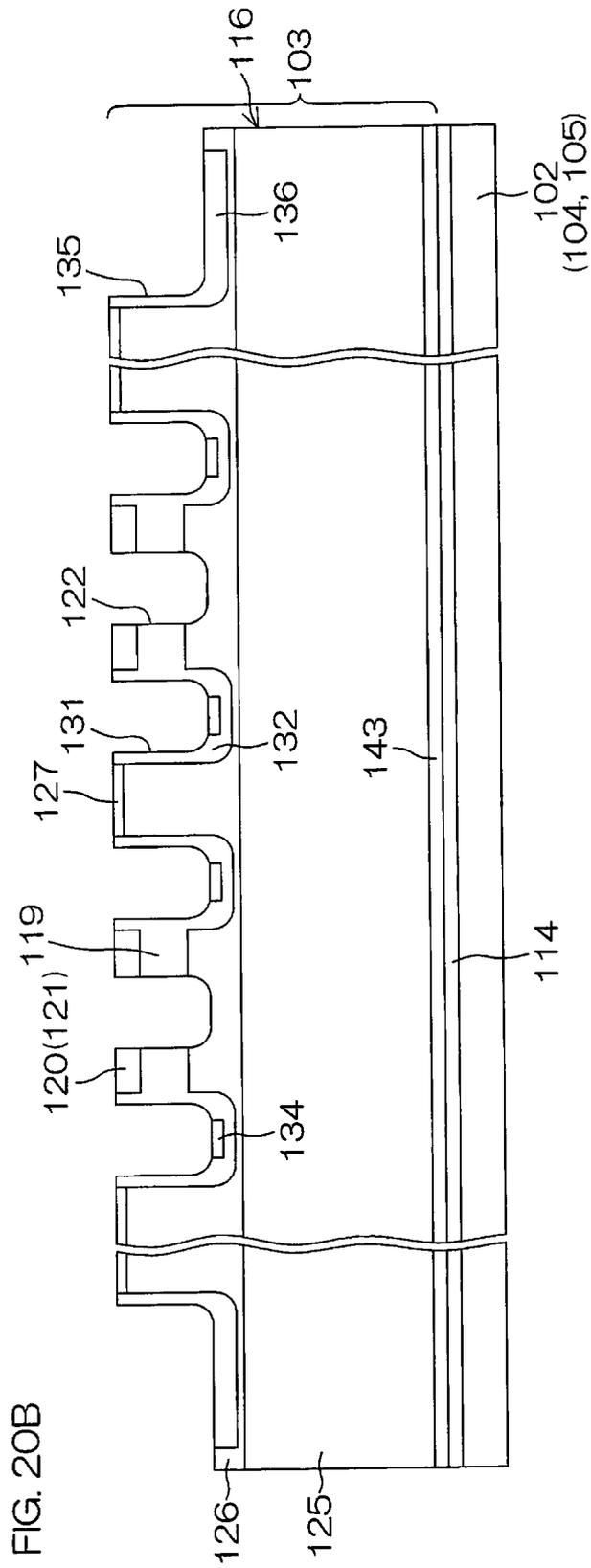


FIG. 19







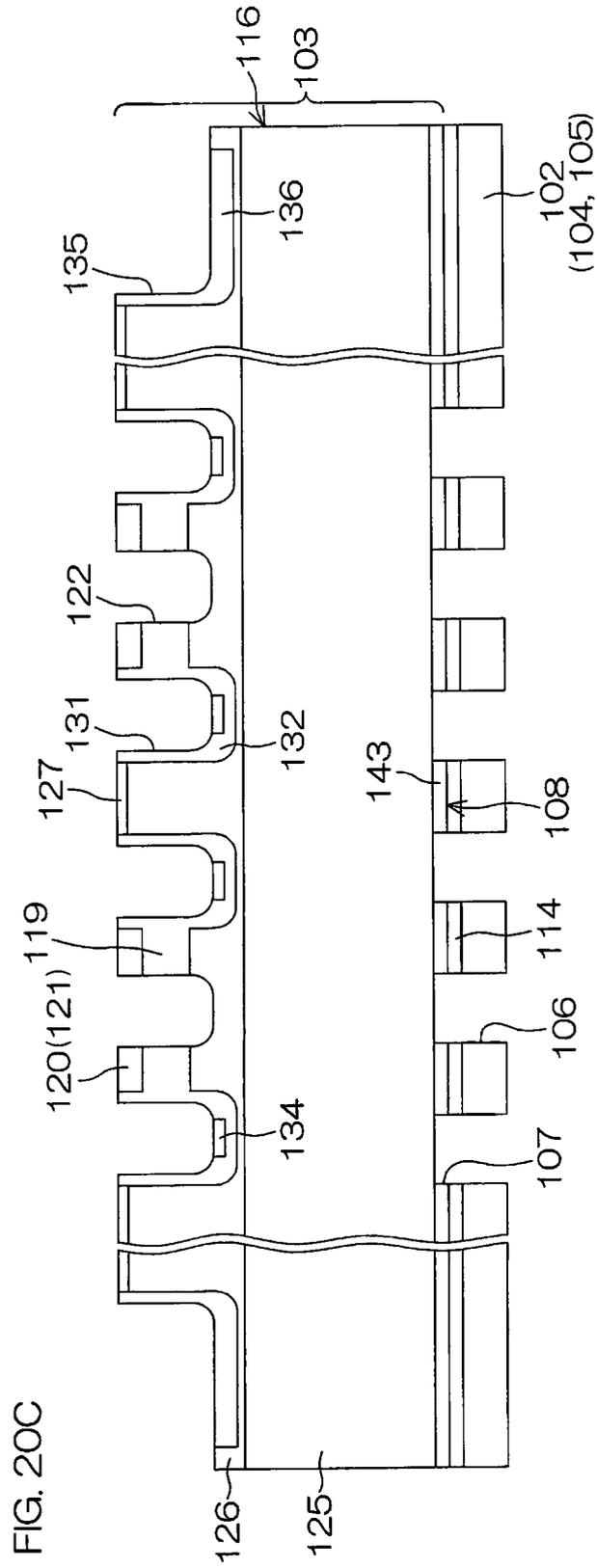
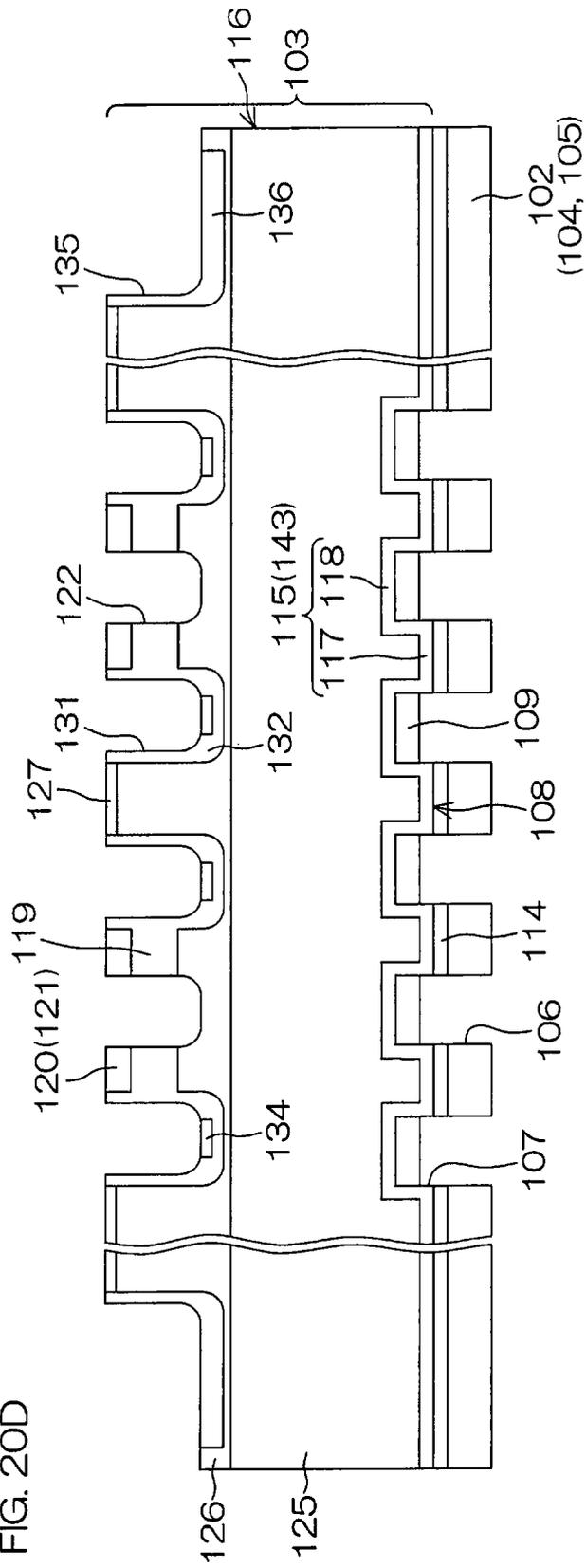


FIG. 20D



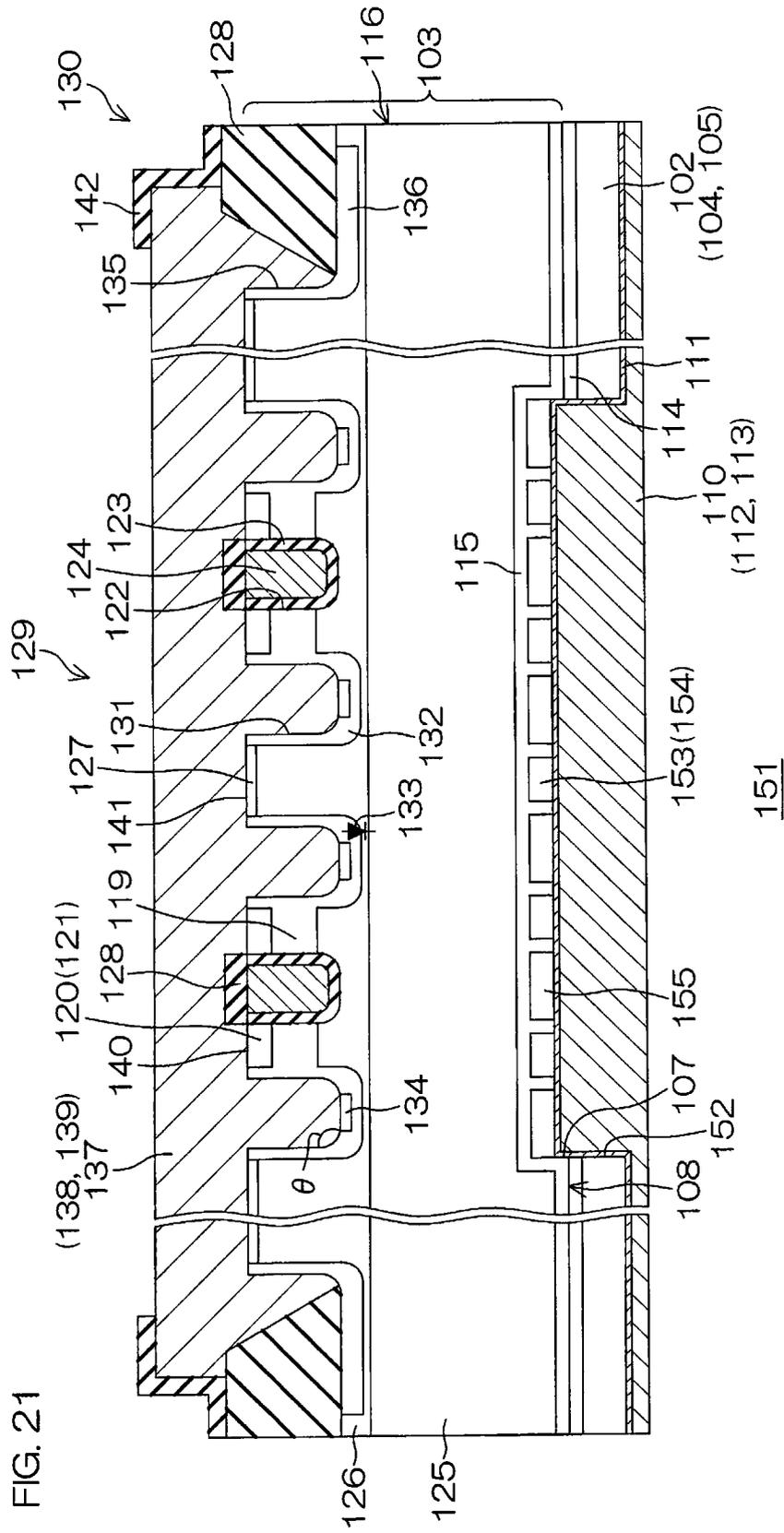
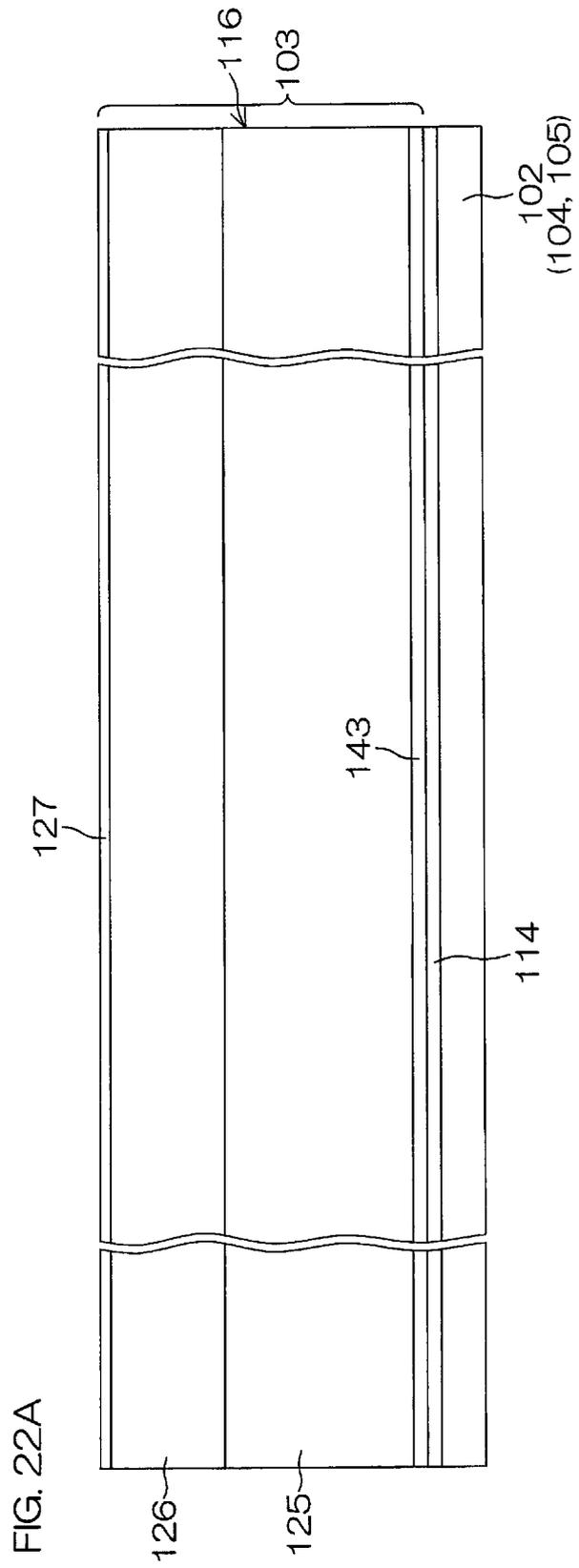


FIG. 21



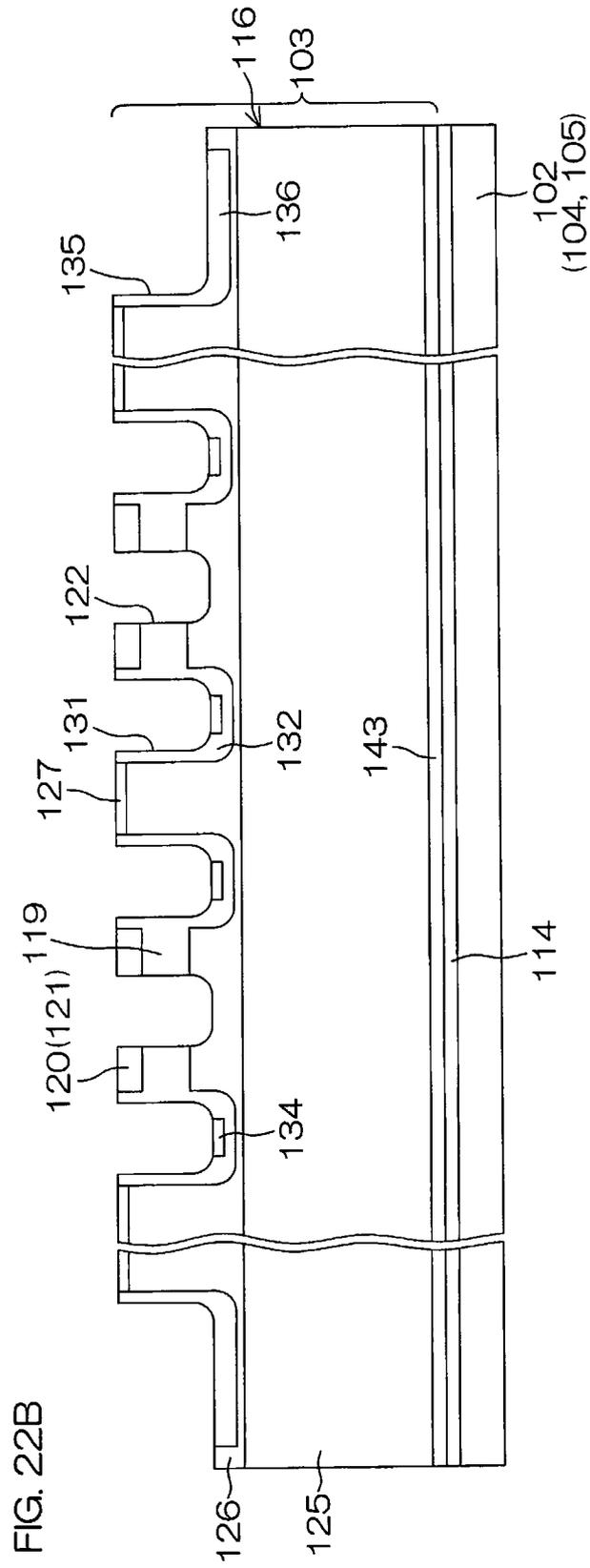


FIG. 22C

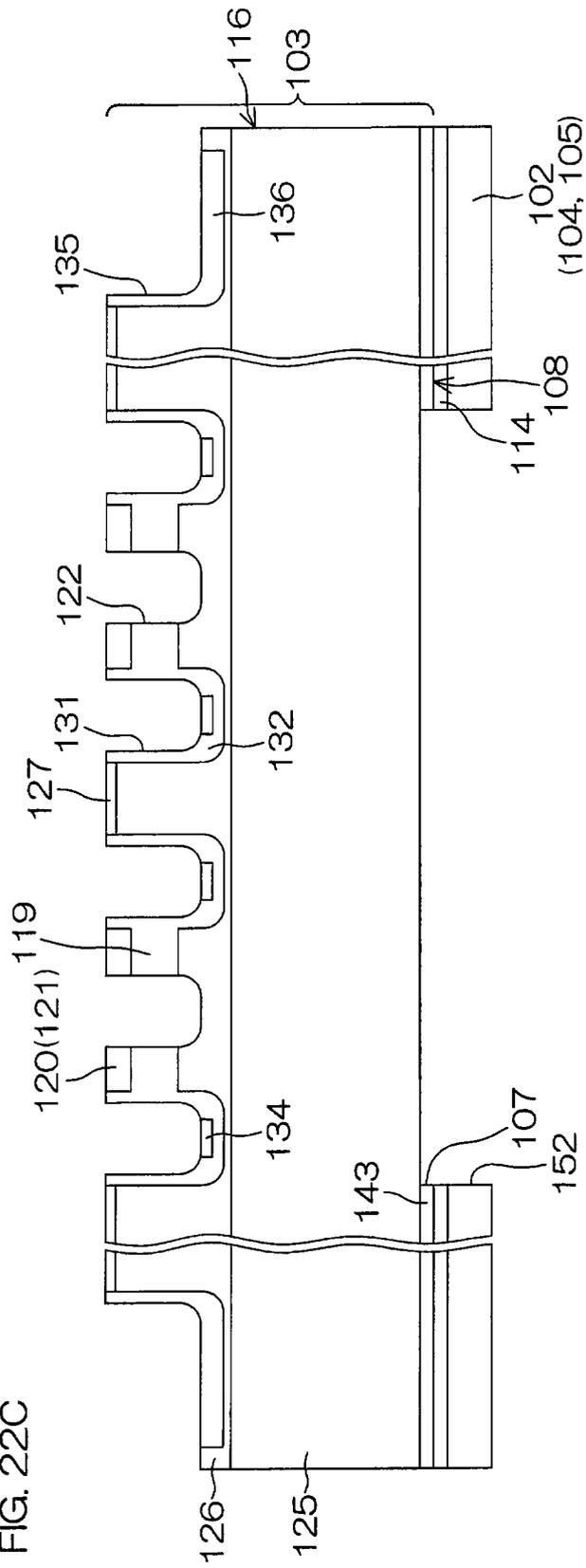
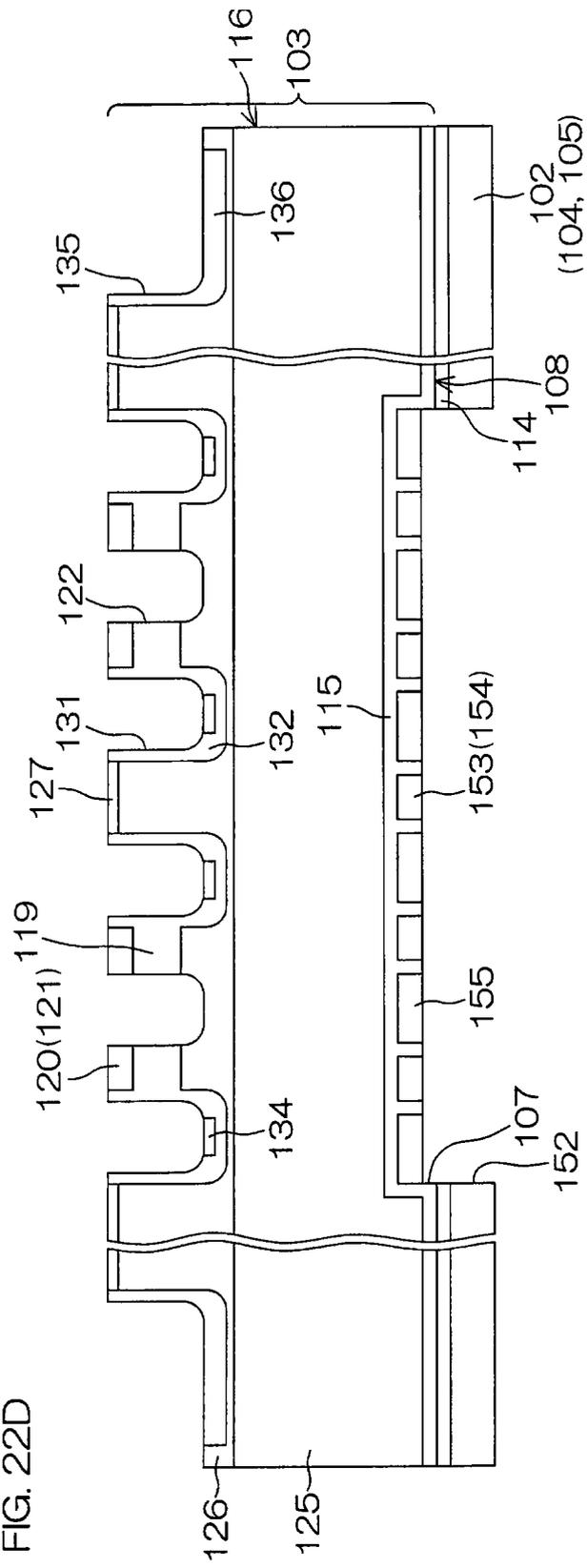
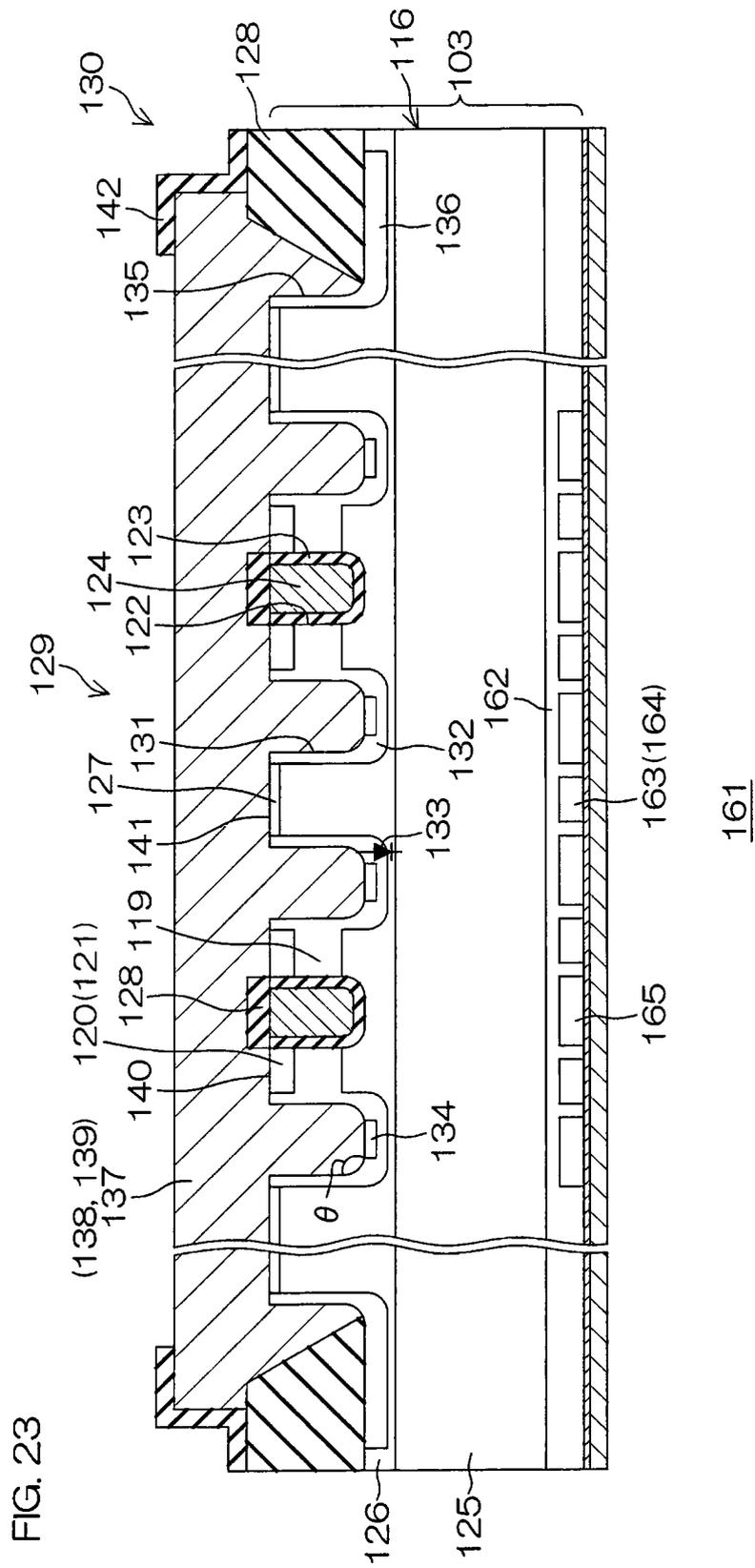
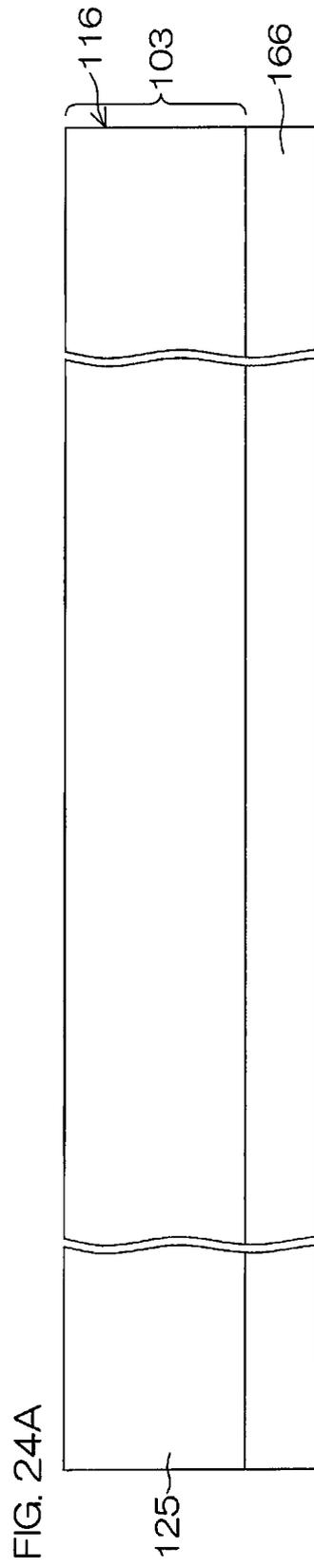
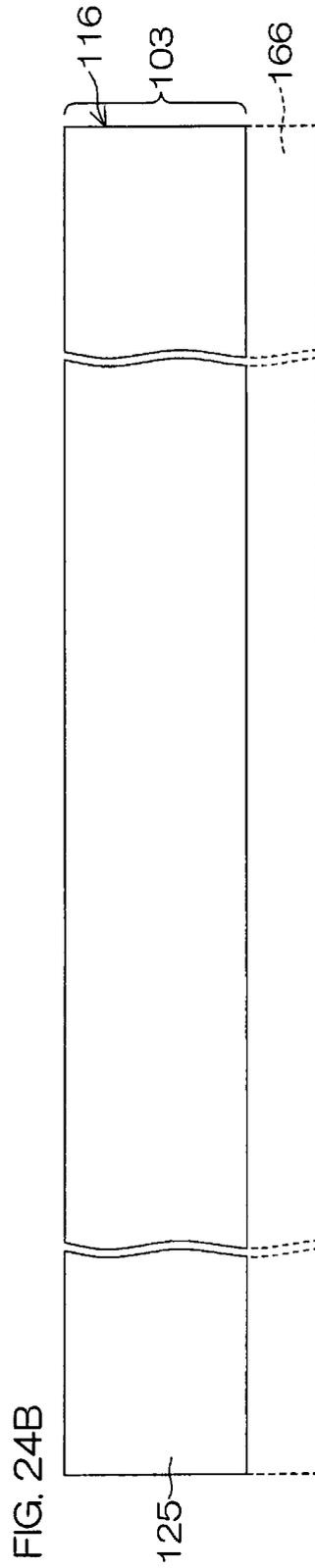


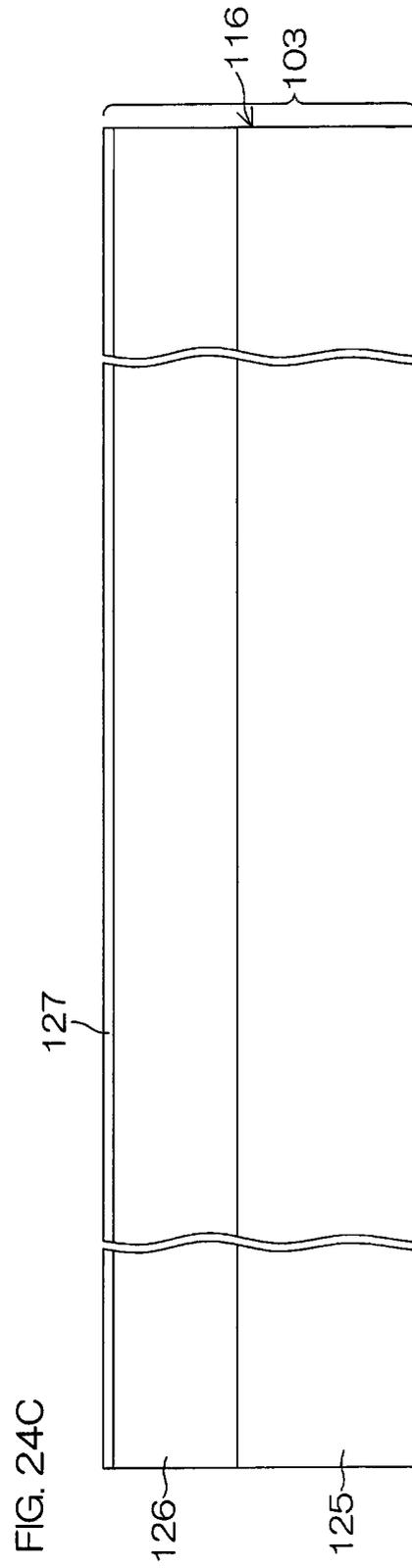
FIG. 22D

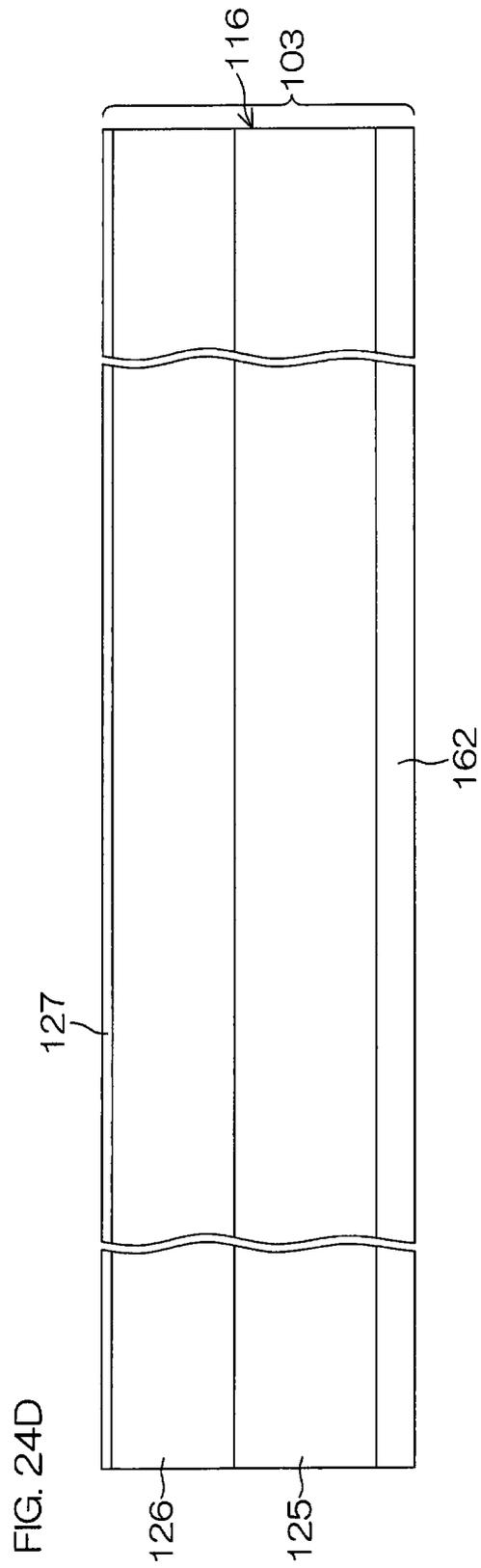












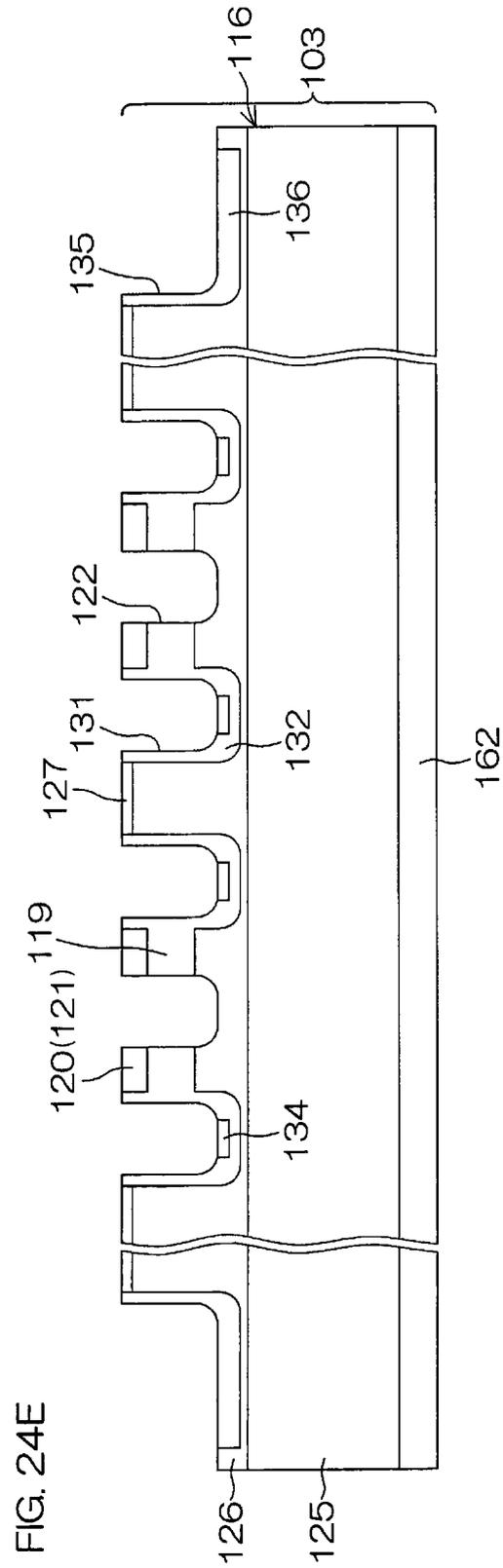


FIG. 24F

