

며, 셋 다운 기간동안 접지전압, 상기 제 1 정극성 직류전압보다 낮은 제 2 정극성 직류전압, 및 제 3 부극성 직류전압 중 어느 하나를 공급하고, 어드레스기간 동안 상기 제 1 정극성 직류전압보다 낮은 제 4 정극성 직류전압, 상기 제 2 정극성 직류전압 및 제 5 부극성 직류전압 중 어느 하나를 공급하는 서스테인 구동부를 포함하는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

부극성 서스테인 펄스를 이용하여 서스테인 방전을 발생시키는 플라즈마 디스플레이 패널의 구동장치에 있어서,

셋업기간 동안 서스테인전극에 제 1 정극성 직류전압을 공급하며, 셋 다운 기간동안 접지전압, 상기 제 1 정극성 직류전압보다 낮은 제 2 정극성 직류전압, 및 제 3 부극성 직류전압 중 어느 하나를 공급하고, 어드레스기간 동안 상기 제 1 정극성 직류전압보다 낮은 제 4 정극성 직류전압, 상기 제 2 정극성 직류전압 및 제 5 부극성 직류전압 중 어느 하나를 공급하는 서스테인 구동부를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 정극성 직류전압은 50V ~ 300V 범위 내에 전압이며,

상기 제 2 정극성 직류전압은 150V ~ 300V 범위 내에 전압이며,

상기 제 3 부극성 직류전압은 0V ~ -300V 범위 내에 전압이며,

상기 제 4 정극성 직류전압은 상기 제 1 정극성 직류전압보다 낮은 전압으로 형성되고,

상기 제 5 부극성 직류전압은 상기 제 3 부극성 직류전압보다 큰 전압인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 3.

제 1 항에 있어서,

상기 서스테인 구동부는

셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 셋 다운 기간동안 접지전압을 공급하고, 어드레스기간 동안 제 4 정극성 직류전압을 공급하고, 서스테인 기간동안 부극성 서스테인펄스를 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 4.

제 1 항에 있어서,

상기 서스테인 구동부는

셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 셋 다운 기간 및 어드레스기간 동안 제 2 정극성 직류전압을 공급하고, 서스테인 기간동안 부극성 서스테인펄스를 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 5.

제 1 항에 있어서,

상기 서스테인 구동부는

셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 셋 다운 기간 동안 제 3 부극성 직류전압을 공급하고, 어드레스기간 동안 제 5 부극성 직류전압을 공급하며, 서스테인 기간동안 부극성 서스테인펄스를 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 6.

제 1 항에 있어서,

스캔전극에 셋업기간 동안 접지전압에서부터 상승하는 상승 램프파형과, 셋 다운 기간동안 상기 상승 램프파형의 상한전압보다 낮은 전압에서 대략 스캔전압까지 하강하는 하강 램프파형과, 어드레스기간동안 스캔전압을 공급하는 스캔 구동부를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 7.

제 1 항에 있어서,

상기 스캔전극에 공급되는 상승 램프파형은 셋업 기간 동안 200V ~ 700V범위 내에서 형성되며,

셋 다운 기간동안 하강 램프파형은 100V ~ 500V이며,

어드레스기간 동안 서스테인전극과의 전압차가 250V ~ 500V범위로 형성되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 8.

제 1 항에 있어서,

상기 플라즈마 디스플레이 패널은 서스테인 거리가 긴 롱갭구조인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

청구항 9.

부극성 서스테인 펄스를 이용하여 서스테인 방전을 발생시키는 플라즈마 디스플레이 패널의 구동방법에 있어서,

셋업기간 동안 스캔전극에 상승램프파형을 공급함과 아울러 서스테인전극에 제 1 정극성 직류전압을 공급하는 단계;

셋 다운 기간동안 상기 스캔전극에 하강램프파형을 공급함과 아울러 서스테인전극에 접지전압, 상기 제 1 정극성 직류전압보다 낮은 제 2 정극성 직류전압, 및 제 3 부극성 직류전압 중 어느 하나를 공급하는 단계; 및

어드레스기간 동안 상기 스캔전극에 스캔전압을 공급함과 아울러 서스테인전극에 상기 제 1 정극성 직류전압보다 낮은 제 4 정극성 직류전압, 상기 제 2 정극성 직류전압 및 제 5 부극성 직류전압 중 어느 하나를 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 10.

제 9 항에 있어서,

셋업기간 동안 상기 서스테인전극에 상기 제 1 정극성 직류전압을 공급하며, 상기 서스테인전극에 셋 다운 기간 및 어드레스기간 동안 상기 제 2 정극성 직류전압을 공급하고, 상기 서스테인전극에 서스테인 기간동안 부극성 서스테인펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 11.

제 9 항에 있어서,

상기 서스테인전극에 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 상기 서스테인전극에 셋 다운 기간 동안 제 3 부극성 직류전압을 공급하고, 상기 서스테인전극에 어드레스기간 동안 제 5 부극성 직류전압을 공급하며, 상기 서스테인 전극에 서스테인 기간동안 부극성 서스테인펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 12.

제 9 항에 있어서,

상기 서스테인전극에 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 상기 서스테인전극에 셋 다운 기간동안 접지 전압을 공급하고, 상기 서스테인전극에 어드레스기간 동안 제 4 정극성 직류전압을 공급하고, 상기 서스테인전극에 서스테인 기간동안 부극성 서스테인펄스를 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널의 구동 장치 및 방법에 관한 것으로 특히, 어드레스 방전을 양호하게 발생시키며, 생산비를 절감할 수 있고, 콘트라스트를 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 구동장치 및 방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+ Xe, Ne+ Xe 또는 He+ Xe+ Ne 등의 불활성 혼합가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 벽전하가 축적되며 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(X)을 포함한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극(12Y,12Z)과, 투명전극(12Y,12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(13Y,13Z)을 포함한다.

투명전극(12Y,12Z)은 통상 인듐틴옥사이드(Indium-Tin-Oxide : ITO)로 상부기관(10) 상에 형성된다. 금속버스전극(13Y,13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y,12Z) 상에 형성되어 저항이 높은 투명전극(12Y,12Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y)과 서스테인전극(Z)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다.

어드레스전극(X)이 형성된 하부기관(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(X)은 스캔전극(Y) 및 서스테인전극(Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기관(10,18)과 격벽(24) 사이에 마련된 방전공간에는 불활성 혼합가스가 주입된다.

PDP는 화상의 계조를 구현하기 위하여, 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 시분할 구동하게 된다. 각 서브필드는 전화면을 리셋시키기 위한 리셋기간과, 스캔라인을 선택하고 선택된 스캔라인에서 셀을 선택하기 위한 어드레스기간과, 방전횟수에 따라 계조를 구현하는 서스테인기간으로 나뉘어진다.

여기서, 리셋기간은 상승램프파형이 공급되는 셋업기간과 하강램프파형이 공급되는 셋다운 기간으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 도 2와 같이 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1내지SF8)로 나누어지게 된다. 8개의 서브 필드들(SF1내지SF8) 각각은 전술한 바와 같이, 리셋기간, 어드레스기간과 서스테인기간으로 나누어지게 된다. 각 서브필드의 리셋기간과 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다.

이와 같은 구조를 가지는 종래의 PDP 구동을 위한 새로운 형태의 구동파형이 제안되고 있다. 즉, 종래의 PDP는 서스테인 펄스를 퍼지티브(Positive) 타입으로 형성하여 방전을 발생하고, 이에 따라, 화상을 표시하였으나, 최근에는 네가티브(Negative) 타입의 서스테인 펄스를 공급하는 방식이 적용되고 있다. 이러한 네가티브 타입의 서스테인 펄스는 일반적으로 리셋기간 동안 대향방전모드를 이용하는 것이 유리하다. 그러나, 현재 제안되고 있는 네가티브 서스테인 펄스를 이용한 파형에서는 스캔전극과 서스테인 전극에 동일 파형 및 램프파형을 공급하게 되는데, 이러한 구동파형은 소비전력의 소모가 크며, 셋업 및 셋 다운을 모두를 대향방전으로 구동하기에는 형광체의 방전 전압의 차별성에 대응하기 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 어드레스 방전을 양호하게 발생시킴과 아울러 구동부 회로를 단순화하여 생산비를 절감하고, 콘트라스트를 향상시킬 수 있도록 한 플라즈마 디스플레이 패널의 구동장치 및 구동방법을 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동장치는 부극성 서스테인 펄스를 이용하여 서스테인 방전을 발생시키는 플라즈마 디스플레이 패널의 구동장치에 있어서, 셋업기간 동안 서스테인전극에 제 1 정극성 직류전압을 공급하며, 셋 다운 기간동안 접지전압, 상기 제 1 정극성 직류전압보다 낮은 제 2 정극성 직류전압, 및 제 3 부극성 직류전압 중 어느 하나를 공급하고, 어드레스기간 동안 상기 제 1 정극성 직류전압보다 낮은 제 4 정극성 직류전압, 상기 제 2 정극성 직류전압 및 제 5 부극성 직류전압 중 어느 하나를 공급하는 서스테인 구동부를 포함하는 것을 특징으로 한다.

상기 제 1 정극성 직류전압은 50V ~ 300V 범위 내에 전압이며, 상기 제 2 정극성 직류전압은 150V ~ 300V 범위 내에 전압이며, 상기 제 3 부극성 직류전압은 0V ~ -300V 범위 내에 전압이며, 상기 제 4 정극성 직류전압은 상기 제 1 정극성 직류전압보다 낮은 전압으로 형성되고, 상기 제 5 부극성 직류전압은 상기 제 3 부극성 직류전압보다 큰 전압인 것을 특징으로 한다.

상기 서스테인 구동부는 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 셋 다운 기간동안 접지전압을 공급하고, 어드레스기간 동안 제 4 정극성 직류전압을 공급하고, 서스테인 기간동안 부극성 서스테인펄스를 공급하는 것을 특징으로 한다.

상기 서스테인 구동부는 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 셋 다운 기간 및 어드레스기간 동안 제 2 정극성 직류전압을 공급하고, 서스테인 기간동안 부극성 서스테인펄스를 공급하는 것을 특징으로 한다.

상기 서스테인 구동부는 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 셋 다운 기간 동안 제 3 부극성 직류전압을 공급하고, 어드레스기간 동안 제 5 부극성 직류전압을 공급하며, 서스테인 기간동안 부극성 서스테인펄스를 공급하는 것을 특징으로 한다.

스캔전극에 셋업기간 동안 접지전압에서부터 상승하는 상승 램프파형과, 셋 다운 기간동안 상기 상승 램프파형의 상한전압보다 낮은 전압에서 대략 스캔전압까지 하강하는 하강 램프파형과, 어드레스기간동안 스캔전압을 공급하는 스캔 구동부를 더 포함하는 것을 특징으로 한다.

상기 스캔전극에 공급되는 상승 램프파형은 셋업 기간 동안 200V ~ 700V범위 내에서 형성되며, 셋 다운 기간동안 하강 램프파형은 100V ~ 500V이며, 어드레스기간 동안 서스테인전극과의 전압차가 250V ~ 500V범위로 형성되는 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널은 서스테인 거리가 긴 롱갭구조인 것을 특징으로 한다.

본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 부극성 서스테인 펄스를 이용하여 서스테인 방전을 발생시키는 플라즈마 디스플레이 패널의 구동방법에 있어서, 셋업기간 동안 스캔전극에 상승램프파형을 공급함과 아울러 서스테인전극에 제 1 정극성 직류전압을 공급하는 단계; 셋 다운 기간동안 상기 스캔전극에 하강램프파형을 공급함과 아울러 서스테인전극에 접지전압, 상기 제 1 정극성 직류전압보다 낮은 제 2 정극성 직류전압, 및 제 3 부극성 직류전압 중 어느 하나를 공급하는 단계; 및 어드레스기간 동안 상기 스캔전극에 스캔전압을 공급함과 아울러 서스테인전극에 상기 제 1 정극성 직류전압보다 낮은 제 4 정극성 직류전압, 상기 제 2 정극성 직류전압 및 제 5 부극성 직류전압 중 어느 하나를 공급하는 단계를 포함하는 것을 특징으로 한다.

셋업기간 동안 상기 서스테인전극에 상기 제 1 정극성 직류전압을 공급하며, 상기 서스테인전극에 셋 다운 기간 및 어드레스기간 동안 상기 제 2 정극성 직류전압을 공급하고, 상기 서스테인전극에 서스테인 기간동안 부극성 서스테인펄스를 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 서스테인전극에 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 상기 서스테인전극에 셋 다운 기간 동안 제 3 부극성 직류전압을 공급하고, 상기 서스테인전극에 어드레스기간 동안 제 5 부극성 직류전압을 공급하며, 상기 서스테인전극에 서스테인 기간동안 부극성 서스테인펄스를 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 서스테인전극에 셋업기간 동안 상기 제 1 정극성 직류전압을 공급하며, 상기 서스테인전극에 셋 다운 기간동안 접지전압을 공급하고, 상기 서스테인전극에 어드레스기간 동안 제 4 정극성 직류전압을 공급하고, 상기 서스테인전극에 서스테인 기간동안 부극성 서스테인펄스를 공급하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 3 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3은 본 발명의 실시 예에 따른 PDP의 구동장치를 나타낸 도면이다.

도 3을 참조하면, PDP의 어드레스전극들(X1 내지 Xm)에 데이터를 공급하기 위한 데이터구동부(32)와, 스캔전극들(Y1 내지 Yn)을 구동하기 위한 스캔구동부(33)와, 공통전극인 서스테인전극(Z)을 구동하기 위한 서스테인구동부(34)와, 각 구동부(32,33,34)를 제어하기 위한 타이밍컨트롤러(31)와, 각 구동부(32,33,34)에 구동전압을 공급하기 위한 구동전압 발생부(35)를 포함한다.

데이터구동부(32)에는 도시하지 않은 역감마보정회로, 오차확산회로 등에 의해 역감마보정 및 오차확산 된 후, 서브필드 맵핑회로에 의해 미리 설정된 서브필드 패턴에 맵핑된 데이터가 공급된다. 이 데이터구동부(32)는 타이밍컨트롤러(31)의 제어 하에 데이터를 샘플링하고 래치한 다음, 그 데이터를 어드레스전극들(X1 내지 Xm)에 공급하게 된다.

스캔구동부(33)는 타이밍 컨트롤러(31)의 제어 하에 셋업 기간 이전에는 이레이즈 램프파형(Erase_dn)을 공급함과 아울러, 전화면을 리셋하기 위하여 리셋기간 중 셋업 기간동안 상승 램프파형(Ramp_up)을 공급하며 및 셋 다운기간동안에는 하강 램프파형(Ramp-dn)을 스캔전극들(Y1 내지 Yn)에 연속으로 공급한 후, 스캔라인(Y)을 선택하기 위하여 어드레스기간 동안 부극성의 스캔펄스(scan)를 스캔전극들(Y1 내지 Yn)에 순차적으로 공급하게 된다. 그리고 스캔구동부(33)는 서스테인기간동안, 부극성 서스테인펄스(sus)를 공급한다.

서스테인구동부(34)는 타이밍 컨트롤러(41)의 제어 하에 셋업 기간 이전에는 하강하는 이레이즈 램프파형(Erase_dn)을 공급함과 아울러, 셋업 기간 동안에는 제 1 정극성의 직류전압(Vz1)을 공급하고, 셋 다운 기간에는 접지전압(GND), 제 2 정극성 직류전압(Vz2) 및 제 3 부극성 직류전압(Vz3) 중 어느 하나를 서스테인전극(Z)에 공급한다. 그리고, 서스테인구동부(34)는 어드레스 기간 동안에는 바이어스 전압(Z-bias)인 제 4 정극성 직류전압(Vz4), 제 2 정극성 직류전압(Vz2), 제 5 부극성 직류전압(Vz5) 중 어느 하나를 서스테인전극(Z)에 공급하고, 서스테인기간 동안 스캔구동부(33)와 교대로 동작하여 부극성 서스테인펄스(sus)를 서스테인전극(Z)에 공급한다. 제 1 내지 제 5 서스테인 직류전압(Vz1, Vz2, Vz3, Vz4, Vz5)은 본 발명의 제 1 내지 제 3 실시 예에 따른 구동방법 설명시 상세히 설명하기로 한다.,

타이밍 컨트롤러(31)는 수직/수평 동기신호를 입력받고 각 구동부(32,33,34)에 필요한 타이밍제어신호(CTRX,CTRY,CTRZ)를 발생하고 그 타이밍제어신호(CTRX,CTRY,CTRZ)를 해당 구동부(32,33,34)에 공급함으로써 각 구동부(32,33,34)를 제어하게 된다. 데이터구동부(32)에 공급되는 타이밍제어신호(CTRX)에는 데이터를 샘플링하기 위한 샘플링클럭, 래치제어신호, 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 타이밍 컨트롤러(31)로부터 스캔구동부(33)에 인가되는 타이밍제어신호(CTRY)에는 스캔구동부(33) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 그리고 타이밍 컨트롤러(31)로부터 서스테인구동부(34)에 인가되는 타이밍제어신호(CTRZ)에는 서스테인구동부(34) 내의 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다.

구동전압 발생부(35)는 상승 램프파형의 상한 전압으로 공급되는 셋업전압(Vsetup), 어드레스기간 동안 스캔전극(Y)에 공급되는 스캔전압(Vscan), 대략 서스테인전압(Vs)부터 하강하기 시작하여 스캔전압(Vscan) 까지 하강하는 하강 램프파형(Ramp-dn)을 가지는 셋다운전압(Vsetdown)과, 0[V]에서 부극성 서스테인펄스(sus)까지 소정의 기울기를 가지며 하강하는 이레이즈 램프파형(Erase_dn)과, 서스테인펄스(sus), 데이터전압(Vd), 및 서스테인 전극(Z)에 공급되는 제 1 내지 제 5 서스테인 직류전압(Vz1, Vz2, Vz3, Vz4, Vz5) 등을 발생한다. 이러한 직류전압 생성은 구동전압 발생부(35)에 포함 된 직류-직류 컨버터(DC-DC Power Pack)를 이용하여 생성할 수 있다.

한편, 상기 전압조건은 위와 같이 한정되는 것이 아니라 PDP의 방전특성이나 모델에 따라 달라질 수 있다.

도 4는 본 발명의 제 1 실시예에 의한 PDP의 구동방법을 나타내는 파형도이다.

도 4를 참조하면, 본 발명의 제 1 실시예에 의한 PDP는 이레이즈 기간, 전화면을 리셋시키기 위한 리셋기간, 셀을 선택하기 위한 어드레스기간 및 선택된 셀의 방전을 서스테인시키기 위한 서스테인 기간으로 나뉘어 구동된다. 본 발명의 제 1 실시 예에 따른 방전셀의 형태는 고휘도를 표현하기 위하여 룽 갭(100 μ m ~ 400 μ m)의 서스테인 갭에서도 적용 가능하다.

이레이즈 기간에는 스캔전극(Y)과 서스테인전극(Z)에 각각 접지전압(GND)에서 부극성 서스테인 펄스(sus)까지 하강하는 이레이즈 램프파형(Ers_dn)을 공급하여 스캔전극(Y) 및 서스테인전극(Z)의 벽전하를 제거한다.

리셋기간 중 셋업기간에는 모든 스캔전극(Y)들에 상승 램프파형(Ramp_up)을 인가하고, 이와 동시에 서스테인전극(Z)에는 정극성의 제 1 직류전압(Vz1)을 공급한다. 이에 따라, 이전 서브필드에서 방전이 일어난 온셀 및 오프셀들에서 셋업방전을 일으킨다. 여기서, 상승 램프파형(Ramp_up)은 200V ~ 700V 정도로 설정한다. 그리고, 정극성의 제 1 직류전압(Vz1)은 50V ~ 300V 사이에서 가변할 수 있도록 하며 바람직하게는 50V ~ 250V로 하여, 자유도를 높인다.

리셋기간 중 셋다운기간에는 모든 스캔전극(Y)들에 접지전압(GND)보다 약간 높은 전압에서부터 하강하는 램프파형(Ramp_dn)을 공급함에 따라, 어드레스 기간동안 방전이 쉽게 일어날 수 있도록 벽전하를 적절하게 쌓아주게 된다. 여기서 하강 램프파형(Ramp_dn)은 100V ~ 300V를 설정함과 아울러 서스테인전극(Z)에 접지전압(GND)을 공급함으로써 면방전이 발생하지 않도록 설정한다.

어드레스 기간에는 스캔전극(Y)에 접지전압(GND)보다 낮은 전압에서 부극성의 임펄스 펄스 형태를 가지는 스캔펄스(Vscan)를 인가하고, 스캔펄스(Vscan)에 동기되는 데이터 전압(Vd)를 어드레스 전극(X)에 공급한다. 한편, 면방전이 발생하지 않도록 리셋기간 동안 벽전압을 유지한 상태에서 서스테인전극(Z)에 제 4 정극성 직류전압(Vz4)을 바이어스 형태로 공급하여 어드레스 방전이 양호하게 발생할 수 있도록 한다. 여기서, 제 4 정극성 직류전압(Vz4)은 제 1 정극성 직류전압(Vz1)보다 작은 값으로 설정된다.

서스테인 기간에는 스캔전극(Y) 및 서스테인전극(Z)에 교번적으로 부극성 서스테인펄스(sus)를 각각 공급한다.

이와 같은 본 발명의 제 1 실시 예에 따른 구동파형에서 리셋기간의 벽전하 이동 및 어드레스기간 동안 벽전하 이동을 도 5에 도시된 육각형 형태의 전압곡선(Vt close curve)을 이용하여 상세히 설명하기로 한다. 전압곡선(Vt close curve)은 PDP의 방전발생원리 및 전압마진을 측정하기 위한 방법으로 이용되고 있다.

도 5에서 전압곡선 내부의 육각형 영역은 방전셀 내부의 셀전압이 이동되는 지역으로 셀 전압이 육각형 내부 영역에 위치될 때 방전이 발생되지 않는다.(즉, 셀전압이 육각형 외부영역에 위치될 때 방전이 발생된다) 그리고, Y(-)는 스캔전극(Y)에 부극성의 전압이 인가되었을 때 셀전압이 움직이는 방향을 나타낸다. 마찬가지로, Y(+), X(+), X(-), Z(+), Z(-) 각각은 스캔전극(Y), 어드레스전극(X) 및 서스테인전극(Z)에 부극성 또는 정극성의 전압이 인가되었을 때 셀전압이 움직이는 방향을 나타낸다.

그리고, 전압곡선 그래프의 1사분면 대향방전영역에 표시되는 Vtxy는 어드레스전극(X)에 전압이 인가되는 경우 어드레스전극(X)과 스캔전극(Y)간에 방전이 개시되는 전압을 나타낸다. 따라서, 전압곡선 그래프의 1사분면 대향방전영역을 나타내는 직선은 어드레스전극(X)과 스캔전극(Y)간의 방전이 개시되는 전압만큼의 길이로 설정된다. 그리고, 전압곡선 그래프의 1사분면 면방전영역에 표시되는 Vtzy는 서스테인전극(Z)에 전압이 인가되는 경우 서스테인전극(Z)과 스캔전극(Y)간에 방전이 개시되는 전압을 나타낸다. 마찬가지로, Vtxz, Vtxx, Vtyz, Vtyx 각각도 전극들간의 방전개시전압을 나타낸다. 한편, Vtxy, Vtzy, Vtxz, Vtxx, Vtyz 및 Vtyx 등의 전압들은 패널마다 약간씩 달라지게 되고,(셀크기 및 공정편차 등에 의하여) 이에 따라 전압곡선의 형태도 약간씩 달라지게 된다.

먼저, 이레이즈 기간 동안 스캔전극(Y)과 서스테인전극(Z)에 공급되는 이레이즈 램프파형(Ers_dn)을 이용하여 스캔전극(Y) 및 서스테인전극(Z)의 벽전하를 제거함으로써 리셋기간 이전에 방전셀들의 벽전하들을 A1 지점에 위치하도록 한다.

다음으로, 리셋기간 중 셋업기간동안 스캔전극(Y)에 공급되는 상승 램프파형(Ramp_up)과 서스테인전극(Z)에 공급되는 제 1 정극성 직류전압(Vz1)의 합산에 따라 벽전하는 3사분면의 대향방전영역을 경유하여 A2 지점으로 이동한다. 이때, 3사분면의 대향방전은 스캔전극(Y)과 어드레스전극(X) 간에 방전을 발생시키게 되고, 이에 따라 벽전하들은 다시 A1 지점으로 이동하게 된다.

이 후, 리셋 기간 중 셋다운기간동안 스캔전극(Y)에 하강 램프파형(Ramp_dn)이 인가되고, 서스테인전극(Z)에는 접지전압(GND)이 공급됨에 따라, A1 지점의 벽전하는 A3 지점으로 이동한다. 이에 따라, 셋 다운 기간에는 어드레스기간 동안 어드레싱이 수월한 위치에 벽전하가 축적되게 된다. 여기서, A3 지점은 면방전이 발생하지 않는 지점이다.

마지막으로, 어드레스기간 직전에 서스테인 전극(Z)에 공급되는 제 1 정극성 직류전압(Vz1)보다 낮은 제 4 정극성 직류전압(Vz4)을 바이어스 형태로 공급함에 따라 벽전하들은 A4 지점으로 이동하게 된다.

이와 같은 구조를 가지는 본 발명의 제 1 실시 예에 따른 PDP 구동방법은 리셋기간동안 대향방전모드로 방전이 발생하게 됨으로 콘트라스트를 개선할 수 있을 뿐만아니라 벽전하를 적절하게 유지하여, 어드레스 기간 동안 공급되는 제 4 정극성 직류전압(Vz4)을 바이어스 형태 전압공급에 대응하여 어드레스 방전을 양호하게 발생할 수 있다. 이에 따라, 본 발명의 제 1 실시 예에 따른 PDP 구동방법은 어드레스기간 동안 오방전 및 미스방전을 방지할 수 있다.

이러한 본 발명의 제 1 실시 예에 따른 PDP 구동과정은 셋업 기간 및 셋 다운 기간 모두에서 형광체를 이용한 대향방전 모드로 방전이 발생하기 때문에 방전 마진과 형광체의 R, G, B별 문턱전압값이 다를 경우 오방전이 발생할 수 있다. 이러한 미비점을 본 발명의 제 2 실시 예에서 보완하기로 한다.

도 6은 본 발명의 제 2 실시 예에 따른 PDP 구동과형을 나타낸 도면이다. 본 발명의 제 2 실시 예에서는 셋업 기간에는 대향방전 모드로 동작하며, 셋 다운 기간에는 면방전 모드로 동작하도록 한다.

도 6을 참조하면, 본 발명의 제 2 실시 예에 따른 PDP 구동과정은 이레이즈 기간, 전환면을 리셋시키기 위한 리셋기간, 셀을 선택하기 위한 어드레스기간 및 선택된 셀의 방전을 서스테인시키기 위한 서스테인 기간으로 나뉘어 구동된다. 본 발명의 제 2 실시 예에 따른 방전셀의 형태는 고휘도를 표현하기 위하여 롱 갭(100 μ m ~ 400 μ m)의 서스테인 갭에서도 적용 가능하다.

이레이즈 기간에는 스캔전극(Y)과 서스테인전극(Z)에 각각 접지전압(GND)에서 부극성 서스테인 펄스(sus)까지 하강하는 이레이즈 램프과형(Ers_dn)을 공급하여 스캔전극(Y) 및 서스테인전극(Z)의 벽전하를 제거한다.

리셋기간 중 셋업기간에는 모든 스캔전극(Y)들에 상승 램프과형(Ramp_up)을 인가하고, 이와 동시에 서스테인전극(Z)에는 정극성의 제 1 직류전압(Vz1)을 공급한다. 이에 따라, 이전 서브필드에서 방전이 일어난 온셀 및 오프셀들에서 셋업방전인 대향방전을 일으킨다. 여기서, 상승 램프과형(Ramp_up)은 200V ~ 700V 정도, 바람직하게는 400V로 설정한다. 그리고, 정극성의 제 1 직류전압(Vz1)은 50V ~ 300V 사이에서 가변할 수 있도록 하여 자유도를 높인다. 이에 따라, 셋업기간에는 대향방전이 발생한다.

리셋기간 중 셋다운기간에는 모든 스캔전극(Y)들에 접지전압(GND)보다 약간 높은 전압에서부터 하강하는 램프과형(Ramp_dn)을 공급함과 아울러, 서스테인전극(Z)에는 제 2 정극성 직류전압(Vz2)이 공급됨에 따라, 어드레스 기간동안 면방전이 발생할 수 있도록 조절한다. 여기서 하강 램프과형(Ramp_dn)은 최대 하한 전압을 -300V ~ -500V를 설정함과 아울러 서스테인전극(Z)에 제 2 정극성 직류전압(Vz2)을 공급함으로써 면방전이 발생하도록 설정한다. 여기서, 제 2 정극성 직류전압(Vz2)은 면방전이 용이하게 발생할 수 있도록 50V ~ 150V 범위에서 공급한다.

어드레스 기간에는 스캔전극(Y)에 접지전압(GND)보다 낮은전압에서 부극성의 임펄스 펄스 형태를 가지는 스캔펄스(Vscan)를 인가하고, 스캔펄스(Vscan)에 동기되는 데이터 전압(Vd)를 어드레스 전극(X)에 공급한다. 한편, 서스테인전극(Z)에는 제 2 정극성 직류전압(Vz2)을 공급하여 어드레스 기간동안 어드레스 방전이 양호하게 발생할 수 있도록 한다.

서스테인 기간에는 스캔전극(Y) 및 서스테인전극(Z)에 교번적으로 부극성 서스테인펄스(sus)를 각각 공급한다.

여기서, 서스테인 전극(Z)에 공급되는 전압은 셋업 기간 및 셋다운 기간 동안 제 2 정극성 직류전압(Vz2)을 150V ~ 300V 범위로 공급하여 면방전이 잘 이루어지도록 할 수 있으며, 셋다운 구간동안 50V ~ 150V 범위의 전압 공급을 유지하여, 구동과정의 자유도와 어드레스 전압의 마진등에 여유를 둘 수 있다.

본 발명의 제 2 실시 예에 따른 PDP 구동방법은 방전의 마진과 형광체별 문턱전압 값을 고려하여 방전을 발생시키게 됨으로 오방전을 방지할 수 있다.

도 7은 본 발명의 제 3 실시 예에 따른 PDP 구동과형을 나타낸 도면이다. 여기서, 본 발명의 제 3 실시 예에 따른 PDP 구동과정은 셋업 기간 및 셋업 다운 기간동안 대향방전이 발생하도록 한다.

도 7을 참조하면, 본 발명의 제 3 실시 예에 따른 PDP 구동과정은 이레이즈 기간, 전환면을 리셋시키기 위한 리셋기간, 셀을 선택하기 위한 어드레스기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인 기간으로 나뉘어 구동된다. 본 발명의 제 3 실시 예에 따른 방전셀의 형태는 고휘도를 표현하기 위하여 롱 갭(100 μ m ~ 400 μ m)의 서스테인 갭에서도 적용 가능하다.

이레이즈 기간에는 스캔전극(Y)과 서스테인전극(Z)에 각각 접지전압(GND)에서 부극성 서스테인 펄스(sus)까지 하강하는 이레이즈 램프파형(Ers_dn)을 공급하여 스캔전극(Y) 및 서스테인전극(Z)의 벽전하를 제거한다.

리셋기간 중 셋업기간에는 모든 스캔전극(Y)들에 상승 램프파형(Ramp_up)을 인가하고, 이와 동시에 서스테인전극(Z)에는 정극성의 제 1 직류전압(Vz1)을 공급한다. 이에 따라, 이전 서브필드에서 방전이 일어난 온셀 및 오프셀들에서 셋업방전인 대향방전을 일으킨다. 여기서, 상승 램프파형(Ramp_up)은 200V ~ 700V 정도, 바람직하게는 400V로 설정한다. 그리고, 정극성의 제 1 직류전압(Vz1)은 50V ~ 300V 사이에서 가변할 수 있도록 하여 자유도를 높인다. 이에 따라, 셋업기간에는 대향방전이 발생한다.

리셋기간 중 셋다운기간에는 모든 스캔전극(Y)들에 접지전압(GND)보다 약간 높은 전압에서부터 하강하는 램프파형(Ramp_dn)을 공급함과 아울러, 서스테인전극(Z)에는 제 3 부극성 직류전압(Vz3)이 공급됨에 따라, 대향방전이 발생한다. 이러한 대향방전은 어드레스 기간동안 어드레스 방전이 용이하게 발생할 수 있도록 한다. 이를 위하여, 서스테인전극(Z)에 공급되는 제 3 부극성 직류전압(Vz3)은 0V ~ -300V로 설정한다.

어드레스 기간에는 스캔전극(Y)에 접지전압(GND)보다 낮은 전압에서 부극성의 임펄스 펄스 형태를 가지는 스캔펄스(Vscan)를 인가하고, 스캔펄스(Vscan)에 동기되는 데이터 전압(Vd)을 어드레스 전극(X)에 공급한다. 한편, 서스테인전극(Z)에는 제 5 부극성 직류전압(Vz5)을 공급하여 어드레스 기간동안 어드레스 방전이 양호하게 발생할 수 있도록 한다. 여기서, 양호한 어드레스 방전을 위하여 스캔전극(Y)과 서스테인전극(Z) 사이의 전압차는 250V ~ 500V 사이가 되도록 조절한다.

서스테인 기간에는 스캔전극(Y) 및 서스테인전극(Z)에 교번적으로 부극성 서스테인펄스(sus)를 각각 공급한다.

한편, 셋 다운 기간에 서스테인 전극(Z)에 접지전압(GND)이 공급될 수 있으나, 스캔전극(Y)에 공급되는 하강 램프파형(Ramp_dn)이 실험치와 다르게 더 낮은 전압으로 설정되는 경우가 많아 회로에 걸리는 부하가 커지는 위험성이 있으므로 서스테인 전극(Z) 전압조절이 본 발명의 제 3 실시 예에 따른 구동파형에 보여지듯이 적절한 조절이 필요하다.

이와 같이, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타나며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널의 구동장치 및 방법에 의하면 부극성 서스테인펄스를 이용한 플라즈마 디스플레이 패널에서 셋업기간 및 셋다운 기간 동안 서스테인 전극에 공급되는 파형을 조절함으로써, 어드레스 기간동안 양호한 방전을 얻을 수 있을 뿐만아니라, 서스테인 전극에 공급되는 파형을 단순화함으로써 회로를 단순화하여 생산비를 절감할 수 있게 된다.

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 한 프레임에 포함된 서브필드의 휘도가중치의 일례를 나타내는 도면.

도 3은 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동장치를 나타낸 도면.

도 4는 본 발명의 제 1 실시 예에 따른 플라즈마 디스플레이 패널의 구동파형을 나타낸 도면.

도 5는 본 발명의 제 1 실시 예에 따른 플라즈마 디스플레이 패널의 구동파형을 V_t 커브로 해석한 도면.

도 6은 본 발명의 제 2 실시 예에 따른 플라즈마 디스플레이 패널의 구동과형을 나타낸 도면.

도 7은 본 발명의 제 3 실시 예에 따른 플라즈마 디스플레이 패널의 구동과형을 나타낸 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기판 12Y,12Z : 투명전극

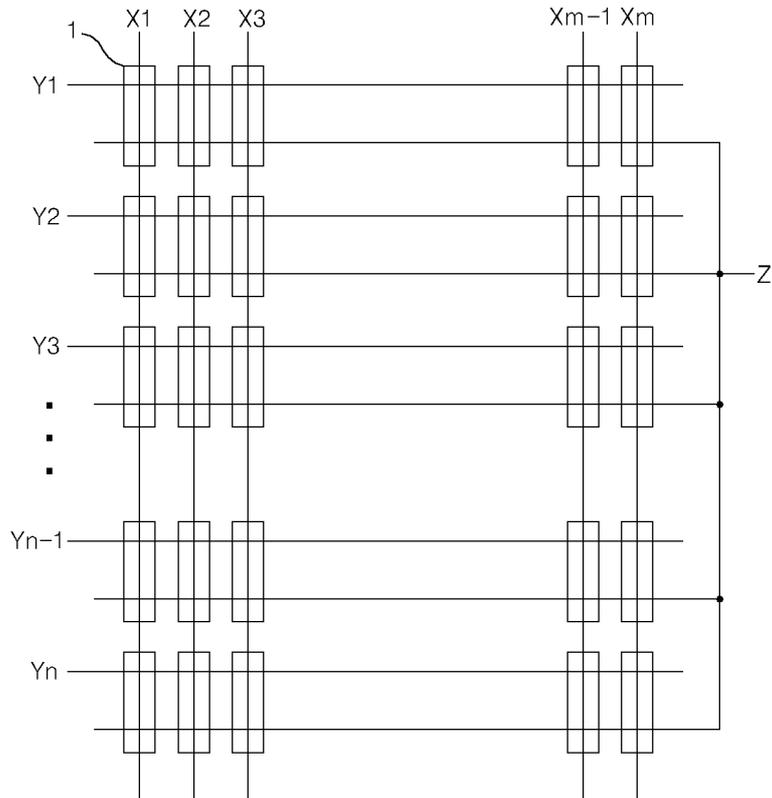
13Y,13Z : 버스전극 14,22 : 유전체층

16 : 보호막 18 : 하부기판

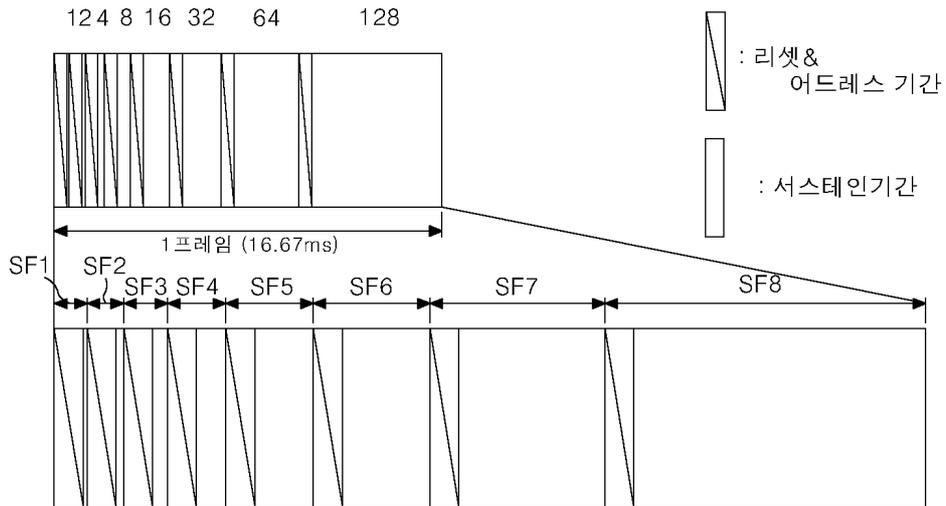
24 : 격벽 26 : 형광체층

도면

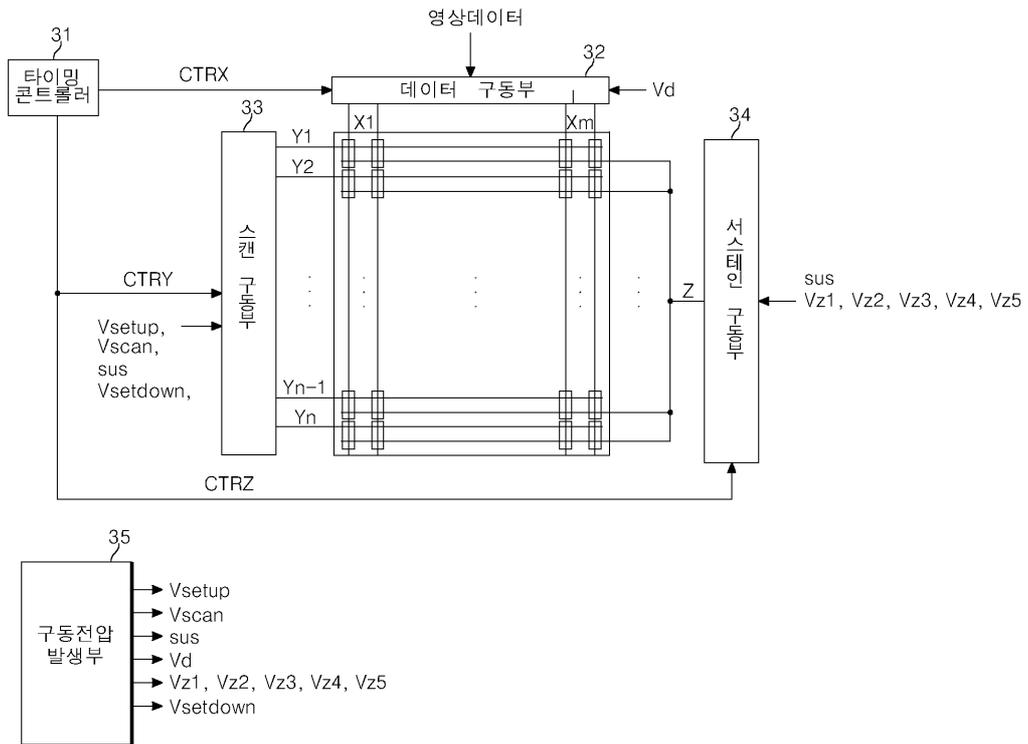
도면1



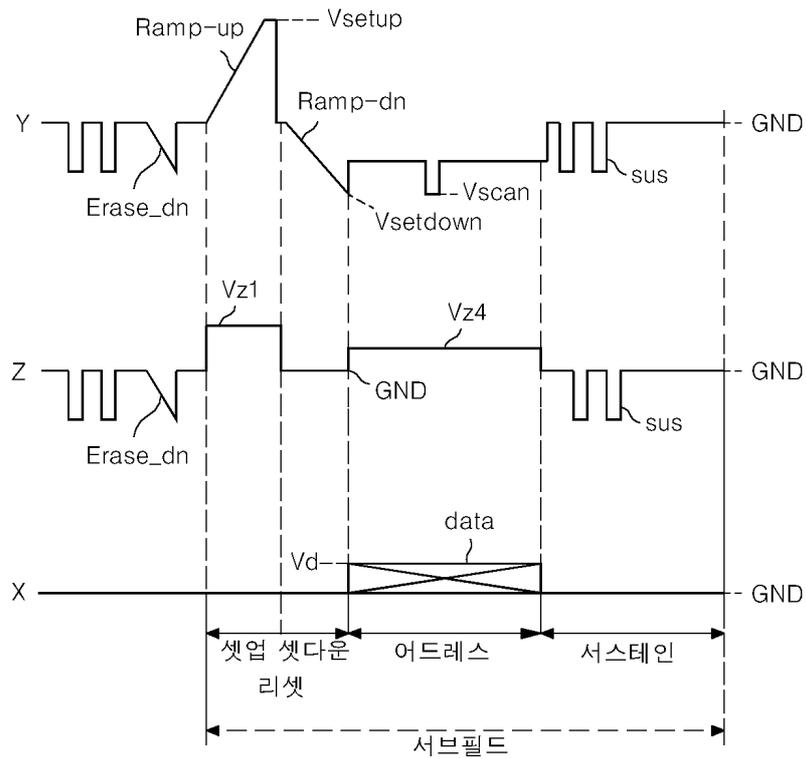
도면2



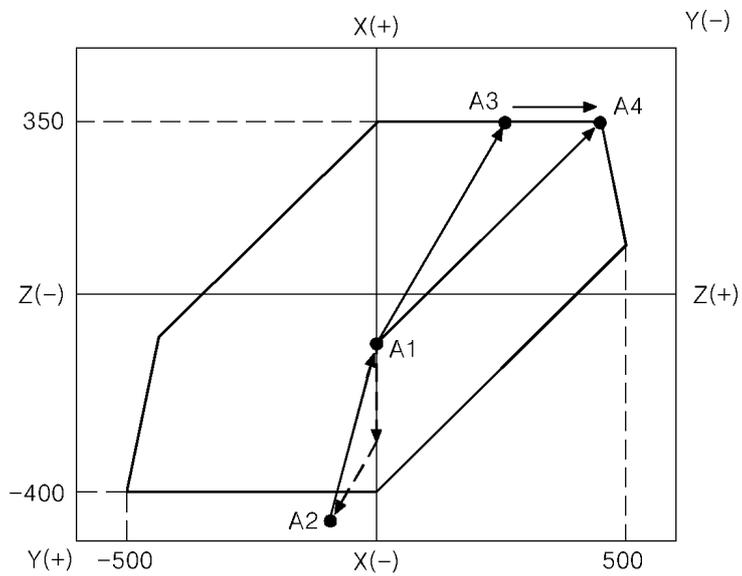
도면3



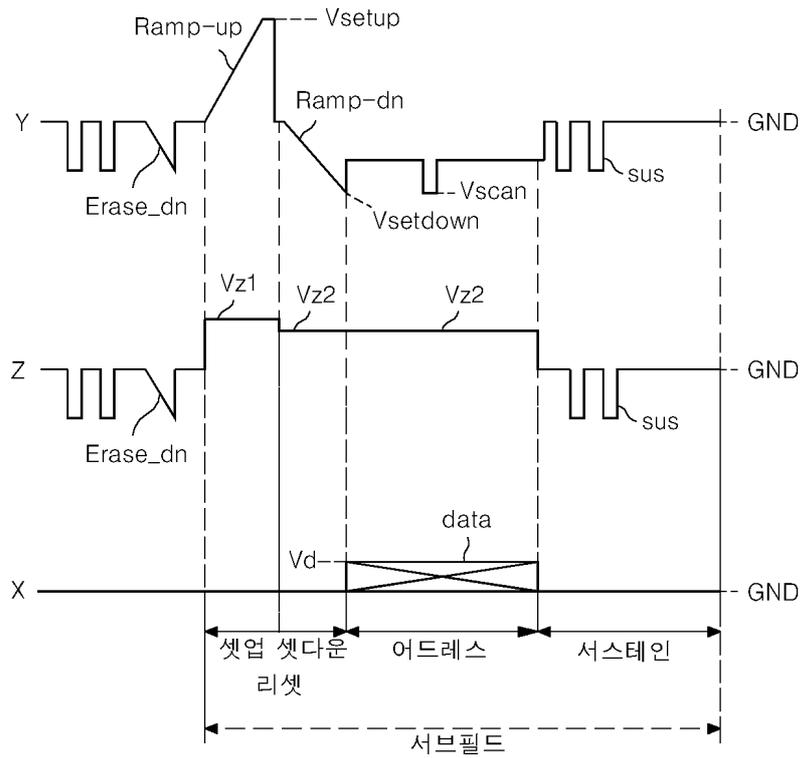
도면4



도면5



도면6



도면7

