

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6601520号  
(P6601520)

(45) 発行日 令和1年11月6日(2019.11.6)

(24) 登録日 令和1年10月18日(2019.10.18)

(51) Int. Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/146 A
HO 4 N 5/374 (2011.01)	HO 4 N 5/374
HO 4 N 5/3745 (2011.01)	HO 4 N 5/3745 7 0 0

請求項の数 1 (全 22 頁)

(21) 出願番号	特願2018-44247 (P2018-44247)	(73) 特許権者	000004112
(22) 出願日	平成30年3月12日 (2018. 3. 12)		株式会社ニコン
(62) 分割の表示	特願2013-254919 (P2013-254919) の分割		東京都港区港南二丁目15番3号
原出願日	平成25年12月10日 (2013.12.10)	(74) 代理人	100107836
(65) 公開番号	特開2018-101809 (P2018-101809A)		弁理士 西 和哉
(43) 公開日	平成30年6月28日 (2018. 6. 28)	(72) 発明者	瀬尾 崇志
審査請求日	平成30年3月14日 (2018. 3. 14)		東京都港区港南二丁目15番3号 株式会 社ニコン内
		(72) 発明者	鶴田 八朗
			東京都港区港南二丁目15番3号 株式会 社ニコン内
		審査官	田邊 顕人

最終頁に続く

(54) 【発明の名称】 撮像素子、撮像素子の製造方法、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

光を電荷に変換する光電変換部と、  
平面視においてT型に形成され、電荷を電圧に変換する電荷電圧変換部と、  
 前記光電変換部で光電変換された電荷を前記光電変換部から前記電荷電圧変換部へ転送する転送ゲートを有する転送部と、を備え、  
 前記電荷電圧変換部は、前記転送部に接続している領域を含む第1領域と、前記第1領域に接続され、前記第1領域よりも前記転送部から離れている第2領域と、を有し、  
前記転送ゲートのゲート幅方向において、前記第2領域の幅は、前記第1領域の幅よりも小さく、  
前記転送ゲートのゲート長方向において、前記第2領域の長さは、前記第1領域の長さよりも長い、撮像素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子、撮像素子の製造方法、及び電子機器に関する。

【背景技術】

【0002】

CMOS型撮像素子が知られている。CMOS型撮像素子は、光を電荷に変換する光電変換部と電荷を電圧に変換する電荷電圧変換部と光電変換部で光電変換された電荷を光電

変換部から電荷電圧変換部へ転送する転送ゲート部を有する画素が複数配列されている（例えば、特許文献1参照。）。各画素において光電変換部から電荷電圧変換部への電荷転送時間を短縮するために、転送ゲート部のゲート幅と電荷電圧変換部の幅とをそれぞれ拡大することで単位時間あたりに転送できる電荷量を増加させるなどの構成が提案されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-303386号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0004】

しかしながら、上記のような電荷電圧変換部の幅を拡大する構成では、電荷電圧変換部の面積が大きくなり、電荷電圧変換部の容量増大を招く。

【課題を解決するための手段】

【0005】

本発明の態様によれば、光を電荷に変換する光電変換部と、平面視においてT型に形成され、電荷を電圧に変換する電荷電圧変換部と、光電変換部で光電変換された電荷を光電変換部から電荷電圧変換部へ転送する転送ゲートを有する転送部と、を備え、電荷電圧変換部は、転送部に接続している領域を含む第1領域と、第1領域に接続され、第1領域よりも転送部から離れている第2領域と、を有し、転送ゲートのゲート幅方向において、第2領域の幅は、第1領域の幅よりも小さく、転送ゲートのゲート長方向において、第2領域の長さは、第1領域の長さよりも長い、撮像素子が提供される。

20

本発明の第1態様によれば、光を電荷に変換する光電変換部と、電荷を電圧に変換する電荷電圧変換部と、光電変換部で光電変換された電荷を光電変換部から電荷電圧変換部へ転送する転送部と、を備え、電荷電圧変換部は、転送部に接続している領域を含む第1領域と第1領域よりも転送部から離れている第2領域とを有し、第2領域の幅及び深さの少なくとも一方は第1領域に対して小さい撮像素子が提供される。

【0006】

本発明の第2態様によれば、光を電荷に変換する光電変換部と、電荷を電圧に変換する電荷電圧変換部と、光電変換部で光電変換された電荷を光電変換部から電荷電圧変換部に転送する転送部と、を備える撮像素子の製造方法であって、電荷電圧変換部は、転送部に接続している領域を含む第1領域と第1領域よりも転送部から離れている第2領域とを有し、第2領域の幅及び深さの少なくとも一方は第1領域に対して小さく形成される。

30

【0007】

本発明の第3態様によれば、上記した第1態様の撮像素子と、撮像素子から出力された画像データを記録する記録部と、を有する電子機器が提供される。

【発明の効果】

【0008】

本発明の態様によれば、電荷電圧変換部の容量を増大させずに光電変換部から電荷電圧変換部への電荷転送時間を短縮することができる。

40

【図面の簡単な説明】

【0009】

【図1】第1実施形態に係る撮像素子の一例を示す図であり、(a)は回路構成図、(b)は画素レイアウト図である。

【図2】第1実施形態に係る撮像素子に用いられる画素の一部を示す図である。

【図3】電荷電圧変換部の一例を示す図である。

【図4】電荷電圧変換部の変形例を示す図である。

【図5】電荷電圧変換部の変形例を示す図である。

【図6】第2実施形態に係る撮像素子に用いられる画素の一例を示す図である。

50

【図 7】第 3 実施形態に係る撮像素子の一例を示す図である。

【図 8】第 4 実施形態に係る撮像素子に用いられる画素の一部を示す図である。

【図 9】撮像素子に用いられる画素の変形例を示す図である。

【図 10】第 5 実施形態に係る撮像素子の一例を示す図である。

【図 11】実施形態に係る撮像素子の製造方法の一例を示すフローチャートである。

【図 12】実施形態に係る電子機器の一例を示す機能ブロック図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施形態について図面を参照して説明する。ただし、本発明はこれに限定されるものではない。また、図面においては、実施形態を説明するため、一部分を大きくまたは強調して記載するなど適宜縮尺を変更して表現している。

10

【0011】

< 第 1 実施形態 >

図 1 ( a ) は、第 1 実施形態に係る撮像素子 100 の回路構成を示す図である。図 1 ( b ) は、画素 P X のレイアウトを示す図である。図 1 ( b ) では、縦 2 画素 × 横 2 画素分の領域を示している。図 1 ( b ) における網掛け部分は、各トランジスタのゲートを示し、×印を付けた矩形は、コンタクト領域を示している。なお、図 1 ( b ) では、図を見やすくするために、電源 V D D に接続される配線の記載を省略している。図 1 ( a ) に示すように、撮像素子 100 は、C M O S 型の撮像素子であり、画素アレイ 10、垂直走査回路 20、水平走査回路 30、定電流源 I S 及び垂直信号線 V L を有している。

20

【0012】

画素アレイ 10 は、n 行 m 列の 2 次元マトリクス状に配置された複数の画素 P X を有している。例えば、各画素 P X は、入射光の光量に応じた電気信号を生成する。列方向に配置された複数の画素 P X は、列毎に設けられた垂直信号線 V L に接続されている。また、各垂直信号線 V L は、各画素 P X からの信号を読み出すために、定電流源 I S に接続されている。

【0013】

画素 P X は、光電変換部 P D、電荷電圧変換部 F D、転送部 M T R、増幅部 M A M、選択部 M S E、及びリセット部 M R S を有している。画素 P X 内に形成される転送部 M T R、増幅部 M A M、選択部 M S E、及びリセット部 M R S は、例えば、全て n M O S トランジスタが用いられる。以下の説明では、転送部 M T R、増幅部 M A M、選択部 M S E、及びリセット部 M R S としてトランジスタが用いられた一例を示している。転送部 M T R は、例えば転送トランジスタと呼んでもよい。増幅部 M A M は、例えば増幅トランジスタと呼んでもよい。選択部 M S E は、例えば選択トランジスタと呼んでもよい。リセット部 M R S は、例えばリセットトランジスタと呼んでもよい。

30

【0014】

光電変換部 P D は、入射光の光量に応じて信号電荷を生成する。光電変換部 P D は、例えば、フォトダイオードが用いられる。例えば、画素 P X において、光電変換部 P D は、アノードが接地され、カソードが転送部 M T R のソースに接続されている。光電変換部 P D により生成された信号電荷は、転送部 M T R を介して、電荷電圧変換部 F D に転送される。

40

【0015】

電荷電圧変換部 F D は、例えばフローティングディフュージョンとも呼ばれる。電荷電圧変換部 F D は、光電変換部 P D から転送される電荷を蓄積する容量 F C を有している。容量 F C は、転送部 M T R のドレイン領域に形成されている。光電変換部 P D から電荷電圧変換部 F D に転送された信号電荷は、容量 F C に蓄積され、電圧に変換される。このように、電荷電圧変換部 F D は、光電変換部 P D から転送される電荷を電圧に変換する電荷電圧変換部として機能する。なお、電荷電圧変換部 F D は、容量 F C に加えて、配線 C L と他の配線とのカップリング容量、リセット部 M R S のソースに形成される容量等を有している。

50

## 【 0 0 1 6 】

転送部MTRは、光電変換部PDに蓄積されている信号電荷を電荷電圧変換部FDに転送する。転送部MTRのゲート(図2等に示す転送ゲート部G)は、転送信号線TXに接続されている。転送部MTRのソースは、上記のように光電変換部PD(アノード)に接続されている。転送部MTRのドレインは、増幅部MAMのゲート及びリセット部MRSのソースに接続されている。したがって、転送部MTRのドレイン、増幅部MAMのゲート及びリセット部MRSのソースは、互いに接続されている。

## 【 0 0 1 7 】

増幅部MAMは、電荷電圧変換部FDに転送された信号電荷に基づく画素信号を生成する。増幅部MAMのゲートは、上記のように転送部MTR(ドレイン)に接続されている。増幅部MAMのソースは、選択部MSEのドレインに接続されている。増幅部MAMのドレインは、電源VDDに接続されている。

10

## 【 0 0 1 8 】

選択部MSEは、増幅部MAMからの画素信号を出力するか否かを選択する。選択部MSEのゲートは、選択信号線SETに接続されている。選択部MSEのソースは、垂直信号線VLに接続されている。選択部MSEのドレインは、上記のように増幅部MAM(ソース)に接続されている。この構成において、選択部MSEのゲートがオンになっている期間には、増幅部MAMと、選択部MSEと、垂直信号線VLに接続された定電流源ISとにより、ソースフォロア回路が構成される。この場合、垂直信号線VLには、選択部MSEにより選択された画素PXの信号が出力される。

20

## 【 0 0 1 9 】

リセット部MRSは、電荷電圧変換部FDの電圧をリセットする。リセット部MRSのゲートは、リセット信号線RSTに接続されている。リセット部MRSのソースは、上記のように転送部MTR(ドレイン)及び増幅部MAM(ゲート)に接続されている。リセット部MRSのドレインは、電源VDDに接続されている。この構成において、リセット部MRSのゲートをオンにすることにより、電荷電圧変換部FDの電荷(容量FCに蓄積されている電荷)がリセットされる。

## 【 0 0 2 0 】

垂直走査回路20は、選択信号線SEL、リセット信号線RST及び転送信号線TXにそれぞれ接続されている。垂直走査回路20は、選択信号線SELに対して選択信号を入力し、リセット信号線RSTに対してリセット信号を入力し、転送信号線TXに対して転送信号を入力する。垂直走査回路20は、これら選択信号、リセット信号及び転送信号により、画素アレイ10の画素PXを行毎に制御する。図1(a)において、n行目の画素PXの選択信号線SEL、リセット信号線RST及び転送信号線TXは、それぞれ選択信号線SEL(n)、リセット信号線RST(n)、及び転送信号線VX(n)を示している。

30

## 【 0 0 2 1 】

水平走査回路30は、垂直走査回路20により選択された行の画素PXの信号OUTS、OUTNを蓄積し、蓄積した信号OUTS、OUTNを列毎に順次出力する。信号OUTNは、例えば、画素PXのリセットノイズ成分等を含む固定ノイズ成分を示すノイズ信号である。また、信号OUTSは、画素PXのリセットノイズ成分等の固定ノイズ成分と、画素PX内の光電変換部PDで生成された電荷に応じた信号成分とを含む画素信号である。

40

## 【 0 0 2 2 】

転送部MTRは、図1(b)に示すように、光電変換部PDに隣接して配置されている。転送部MTRのソース及び光電変換部PDのカソードは、拡散領域を互いに共有し、互いに接続されている。

## 【 0 0 2 3 】

選択部MSE、増幅部MAM、及びリセット部MRSは、例えば画素PXの一辺(図1(b)の下側の辺)に沿って配置されている。選択部MSEのドレイン及び増幅部MAM

50

のソースは、拡散領域（トランジスタMSE、MAMのゲート間の領域）を互いに共有し、互いに接続されている。また、増幅部MAMのドレイン及びリセット部MRSのドレインは、拡散領域（トランジスタMAM、MRSのゲート間の領域）を互いに共有し、互いに接続されている。なお、増幅部MAMのドレイン及びリセット部MRSのドレインは、コンタクト領域22を介して、電源VDDの配線（図1（b）では図示せず）に接続される。

#### 【0024】

選択信号線SEL、リセット信号線RST、及び転送信号線TXは、画素PXの行方向（図1（b）の横方向）に沿って形成されている。選択信号線SELは、コンタクト領域13を介して選択部MSEのゲートに接続されている。リセット信号線RSTは、コンタクト領域14を介してリセット部MRSのゲートに接続されている。転送信号線TXは、列方向（図1（b）の縦方向）に伸びる分岐配線TXm及びコンタクト領域15を介して、転送部MTRのゲートに接続されている。

10

#### 【0025】

転送部MTRのドレイン（電荷電圧変換部FD）には、コンタクト領域16を介して、配線CLが接続されている。この配線CLは、コンタクト領域17を介して、増幅部MAMのゲートに接続されている。また、配線CLは、コンタクト領域18を介して、選択部MSEのソースに接続されている。

#### 【0026】

垂直信号線VLは、列方向（図1（b）の縦方向）に沿って形成されている。垂直信号線VLは、コンタクト領域19を介して、選択部MSEのソースに接続されている。また、接地電圧線GNDは、垂直信号線VLに平行に配置されている。接地電圧線GNDは、コンタクト領域21を介して各画素PXに接続されている。また、図示を省略するが、電源VDDからの配線は、コンタクト領域22を介して、増幅部MAMのドレイン及びリセット部MRSのドレインに接続されている。

20

#### 【0027】

図2（a）は、画素PXの一部の構成を示す平面図である。図2（b）は、図2（a）におけるA-A断面に沿った構成を示す図である。図2（a）及び（b）に示すように、画素PXには、素子分離部23が形成されている。素子分離部23は、例えば、選択酸化分離（LOCOS）や浅溝分離（STI）などの手法によって形成される。素子分離部23は、平面視において3つの矩形の領域（第1部分23a、第2部分23b、第3部分23c）を有している。第1部分23a、第2部分23b及び第3部分23cは、一方向（例えば、図2（a）の左右方向）に並んで配置されている。

30

#### 【0028】

第1部分23aは、光電変換部PDを囲むように形成されている。第2部分23bは、第1部分23aに接続されている。転送部MTRは、光電変換部PDで光電変換された電荷を光電変換部PDから電荷電圧変換部FDへ転送する転送ゲート部Gを含む。転送ゲート部Gは、第1部分23aと第2部分23bとの接続部分を跨ぐ位置に配置されている。第3部分23cは、第2部分23bに接続されている。素子分離部23は、第1部分23aから第3部分23cにかけて、段階的に面積が小さくなっている。

40

#### 【0029】

図2（b）に示すように、画素PXは、N型基板SUBに形成されたPウェル領域23pに作成される。Pウェル領域23pにおいて、N型拡散領域の光電変換部PD、転送部MTRのソースS、及びドレインD（電荷電圧変換部FD）が形成されている。光電変換部PDは、電荷電圧変換部FDよりも下層側に配置されている。Pウェル領域23pの上層にはゲート絶縁膜23gが配置されている。このゲート絶縁膜23g上には、転送部MTRのソースSとドレインDとの間のチャンネル領域と重なるように転送ゲート部Gが配置されている。

#### 【0030】

図3は、図2（a）のうち転送部MTR及び電荷電圧変換部FDを拡大して示す図であ

50

る。図3に示すように、電荷電圧変換部FDは、8つの直線部(41~48)によって囲まれた形状を有している。直線部41は、転送ゲート部GのうちドレインD側の一辺に接続している。直線部41は、転送ゲート部Gのゲート幅方向(図3の縦方向)に平行に配置されている。直線部41は、ゲート幅方向において、転送ゲート部Gの中央部に配置されている。直線部41の長さは、転送ゲート部Gのゲート幅W1に比べて短くなっている。このため、電荷電圧変換部FDの幅(ゲート幅方向の寸法)W2は、ゲート幅W1よりも小さくなっている。電荷電圧変換部FDの幅W2は、素子分離部23によって設定される。

#### 【0031】

直線部42は、直線部41の一端部41a(例えば、図3の上側端部)に接続されている。直線部43は、直線部41の他端部41b(例えば、図3の下側端部)に接続されている。直線部42、43は、互いに平行に配置されており、同一の長さを有している。直線部42、43は、転送ゲート部Gのゲート長の方向(図3の横方向)に平行に配置されており、直線部41の方向に対して垂直に配置されている。直線部42、43は、転送ゲート部Gから離れる方向(図3の左方向)へ向けて形成されている。ただし、直線部42、43は、互いに平行でなくてもよく、また異なる長さに設定されてもよい。

10

#### 【0032】

直線部44は、直線部42の端部42aに接続されている。端部42aは、直線部42の2つの端部のうち、直線部41に接続された端部とは異なる端部である。直線部44は、直線部41に平行である。直線部44は、端部42aから直線部45(後述する)へ向けた方向(図3の下方向)に形成されている。ゲート幅方向において、直線部44は、直線部41よりも短い。

20

#### 【0033】

直線部45は、直線部43の端部43aに接続されている。端部43aは、直線部43の2つの端部のうち、直線部41に接続された端部とは異なる端部である。直線部45は、直線部41及び直線部44に平行である。直線部45は、端部43aから直線部44へ向けた方向(図3の上方向)に形成されている。ゲート幅方向において、直線部45は、直線部44に等しい長さを有しており、直線部41よりも短い。直線部45は、直線部44と同一の長さに設定される。ただし、直線部44、45は、直線部41と平行でなくてもよく、また、異なる長さに設定されてもよい。

30

#### 【0034】

直線部46は、直線部44の端部44aに接続されている。端部44aは、直線部44の2つの端部のうち、直線部42に接続された端部とは異なる端部である。直線部46は、直線部42に平行である。直線部46は、端部44aを始点として転送ゲート部Gから離れる方向(図3の左方向)に形成されている。直線部46の長さは、直線部42の長さよりも長くなっている。

#### 【0035】

直線部47は、直線部45の端部45aに接続されている。端部45aは、直線部45の2つの端部のうち、直線部43に接続された端部とは異なる端部である。直線部47は、直線部43、46に平行である。直線部47は、端部45aを始点として転送ゲート部Gから離れる方向(図3の左方向)に形成されている。直線部47の長さは、直線部46の長さと同じ。したがって、直線部47の長さは、直線部43(又は直線部42)の長さよりも長くなっている。ただし、直線部46、47は、互いに平行でなくてもよく、また、異なる長さに設定されてもよい。

40

#### 【0036】

直線部48は、直線部46の端部46aと直線部47の端部47aとを接続している。端部46aは、直線部46の2つの端部のうち、直線部44に接続された端部とは異なる端部である。端部47aは、直線部47の2つの端部のうち、直線部45に接続された端部とは異なる端部である。直線部48は直線部41、44、45に平行に配置されている。ただし、直線部48は、直線部41等と平行でなくてもよい。

50

## 【 0 0 3 7 】

直線部 4 2、4 3、4 4、4 5 は、素子分離部 2 3 のうち第 2 部分 2 3 b の輪郭線に沿って配置されている。また、直線部 4 6、4 7、4 8 は、素子分離部 2 3 のうち第 3 部分 2 3 c の輪郭線に沿って配置されている。電荷電圧変換部 F D は、素子分離部 2 3 の第 2 部分 2 3 b の一部、及び第 3 部分 2 3 c の輪郭線に囲まれた領域に形成される。電荷電圧変換部 F D は、素子分離部 2 3 の内側に形成されている。

## 【 0 0 3 8 】

上記の 8 つの直線部 4 1 ~ 4 8 により、電荷電圧変換部 F D には、ゲート幅方向の寸法が異なる 2 つの領域（第 1 領域 F D s 及び第 2 領域 F D t）が形成されている。このうち第 1 領域 F D s は、転送ゲート部 G に接続している領域を含む。この第 1 領域 F D s は、転送部 M T R に接続される。第 1 領域 F D s の幅（ゲート幅方向の寸法）W 2 は、転送ゲート部 G のゲート幅 W 1 よりも小さくなっている。第 1 領域 F D s の幅 W 2 は、光電変換部 P D からの信号電荷の転送速度を十分確保できる程度に設定される。図 3 に示す、電荷電圧変換部 F D は、平面視で T 型に形成される。

10

## 【 0 0 3 9 】

また、第 2 領域 F D t は、第 1 領域 F D s に接続されている。第 2 領域 F D t には、コンタクト領域 1 6 が配置されている。コンタクト領域 1 6 は、信号線等の配線に対して電気的な接続に必要な領域を有する。コンタクト領域 1 6 の幅（ゲート幅方向の寸法）は、第 2 領域 F D t の幅（ゲート幅方向の寸法）W 3 より小さく設定されている。なお、コンタクト領域 1 6 の幅は、第 2 領域 F D t の幅 W 3 と同一であってもよい。また、第 2 領域 F D t の幅 W 3 が、図 3 に示すコンタクト領域 1 6 の幅より小さくなるように設定されてもよい。

20

## 【 0 0 4 0 】

第 2 領域 F D t の幅 W 3 は、第 1 領域 F D s の幅（ゲート幅方向の寸法）W 2 よりも小さくなっている。したがって、電荷電圧変換部 F D は、転送ゲート部 G から離れた部分の幅が小さくなっている。第 2 領域 F D t の幅 W 3 は、例えば第 1 領域 F D s の幅 W 2 の 1 / 2 となるように設定されている。ただし、幅 W 3 は、幅 W 2 より小さく設定されるものであれば、W 3 / W 2 が 1 / 2 より大きくまたは小さくてもよい。

## 【 0 0 4 1 】

第 2 領域 F D t の長さ（ゲート長の方向の寸法）L 2 は、第 1 領域 F D s の長さ（ゲート長の方向の寸法）L 1 よりも大きくなっている。長さ L 1 と L 2 との比は任意に設定可能である。従って、長さ L 1 と L 2 とが等しくてもよく、長さ L 1 が L 2 より大きくてもよい。長さ L 1 は、転送ゲート部 G を介して転送される電荷を受け入れるのに必要な長さに設定される。

30

## 【 0 0 4 2 】

次に、撮像素子 1 0 0 の動作を説明する。まず、撮影画像を構成する全ての画素 P X の光電変換部 P D の電荷を初期値にリセットさせておく。次に、メカニカルシャッタを開き、光電変換部 P D を露光する。この動作では、全ての行のリセット信号、転送信号及び選択信号が低レベルに維持され、全ての画素 P X のリセット部 M R S、転送部 M T R 及び選択部 M S E をオフにしておく。各光電変換部 P D では、露光量に応じた電荷量の信号電荷が生成され、蓄積される。

40

## 【 0 0 4 3 】

次に、各光電変換部 P D に蓄積された信号電荷を電荷電圧変換部 F D に転送する。この動作において、垂直走査回路 2 0 は、転送信号線 T X 毎に転送信号を高レベルに一定期間維持する。これにより、転送部 M T R が一定期間オンになる。各画素 P X では、光電変換部 P D により生成された信号電荷が、転送部 M T R を介して、電荷電圧変換部 F D の第 1 領域 F D s に転送される。本実施形態では、第 1 領域 F D s の幅 W 2 は、信号電荷の転送速度を十分確保できる程度に形成されているため、信号電荷の転送が短時間で完了する。信号電荷の転送により、電荷電圧変換部 F D の電圧は、例えば、転送された信号電荷の量に応じて降下する。

50

## 【0044】

増幅部MAMのゲートには、電荷電圧変換部FDで降下された電圧が入力される。増幅部MAMには、電荷電圧変換部FDの電圧から増幅部MAMの閾値電圧分降下した電圧(図1(a)に示した信号OUTSに対応する電圧)を垂直信号線VLに出力する。これにより、垂直信号線VLには、画素PX群の光電変換部PDで生成された信号電荷に応じた信号が出力される。なお、垂直走査回路20は、転送信号を入力する転送信号線TXを切り替える毎に、リセット信号線RSTにリセット信号を入力する。これにより、画素信号を読み出し済みの画素PXについては、電荷電圧変換部FDの電圧がリセットされる。

## 【0045】

上記のように本実施形態の撮像素子100においては、第1領域FDsにおいて電荷の転送速度を十分確保することができる。また、電荷電圧変換部FDの第2領域FDtの幅W3が第1領域FDsの幅W2に対して小さいため、電荷電圧変換部FDの容量を小さくすることができる。これにより、電荷電圧変換部FDの容量を増大させずに光電変換部PDから電荷電圧変換部FDへの電荷転送時間を短縮することができる。また、電荷電圧変換部FDの容量を小さくするため、S/Nの高い画像を得ることができる。また、転送ゲート部Gからできるだけ離れた位置でコンタクトを形成できるので、第1領域FDsと第2領域FDtとで幅が変化しない(段を設けていない)電荷電圧変換部に比べて少なくとも転送ゲート部Gのゲート長方向(図3の左右方向)においてコンタクト形成位置に自由度がある。従って、コンタクト形成時にマスクずれが生じても転送ゲート部Gにコンタクト領域16が重なることを防止できる。また、電荷電圧変換部FD領域周辺は配線等が密に形成されるので、電荷電圧変換部FDとして第1領域FDsより幅の狭い第2領域FDtが設けられることにより配線レイアウト上、余裕を持たせることができる。なお、コンタクト形成位置に自由度がある点や、配線レイアウトに余裕がある点は、以下の変形例及び他の実施形態についても同様である。

## 【0046】

なお、上記した実施形態では、図3に示すように、転送ゲート部Gの幅方向のほぼ中央を紙面の左右に延びる線に対して、電荷電圧変換部FDが対称に形成されているが、これに限定されない。例えば、第2領域FDtが第1領域FDsの端部の一方に偏って配置されてもよく、さらには第2領域FDtが第1領域FDsの端部に接続されて、平面視でL型に形成されてもよい。

## 【0047】

## &lt;変形例&gt;

電荷電圧変換部FDの変形例について図面を参酌して説明する。以下の説明において、上記した実施形態と同一または同等の構成部分については同一符号を付けて説明を省略または簡略化する。また、以下に説明する変形例では要部について図示しており、他の構成については上記した第1実施形態と同様である。

## 【0048】

図4(a)は、変形例に係る電荷電圧変換部FDAの一例を示す平面図である。図4(a)に示すように、電荷電圧変換部FDAは、第1領域FDAs及び第2領域FDAtを有している。第1領域FDAsは、転送部MTRのドレインD(図2(b)参照)に接続されている。

## 【0049】

本変形例では、第1領域FDAsの幅(転送ゲート部Gのゲート幅方向の寸法)W4は、転送ゲート部Gのゲート幅W1と等しくなっている。なお、第2領域FDAtは、上記した第1実施形態の第2領域FDtと同一構成である。第1領域FDAsの幅W4は、図4(a)に示すように、素子分離部23Aの直線部23A1、23A2によって設定される。直線部23A1、23A2は、転送ゲート部Gの両側の端部に沿って配置されている。

## 【0050】

この変形例によれば、第1実施形態の構成に比べて、信号電荷を転送可能な領域が広く

10

20

30

40

50

なっているため、信号電荷の転送速度を向上できる。しかも、第1領域FDAsの幅W4がゲート幅W1と等しいため、チャンネル幅いっぱいに電荷電圧変換部FDAを接続させることができ、効率的に信号電荷を転送することができる。なお、第1領域FDAs及び第2領域FDAtの幅や長さ、これらの比については、第1実施形態と同様に設定される。

【0051】

図4(b)は、変形例に係る電荷電圧変換部FDBの一例を示す平面図である。図4(b)に示すように、電荷電圧変換部FDBは、第1領域FDBs及び第2領域FDBtを有している。第1領域FDBsは、転送部MTRのドレインDに接続されている。本変形例では、第1領域FDBsの幅(転送ゲート部Gのゲート幅方向の寸法)W5は、転送ゲート部Gのゲート幅W1よりも大きくなっている。なお、第2領域FDBtは、上記した第1実施形態の第2領域FDtと同一構成である。第1領域FDBsの幅W5は、図4(b)に示すように、素子分離部23Bの直線部23B1、23B2によって設定される。直線部23B1、23B2は、転送ゲート部Gの幅方向の端部から離れて配置されている。

10

【0052】

この構成によれば、図4(a)に示す変形例に比べて信号電荷を転送可能な領域が更に広がっている。従って、転送ゲート部Gの直下を外れた電荷を含めて電荷電圧変換部FDBに転送することができ、信号電荷をより効率的に転送することができる。なお、転送ゲート部Gの幅W1に対する幅W5の寸法は任意に設定可能である。ただし、幅W5が大きいと電荷電圧変換部FDBの容量増加を招くため、例えば、幅W1に対して110%の幅W5に設定される。なお、第1領域FDBs及び第2領域FDBtの幅や長さ、これらの比については、第1実施形態と同様に設定される。

20

【0053】

図5(a)~(f)は、変形例に係る電荷電圧変換部FDCa~FDCfの構成を示す平面図である。図5(a)~(f)に示すように、電荷電圧変換部の形状を変更することが可能である。

【0054】

図5(a)に示す電荷電圧変換部FDCaは、転送ゲート部Gに接続する第1領域から転送ゲート部Gに対して離れる方向に2つの段部51a、51bによって段階的に幅が小さくなった第2領域を有している。この電荷電圧変換部FDCaの第2領域は、2段階で幅の縮小率を等しくしているが、これに限定されない。例えば、3つ以上の段部を用いて3段階以上で幅を縮小させてもよく、また、各段階での縮小率を変化させてもよい。電荷電圧変換部FDCaでは、各段階でのゲート長方向の長さが等しいが、異なってもよい。

30

【0055】

図5(b)及び(c)に示す電荷電圧変換部FDCb、FDCcは、転送ゲート部Gに接続する第1領域から、転送ゲート部Gに対して離れる方向にわたって湾曲させつつ幅が小さくなった第2領域を有している。図5(b)に示す電荷電圧変換部FDCbは、2つの湾曲部52のそれぞれが、ゲート幅方向(図5(b)の縦方向)の中央部側が凹んだ形状を有している。図5(c)に示す電荷電圧変換部FDCcは、2つの湾曲部53のそれぞれが、ゲート幅方向(図5(c)の縦方向)の中央部側が外側に膨らんだ形状を有している。なお、電荷電圧変換部FDCb、FDCcにおいて、湾曲した部分の曲率は任意に設定可能であり、また、複数の曲率を組み合わせ設定されてもよい。

40

【0056】

図5(d)に示す電荷電圧変換部FDCdは、転送ゲート部Gに接続する第1領域から転送ゲート部Gに対して離れる方向に、ゲート長の方向に対して傾斜した2つの傾斜部54により直線的に幅が小さくなった第2領域を有している。この電荷電圧変換部FDCdは、平面視で台形の形状となる。なお、傾斜部54は、ゲート長の方向に対する傾斜角度を任意に設定可能である。

【0057】

図5(e)に示す電荷電圧変換部FDCeは、転送ゲート部Gに接続する第1領域と、

50

第1領域よりも転送ゲート部Gから離れた第2領域とを有し、第2領域のうち第1領域側の部分がゲート長の方向に対して傾斜した2つの傾斜部55によって直線的に幅が小さくなっている。従って、傾斜部55を除く第1領域及び第2領域は、それぞれ幅が等しくなっている。なお、傾斜部55は、ゲート長の方向に対する傾斜角度を任意に設定可能である。

#### 【0058】

図5(f)に示す電荷電圧変換部FDCfは、転送ゲート部Gに接続する第1領域と、第1領域よりも転送ゲート部Gから離れた第2領域とを有し、第2領域のうち第1領域側に対向位置にそれぞれ凹部56が形成されている。この凹部56が形成されることで、第1領域から第2領域への接続部分がくびれた状態となる。なお、くびれた部分の幅は任意に設定可能である。また、凹部56は矩形状であることに限定されず、湾曲した形状であってもよい。

10

#### 【0059】

上記した電荷電圧変換部FDCa~FDCfの形状は、例えば、素子分離部23によって設定される。また、電荷電圧変換部FDの形状については、図5(a)~(f)に示した構成に限るものではなく、転送ゲート部Gに接続する第1領域の幅に対して、第1領域よりも転送ゲート部Gから離れた第2領域の幅を小さくするものであれば、他の形状であってもよい。例えば、上記した図5(a)~(f)に示した構成を組み合わせたものでもよい。また、電荷電圧変換部FDの第2領域には、コンタクト領域16を配置するスペースを確保できる形状が適用されてもよい。また、図5(a)~(f)に示すものでは、第1領域が転送ゲート部Gの幅より小さいが、これに代えて、図4に示すように転送ゲート部Gの幅と等しくするものや、転送ゲート部Gの幅より大きく設定してもよい。

20

#### 【0060】

##### <第2実施形態>

図6は、第2実施形態に係る撮像素子に用いられる画素PXDの一例を示す図である。図6では、画素PXDを示しており、撮像素子の他の構成については、図1(b)に示す撮像素子100と同様である。以下の説明において、上記した実施形態と同一または同等の構成部分については同一符号を付けて説明を省略または簡略化する。

#### 【0061】

図6に示すように、画素PXDには、素子分離部23Dが形成されている。素子分離部23Dは、平面視において2つの矩形の領域(第1部分23Da、第2部分23Db)を有している。第1部分23Da及び第2部分23Dbは、一方向(例えば、図6の左右方向)に並んで配置されている。第1部分23Daは、光電変換部PDを囲むように配置されている。第2部分23Dbは、第1部分23Daより小さく、第1部分23Daの一边に接続されている。

30

#### 【0062】

転送部MTRDの転送ゲート部GDは、直線部GDaと、突出部GDb及びGDcとを有している。直線部GDaは、ゲート幅方向(図6の上下方向)に沿って形成されている。直線部GDaは、素子分離部23Dの内側に配置されている。直線部GDaは、第1部分23Daと第2部分23Dbとの接続部分に重ならないように、例えばこの接続部分よりも光電変換部PD側に配置されている。転送ゲート部Gの幅方向の寸法(直線部GDaの幅方向の寸法)は、第2部分23Dbの寸法よりも大きくなっている。したがって、直線部GDaは、転送ゲート部Gの幅方向の両端が第2部分23Dbからはみ出すように配置されている。

40

#### 【0063】

突出部GDbは、直線部GDaのゲート幅方向の一端(例えば、図6の上側端部)に配置されている。突出部GDbは、直線部GDaに対して転送ゲート部GDから離れる方向に突出するように形成されている。突出部GDbは、素子分離部23Dの内側から外側に跨るように形成されている。

#### 【0064】

50

突出部 G D c は、直線部 G D a のゲート幅方向の他端（例えば、図 6 の下側端部）に配置されている。突出部 G D c は、直線部 G D a に対して転送ゲート部 G D から離れる方向に突出している。突出部 G D c は、素子分離部 2 3 D の内側から外側に跨っている。直線部 G D a と突出部 G D b 及び G D c とにより、転送ゲート部 G D のうちドレイン D D 側（光電変換部 P D と反対側）に平面視で凹部 G D d が形成されている。

【 0 0 6 5 】

電荷電圧変換部 F D D は、転送ゲート部 G D と、第 1 部分 2 3 D a の一部と、第 2 部分 2 3 D b とで囲まれた領域に形成されている。本実施形態では、電荷電圧変換部 F D D のうち、転送部 M T R D に接続される第 1 領域 F D D s の幅（ゲート幅方向の寸法）は、凹部 G D d の幅（突出部 G D b と G D c との間隔）によって設定される。第 2 領域 F D D t は、第 2 部分 2 3 D によって設定される。凹部 G D d の幅は、第 2 部分 2 3 D の幅より大きく設定される。従って、電荷電圧変換部 F D D は、第 1 領域 F D D s より幅が小さい第 2 領域 F D D t を有している。

10

【 0 0 6 6 】

このように、本実施形態によれば、第 1 実施形態と同様に、電荷電圧変換部 F D D の容量を増大させずに光電変換部 P D から電荷電圧変換部 F D D への電荷転送時間を短縮することができる。また、電荷電圧変換部 F D D の容量を小さくするため、S / N の高い画像を得ることができる。また、転送ゲート部 G D をマスクとして素子分離部 2 3 D に不純物を打ち込むことにより、幅が大きな第 1 領域 F D D s と、幅が小さな第 2 領域 F D D t を持つ電荷電圧変換部 F D D を容易に形成できる。また、本実施形態では、素子分離部 2 3 D が 2 つの第 1 部分 2 3 D a 及び第 2 部分 2 3 D b でよいので、第 1 実施形態と比較して素子分離部 2 3 D の形状を簡略化できる。

20

【 0 0 6 7 】

< 第 3 実施形態 >

第 3 実施形態について図面を参酌して説明する。以下の説明において、上記した実施形態と同一または同等の構成部分については同一符号を付けて説明を省略または簡略化する。上記した第 1 及び第 2 実施形態においては、画素 P X 毎に増幅部 M A M、選択部 M S E、リセット部 M R E が設けられた構成を例に挙げて説明したが、これに限定するものではなく、この 3 つのトランジスタを複数の画素 P X で共有する構成であってもよい。

30

【 0 0 6 8 】

図 7 は、第 3 実施形態に係る撮像素子 2 0 0 の画素レイアウトの一例を示す図である。図 7 では、縦 2 画素 × 横 2 画素分の領域を示している。また、図 7 では、図を見やすくするために、増幅部 M A M、リセット部 M R S のドレインに接続される電源 V D D の配線の記載を省略している。

【 0 0 6 9 】

図 7 に示すように、撮像素子 2 0 0 の画素領域 2 1 0 には、画素 P X a、P X b が形成されている。画素 P X a、P X b は、増幅部 M A M、選択部 M S E 及びリセット部 M R E を互いに共有する。画素 P X a と画素 P X b とは、例えば列方向（図 7 の縦方向）に隣接して配置されている。選択部 M S E、増幅部 M A M およびリセット部 M R S は、例えば、画素 P X a の光電変換部 P D a と画素 P X b の光電変換部 P D b との間に配置されている。また、選択部 M S E、増幅部 M A M およびリセット部 M R S は、行方向（図 7 の横方向）に並んでいる。なお、第 3 実施形態では、選択部 M S E、増幅部 M A M 及びリセット部 M R S は、図 1（b）に示した選択部 M S E、増幅部 M A M 及びリセット部 M R S と逆の順序で行方向に並んでいる。

40

【 0 0 7 0 】

画素 P X a の転送部 M T R a のドレインは、コンタクト領域 1 6 a を介して配線 C L a に接続されている。画素 P X b の転送部 M T R b のドレインは、コンタクト領域 1 6 b を介して配線 C L b に接続されている。配線 C L a 及び配線 C L b は、同一のコンタクト領域 1 8 c を介して選択部 M S E のソースに接続されている。また、配線 C L a は、配線 C L c 及びコンタクト領域 1 7 c を介して増幅部 M A M のゲートに接続されている。したが

50

って、配線CLa、CLb、CLcにより、転送部MTRaのドレイン、転送部MTRbのドレイン、増幅部MAMのゲート、及びリセット部MRSのソースが互いに接続されている。これにより、2つの電荷電圧変換部FDは、画素PXa、PXbで共用される。

【0071】

選択信号線SELは、コンタクト領域13cを介して選択部MSEのゲートに接続されている。リセット信号線RSTは、コンタクト領域14cを介してリセット部MRSのゲートに接続されている。画素PXa、PXbに対応する転送信号線TXは、列方向に伸びる分岐配線TXm及びコンタクト領域15a、15bを介して、転送部MTRa、MTRbのそれぞれのゲートに接続されている。

【0072】

垂直信号線VLは、コンタクト領域19cを介して、選択部MSEのソースに接続されている。また、接地電圧線GNDは、コンタクト領域21a、21bを介して画素PXa、PXbに接続されている。また、図示を省略するが、電源VDDからの配線は、コンタクト領域22cを介して、増幅部MAMのドレイン及びリセット部MRSのドレインに接続されている。

【0073】

このように、第3実施形態では、2つの画素PXa、PXbによって3つのトランジスタを共有する構成であるため、1画素あたりのトランジスタ数は2.5個となる。したがって、第1実施形態に比べて撮像素子200全体のトランジスタ数を低減させることが可能となる。また、この構成では、電荷電圧変換部FDが2つの画素PXa、PXbによって共有されることになる。これにより、各電荷電圧変換部FDの容量（平面視での面積）を小さくできるため、1画素あたりに占める電荷電圧変換部FDの面積を小さくできる。例えば、1つの電荷電圧変換部FDは、第1実施形態の電荷電圧変換部FDの容量に対して1/2の容量に設定することが可能である。

【0074】

また、この第3実施形態では、2つの画素PXa、PXbについて、電荷電圧変換部FDを接続しているが、3つ以上の画素について、電荷電圧変換部FDを接続してもよい。例えば、3つ以上の画素について、電荷電圧変換部FDを接続する場合、1画素あたりのトランジスタ数は1.75個となる。また、この第3実施形態では、列方向の2つの画素PXa、PXbについて、電荷電圧変換部FDを接続しているが、行方向の2つの画素について、電荷電圧変換部FDを接続してもよい。

【0075】

<第4実施形態>

第4実施形態について図面を参酌して説明する。図8(a)は、第4実施形態に係る撮像素子に用いられる画素PXEa、PXEbの一例を示す図である。図8(b)は、図8(a)におけるB-B断面に沿った構成を示す図である。以下の説明において、第3実施形態と同一または同等の構成部分については同一符号を付けて説明を省略または簡略化する。なお、図8(a)では、画素PXEa、PXEbを示し、他の構成については、図7に示す撮像素子200と同様の構成が用いられる。

【0076】

図8(a)に示すように、2つの画素PXEa、PXEbは、1つの電荷電圧変換部FDEを共用している。これら、画素PXEaの光電変換部PDaと、電荷電圧変換部FDEと、画素PXbの光電変換部PDbとが1つの素子分離部223によって形成されている。この構成では、画素PXEaの転送部MTRaと、画素PXEbの転送部MTRbとが、電荷電圧変換部FDEを挟んで対向するように配置される。転送部MTRa、MTRbの転送ゲート部Ga、Gbは、それぞれ転送信号線TX（図7参照）に接続される。

【0077】

電荷電圧変換部FDEは、第一基端部（第1領域）FDEa、第二基端部（第1領域）FDEb及び接続部（第2領域）FDEcを有している。第一基端部FDEaは、転送部MTRaに接続される。第二基端部FDEbは、転送部MTRbに接続される。接続部F

10

20

30

40

50

D E c は、この第一基端部 F D E a と第二基端部 F D E b との間に配置される。第一基端部 F D E a の幅（ゲート幅方向の寸法：図 8 の横方向）及び第二基端部 F D E b の幅は、互いに等しくなっている。また、接続部 F D E c の幅は、第一基端部 F D E a 及び第二基端部 F D E b の幅よりも小さくなっている。

【 0 0 7 8 】

電荷電圧変換部 F D E は、転送部 M T R a、M T R b に接続する第一基端部 F D E a、第二基端部 F D E b の幅よりも、転送ゲート部 G a、G b から離れた接続部 F D E c の幅が小さい。このように、本実施形態は、2 つの画素 P X E a、P X E b において、電荷電圧変換部の第 2 領域（図 3 の F D s）に相当する部分が共有された構成となっている。

【 0 0 7 9 】

電荷電圧変換部 F D E の接続部 F D E c にはコンタクト領域 1 6 c が配置されている。コンタクト領域 1 6 c は、例えば配線 C L d 等を介して、コンタクト領域 1 7 c（増幅部 M A M のゲート）及びコンタクト領域 1 8 c（リセット部 M R E のソース）に接続されている。

【 0 0 8 0 】

転送部 M T R a、M T R b は、ドレイン側が向き合った状態で配置されている。転送部 M T R a の転送ゲート部 G a 及び転送部 M T R b の転送ゲート部 G b は、互いに平行に配置されている。また、図 8（b）に示すように、電荷電圧変換部 F D E は、転送ゲート部 G a の直下と転送ゲート部 G b の直下との間に形成される。光電変換部 P D a、P D b は、電荷電圧変換部 F D E を挟んで対称に形成されている。光電変換部 P D a、P D b は、それぞれ転送部 M T R a、M T R b のソース S a、S b に接続されている。

【 0 0 8 1 】

このように、第 4 実施形態によれば、各画素 P X E a、P X E b において、電荷電圧変換部 F D E のうち転送部 M T R a、M T R b に接続する第一基端部 F D E a、第二基端部 F D E b の幅よりも、転送ゲート部 G a、G b から離れた接続部 F D E c の幅が小さいので、第 1 実施形態等と同様に、電荷電圧変換部 F D E の容量を増大させずに光電変換部 P D から電荷電圧変換部 F D E への電荷転送時間を短縮することができる。また、電荷電圧変換部 F D E の容量を小さくするため、S / N の高い画像を得ることができる。

【 0 0 8 2 】

また、2 つの画素 P X E a、P X E b が 1 つの電荷電圧変換部 F D E を共用するため、画素ごとに電荷電圧変換部を形成する必要がない。これにより、第 3 実施形態と同様に、1 画素あたりに占める電荷電圧変換部 F D の容量を小さくできる。また、1 つの電荷電圧変換部 F D E を共有するため、第 3 実施形態のように電荷電圧変換部同士を接続する配線を省略することができる。なお、第 4 実施形態では、2 つの画素 P X E a、P X E b で 1 つの電荷電圧変換部 F D E を共用するが、これに限定されない。例えば、3 つ以上の画素で 1 つの電荷電圧変換部 F D E を共用してもよい。

【 0 0 8 3 】

< 変形例 >

撮像素子に用いられる画素の変形例について図面を参酌して説明する。以下の説明において、上記した実施形態と同一または同等の構成部分については同一符号を付けて説明を省略または簡略化する。また、以下に説明する変形例では、第 4 実施形態と同様に、画素について示し、他の構成については、図 7 に示す撮像素子 2 0 0 と同様の構成が用いられる。

【 0 0 8 4 】

図 9（a）は、変形例に係る画素 P X F a、P X F b のレイアウトの一例を示す図である。図 9（a）に示すように、2 つの画素 P X F a、P X F b は 1 つの電荷電圧変換部 F D F を共用している。この電荷電圧変換部 F D F は、第一基端部（第 1 領域）F D F a の幅（ゲート幅方向の寸法：図 9（a）の横方向）が転送部 M T R a 側から転送部 M T R b 側へ向けて徐々に小さくなっている。また、電荷電圧変換部 F D F は、第二基端部（第 1 領域）F D F b の幅が転送とトランジスタ M T R b 側から転送部 M T R a 側へ向けて徐々

10

20

30

40

50

に小さくなっている。これら、画素  $P \times F a$  の光電変換部  $P D a$  と、電荷電圧変換部  $F D F$  と、画素  $P \times F b$  の光電変換部  $P D b$  とが 1 つの素子分離部  $2 2 3 F$  によって形成されている。

【0085】

電荷電圧変換部  $F D F$  は、第一基端部  $F D F a$  の先端（転送ゲート部  $G a$  から離れる方向の端部）と第二基端部  $F D F b$  の先端（転送ゲート部  $G b$  から離れる方向の端部）とが接続部（第 2 領域） $F D F c$  において接続されている。接続部  $F D F c$  の幅は、第一基端部  $F D F a$  及び第二基端部  $F D F b$  の幅よりも小さくなっている。

【0086】

このように、電荷電圧変換部  $F D F$  は、転送部  $M T R a$ 、 $M T R b$  に接続される第一基端部  $F D F a$ 、 $F D F b$  の幅よりも、転送ゲート部  $G a$ 、 $G b$  から離れた接続部  $F D F c$  の幅が小さくなるように形成されている。このような構成であっても、第 4 実施形態と同様の効果を得ることができる。

【0087】

図 9 (b) は、変形例に係る画素  $P \times G a$ 、 $P \times G b$  のレイアウトの一例を示す図である。図 9 (b) に示すように、2 つの画素  $P \times G a$ 、 $P \times G b$  は 1 つの電荷電圧変換部  $F D G$  を共用している。また、2 つの画素  $P \times G a$ 、 $P \times G b$  に用いられる転送部  $M T R G a$ 、 $M T R G b$  としては、図 6 に示す転送部  $M T R D$  の転送ゲート部  $G D$  と同様の構成が適用される。従って、画素  $P \times G a$  は、転送ゲート部  $G G a$  を持つ転送部  $M T R G a$  が用いられ、画素  $P \times G b$  は、転送ゲート部  $G G b$  を持つ転送部  $M T R G b$  が用いられる。

【0088】

電荷電圧変換部  $F D G$  は、第一基端部（第 1 領域） $F D G a$  と、第二基端部  $F D G b$ （第 1 領域）と、接続部（第 2 領域） $F D G c$  とを有している。第一基端部  $F D G a$  は、転送ゲート部  $G G a$  によって幅（ゲート幅方向の寸法：図 9 (b) の横方向）が設定されている。第二基端部  $F D G b$  は、転送ゲート部  $G G b$  によって幅が設定されている。第一基端部  $F D G a$  の幅と第二基端部  $F D G b$  の幅とは、等しくなっている。接続部  $F D G c$  は、第一基端部  $F D G a$  から第二基端部  $F D G b$  にかけて均一な幅となるように形成されている。接続部  $F D G c$  の幅は、第一基端部  $F D G a$  及び第二基端部  $F D G b$  の幅よりも小さくなっている。これら、画素  $P \times G a$  の光電変換部  $P D a$  と、電荷電圧変換部  $F D G$  と、画素  $P \times G b$  の光電変換部  $P D b$  とが 1 つの素子分離部  $2 2 3 G$  によって形成されている。

【0089】

このように、電荷電圧変換部  $F D G$  は、転送部  $M T R G a$ 、 $M T R G b$  に接続される第一基端部  $F D G a$ 、 $F D G b$  の幅よりも、転送ゲート部  $G G a$ 、 $G G b$  から離れた接続部  $F D G c$  の幅が小さくなるように形成されている。このような構成であっても、第 4 実施形態と同様の効果を得ることができる。

【0090】

また、図 9 (a) 及び (b) に示す変形例では、2 つの画素  $P \times F a$ 、 $P \times F b$  等で 1 つの電荷電圧変換部  $F D F$  等を共用しているが、これに限定されない。例えば、3 つ以上の画素で 1 つの電荷電圧変換部  $F D F$ 、 $F D G$  を共用してもよい。

【0091】

< 第 5 実施形態 >

第 5 実施形態について図面を参酌して説明する。図 10 は、第 5 実施形態に係る撮像素子に用いられる画素  $P \times H$  の一例を示す図である。以下の説明において、上記した実施形態と同一または同等の構成部分については同一符号を付けて説明を省略または簡略化する。なお、図 10 では、画素  $P \times H$  の断面を示しており、第 1 実施形態を説明した図 2 (b) に相当する。また、図 10 では、画素  $P \times H$  の断面を示し、他の構成については、上記した撮像素子 100、200 と同様の構成が用いられる。

【0092】

上記した電荷電圧変換部  $F D$  等では、転送部  $M T R$  等から離れた第 2 領域の幅が、転送

10

20

30

40

50

部MTR等に接続する部分を含む第1領域に対して小さくなっている構成を例に挙げて説明したが、これに限定するものではない。図10に示す電荷電圧変換部FDHのように、転送部MTRから離れた第2領域FDHtの深さDtが、転送部MTRに接続する第1領域FDHsの深さDsに対して小さい構成であってもよい。このような構成は、例えば、第1領域FDHsにおいてN型不純物のイオン注入を行う際にイオンの加速電圧を上げて、表面近くにイオン注入を行う場合に比べて大きなエネルギーでイオン注入を行うことにより、深い部分までN型拡散層を形成することが可能である。なお、図示しないが、平面視において、電荷電圧変換部FDHの第1領域FDHsの幅は、第2領域FDHtの幅と同一となっている。

【0093】

このように、第5実施形態によれば、第1領域FDHsが転送ゲート部Gの下に形成されたチャンネルに対して広い面積で接続するので、電荷の転送速度を向上できる。また、第2領域FDHtは、第1領域FDHsに対して浅いため、電荷電圧変換部FDH全体としての容量を小さくすることができる。これにより、電荷電圧変換部FDHの容量を増大させずに光電変換部PDから電荷電圧変換部FDHへの電荷転送時間を短縮することができる。また、電荷電圧変換部FDHの容量を小さくするため、S/Nの高い画像を得ることができる。

【0094】

なお、第1領域FDHsの深さDsや、深さDsとDtとの比は任意に設定可能である。例えば、深さDsは、深さDtの2倍以上に設定されてもよい。また、第1領域FDHsの深さDsは、図10に示すように、光電変換部PDの底面と同一に設定されてもよい。また、図10に示す電荷電圧変換部FDHでは、第1領域FDHsの深さDsが幅方向（ゲート幅方向の寸法：図10の紙面奥行き方向）にわたって同一に設定されているが、これに代えて、第1領域FDHsの一部を深さDsに設定したものでもよい。

【0095】

<撮像素子の製造方法>

次に、実施形態に係る撮像素子の製造方法の一例について説明する。以下は、上記した撮像素子100の製造方法について説明する。本実施形態では、N型の半導体基板にPウェル領域を形成するPwellプロセスについて説明する。なお、説明を省略するが、P型の半導体基板にNウェル領域を形成するNwellプロセスにおいても、同様である。図11では、転送部MTR、増幅部MAM、選択部MSE、及びリセット部MRSとしてトランジスタが形成される一例を示している。

【0096】

まず、N型基板SUBを準備する。このN型基板SUBとしては、例えばN型シリコン基板などを用いることができる。次に、このN型基板SUB上に素子分離部23を形成する（ステップS01）。素子分離部23を形成する場合、LOCOS法やSTI法などのプロセスを用いることができる。以下、STI法によって素子分離部23を形成する場合を例に挙げて説明するが、LOCOS法を用いてもよい。

【0097】

例えば、N型基板SUB上に $Si_2N_4/SiO_2$ 薄膜を形成し、素子分離部23の平面形状に応じてパターニングする。このとき、 $Si_2N_4/SiO_2$ 薄膜が図2(a)に示した第1部分23a～第3部分23cに対応する形状となるようにパターニングする。その後、N型基板SUB上に残った $Si_2N_4/SiO_2$ 薄膜をマスクとしてN型基板SUBの表面をドライエッチングする。このドライエッチングにより、N型基板SUBの表面に溝が形成される。次に、 $Si_2N_4/SiO_2$ 薄膜及び溝を覆うように $SiO_2$ 薄膜を形成してCMP法によって平坦化した後、 $Si_2N_4/SiO_2$ 薄膜をエッチングする。これにより、N型基板SUBの表面の溝内に $SiO_2$ 薄膜（フィールド酸化膜：FOX）が形成される。この結果、フィールド酸化膜FOXで囲まれるように素子分離部23が形成される。この素子分離部23は、上記のように第1部分23aから第3部分23cにかけて段階的に寸法が小さくなるように形成される。

10

20

30

40

50

## 【 0 0 9 8 】

次に、素子分離部 2 3 内に P ウェル領域 2 3 p を形成する（ステップ S 0 2）。この場合、素子分離部 2 3 のうち P ウェル領域 2 3 p を形成しようとする領域以外をフォトリソグレイドでマスクし、マスクされていない領域に P 型不純物（例えばボロンなど）をイオン注入する。イオン注入の後、フォトリソグレイドを除去し、1 0 0 0 程度の温度で加熱する。この加熱により、P 型不純物が N 型基板 S U B の内部に拡散され、P ウェル領域 2 3 p が形成される。

## 【 0 0 9 9 】

次に、転送部 M T R のゲート絶縁膜 2 3 g 及び転送ゲート部 G が形成される（ステップ S 0 3）。この場合、N 型基板 S U B を酸素雰囲気下で加熱し、シリコンの表面に S i O<sub>2</sub> 膜を成長させて、ゲート絶縁膜 2 3 g を形成する。その後、ゲート絶縁膜 2 3 g 上にポリシリコン薄膜を堆積させた後にパターニングして転送ゲート部 G を形成する。転送ゲート部 G は、第 1 部分 2 3 a と第 2 部分 2 3 b との境界部分を跨ぐ位置に形成される。なお、画素 P X に設けられる他のトランジスタ（増幅部 M A M、選択部 M S E、リセット部 M R E）についても同一プロセスで形成される。

10

## 【 0 1 0 0 】

次に、光電変換部 P D を形成する（ステップ S 0 4）。光電変換部 P D として、例えばフォトダイオードが形成される。この場合、P ウェル領域 2 3 p のうち光電変換部 P D を形成しようとする領域以外をフォトリソグレイドでマスクし、マスクされていない領域に N 型不純物（例えばリンや砒素など）をイオン注入する。このとき、イオン注入のエネルギーを大きくすることにより、P ウェル領域 2 3 p の深い部分に N 型拡散領域を形成することができる。これにより、P ウェル領域 2 3 p の内部に光電変換部 P D が形成される。

20

## 【 0 1 0 1 】

次に、転送部 M T R のソース S 及びドレイン D と、電荷電圧変換部 F D が形成される（ステップ S 0 5）。この場合、転送ゲート部 G のゲート長方向の両側に N 型不純物（例えばリンや砒素など）をイオン注入する。このとき、イオン注入のエネルギーは、光電変換部 P D を形成する場合に比べて小さくし、P ウェル領域 2 3 p の表面近くに N 型拡散領域を形成する。これにより、転送部 M T R のソース S 及びドレイン D が形成されるとともに、ドレイン D に接続される電荷電圧変換部 F D が形成される。電荷電圧変換部 F D は、転送ゲート部 G の一部をマスクとして、素子分離部 2 3 内に形成される。素子分離部 2 3 の外側には N 型拡散層が形成されないため、フォトリソグレイド等のマスクを設けることなく電荷電圧変換部 F D を形成できる。このように、素子分離部 2 3 を用いて電荷電圧変換部 F D が形成される。

30

## 【 0 1 0 2 】

本実施形態では、素子分離部 2 3 は、第 1 部分 2 3 a ~ 第 3 部分 2 3 c を含むように形成されているため、電荷電圧変換部 F D は、第 1 部分 2 3 a ~ 第 3 部分 2 3 c の輪郭線に沿った形状に形成される。この結果、転送ゲート部 G から離れた部分の幅がドレイン D に接続される部分の幅よりも小さい形状の電荷電圧変換部 F D が形成される。なお、本実施形態では、転送ゲート部 G をマスクとして N 型不純物のイオン注入を行う態様を説明したが、これに限定するものではなく、フォトリソグレイド等のマスクを形成してイオン注入を行ってもよい。

40

## 【 0 1 0 3 】

ステップ S 0 5 に続いて、各トランジスタや電荷電圧変換部 F D に配線が形成され撮像素子 1 0 0 が完成する。なお、上記した撮像素子 2 0 0 または変形例の製造方法についても、ほぼ同様である。また、上記した第 2 実施形態において、転送部 M T R D 及び電荷電圧変換部 F D D（図 6 参照）を形成する場合、電荷電圧変換部 F D D の第 1 領域 F D D a の幅が転送ゲート部 G D によって設定される。このため、素子分離部 2 3 D の形状を簡略化することができる。

## 【 0 1 0 4 】

< 電子機器 >

50

次に、実施形態に係る電子機器の一例について説明する。図12は、上記した撮像素子100（又は撮像素子200やこれらの変形例）を用いて構成された撮像装置300の一例を示している。撮像装置300は、例えば、デジタルカメラであり、撮像素子100、撮影レンズ110、メモリ120、制御部130、記憶媒体140、モニタ150及び操作部160を有している。

#### 【0105】

撮影レンズ110は、被写体の像を撮像素子100の受光面に結像する。メモリ（記録部）120は、例えば、DRAM（Dynamic RAM）やSRAM（Static RAM）等で形成された内蔵メモリであり、撮像素子100により撮影された画像（静止画または動画）の画像データ等を一時的に記録する。制御部130は、例えばCPU（Central Processing Unit）を含んで構成され、メモリ120等に格納されたプログラムに基づいて、撮像素子100や撮影レンズ110等の動作を制御する。制御部130は、例えば、オートフォーカス制御、絞り制御、撮像素子100への露光制御及び画像データの記録等を指示する。なお、撮像素子100への露光制御には、例えば、メカニカルシャッタ（図示せず）の開閉の制御等も含まれる。

10

#### 【0106】

制御部130は、タイミングジェネレータを備える。タイミングジェネレータは、例えば図1に示した垂直走査回路20及び水平走査回路30に対して駆動クロック等を供給する。なお、タイミングジェネレータは、撮像素子100内に設けられてもよい。記憶媒体（記録部）140は、例えば電子機器300から取り外し可能なSDカード等が用いられ、撮影された画像の画像データ等を保存する。なお、記録部は、上記したメモリ120や記憶媒体140以外を含んで構成されてもよい。

20

#### 【0107】

モニタ150は、例えば、液晶ディスプレイであり、撮影された画像、メモリ120に記憶された画像、記憶媒体140に記憶された画像及びメニュー画面等を表示する。操作部160は、リリースボタンやモニタ150に形成されたタッチパネルが用いられ、撮像装置300を動作させるために、ユーザにより操作される。

#### 【0108】

このように、電子機器300によれば、上記した撮像素子100を備えるため、画像信号の読み取り時間を短縮しつつ、S/N比の高い画像を取得することができる。なお、電子機器300は、他の携帯端末等との通信装置を備えてもよい。この場合、画像データを他の携帯端末に送信し、この携帯端末において画像を表示させてもよい。従って、電子機器300は、モニタ150を備えなくてもよい。

30

#### 【0109】

以上、実施形態及び変形例について説明したが、本発明の技術範囲は上記説明に限定されるものではなく、本発明の趣旨を逸脱しない範囲で適宜変更を加えることができる。上記した実施形態及び変形例を組み合わせたものでもよい。例えば、第1実施形態に示すように電荷電圧変換部FDの第1領域FDsの幅が第2領域FDtより大きい構成に加えて、第5実施形態に示すように第1領域FDHsの深さDsが第2領域FDtの深さDtより深くなるように構成してもよい。

40

#### 【0110】

また、上記した各電荷電圧変換部において、転送部のドレインに接続する第1領域の不純物濃度を、第2領域の不純物濃度よりも高くしてもよい。これにより、電荷の転送速度を向上できる。また、第1領域の不純物濃度を高くすることにより、不純物がゲートの下方まで拡散する。これにより、チャネル長を短くすることができ、電荷を効率よく転送できる。

#### 【0111】

また、上記した電子機器300では、メカニカルシャッタにより光電変換部PDの露光が制御される例について説明したが、これに限定されるものではない。例えば、光電変換部PDの露光は、グローバル電子シャッター等により制御されてもよい。この場合にも、

50

上記した電子機器 300 と同様の効果を得ることができる。

【0112】

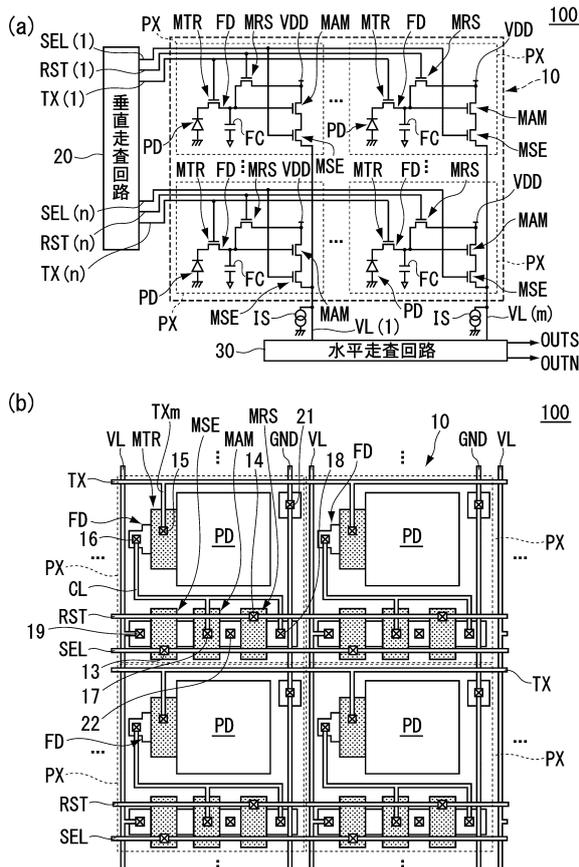
また、上記した実施形態及び変形例では、撮像素子として裏面照射型が適用されてもよい。さらに、一部又は全部のトランジスタや配線が、光電変換部 PD が形成された基板と異なる基板に形成され、これら基板が積層された積層型の撮像素子であってもよい。

【符号の説明】

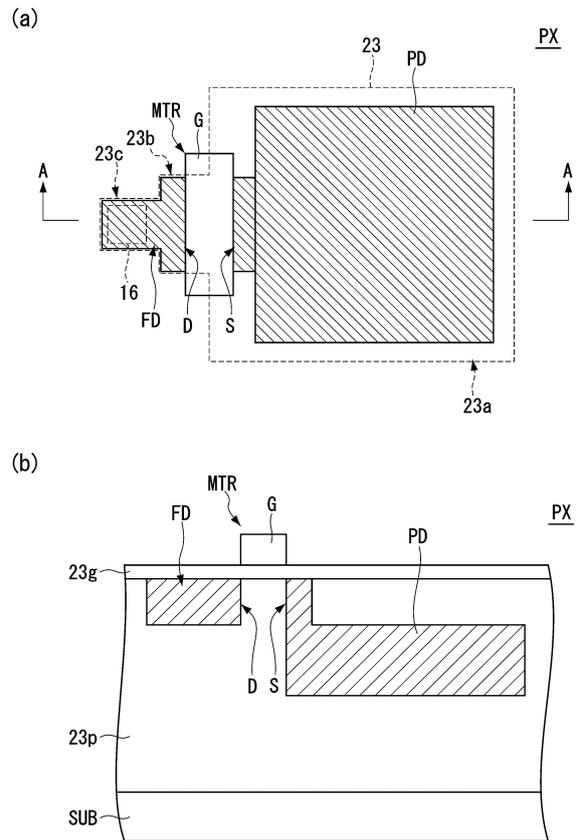
【0113】

PD ... 光電変換部 FD ... 電荷電圧変換部 MTR ... 転送部 G ... 転送ゲート部 GD ... 凹部 SUB ... N型基板 FDS ... 第1領域 FDT ... 第2領域 PX ... 画素 ... 素子分離部 100、200 ... 撮像素子 300 ... 撮像装置 (電子機器)

【図1】

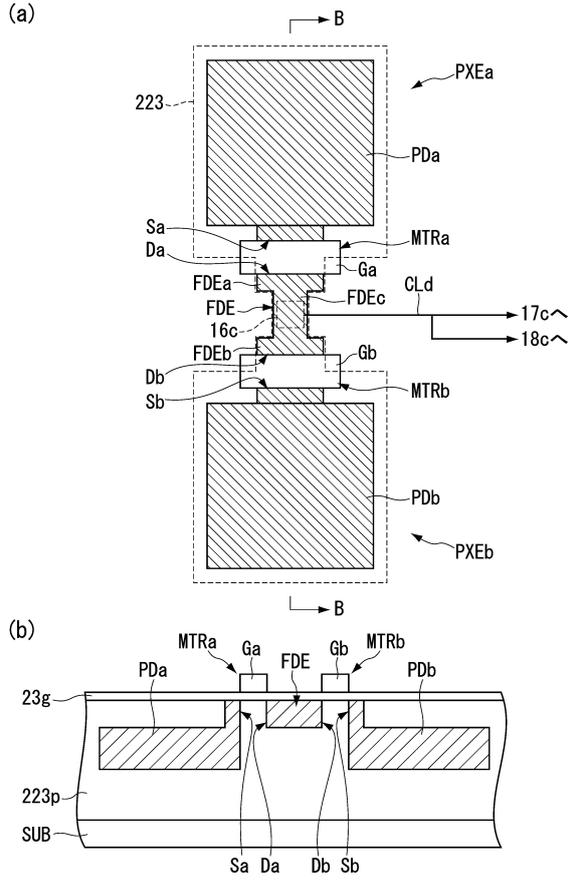


【図2】

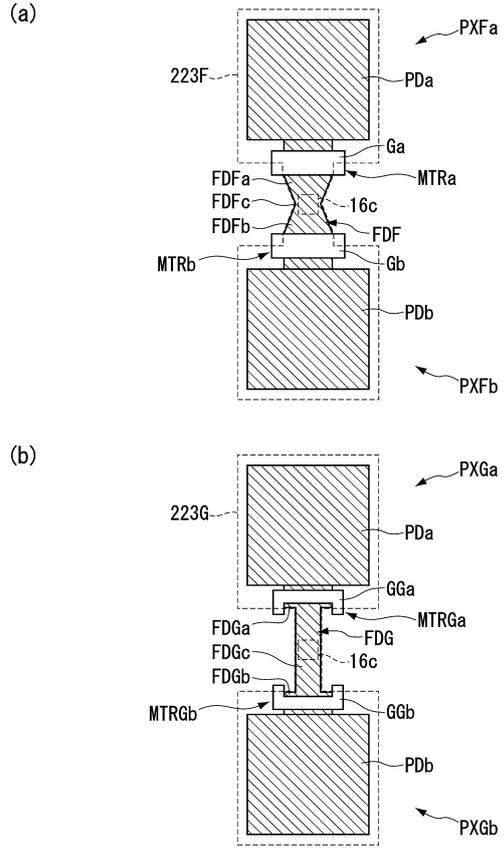




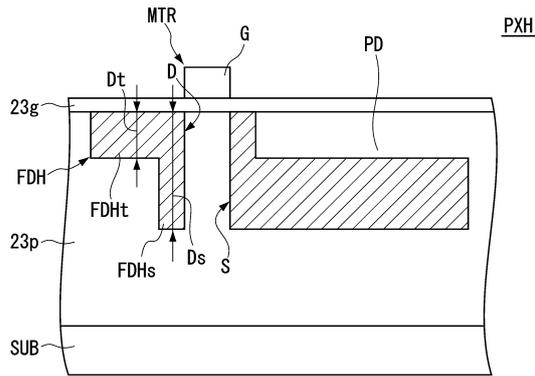
【図8】



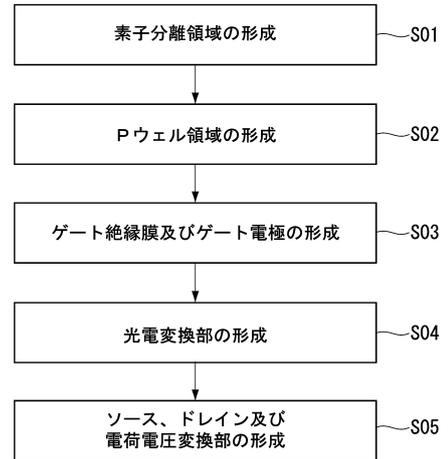
【図9】



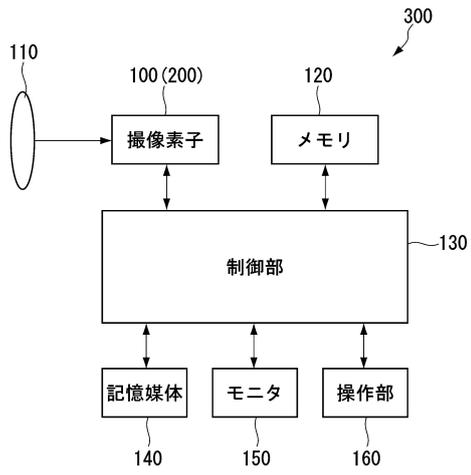
【図10】



【図11】



【図 12】



---

フロントページの続き

- (56)参考文献 特開2011-035154(JP,A)  
特開2005-101442(JP,A)  
特開2009-135319(JP,A)  
特開昭58-210674(JP,A)  
米国特許出願公開第2005/0274874(US,A1)  
特開2006-303386(JP,A)  
特開2007-234787(JP,A)  
特表2009-501446(JP,A)  
特開2009-296016(JP,A)  
特開2005-317581(JP,A)  
特開2006-196884(JP,A)  
特開2000-165755(JP,A)  
特開2010-206095(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H04N 5/374  
H04N 5/3745