

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3941974号

(P3941974)

(45) 発行日 平成19年7月11日(2007.7.11)

(24) 登録日 平成19年4月13日(2007.4.13)

(51) Int. Cl.	F I
G 1 1 C 11/4093 (2006.01)	G 1 1 C 11/34 3 5 4 Q
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C

請求項の数 1 (全 8 頁)

(21) 出願番号	特願平8-240763	(73) 特許権者	390019839
(22) 出願日	平成8年9月11日(1996.9.11)		三星電子株式会社
(65) 公開番号	特開平9-106682		S a m s u n g E l e c t r o n i c s
(43) 公開日	平成9年4月22日(1997.4.22)		C o . , L t d .
審査請求日	平成14年5月28日(2002.5.28)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	1995 P 29568	(74) 代理人	100076428
(32) 優先日	平成7年9月11日(1995.9.11)		弁理士 大塚 康德
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二

最終頁に続く

(54) 【発明の名称】 同期式メモリのデータ出力バッファ制御方法

(57) 【特許請求の範囲】

【請求項1】

外部から供給される一定周期のクロック信号を受けて一定の幅をもつオートパルス形態の内部クロック信号を発生し、該内部クロック信号に同期して動作する半導体メモリ装置のデータ出力バッファ制御方法において、

前記データ出力バッファは、

前記内部クロック信号に応じてメモリセルから出力されるデータを伝送する伝送ゲートと、

前記伝送ゲートから出力されるデータを貯蔵するラッチ手段と、

前記内部クロック信号及び制御信号に応じて前記ラッチ手段に貯蔵されたデータを出力するドライバと、

を備え、

前記データ出力バッファ制御方法は、

前記内部クロック信号中の出力データを発生させる出力クロックの1クロック前のクロックに同期した信号を遅延させることによって、前記出力クロックの1クロック前のクロックが前記伝送ゲートを遮断状態にしているときに前記制御信号をエネーブル状態とする工程と、

前記出力クロックが前記伝送ゲートを伝送状態にして、エネーブル状態になっている前記制御信号が前記ドライバの出力動作をエネーブルする工程と、

を含むことを特徴とするデータ出力バッファ制御方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体メモリ装置に関するもので、特に、外部から印加される一定周期のクロック信号を使用してデータ出力バッファ制御信号を供給する同期式メモリのデータ出力バッファ制御回路に関するものである。

【0002】

【従来の技術】

コンピュータシステムは、与えられた作業に対する命令を実行するための中央処理装置と、この中央処理装置の命令にตอบสนองしてデータやプログラム等を貯蔵するためのメモリ装置に大別される。周知のように、メモリ装置の動作速度は中央処理装置の動作速度に比べて非常に遅い。従って、コンピュータシステムの性能を向上させるためには、中央処理装置の動作速度と共に、中央処理装置が待ち時間をもたずに動作できるようなメモリ装置のアクセス時間短縮ができるかぎり要求される。このような要求に応じて、システムによる外部クロック信号(EXTERNAL CLOCK)に同期して作動する内部クロック発生回路をメモリ装置内部に装備して、外部クロック信号を受けて一定の幅をもつオートパルス形態の内部クロック信号(INTERNAL CLOCK)を発生し、この内部クロック信号に同期して動作することによりメモリ装置を高速化する試みが進められている。この目的のメモリ装置を、特に同期式メモリ装置と称する。同期式メモリ装置においては、ローアドレスストロープ信号及びカラムアドレスストロープ信号の活性化によりラッチされたローアドレス及びカラムアドレスをもって指定されたメモリ装置のデータをデータ出力バッファを通じて出力する。その際の両アドレスストロープ信号の活性化からデータ出力に至るまでの最小時間がC A S待ち時間あるいはR A S待ち時間である。このC A S待ち時間あるいはR A S待ち時間は、メモリ装置の特性を判断する固有の値として与えられるものである。

【0003】

図1は、同期式メモリ装置で使用される一般的なデータ出力バッファの回路図で、図2は、そのデータ出力バッファを活性化させる制御回路の回路図である。図1のような回路構成は当該分野で広く知られており、例えば本出願人による大韓民国特許92-18132号に詳細に開示されている。

【0004】

図2を参照すると、内部クロック信号C L O C K及びその反転クロック信号を制御入力とする4つの伝送ゲート50, 60, 70, 80が直列に接続されており、初段の伝送ゲート50の入力側に入力信号I N P U Tが与えられる。これら伝送ゲート50, 60, 70, 80の出力側には4つのラッチ回路52, 62, 72, 82が1つずつ接続されている。2段目のラッチ回路62の出力端には伝送ゲート90の入力側が接続され、この伝送ゲート90の制御電極には2クロック待ち時間信号C L 2及びその反転信号が入力される。また、終段のラッチ回路82の出力端は伝送ゲート100の入力側へ接続され、この伝送ゲート100の制御電極には3クロック待ち時間信号C L 3及びその反転信号が入力される。そして、伝送ゲート90, 100の各出力端は相互接続されて遅延回路110の入力端へ接続され、この遅延回路110から制御信号P T R S Tが出力される。

【0005】

図3に、図1及び図2に示した回路の読出動作タイミングを示し、図1～図3を参照して従来技術によるデータ出力バッファの制御方法を説明する。

【0006】

まず図3に示すように、図1及び図2の回路におけるC A S待ち時間は3である。即ち、カラムアドレスストロープ信号バ- C A Sのエネーブルから外部クロック信号の3クロック後に外部へデータを取出す(fetch)ことが可能な回路が示されている。このように3クロックでデータを取出すためには、図3のタイミング図に示すように2クロックでデータ出力バッファが駆動され、3クロック前に予めデータが出力されていなければならない。

【0007】

10

20

30

40

50

図1のデータ出力バッファにおいては、メモリセルから出力された有効データ DO_i 、 \overline{DO}_i が内部クロック信号 $CLOCK$ の論理“ハイ”区間で受け入れられ、ラッチ手段11, 21に貯蔵される。このラッチ手段11, 21は、次の論理“ハイ”クロックまで貯蔵データをそのまま維持し、外部クロック信号に同期してのデータ出力を可能にする。データ出力バッファを活性化させる制御信号 $PTRS T$ は、読出動作で論理“ハイ”になってデータ出力バッファを活性化させ、書込動作で論理“ロウ”になってデータ出力バッファを非活性化させる役割をもつ。この制御信号 $PTRS T$ は、内部クロック信号に同期する信号であり、予めセッティングされた CAS 待ち時間に応じてデータを出力するために、その CAS 待ち時間に応じた適正タイミングで用いられなければならない。制御信号 $PTRS T$ を発生する図2の回路を参照すれば、同期式メモリの多様なモードに従って予

10

【0008】

図示の CAS 待ち時間3の構成とすれば、待ち時間信号 $CL2$ が“ロウ”、待ち時間信号 $CL3$ が“ハイ”で提供され、制御信号 $PTRS T$ の発生時点は読出命令印加後の1クロックを経た後の出力クロックの立上りである。しかしながらこの場合、図3に示すようにして時間 $tSAC$ が制御信号 $PTRS T$ により決定され、即ち、制御信号 $PTRS T$ を発生させるクロックとデータ出力バッファを駆動するクロックとが同一時点(エッジ)なので、制御信号 $PTRS T$ から有効な出力データの発生までが遅くなり、時間 $tSAC$ が長

20

【0009】

そこで、図4のように低速性を改良したデータ出力バッファの制御回路が提案されている。図5は図4の回路の動作タイミングを示す。

【0010】

図2の回路においては、 CAS 待ち時間が3の場合、読出命令印加後の2番目の出力クロックに応じて制御信号 $PTRS T$ が発生した。これに対し図4の制御回路においては、読出命令印加後の1番目のクロックの立下りエッジに応じて制御信号 $PTRS T$ が発生され、線負荷(line loading)及びゲート遅延に起因したデータ出力バッファへ到達するまでの制御信号 $PTRS$ の遅れを補償し、2番目のクロックが論理“ハイ”になる前に制御信号 $PTRS T$ がエネーブルとなるようにして時間 $tSAC$ が長くなるのを防止している。従

30

【0011】**【発明が解決しようとする課題】**

図4に示した技術でも、動作周波数が更になると時間 $tSAC$ に影響するようになる。また、メモリサイズやその他条件により制御信号 $PTRS T$ に対する線負荷が増し、制御信号 $PTRS T$ がデータ出力バッファまで到達する時間が長くなるような場合の問題がある。即ち、制御信号 $PTRS T$ がクロックの立下りエッジを基点に発生してデータ出力バッファまで到達する時間よりも、クロック信号の論理“ロウ”区間の方が短い場合は、制御信号 $PTRS T$ が遅れるほどデータ出力も遅くなる。

40

【0012】

従って、本発明の目的は、高い周波数でも適応的に動作する同期式メモリのデータ出力バッファ制御方法を提供することにある。

【0013】**【課題を解決するための手段】**

この目的のために本発明では、外部から供給される一定周期のクロック信号を受けて一定の幅をもつオートパルス形態の内部クロック信号を発生し、該内部クロック信号に同期して動作する半導体メモリ装置のデータ出力バッファ制御方法において、前記内部クロック信号によりデータ出力バッファの信号入力制御を行うようにし、そして、データ出力バッファの出力動作をエネーブルさせる制御信号を、前記内部クロック信号中の出力データを

50

発生させる出力クロックよりも前の所定クロックに同期させてエネーブルとし且つこれを遅延させて前記出力クロック直前の入力抑止状態のときにデータ出力バッファへ提供することを特徴とする。

【 0 0 1 4 】

【 発明の実施の形態 】

以下、本発明の実施形態につき添付図面を参照して詳細に説明する。

【 0 0 1 5 】

図 6 は、データ出力バッファの制御回路を示す回路図で、図 7 にその動作タイミングを示す。図示の制御回路を用いたデータ出力バッファ制御方法における要点は、予め設定された C A S 待ち時間より少なくとも 1 クロック前に制御信号 P T R S T をクロック同期させて発生する点にある。但し、単純に制御信号 P T R S T を C A S 待ち時間より 1 クロック前に発生させただけでは、データ出力バッファにおいて制御信号 P T R S T が前クロックの論理 “ ハイ ” 区間で到達するようになるため、C A S 待ち時間に相応したタイミングでデータ出力を行えなくなる。そこで、制御信号 P T R S T を遅延素子を通じて発生させる点も重要となる。この遅延素子により、1 クロック前に発生された制御信号 P T R S T は、データ出力バッファの信号入力を制御する内部クロック信号が論理 “ ロウ ” の入力抑止状態になってから到達することになり、所望のタイミングでデータ出力を行えるようになる。

10

【 0 0 1 6 】

図 6 及び図 7 から分かるように、C L 2 = “ ロウ ”、C L 3 = “ ハイ ” の C A S 待ち時間が 3 にセッティングされている場合、0 番目のクロックでカラムアドレスストローブ信号 $\bar{C A S}$ がエネーブルされて読出命令が印加された後、1 番目のクロックで伝送ゲート 6 0 が開いてラッチ回路 6 2 の出力端 B が論理 “ ハイ ” になる。ラッチ回路 6 2 の出力端 B が論理 “ ハイ ” になると、遅延素子 2 0 0 を経て適正時間後に制御信号 P T R S T が発生し、この制御信号 P T R S T が線負荷及びバッファリングのためのゲート遅延を経てデータ出力バッファへ到達することになる。この制御信号 P T R S T がデータ出力バッファに到達するときには、データ出力バッファの信号入力制御を行う内部クロック信号が既に論理 “ ロウ ” になっており、従ってこのときにデータが外部へ出力されることはない。この後に再び内部クロック信号が論理 “ ハイ ” になってデータ出力バッファの入力制御の伝送ゲート 1 0 , 2 0 , 3 0 が開き、ラッチ手段 1 1 , 2 1 にメモリセルから伝達された有効データが貯蔵され、またラッチ手段 3 1 に制御信号 P T R S T が入ることにより、出力データが発生する。一度ラッチ手段に貯蔵されたデータは、次のクロックが来るまでは変化せず 1 クロックの間は維持される。

20

30

【 0 0 1 7 】

図 8 は、図 4 の回路と図 6 の回路とを比較する動作タイミング図である。同図において、点線が従来技術の動作波形を、実線が本実施形態の動作波形をそれぞれ示している。これを用いて従来技術と本発明の技術についてより詳しく対比説明すれば、次の通りである。制御信号 P T R S T の発生時点からデータ出力バッファへの到達時点までの時間が一定であると仮定した場合、周波数が高くなると、従来技術では 2 番目のクロックから出力データ発生までの時間 t_{SAC} がクロックタイミングに対し足りなくなってくる。即ち、従来技術では制御信号 P T R S T のデータ出力バッファ到達が遅く、データを出力するタイミングの出力クロック 2 が論理 “ ハイ ” になってから到達することになるので、制御信号 P T R S T により時間 t_{SAC} が決定される。しかしながら、本実施形態の場合は、制御信号 P T R S T が、データ出力タイミングの出力クロック 2 が論理 “ ハイ ” になる前にデータ出力バッファへ至るので、クロック 2 の論理 “ ハイ ” 遷移時点により時間 t_{SAC} が決定される。

40

【 0 0 1 8 】

このように本発明は、同期式メモリ装置における出力データの速度を動作周波数が高い場合にも最大限保障することができる。

【 図面の簡単な説明 】

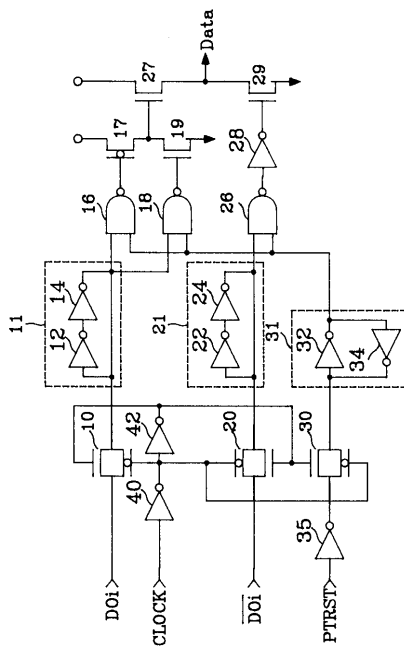
50

- 【図1】同期式メモリに使用される一般的なデータ出力バッファの回路図。
- 【図2】従来におけるデータ出力バッファ制御回路の一例を示す回路図。
- 【図3】図1及び図2に示す回路による出力動作タイミングを説明する信号波形図。
- 【図4】従来におけるデータ出力バッファ制御回路の他の例を示す回路図。
- 【図5】図1及び図4に示す回路による出力動作タイミングを説明する信号波形図。
- 【図6】本発明によるデータ出力バッファ制御回路の実施形態を示す回路図。
- 【図7】図1及び図6に示す回路による出力動作タイミングを説明する信号波形図。
- 【図8】図4の回路を用いた場合と図6の回路を用いた場合とで出力タイミングを比較して示す信号波形図。

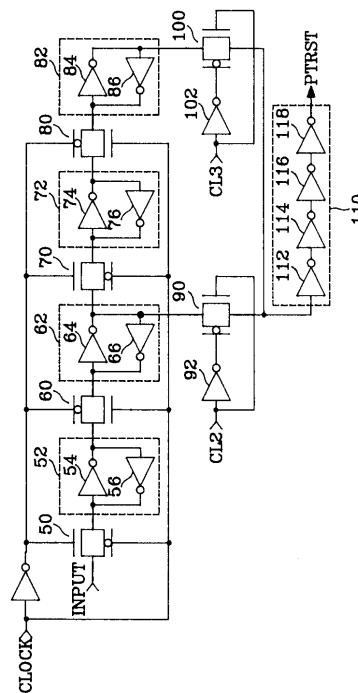
【符号の説明】

EXTERNAL CLOCK 外部クロック信号
 INTERNAL CLOCK, CLOCK 内部クロック信号
 PTRST 制御信号

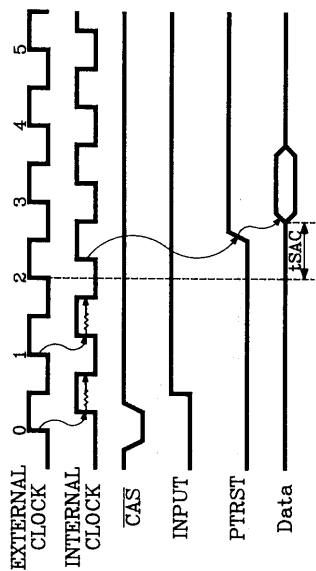
【図1】



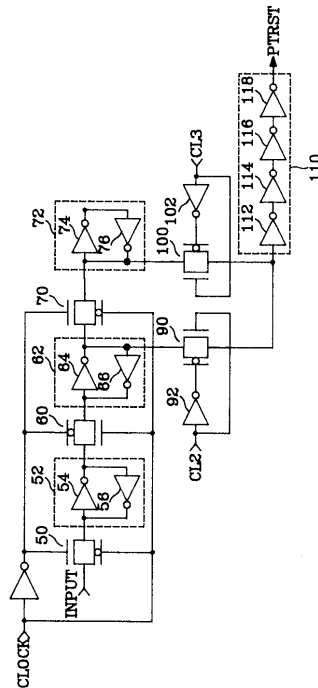
【図2】



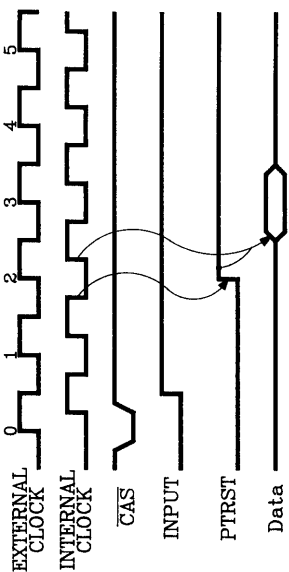
【 図 3 】



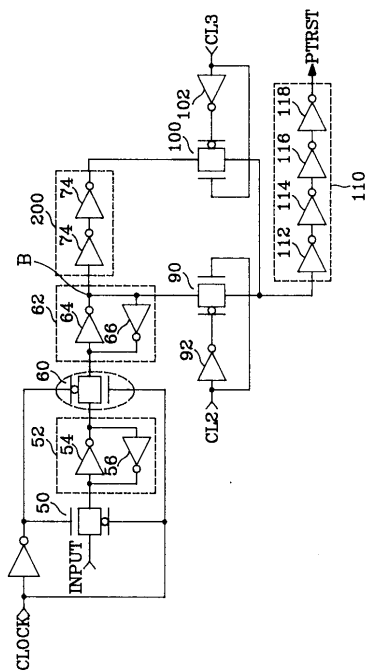
【 図 4 】



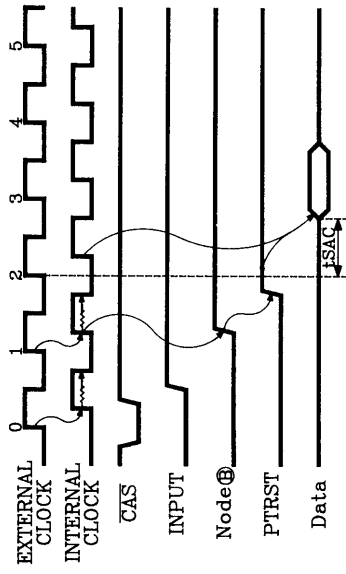
【 図 5 】



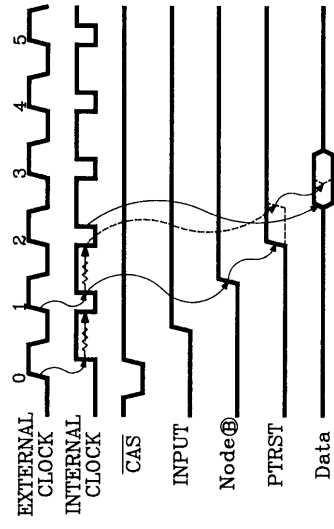
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 金 奎泓
大韓民国ソウル特別市瑞草区瑞草3洞1509番地1号
- (72)発明者 鄭 又燮
大韓民国京畿道水原市八達区梅灘3洞990番地

審査官 堀田 和義

- (56)参考文献 特開平07-262777(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/409

G11C 11/407