

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 23/62	(11) 공개번호 특 1997-0072377	(43) 공개일자 1997년 11월 07일
(21) 출원번호 특 1997-0013413		
(22) 출원일자 1997년 04월 11일		
(30) 우선권주장 (71) 출원인	96-097843 1996년 04월 19일 일본(JP) 오끼덴끼고오교 가부시끼가이샤 사와무라 시꼬	
(72) 발명자	일본국 도오교도 미나또꾸 도라노몬 1쵸메 7방 12고 야나이 데쓰로	
(74) 대리인	일본국 도오교도 미나또꾸 도라노몬 1쵸메 7방 12고 오끼덴끼고오교 가부시끼가이샤 나이 박해선, 조영원	
심사청구 : 없음		
(54) 보호 회로		

요약

제1NMOS 트랜지스터(5)는 전원단자와 입력단자(3)사이에 설치된다. 제2NMOS트랜지스터(6)는 접지단자(2)와 입력단자(3) 사이에 설치된다. 제1NMOS트랜지스터(5)는 노드(8)에 전기적으로 접속되고 저항기(9)는 노드(8)와 다른 접지단자(2)에 전기적으로 접속된다. 제2트랜지스터(6)의 게이트는 접지단자(2)에 전기적으로 접속된다. 음의 펄스형 정전기가 상기 된 바와 같이 구성된 회로에 인가되면, 제1NMOS 트랜지스터(5)의 게이트에 인가되는 전위가 저항(9)에 발생된 전압 강하에 의해 낮게 억제된다. 따라서, 제1NMOS 트랜지스터(5)의 소스와 드레인 사이에 흐르는 전류가 낮게 제어될 수 있고 충돌 전리에 의해 발생하는 기판 전류가 흐르지 못하도록 방지될 수 있다. 그러므로 반도체 집적 회로 장치의 더욱 안정된 동작을 얻을 수 있다.

대표도

도 1

명세서

[발명의 명칭]

보호 회로

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예를 나타낸 회로도, 제2도는 본 발명의 제2실시예를 나타낸 회로도, 제3도는 본 발명의 제4실시예를 나타낸 회로도, 제4도는 본 발명의 제5실시예를 나타낸 회로도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1전위를 갖는 제1전원단자에 전기적으로 접속된 하나의 전극과, 패드에 전기적으로 접속된 다른 전극과, 제1노드에 전기적으로 접속된 게이트를 갖는 제1전계 효과 트랜지스터, 설정치보다 낮은 음의 전위가 패드에 인가될 때 제1노드로부터 패드까지 연장하는 전류 경로를 형성하며 제1노드와 패드 사이에 전기적으로 접속된 소자, 제2전위를 갖는 제2전원단자와 제1노드 사이에 설치된 저항 수단을 구비한 것을 특징으로 하는 보호 회로.

청구항 2

제1항에 있어서, 상기 소자가 다이오드인 것을 특징으로 하는 보호 회로.

청구항 3

제1항에 있어서, 상기 소자가 제2전계 효과 트랜지스터인 것을 특징으로 하는 보호 회로.

청구항 4

제3항에 있어서, 제2전계 효과 트랜지스터의 임계치가 제1전계 효과 트랜지스터의 임계치보다 낮게 설정된 것을 특징으로 하는 보호 회로.

청구항 5

제1항에 있어서, 상기 저항 수단이 제3전계 효과 트랜지스터인 것을 특징으로 하는 보호 회로.

청구항 6

제1전위를 갖는 제1전원단자에 전기적으로 접속된 하나의 단자와, 패드에 전기적으로 접속된 다른 전극과, 제1노드에 전기적으로 접속된 게이트를 갖는 제1전계 효과 트랜지스터, 제1노드로부터 패드까지 연장하는 전류 경로를 형성하며 제1노드와 패드 사이에 전기적으로 접속된 소자, 한 전극이 패드에 전기적으로 접속되고, 다른 전극은 제2전위를 갖는 제2전원단자에 전기적으로 접속되며 게이트가 제1노드에 전기적으로 접속된 제4단계 효과 트랜지스터, 제1노드와 제2전원단자 사이에 설치된 저항 수단을 구비한 것을 특징으로 하는 보호 회로.

청구항 7

제6항에 있어서, 상기 소자가 다이오드인 것을 특징으로 하는 보호 회로.

청구항 8

제6항에 있어서, 상기 소자가 제2전계 효과 트랜지스터인 것을 특징으로 하는 보호 회로.

청구항 9

제8항에 있어서, 제2전계 효과 트랜지스터의 임계치가 제1전계 효과 트랜지스터의 임계치보다 낮게 설정된 것을 특징으로 하는 보호 회로.

청구항 10

제6항에 있어서, 상기 저항 수단이 제3전계 효과 트랜지스터인 것을 특징으로 하는 보호 회로.

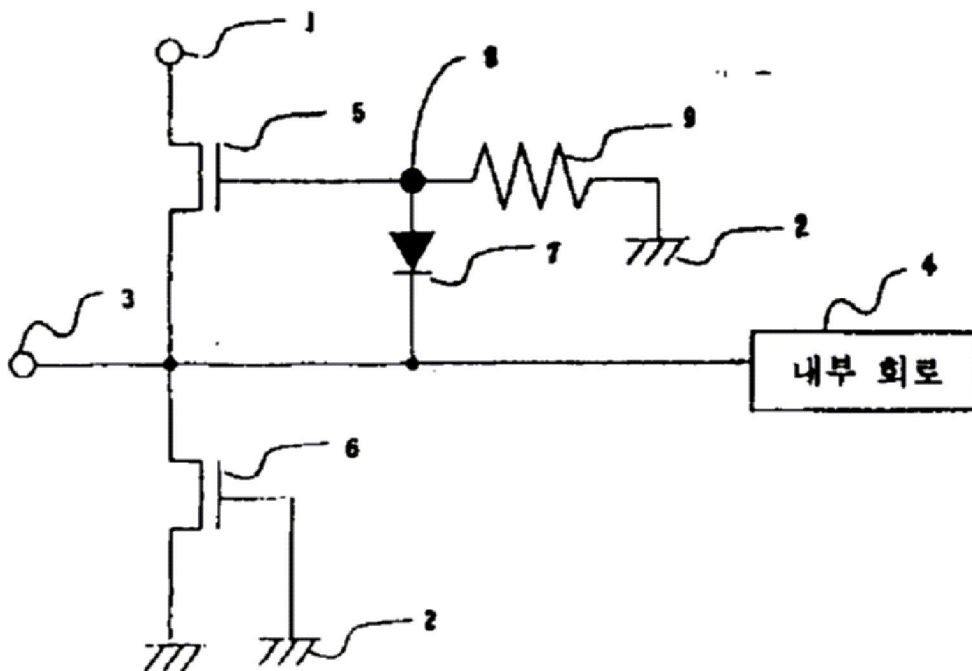
청구항 11

제1전위를 갖는 제1전원단자에 전기적으로 접속된 하나의 전극과, 패드에 전기적으로 접속된 다른 전극과, 제1노드에 전기적으로 접속된 게이트를 갖는 하나 이상의 전계 효과 트랜지스터, 제1설정치보다 낮은 음의 전위가 패드로 인가될 때 제1노드에서의 전위를 제2설정치보다 낮은 전위로 조정하는 전위 조정 수단을 구비한 것을 특징으로 하는 보호 회로.

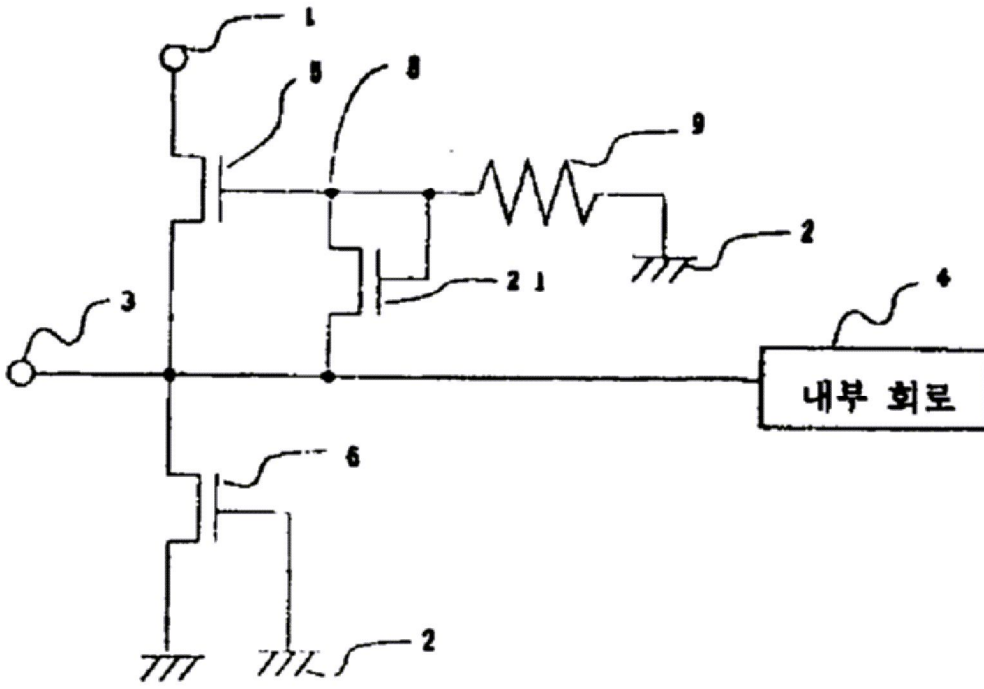
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

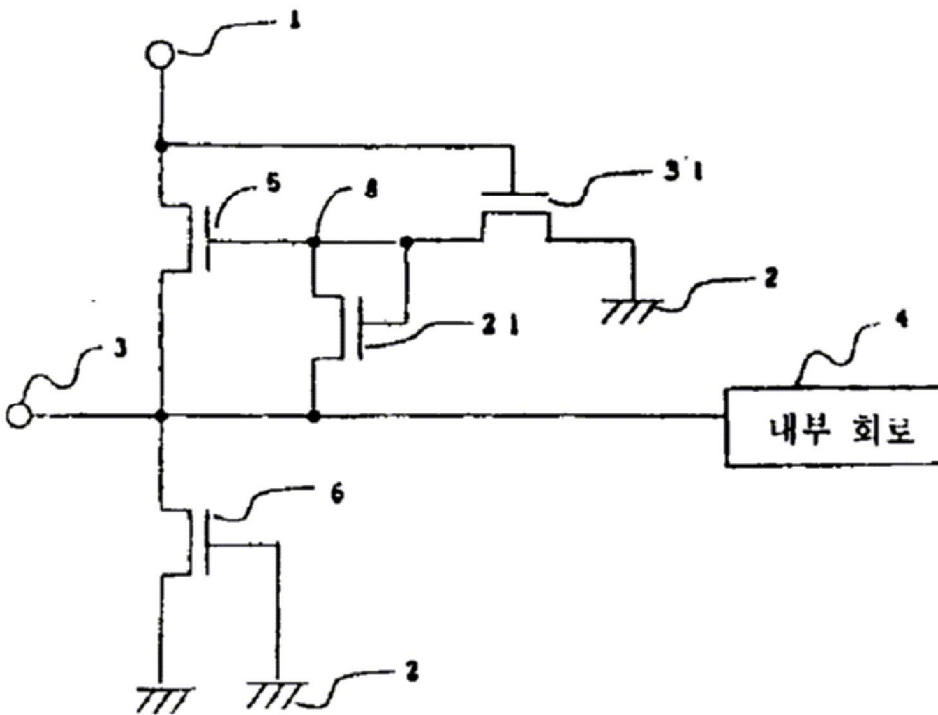
도면1



도면2



도면3



도면4

