

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6570417号
(P6570417)

(45) 発行日 令和1年9月4日(2019.9.4)

(24) 登録日 令和1年8月16日(2019.8.16)

| | | |
|--------------------------|---------------|---------|
| (51) Int.Cl. | F I | |
| HO 1 L 27/146 (2006.01) | HO 1 L 27/146 | A |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 | 6 1 8 Z |
| HO 1 L 29/786 (2006.01) | HO 1 L 27/146 | E |
| HO 1 L 21/8234 (2006.01) | HO 1 L 29/78 | 6 1 3 Z |
| HO 1 L 27/06 (2006.01) | HO 1 L 29/78 | 6 1 8 B |
| 請求項の数 14 (全 62 頁) 最終頁に続く | | |

(21) 出願番号 特願2015-207846 (P2015-207846)
 (22) 出願日 平成27年10月22日(2015.10.22)
 (65) 公開番号 特開2016-86164 (P2016-86164A)
 (43) 公開日 平成28年5月19日(2016.5.19)
 審査請求日 平成30年10月18日(2018.10.18)
 (31) 優先権主張番号 特願2014-217221 (P2014-217221)
 (32) 優先日 平成26年10月24日(2014.10.24)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 柴山 将隆

最終頁に続く

(54) 【発明の名称】 撮像装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

第1の層と、第2の層と、第3の層と、を有する撮像装置であって、
 前記第1の層、前記第2の層および前記第3の層は、それぞれが互いに重なる領域を有し、

前記第1の層は、第1のトランジスタおよび第2のトランジスタを有し、
 前記第2の層は、第3のトランジスタおよび第4のトランジスタを有し、
 前記第1のトランジスタ乃至前記第4のトランジスタは活性層に酸化物半導体を有し、
 前記第3の層は、光電変換素子を有し、

前記第1のトランジスタのソースまたはドレインの一方は、前記第2のトランジスタのソ
 ースまたはドレインの一方と電気的に接続され、

10

前記第2のトランジスタのソースまたはドレインの一方は、前記第3のトランジスタのゲ
 ートと電気的に接続され、

前記第3のトランジスタのソースまたはドレインの一方は、前記第4のトランジスタのソ
 ースまたはドレインの一方と電気的に接続され、

前記光電変換素子の一方の電極は、前記第1のトランジスタのソースまたはドレインの他
 方と電気的に接続され、

前記第1のトランジスタおよび前記第2のトランジスタのオフ電流は、前記第3のラン
 ジスタおよび前記第4のトランジスタよりも小さく、

前記第3のトランジスタおよび前記第4のトランジスタの電界効果移動度は、前記第1の

20

トランジスタおよび前記第 2 のトランジスタよりも大きいことを特徴とする撮像装置。

【請求項 2】

請求項 1 において、

前記第 1 の層、前記第 2 の層および前記第 3 の層は、

高さ方向に、前記第 1 の層、前記第 2 の層、前記第 3 の層の順で配置される構成、または、前記第 2 の層、前記第 1 の層、前記第 3 の層の順で配置される構成であることを特徴とする撮像装置。

【請求項 3】

第 1 の層と、第 2 の層と、第 3 の層と、第 4 の層と、を有する撮像装置であって、

前記第 1 の層、前記第 2 の層、前記第 3 の層および前記第 4 の層は、それぞれが互いに重なる領域を有し、

前記第 1 の層は、光電変換素子を有し、

前記第 2 の層は、第 1 のトランジスタおよび第 2 のトランジスタを有し、

前記第 3 の層は、第 3 のトランジスタおよび第 4 のトランジスタを有し、

前記第 4 の層は、第 5 のトランジスタを有し、

前記第 1 のトランジスタ乃至前記第 4 のトランジスタは活性層に酸化物半導体を有し、

前記第 5 のトランジスタは活性領域または活性層にシリコンを有し、

前記第 1 のトランジスタ乃至前記第 4 のトランジスタは、第 1 の回路を構成し、

前記第 5 のトランジスタは、第 2 の回路を構成し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 4 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記光電変換素子の一方の電極は、前記第 1 のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第 1 のトランジスタおよび前記第 2 のトランジスタのオフ電流は、前記第 3 のトランジスタおよび前記第 4 のトランジスタよりも小さく、

前記第 3 のトランジスタおよび前記第 4 のトランジスタの電界効果移動度は、前記第 1 のトランジスタおよび前記第 2 のトランジスタよりも大きいことを特徴とする撮像装置。

【請求項 4】

請求項 3 において、

前記第 1 の層、前記第 2 の層、前記第 3 の層および前記第 4 の層は、

高さ方向に、前記第 1 の層、前記第 2 の層、前記第 3 の層、前記第 4 の層の順で配置される構成、または、前記第 1 の層、前記第 3 の層、前記第 2 の層、前記第 4 の層の順で配置される構成であることを特徴とする撮像装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記第 1 のトランジスタおよび前記第 2 のトランジスタが有する活性層は、前記第 3 のトランジスタおよび第 4 のトランジスタの活性層よりもバンドギャップが大きいことを特徴とする撮像装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記第 3 のトランジスタおよび前記第 4 のトランジスタの活性層は、前記第 1 のトランジスタおよび前記第 2 のトランジスタの活性層よりも膜厚が厚いことを特徴とする撮像装置。

【請求項 7】

第 1 の層と、第 2 の層と、第 3 の層と、第 4 の層と、を含む積層体を有する撮像装置であって、

10

20

30

40

50

前記第 1 の層、前記第 2 の層、前記第 3 の層および前記第 4 の層は、それぞれが互いに重なる領域を有し、

前記第 1 の層は、光電変換素子を有し、

前記第 2 の層は、第 1 のトランジスタおよび第 2 のトランジスタを有し、

前記第 3 の層は、第 3 のトランジスタ、第 4 のトランジスタおよび第 5 のトランジスタを有し、

前記第 4 の層は、第 6 のトランジスタを有し、

前記第 1 のトランジスタ乃至前記第 5 のトランジスタは活性層に酸化物半導体を有し、

前記第 6 のトランジスタは活性領域または活性層にシリコンを有し、

前記第 1 のトランジスタ乃至前記第 4 のトランジスタは、第 1 の回路を構成し、

10

前記第 5 のトランジスタおよび前記第 6 のトランジスタは、第 2 の回路を構成し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソースまたはドレインの一方は、前記第 4 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

前記光電変換素子の一方の電極は、前記第 1 のトランジスタのソースまたはドレインの他方と電氣的に接続され、

前記第 1 のトランジスタおよび前記第 2 のトランジスタのオフ電流は、前記第 3 のトランジスタ、前記第 4 のトランジスタおよび前記第 5 のトランジスタよりも小さく、

20

前記第 3 のトランジスタ、前記第 4 のトランジスタおよび前記第 5 のトランジスタの電界効果移動度は、前記第 1 のトランジスタおよび前記第 2 のトランジスタよりも大きいことを特徴とする撮像装置。

【請求項 8】

請求項 7 において、

前記第 1 の層、前記第 2 の層、前記第 3 の層および前記第 4 の層は、

高さ方向に、前記第 1 の層、前記第 2 の層、前記第 3 の層、前記第 4 の層の順で配置される構成、または、前記第 1 の層、前記第 3 の層、前記第 2 の層、前記第 4 の層の順で配置される構成であることを特徴とする撮像装置。

30

【請求項 9】

請求項 7 および 8 において、

前記第 1 のトランジスタおよび第 2 のトランジスタが有する活性層は、前記第 3 のトランジスタ、前記第 4 のトランジスタおよび前記第 5 のトランジスタの活性層よりもバンドギャップが大きいことを特徴とする撮像装置。

【請求項 10】

請求項 7 乃至 9 のいずれか一項において、

前記第 3 のトランジスタ、前記第 4 のトランジスタおよび前記第 5 のトランジスタの活性層は、前記第 1 のトランジスタおよび前記第 2 のトランジスタの活性層よりも膜厚が厚いことを特徴とする撮像装置。

40

【請求項 11】

請求項 1 乃至 10 のいずれか一項において、

前記第 1 のトランジスタのソースまたはドレインの一方は、容量素子の一方の電極と電氣的に接続されていることを特徴とする撮像装置。

【請求項 12】

請求項 1 乃至 11 のいずれか一項において、

前記酸化物半導体は、In と、Zn と、M (M は Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd または Hf) と、を有することを特徴とする撮像装置。

【請求項 13】

請求項 1 乃至 12 のいずれか一項において、

50

前記光電変換素子は、光電変換層にセレンまたはセレンを含む化合物を有することを特徴とする撮像装置。

【請求項 14】

請求項 1 乃至 13 のいずれか一項に記載の撮像装置と、表示装置と、

を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、酸化物半導体を用いた撮像装置に関する。

10

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

20

【背景技術】

【0004】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料として、シリコン系半導体が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0005】

例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1および特許文献2参照）。

30

【0006】

また、特許文献3では、酸化物半導体を有するオフ電流が極めて低いトランジスタを画素回路の一部に用い、CMOS（Complementary Metal Oxide Semiconductor）回路が作製可能なシリコンを有するトランジスタを周辺回路に用いる構成の撮像装置が開示されている。

【0007】

また、特許文献4では、シリコンを有するトランジスタと、酸化物半導体を有するトランジスタと、結晶性シリコン層を有するフォトダイオードを積層する構成の撮像装置が開示されている。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2011-119711号公報

【特許文献4】特開2013-243355号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

50

個々のトランジスタに求められる特性は、同一回路内においても異なることがある。例えば、イメージセンサの画素の増幅トランジスタは、高いオン電流特性を有することが好ましい。また、フォトダイオードと接続される転送トランジスタは、低いオフ電流特性を有することが好ましい。つまり、性能の優れた撮像装置を形成するには、要求される特性を有するようにトランジスタを作り分けることが望まれる。

【0010】

したがって、本発明の一態様では、撮像性能の優れた撮像装置を提供することを目的の一つとする。異なる材料で形成されたトランジスタを有する撮像装置を提供することを目的の一つとする。または、異なる材料で形成されたトランジスタが積層された撮像装置を提供することを目的の一つとする。または、高速動作に適した撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、集積度の高い撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、低照度下で撮像することができる撮像装置を提供することを目的の一つとする。または、ダイナミックレンジの広い撮像装置を提供することを目的の一つとする。または、広い温度範囲において使用可能な撮像装置を提供することを目的の一つとする。または、高開口率の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

10

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0012】

本発明の一態様は、酸化物半導体を用いて形成されたトランジスタを有する撮像装置に関する。

【0013】

本発明の一態様は、第1の層と、第2の層と、第3の層と、を有する撮像装置であって、第1の層、第2の層および第3の層は、それぞれが互いに重なる領域を有し、第1の層は、第1のトランジスタおよび第2のトランジスタを有し、第2の層は、第3のトランジスタおよび第4のトランジスタを有し、第1のトランジスタ乃至第4のトランジスタは活性層に酸化物半導体を有し、第3の層は、光電変換素子を有し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのゲートと電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、光電変換素子の一方の電極は、第1のトランジスタのソースまたはドレインの他方と電氣的に接続され、第1のトランジスタおよび第2のトランジスタのオフ電流は、第3のトランジスタおよび第4のトランジスタよりも小さく、第3のトランジスタおよび第4のトランジスタの電界効果移動度は、第1のトランジスタおよび前記第2のトランジスタよりも大きいことを特徴とする撮像装置である。

30

40

【0014】

上記の態様において、第1の層、第2の層および第3の層は、高さ方向に、第1の層、第2の層、第3の層の順で配置される構成、または、第2の層、第1の層、第3の層の順で高さ方向に配置される構成とすることができる。

【0015】

また、本発明の他の一態様は、第1の層と、第2の層と、第3の層と、第4の層と、を含む積層体を有する撮像装置であって、第1の層、第2の層、第3の層および第4の層は、

50

それぞれが互いに重なる領域を有し、第1の層は、光電変換素子を有し、第2の層は、第1のトランジスタおよび第2のトランジスタを有し、第3の層は、第3のトランジスタおよび第4のトランジスタを有し、第4の層は、第5のトランジスタを有し、第1のトランジスタ乃至第4のトランジスタは活性層に酸化物半導体を有し、第5のトランジスタは活性領域または活性層にシリコンを有し、第1のトランジスタ乃至第4のトランジスタは、第1の回路を構成し、第5のトランジスタは、第2の回路を構成し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのゲートと電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、光電変換素子の一方の電極は、第1のトランジスタのソースまたはドレインの他方と電氣的に接続され、第1のトランジスタおよび第2のトランジスタのオフ電流は、第3のトランジスタおよび第4のトランジスタよりも小さく、第3のトランジスタおよび第4のトランジスタの電界効果移動度は、第1のトランジスタおよび第2のトランジスタよりも大きいことを特徴とする撮像装置である。

10

【0016】

また、本発明の他の一態様は、第1の層と、第2の層と、第3の層と、第4の層と、を含む積層体を有する撮像装置であって、第1の層、第2の層、第3の層および第4の層は、それぞれが互いに重なる領域を有し、第1の層は、光電変換素子を有し、第2の層は、第1のトランジスタおよび第2のトランジスタを有し、第3の層は、第3のトランジスタ、第4のトランジスタおよび第5のトランジスタを有し、第4の層は、第6のトランジスタを有し、第1のトランジスタ乃至第5のトランジスタは活性層に酸化物半導体を有し、第6のトランジスタは活性領域または活性層にシリコンを有し、第1のトランジスタ乃至第4のトランジスタは、第1の回路を構成し、第5のトランジスタおよび第6のトランジスタは、第2の回路を構成し、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のトランジスタのソースまたはドレインの一方は、第3のトランジスタのゲートと電氣的に接続され、第3のトランジスタのソースまたはドレインの一方は、第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、光電変換素子の一方の電極は、第1のトランジスタのソースまたはドレインの他方と電氣的に接続され、第1のトランジスタおよび第2のトランジスタのオフ電流は、第3のトランジスタ、第4のトランジスタおよび第5のトランジスタよりも小さく、第3のトランジスタ、第4のトランジスタおよび第5のトランジスタの電界効果移動度は、第1のトランジスタおよび第2のトランジスタよりも大きいことを特徴とする撮像装置である。

20

30

【0017】

上記第1の層乃至第4の層を有する態様において、第1の層、第2の層、第3の層および第4の層は、高さ方向に、第1の層、第2の層、第3の層、第4の層の順で配置される構成、または、第1の層、第3の層、第2の層、第4の層の順で配置される構成とすることができる。

【0018】

また、第1のトランジスタのソースまたはドレインの一方は、容量素子の一方の電極と電氣的に接続されている構成とすることができる。

40

【0019】

また、酸化物半導体は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有することが好ましい。

【0020】

また、光電変換素子は、光電変換層にセレンまたはセレンを含む化合物を用いることができる。

【発明の効果】

【0021】

50

したがって、本発明の一態様では、撮像性能の優れた撮像装置を提供することができる。または、異なる材料で形成されたトランジスタを有する撮像装置を提供することができる。または、異なる材料で形成されたトランジスタが積層された撮像装置を提供することができる。または、高速動作に適した撮像装置を提供することができる。または、解像度の高い撮像装置を提供することができる。または、集積度の高い撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、低照度下で撮像することができる撮像装置を提供することができる。または、ダイナミックレンジの広い撮像装置を提供することができる。または、広い温度範囲において使用可能な撮像装置を提供することができる。または、高開口率の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、新規な半導体装置などを提供することができる。

10

【0022】

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0023】

【図1】撮像装置を説明する断面図および回路図。

【図2】撮像装置を説明する断面図および回路図。

20

【図3】光電変換素子の接続形態を説明する断面図。

【図4】撮像装置を説明する断面図。

【図5】光電変換素子の接続形態を説明する断面図。

【図6】撮像装置を説明する断面図。

【図7】撮像装置を説明する断面図。

【図8】撮像装置を構成する積層の状態を説明する図。

【図9】撮像装置の構成を説明する断面図。

【図10】撮像装置を構成する積層の状態を説明する図。

【図11】湾曲した撮像装置を説明する図。

【図12】画素回路の構成を説明する図。

30

【図13】画素回路の動作を説明するタイミングチャート。

【図14】画素回路の構成を説明する図。

【図15】画素回路の構成を説明する図。

【図16】画素回路の構成を説明する図。

【図17】画素回路の構成を説明する図。

【図18】画素回路の構成を説明する図。

【図19】画素回路の構成を説明する図。

【図20】画素回路の構成を説明する図。

【図21】グローバルシャッタ方式とローリングシャッタ方式の動作を説明するタイミングチャート。

40

【図22】トランジスタを説明する上面図および断面図。

【図23】トランジスタを説明する上面図および断面図。

【図24】トランジスタを説明する上面図および断面図。

【図25】トランジスタを説明する上面図および断面図。

【図26】トランジスタを説明する上面図および断面図。

【図27】トランジスタを説明する上面図および断面図。

【図28】トランジスタのチャンネル幅方向の断面を説明する図。

【図29】トランジスタのチャンネル長方向の断面を説明する図。

【図30】半導体層を説明する上面図および断面図。

【図31】トランジスタを説明する上面図および断面図。

50

- 【図32】トランジスタを説明する上面図および断面図。
- 【図33】トランジスタを説明する上面図および断面図。
- 【図34】トランジスタを説明する上面図および断面図。
- 【図35】トランジスタを説明する上面図および断面図。
- 【図36】トランジスタを説明する上面図および断面図。
- 【図37】トランジスタのチャンネル幅方向の断面を説明する図。
- 【図38】トランジスタのチャンネル長方向の断面を説明する図。
- 【図39】トランジスタを説明する上面図。
- 【図40】電子機器を説明する図。
- 【図41】光電変換素子の接続形態を説明する断面図。
- 【図42】トランジスタの構成を説明する断面図。
- 【図43】撮像装置の構成を説明する断面図。
- 【図44】撮像装置の構成を説明する断面図。
- 【発明を実施するための形態】

【0024】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0025】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0026】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0027】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

【0028】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【0029】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能

10

20

30

40

50

とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

10

【0030】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等を開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等を開示されているものとする。

【0031】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

20

【0032】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

30

40

【0033】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の

50

接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

【0034】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0035】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0036】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

30

【0037】

（実施の形態1）

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

【0038】

図1(A)は、本発明の一態様の撮像装置の画素の構成を示す断面図であり、図1(B)に示す回路91が形成される領域の断面の一例を示している。

40

【0039】

当該撮像装置は、トランジスタ51、トランジスタ52等を有する層1100と、トランジスタ53、トランジスタ54等を有する層1200と、光電変換素子60を有する層1300を備えている。

【0040】

図1(A)において、光電変換素子60には、シリコン基板40に形成されたフォトダイオードを例示しているが、後述する他の構成の光電変換素子を用いてもよい。

【0041】

層1100、層1200および層1300は、図1(A)および図8(A)に示すように、高さ方向に、層1100、層1200、層1300の順序で配置することができる。ま

50

た、図 8 (B) に示すように、高さ方向に、層 1 2 0 0、層 1 1 0 0、層 1 3 0 0 の順序で配置することもできる。また、上記以外の層が当該積層構造に含まれる場合もある。また、上記の一部の層が含まれない場合もある。

【 0 0 4 2 】

回路 9 1 において、トランジスタ 5 1 のソース電極またはドレイン電極の一方は、光電変換素子 6 0 の一方の電極と電気的に接続される。トランジスタ 5 1 のソース電極またはドレイン電極の他方は、トランジスタ 5 3 のゲート電極と電気的に接続される。トランジスタ 5 1 のソース電極またはドレイン電極の他方は、トランジスタ 5 2 のソース電極またはドレイン電極の一方と電気的に接続される。トランジスタ 5 3 のソース電極またはドレイン電極の一方は、トランジスタ 5 4 のソース電極またはドレイン電極の一方と電気的に接続される。図 1 (A)、(B) には、トランジスタ 5 1 のソース電極またはドレイン電極の他方が容量素子 5 9 の一方の電極と電気的に接続された形態を図示しているが、容量素子 5 9 を設けない構成とすることもできる。なお、上記要素間の電気的な接続の形態は一例である。

10

【 0 0 4 3 】

本実施の形態において、各配線、各電極および各導電体 8 1 を個別の要素として図示しているが、それらが電気的に接続している場合においては、同一の要素として設けられる場合もある。また、トランジスタのゲート電極、ソース電極、またはドレイン電極が導電体 8 1 を介して各配線と接続される形態は一例であり、トランジスタのゲート電極、ソース電極、またはドレイン電極のそれぞれが配線としての機能を有する場合もある。また、図面に示される配線等の一部が設けられない場合や、上記以外の配線等やトランジスタ等が各層に含まれる場合もある。

20

【 0 0 4 4 】

各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁層 4 1 乃至絶縁層 4 4 等が設けられる。例えば、絶縁層 4 1 乃至絶縁層 4 4 等は、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁層 4 1 乃至絶縁層 4 4 等の上面は、必要に応じて C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) 法等で平坦化処理を行うことが好ましい。

【 0 0 4 5 】

配線 7 1 および配線 7 3 は、一方が電源線、他方が出力線として機能させることができる。配線 7 2 は電源線として機能させることができる。配線 7 7 は電源線 (低電位) として機能させることができる。配線 7 4、7 5、7 6 は、トランジスタのオンオフを制御する信号線として機能させることができる。配線 7 4 は接続配線として機能させることができる。

30

【 0 0 4 6 】

トランジスタ 5 1 は、光電変換素子 6 0 の出力に応じて電荷蓄積部 (F D) の電位を制御するための転送トランジスタとして機能させることができる。トランジスタ 5 2 は、電荷蓄積部 (F D) の電位を初期化するリセットトランジスタとして機能させることができる。トランジスタ 5 3 は、電荷蓄積部 (F D) の電位に応じた出力を行う増幅トランジスタとして機能させることができる。トランジスタ 5 4 は画素を選択する選択トランジスタとして機能させることができる。

40

【 0 0 4 7 】

なお、図 1 (A) において、各トランジスタはバックゲートを有する形態を例示しているが、図 4 2 (A) に示すように、バックゲートを有さない形態であってもよい。また、図 4 2 (B) に示すように、一部のトランジスタ、例えばトランジスタ 5 1 のみにバックゲートを有するような形態であってもよい。当該バックゲートは、対向して設けられるトランジスタのフロントゲートと電気的に接続する場合がある。または、当該バックゲートにフロントゲートとは異なる固定電位が供給される場合がある。なお、当該バックゲート有無に関する形態は、本実施の形態で説明する他の撮像装置の形態にも適用することができ

50

る。

【0048】

トランジスタ51乃至トランジスタ54には、活性層を酸化物半導体で形成したトランジスタ(以下、OSトランジスタ)を用いることができる。

【0049】

OSトランジスタは極めて低いオフ電流特性を有するため、撮像のダイナミックレンジを拡大することができる。図1(B)に示す回路構成では、光電変換素子60に入射される光の強度が大きいときに電荷蓄積部(FD)の電位が小さくなる。例えば、トランジスタ53の低いオフ電流特性によって、ゲート電位(電荷蓄積部(FD)の電位)が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

10

【0050】

また、トランジスタ51およびトランジスタ52の低いオフ電流特性によって電荷蓄積部(FD)で電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。したがって、被写体が動体であっても歪の小さい画像を容易に得ることができる。

【0051】

また、OSトランジスタは、チャンネル領域にシリコンを用いたトランジスタ(以下、Siトランジスタ)よりも電気特性変動の温度依存性が小さいため、極めて広い温度範囲で使用することができる。したがって、OSトランジスタを有する撮像装置および半導体装置は、自動車、航空機、宇宙機などへの搭載にも適している。

20

【0052】

また、OSトランジスタは、Siトランジスタよりもドレイン耐圧の高い特性を有するため、信頼性の高い撮像装置とすることができる。

【0053】

ここで、撮像装置のダイナミックレンジをさらに広げるには、トランジスタ53および電流のパスとなるトランジスタ54にオン電流がさらに高いトランジスタを用いることが好ましい。また、電荷蓄積部(FD)で電荷を保持できる期間をさらに長くするには、トランジスタ51およびトランジスタ52にオフ電流がさらに低いトランジスタを用いることが好ましい。

30

【0054】

つまり、トランジスタ51およびトランジスタ52と、トランジスタ53およびトランジスタ54は、より最適な電気特性を有するように作り分けることが好ましい。

【0055】

したがって、本発明の一態様では、図1(A)に示すようにトランジスタ51およびトランジスタ52を有する層1100と、トランジスタ53およびトランジスタ54を有する層1200とが重なる領域を有する配置とし、トランジスタを作り分ける。

40

【0056】

全般的にトランジスタは、低いオフ電流と高いオン電流の両方を備える電気特性を有することが好ましいが、オフ電流とオン電流はトレードオフの関係にあり、一般的にオフ電流が低いトランジスタはオン電流も低く、オン電流が大きいトランジスタはオフ電流も大きくなる。なお、オフ電流とはトランジスタを非導通状態としたときにソースとドレイン間に流れる電流である。なお、オン電流とはトランジスタを導通状態としたときにソースとドレイン間に流れる電流である。

【0057】

すなわち、本発明の一態様では、層1100が有するトランジスタ51およびトランジスタ52は、層1200が有するトランジスタ53およびトランジスタ54よりもオフ電流が低い電気特性を有する構成とする。また、層1200が有するトランジスタ53および

50

トランジスタ54は、層1100が有するトランジスタ51およびトランジスタ52よりもオン電流が高い電気特性を有する構成とする。

【0058】

オフ電流の低いトランジスタを作製するには、例えば、活性層の酸化物半導体に原子数比がIn:Ga:Zn=1:1:1や1:3:2などの比較的バンドギャップの大きいIn-Ga-Zn酸化物を用いることが好ましい。また、(1:3:2)/(1:1:1)/(1:3:2)の酸化物半導体の積層構造としてもよい。また、当該積層構造のゲート電極側の1:3:2の酸化物半導体を酸化ガリウムに置き換えてもよい。また、チャネル幅を変化させる意味と同意で、酸化物半導体の膜厚を薄くすることが好ましい。また、ゲート絶縁膜の膜厚を比較的厚くすることが好ましい。

10

【0059】

オン電流の高いトランジスタを作製するには、例えば、活性層の酸化物半導体に原子数比がIn:Ga:Zn=3:1:2、2:1:3、4:1:4、1などの比較的バンドギャップの小さいIn-Ga-Zn酸化物を用いることが好ましい。また、これらの酸化物半導体をIn:Ga:Zn=1:3:2などの酸化物半導体で挟んだ積層構造としてもよい。また、酸化亜鉛やIn-Sn-Zn酸化物などの酸化物半導体を用いてもよい。また、チャネル幅を変化させる意味と同意で、酸化物半導体の膜厚を厚くすることが好ましい。また、ゲート絶縁膜の膜厚を比較的薄くすることが好ましい。

【0060】

以上をまとめると、相対的な条件として、層1100が有するトランジスタ51およびトランジスタ52の活性層は、層1200が有するトランジスタ53およびトランジスタ54の活性層よりもバンドギャップが大きいことが好ましい。

20

【0061】

また、相対的な条件として、層1100が有するトランジスタ51およびトランジスタ52の活性層の膜厚は、層1200が有するトランジスタ53およびトランジスタ54の活性層の膜厚よりも薄いことが好ましい。

【0062】

また、相対的な条件として、層1100が有するトランジスタ51およびトランジスタ52のゲート絶縁膜の膜厚は、層1200が有するトランジスタ53およびトランジスタ54のゲート絶縁膜の膜厚よりも厚いことが好ましい。

30

【0063】

このような構成とすることで、撮像性能の優れた撮像装置を形成することができる。

【0064】

また、本発明の一態様の撮像装置は、図2(A)に示す構成とすることができる。

【0065】

図2(A)に示す撮像装置は、トランジスタ51、トランジスタ52等を有する層1100と、トランジスタ53、トランジスタ54等を有する層1200と、光電変換素子60を有する層1300と、シリコン基板40に設けられたトランジスタ55、トランジスタ56等を有する層1400を備えている。上記各トランジスタおよび光電変換素子60は、絶縁層に埋め込まれた導電体81を介して各配線と電気的な接続を有する形態とすることができる。

40

【0066】

図2(A)において、層1300に設けられる光電変換素子60には、セレンを光電変換層61とする素子を例示しているが、図1(A)に示したシリコン基板に形成したフォトダイオードを用いることもできる。

【0067】

セレン系材料を光電変換層61に用いた光電変換素子60は、可視光に対する外部量子効率が高い特性を有する。当該光電変換素子では、アバランシェ倍増により入射される光量に対する電子の増幅が大きい高感度の光センサとすることができる。つまり、セレン系材料を光電変換層61に用いることで、画素面積が縮小しても十分な光電流を得ることがで

50

きる。また、光感度が大きいことから、セレン系材料を用いた光電変換素子PDは、低照度環境における撮像にも適しているといえる。また、セレン系材料は光吸収係数が高いため、光電変換層61を薄くしやすい利点を有する。

【0068】

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、一例として、非晶質セレンを成膜後、熱処理することで得ることができる。なお、結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

【0069】

なお、光電変換層61は単層として図示しているが、セレン系材料の受光面側に正孔注入阻止層として酸化ガリウムまたは酸化セリウムなどを設け、電極66側に電子注入阻止層として酸化ニッケルまたは硫化アンチモンなどを設ける構成とすることもできる。

【0070】

また、光電変換層61は、銅、インジウム、セレンの化合物(CIS)を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物(CIGS)を含む層であってもよい。CISおよびCIGSでは、セレンの単層と同様にアバランシェ倍増が利用できる光電変換素子を形成することができる。

【0071】

セレン系材料を用いた光電変換素子60は、例えば、金属材料などで形成された電極66と透光性導電層62との間に光電変換層61を有する構成とすることができる。また、CISおよびCIGSはp型半導体であり、接合を形成するためにn型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

【0072】

アバランシェ現象を発生させるためには、光電変換素子に比較的高い電圧(例えば、10V以上)を印加することが好ましい。OSトランジスタは、Siトランジスタよりもドレイン耐圧の高い特性を有するため、光電変換素子に比較的高い電圧を印加することが容易である。したがって、ドレイン耐圧の高いOSトランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、高感度、かつ信頼性の高い撮像装置とすることができる。

【0073】

なお、図2(A)では、光電変換層61および透光性導電層62を画素回路間で分離しない構成としているが、図3(A)に示すように回路間で分離する構成としてもよい。また、画素間における電極66を有さない領域には、絶縁体で隔壁67を設け、光電変換層61および透光性導電層62に亀裂が入らないようにすることが好ましいが、図3(B)に示すように隔壁67を設けない構成としてもよい。また、図3(C)、(D)に示すように透光性導電層62と配線77が直接接する形態としてもよい。

【0074】

また、電極66および配線77等は多層としてもよい。例えば、図41(A)に示すように、電極66を導電層66a、66bの二層とし、配線77を導電層77a、77bの二層とすることができる。図41(A)の構成においては、例えば、66aおよび77aを低抵抗の金属等を選択して形成し、66bおよび77bを光電変換層61とコンタクト特性の良い金属等を選択して形成するとよい。このような構成とすることで、光電変換素子の電気特性を向上させることができる。また、一部の金属は透光性導電層62と接触することにより電蝕を起こすことがある。そのような金属を導電層77aに用いた場合でも導電層77bを介することによって電蝕を防止することができる。

【0075】

導電層66bおよび導電層77bには、例えば、モリブデンやタングステンなどを用いることができる。また、導電層66aおよび導電層77aには、例えば、アルミニウム、チタン、またはアルミニウムをチタンで挟むような積層を用いることができる。

10

20

30

40

50

【 0 0 7 6 】

また、絶縁層 4 1 が多層である構成であってもよい。例えば、図 4 1 (B) に示すように、絶縁層 4 1 が絶縁層 4 1 a および絶縁層 4 1 b を有し、かつ絶縁層 4 1 a と絶縁層 4 1 b とのエッチングレート等が異なる場合は、導電体 8 1 は段差を有するようになる。層間絶縁膜や平坦化膜に用いられるその他の絶縁層が多層である場合も同様に導電体 8 1 は段差を有するようになる。なお、ここでは絶縁層 4 1 が 2 層である例を示したが、絶縁層 4 1 およびその他の絶縁層は 3 層以上の構成であってもよい。

【 0 0 7 7 】

また、光電変換素子 6 0 には、非晶質シリコン膜や微結晶シリコン膜などを用いた p i n 型ダイオード素子などを用いてもよい。

10

【 0 0 7 8 】

例えば、図 4 は光電変換素子 6 0 に p i n 型の薄膜フォトダイオードを用いた例である。当該フォトダイオードは、n 型の半導体層 6 5、i 型の半導体層 6 4、および p 型の半導体層 6 3 が順に積層された構成を有している。i 型の半導体層 6 4 には非晶質シリコンを用いることが好ましい。また、p 型の半導体層 6 3 および n 型の半導体層 6 5 には、それぞれの導電性を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

【 0 0 7 9 】

図 4 に示す光電変換素子 6 0 では、カソードとして作用する n 型の半導体層 6 5 がトランジスタ 5 1 と電気的な接続を有する電極 6 6 と電気的な接続を有する。また、アノードとして作用する p 型の半導体層 6 3 が導電体 8 1 を介して配線 7 7 と電気的な接続を有する。

20

【 0 0 8 0 】

なお、回路 9 1 では、光電変換素子 6 0 のアノードおよびカソードと、電極層および配線との接続形態が図 1 (B) とは逆となる場合もある。

【 0 0 8 1 】

いずれの場合においても、p 型の半導体層 6 3 が受光面となるように光電変換素子 6 0 を形成することが好ましい。p 型の半導体層 6 3 を受光面とすることで、光電変換素子 6 0 の出力電流を高めることができる。

30

【 0 0 8 2 】

p i n 型の薄膜フォトダイオードの形態を有する光電変換素子 6 0 の構成、ならびに光電変換素子 6 0 および配線の接続形態は、図 5 (A)、(B)、(C)、(D)、(E)、(F) に示す例であってもよい。なお、光電変換素子 6 0 の構成、光電変換素子 6 0 と配線の接続形態はこれらに限定されず、他の形態であってもよい。

【 0 0 8 3 】

図 5 (A) は、光電変換素子 6 0 の p 型の半導体層 6 3 と接する透光性導電層 6 2 を設けた構成である。透光性導電層 6 2 は電極として作用し、光電変換素子 6 0 の出力電流を高めることができる。

【 0 0 8 4 】

透光性導電層 6 2 には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、またはグラフェン等を用いることができる。また、透光性導電層 6 2 は単層に限らず、異なる膜の積層であっても良い。

40

【 0 0 8 5 】

図 5 (B) は、光電変換素子 6 0 の p 型の半導体層 6 3 と配線 7 8 が電気的な接続を直接有する構成である。

【 0 0 8 6 】

図 5 (C) は、光電変換素子 6 0 の p 型の半導体層 6 3 と接する透光性導電層 6 2 が設け

50

られ、配線 7 8 と透光性導電層 6 2 が電氣的な接続を有する構成である。

【 0 0 8 7 】

図 5 (D) は、光電変換素子 6 0 を覆う絶縁層に p 型の半導体層 6 3 が露出する開口部が設けられ、当該開口部を覆う透光性導電層 6 2 と配線 7 8 が電氣的な接続を有する構成である。

【 0 0 8 8 】

図 5 (E) は、光電変換素子 6 0 を貫通する導電体 8 1 が設けられた構成である。当該構成では、配線 7 7 は導電体 8 1 を介して p 型の半導体層 6 3 と電氣的に接続される。なお、図面上では、配線 7 7 と電極 6 6 とは、n 型の半導体層 6 5 を介して見かけ上導通してしまう形態を示している。しかしながら、n 型の半導体層 6 5 の横方向の抵抗が高いため、配線 7 7 と上記電極との間に適切な間隔を設ければ、両者間は極めて高抵抗となる。したがって、光電変換素子 6 0 は、アノードとカソードが短絡することなく、ダイオード特性を有することができる。なお、p 型の半導体層 6 3 と電氣的に接続される導電体 8 1 は複数であってもよい。

10

【 0 0 8 9 】

図 5 (F) は、図 5 (E) の光電変換素子 6 0 に対して、p 型の半導体層 6 3 と接する透光性導電層 6 2 を設けた構成である。

【 0 0 9 0 】

なお、図 5 (D)、図 5 (E)、および図 5 (F) に示す光電変換素子 6 0 では、受光領域と配線等が重ならないため、広い受光面積を確保できる利点を有する。

20

【 0 0 9 1 】

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子 6 0 は、成膜工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製することができる。また、セレン系材料は高抵抗であり、図 2 (A) に示すように、光電変換層 6 1 を回路間で分離しない構成とすることもできる。したがって、本発明の一態様の撮像装置は、歩留りが高く、低コストで作製することができる。一方で、結晶性シリコンを光電変換層 6 1 とするフォトダイオードを形成する場合は、研磨工程や貼り合わせ工程などの難度の高い工程が必要となる。

【 0 0 9 2 】

また、図 2 (A) および図 4 に示す撮像装置では、シリコン基板 4 0 に活性領域を有するトランジスタ 5 5 およびトランジスタ 5 6 が設けられた層 1 4 0 0 が層 1 1 0 0 乃至層 1 3 0 0 に形成される画素回路と重なる構成とすることができる。

30

【 0 0 9 3 】

シリコン基板 4 0 に形成された回路は、画素回路が出力する信号を読み出す機能や当該信号を変換する処理などを行う機能を有することができる。例えば、図 2 (B) に示す回路 9 2 のような CMOS インバータを含む構成とすることができる。トランジスタ 5 5 (n - c h 型) およびトランジスタ 5 6 (p - c h 型) のゲートは電氣的に接続される。また、一方のトランジスタのソースまたはドレインの一方は、他方のトランジスタのソースまたはドレインの一方と電氣的に接続される。また、両方のトランジスタのソースまたはドレインの他方はそれぞれ別の配線に電氣的に接続される。

40

【 0 0 9 4 】

また、シリコン基板 4 0 はバルクのシリコン基板に限らず、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板を用いることもできる。

【 0 0 9 5 】

また、トランジスタ 5 5 およびトランジスタ 5 6 は、図 2 (C) に示すように、シリコン薄膜の活性層 5 8 を有するトランジスタであってもよい。また、活性層 5 8 は、多結晶シリコンや SOI (Silicon on Insulator) の単結晶シリコンとすることができる。

【 0 0 9 6 】

50

ここで、図 1 (A)、図 2 (A)、図 4 など示すように、酸化物半導体を有するトランジスタが形成される領域と、Si トランジスタ (図 1 では Si フォトダイオード) が形成される領域との間には絶縁層 80 が設けられる。

【 0 0 9 7 】

例えば、トランジスタ 55 およびトランジスタ 56 の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。したがって、当該水素はトランジスタ 55 およびトランジスタ 56 の信頼性を向上させる効果がある。一方、トランジスタ 53 等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、当該水素はトランジスタ 53 等の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタを有する一方の層と、酸化物半導体を用いたトランジスタを有する他方の層を積層する場合、これらの間に水素の拡散を防止する機能を有する絶縁層 80 を設けることが好ましい。絶縁層 80 により、一方の層に水素を閉じ込めることでトランジスタ 55 およびトランジスタ 56 の信頼性が向上することができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ 53 等の信頼性も向上させることができる。

10

【 0 0 9 8 】

絶縁層 80 としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア (Y S Z) 等を用いることができる。

20

【 0 0 9 9 】

なお、図 2 (A) および図 4 に示すような構成では、シリコン基板 40 に形成される回路 (例えば、駆動回路) と、トランジスタ 51 等と、光電変換素子 60 とを重なるように形成することができるため、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。例えば、画素数が 4 K 2 K、8 K 4 K または 16 K 8 K などの撮像装置に用いることが適する。

【 0 1 0 0 】

また、図 2 (A) および図 4 に示す撮像装置は、シリコン基板 40 には光電変換素子を設けない構成である。したがって、各種トランジスタや配線などの影響を受けずに光電変換素子 60 に対する光路を確保することができ、高開口率の画素を形成することができる。

30

【 0 1 0 1 】

なお、図 2 (A) および図 4 に示す撮像装置は、図 2 (A)、図 4 および図 8 (C) に示すように、高さ方向に、層 1300、層 1100、層 1200、層 1400 の順序で配置することができる。また、図 8 (D) に示すように、高さ方向に、層 1300、層 1200、層 1100、層 1400 の順序で配置することもできる。また、上記以外の層が当該積層構造に含まれる場合もある。また、上記の一部の層が含まれない場合もある。

【 0 1 0 2 】

また、本発明の一態様の撮像装置は、図 6 に示す構成とすることができる。

【 0 1 0 3 】

図 6 に示す撮像装置は、図 2 (A) に示す撮像装置の変形例であり、O S トランジスタおよび Si トランジスタで C M O S インバータを構成する例を図示している。

40

【 0 1 0 4 】

ここで、層 1400 に設ける Si トランジスタであるトランジスタ 56 は p - c h 型とし、層 1500 に設ける O S トランジスタであるトランジスタ 55 は n - c h 型とする。p - c h 型トランジスタのみをシリコン基板 40 に設けることで、ウェル形成や n 型不純物層形成などの工程を省くことができる。

【 0 1 0 5 】

層 1500 に設けるトランジスタ 55 は、オン電流が高いことが好ましく、層 1200 に設けるトランジスタと同様の構成を用いることができる。

【 0 1 0 6 】

50

なお、図6に示す撮像装置は、光電変換素子60にセレンを用いた例を示したが、図4と同様にpin型の薄膜フォトダイオードを用いた構成としてもよい。

【0107】

また、図6に示す撮像装置は、図6および図8(E)に示すように、高さ方向に、層1300、層1100、層1200、層1500、層1400の順序で配置することができる。また、図8(F)に示すように、高さ方向に、層1300、層1200、層1100、層1500、層1400の順序で配置することもできる。また、上記以外の層が当該積層構造に含まれる場合もある。また、上記の一部の層が含まれない場合もある。

【0108】

また、本発明の一態様の撮像装置は、図7に示す構成とすることができる。

10

【0109】

図7に示す撮像装置は、図6に示す撮像装置と同様にOSトランジスタおよびSiトランジスタでCMOSインバータを構成する例であるが、トランジスタ55を層1200に形成し、層1500を省いている点が図6の撮像装置とは異なる。

【0110】

図7に示す撮像装置において、トランジスタ55は、層1200に形成するトランジスタ53およびトランジスタ54と同一の工程で作製することができる。したがって、撮像装置の製造工程を簡略化することができる。

【0111】

なお、層1200に設けるトランジスタ55は、トランジスタ53およびトランジスタ54と同様にオン電流が高いトランジスタとして形成されるため、CMOSインバータ回路の構成要素として十分な特性を有する。

20

【0112】

図7に示す撮像装置は、図7および図8(C)に示すように、高さ方向に、層1300、層1100、層1200、層1400の順序で配置することができる。また、図8(D)に示すように、高さ方向に、層1300、層1200、層1100、層1400の順序で配置することもできる。また、上記以外の層が当該積層構造に含まれる場合もある。また、上記の一部の層が含まれない場合もある。

【0113】

なお、本実施の形態における撮像装置が有するトランジスタおよび光電変換素子の構成は一例である。したがって、例えば、トランジスタ51乃至トランジスタ54のいずれか一つ以上を活性領域または活性層にシリコン等を有するトランジスタで構成することもできる。また、トランジスタ55およびトランジスタ56の両方を活性層に酸化物半導体層を有するトランジスタで構成することもできる。

30

【0114】

本発明の一態様の撮像装置は、一つの回路を積層構造とし、当該回路に含まれるトランジスタ等が互いに重なる領域を有する構成であるため、撮像装置を小型化することができる。また、画素回路が出力する信号を読み出す機能や当該信号を変換する処理などを行う機能を有する回路が画素回路と重なる領域を有する構成とすることもでき、さらに撮像装置の小型化を助長することもできる。

40

【0115】

図9(A)は、図1乃至図8で説明した撮像装置にカラーフィルタ等を付加した形態の一例の断面図である。当該断面図は、3画素分の画素回路を有する領域の一部を示している。光電変換素子60が形成される層1300上には、絶縁層2500が形成される。絶縁層2500は可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層する構成としてもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層する構成としてもよい。

【0116】

絶縁層2500上には、遮光層2510が形成されてもよい。遮光層2510は、上部のカラーフィルタを通る光の混色を防止する機能を有する。遮光層2510には、アルミニ

50

ウム、タングステンなどの金属層や当該金属層と反射防止膜としての機能を有する誘電体膜を積層する構成とすることができる。

【0117】

絶縁層2500および遮光層2510上には平坦化膜として有機樹脂層2520を設ける構成とすることができる。また、画素別にカラーフィルタ2530が形成される。例えば、カラーフィルタ2530a、カラーフィルタ2530bおよびカラーフィルタ2530cに、R(赤)、G(緑)、B(青)、Y(黄)、C(シアン)、M(マゼンタ)などの色を割り当てることにより、カラー画像を得ることができる。

【0118】

カラーフィルタ2530a、カラーフィルタ2530bおよびカラーフィルタ2530c上には、マイクロレンズアレイ2540が設けられる。したがって、マイクロレンズアレイ2540が有する個々のレンズを通る光が直下のカラーフィルタを通り、光電変換素子に照射されるようになる。なお、図9(B)に示すように、マイクロレンズアレイ2540を設けない構成とすることもできる。この場合、カラーフィルタ上には、透光性を有する絶縁層2560などを設けることができる。

10

【0119】

また、図9(C)に示すように、カラーフィルタ2530a、カラーフィルタ2530bおよびカラーフィルタ2530cの代わりに光学変換層2550を用いてもよい。このような構成とすることで、様々な波長領域における画像が得られる撮像装置とすることができる。また、図9(C)に示す撮像装置は、図9(B)の構成と同様に、マイクロレンズアレイ2540を設けない構成とすることもできる。

20

【0120】

例えば、光学変換層2550に可視光線の波長以下の光を遮るフィルタを用いれば赤外線撮像装置とすることができる。また、光学変換層2550に近赤外線の波長以下の光を遮るフィルタを用いれば遠赤外線撮像装置とすることができる。また、光学変換層2550に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

【0121】

また、光学変換層2550にシンチレータを用いれば、X線撮像装置などに用いる、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンスと呼ばれる現象により可視光線や紫外光線などの光(蛍光)に変換される。そして、当該光を光電変換素子60で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

30

【0122】

シンチレータは、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質、または当該物質を含む材料からなる。例えば、 $Gd_2O_2S: Tb$ 、 $Gd_2O_2S: Pr$ 、 $Gd_2O_2S: Eu$ 、 $BaFCl: Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などの材料や、それらを樹脂やセラミクスに分散させたものを用いることができる。

40

【0123】

なお、セレン系材料を用いた光電変換素子60においては、X線等の放射線を電荷に直接変換することができるため、シンチレータを不要とする構成とすることもできる。

【0124】

また、図9(A)、(B)、(C)に示す層1300以外の領域を層1600とすると、図1乃至図8に示した撮像装置の構成との組み合わせは図10(A)乃至図10(F)とすることができる。

【0125】

具体的に、図10(A)に示す撮像装置の構成は、図43に示すようになる。また、図10(C)に示す構成は、図44に示すようになる。

50

【0126】

また、撮像装置は、図11(A1)および図11(B1)に示すように湾曲させてもよい。図11(A1)は、撮像装置を同図中の二点鎖線X1-X2の方向に湾曲させた状態を示している。図11(A2)は、図11(A1)中の二点鎖線X1-X2で示した部位の断面図である。図11(A3)は、図11(A1)中の二点鎖線Y1-Y2で示した部位の断面図である。

【0127】

図11(B1)は、撮像装置を同図中の二点鎖線X3-X4の方向に湾曲させ、かつ、同図中の二点鎖線Y3-Y4の方向に湾曲させた状態を示している。図11(B2)は、図11(B1)中の二点鎖線X3-X4で示した部位の断面図である。図11(B3)は、図11(B1)中の二点鎖線Y3-Y4で示した部位の断面図である。

10

【0128】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた半導体装置などの小型化や軽量化を容易とすることができる。また、撮像された画像の品質を向上させる事ができる。

【0129】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。例えば、本発明の一態様として、撮像装置に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、撮像装置に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。

20

【0130】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0131】

(実施の形態2)

本実施の形態では、実施の形態1で説明した画素回路について説明する。

30

【0132】

図1(B)に示す画素回路(回路91)および各配線との接続形態の詳細を図12(A)に示す。図12(A)に示す回路は、光電変換素子60、トランジスタ51、トランジスタ52、トランジスタ53、およびトランジスタ54を含んだ構成となっている。

【0133】

光電変換素子60のアノードは配線316に接続され、カソードはトランジスタ51のソースまたはドレインの一方と接続される。トランジスタ51のソースまたはドレインの他方は電荷蓄積部(FD)と接続され、ゲートは配線312(TX)と接続される。トランジスタ52のソースまたはドレインの一方は電荷蓄積部(FD)と接続され、ソースまたはドレインの他方は配線317と接続され、ゲートは配線311(RS)と接続される。トランジスタ53のソースまたはドレインの一方は配線314(GND)と接続され、ソースまたはドレインの他方はトランジスタ54のソースまたはドレインの一方と接続され、ゲートは電荷蓄積部(FD)と接続される。トランジスタ54のソースまたはドレインの他方は配線315(OUT)と接続され、ゲートは配線313(SE)に接続される。なお、上記接続は全て電氣的な接続とする。

40

【0134】

なお、配線314には、GND、VSS、VDDなどの電位が供給されていてもよい。ここで、電位や電圧は相対的なものである。そのため、GNDの電位の大きさは、必ずしも、0ボルトであるとは限らないものとする。

【0135】

50

光電変換素子 60 は受光素子であり、画素回路に入射した光に応じた電流を生成する機能を有する。トランジスタ 51 は、光電変換素子 60 による電荷蓄積部 (FD) への電荷蓄積を制御する機能を有する。トランジスタ 52 は、電荷蓄積部 (FD) の電位のリセットする機能を有する。トランジスタ 53 は、電荷蓄積部 (FD) の電位に応じた信号を出力する機能を有する。トランジスタ 54 は、読み出し時に画素回路の選択を制御する機能を有する。

【0136】

なお、電荷蓄積部 (FD) は、電荷保持ノードであり、光電変換素子 60 が受ける光の量に応じて変化する電荷を保持する。

【0137】

なお、トランジスタ 53 とトランジスタ 54 とは、配線 315 と配線 314 との間で、直列接続されていればよい。したがって、配線 314、トランジスタ 53、トランジスタ 54、配線 315 の順で並んでもよいし、配線 314、トランジスタ 54、トランジスタ 53、配線 315 の順で並んでもよい。

【0138】

配線 311 (RS) は、トランジスタ 52 を制御するための信号線としての機能を有する。配線 312 (TX) は、トランジスタ 51 を制御するための信号線としての機能を有する。配線 313 (SE) は、トランジスタ 54 を制御するための信号線としての機能を有する。配線 314 (GND) は、基準電位 (例えば GND) を設定する信号線としての機能を有する。配線 315 (OUT) は、トランジスタ 53 から出力される信号を読み出すための信号線としての機能を有する。配線 316 は電荷蓄積部 (FD) から光電変換素子 60 を介して電荷を出力するための信号線としての機能を有し、図 12 (A) の回路においては低電位線である。また、配線 317 は電荷蓄積部 (FD) の電位をリセットするための信号線としての機能を有し、図 12 (A) の回路においては高電位線である。

【0139】

ここで、図 1 (B) に示す配線との関係は次の通りである。配線 76 は配線 311 (RS) に相当する。配線 75 は配線 312 (TX) に相当する。配線 74 は配線 313 (SE) に相当する。配線 71 は配線 314 (GND) に相当する。配線 73 は配線 315 (OUT) に相当する。配線 77 は配線 316 に相当する。配線 72 は配線 317 に相当する。

【0140】

また、本発明の一態様の画素回路は、図 12 (B) に示す構成であってもよい。図 12 (B) に示す回路は、図 12 (A) に示す回路と構成要素は同じであるが、光電変換素子 60 のアノードがトランジスタ 52 のソースまたはドレインの一方と電気的に接続され、光電変換素子 60 のカソードが配線 316 と電気的に接続される点で異なる。この場合、配線 316 は光電変換素子 60 を介して電荷蓄積部 (FD) に電荷を供給するための信号線としての機能を有し、図 12 (B) の回路においては高電位線となる。また、配線 317 は低電位線となる。

【0141】

次に、図 12 (A)、(B) に示す各素子の構成について説明する。

【0142】

光電変換素子 60 には、実施の形態 1 で説明したように、セレン系材料と導電層で構成された素子や、シリコン層によって pin 型の接合が形成された素子を用いることができる。

【0143】

トランジスタ 51、トランジスタ 52、トランジスタ 53、およびトランジスタ 54 は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、酸化物半導体を用いたトランジスタで形成することが好ましい。酸化物半導体でチャネル形成領域を形成したトランジスタは、極めてオフ電流が低い特性を示す特徴を有している。

10

20

30

40

50

【 0 1 4 4 】

特に、電荷蓄積部（FD）と接続されているトランジスタ51およびトランジスタ52のリーク電流が大きいと、電荷蓄積部（FD）に蓄積された電荷が保持できる時間が十分でなくなる。したがって、少なくとも当該二つのトランジスタに酸化物半導体を用いたトランジスタを使用することで、電荷蓄積部（FD）からの不要な電荷の流出を防止することができる。

【 0 1 4 5 】

また、トランジスタ53およびトランジスタ54においても、リーク電流が大きいと、配線314または配線315に不必要な電荷の出力が起こるため、これらのトランジスタとして、酸化物半導体でチャンネル形成領域を形成したトランジスタを用いることが好ましい。

10

【 0 1 4 6 】

図12（A）の回路の動作の一例について図13（A）に示すタイミングチャートを用いて説明する。

【 0 1 4 7 】

図13（A）では簡易に説明するため、各配線の電位は、二値変化する信号として与える。ただし、各電位はアナログ信号であるため、実際には状況に応じて二値に限らず種々の値を取り得る。なお、図に示す信号701は配線311（RS）の電位、信号702は配線312（TX）の電位、信号703は配線313（SE）の電位、信号704は電荷蓄積部（FD）の電位、信号705は配線315（OUT）の電位に相当する。なお、配線316の電位は常時“Low”、配線317の電位は常時“High”とする。

20

【 0 1 4 8 】

時刻Aにおいて、配線311の電位（信号701）を“High”、配線312の電位（信号702）を“High”とすると、電荷蓄積部（FD）の電位（信号704）は配線317の電位（“High”）に初期化され、リセット動作が開始される。なお、配線315の電位（信号705）は、“High”にプリチャージしておく。

【 0 1 4 9 】

時刻Bにおいて、配線311の電位（信号701）を“Low”とするとリセット動作が終了し、蓄積動作が開始される。ここで、光電変換素子60には逆方向バイアスが印加されるため、逆方向電流により、電荷蓄積部（FD）（信号704）の電位が低下し始める。光電変換素子60は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて電荷蓄積部（FD）の電位（信号704）の低下速度は変化する。すなわち、光電変換素子60に照射する光の量に応じて、トランジスタ53のソースとドレイン間のチャンネル抵抗が変化する。

30

【 0 1 5 0 】

時刻Cにおいて、配線312の電位（信号702）を“Low”とすると蓄積動作が終了し、電荷蓄積部（FD）の電位（信号704）は一定となる。ここで、当該電位は、蓄積動作中に光電変換素子60が生成した電荷量により決まる。すなわち、光電変換素子に照射されていた光の量に応じて変化する。また、トランジスタ51およびトランジスタ52は、酸化膜半導体層でチャンネル形成領域を形成したオフ電流が極めて低いトランジスタで構成されているため、後の選択動作（読み出し動作）を行うまで、電荷蓄積部（FD）の電位を一定に保つことが可能である。

40

【 0 1 5 1 】

なお、配線312の電位（信号702）を“Low”とする際に、配線312と電荷蓄積部（FD）との間における寄生容量により、電荷蓄積部（FD）の電位に変化が生じることがある。当該電位の変化量が大きい場合は、蓄積動作中に光電変換素子60が生成した電荷量を正確に取得できないことになる。当該電位の変化量を低減するには、トランジスタ51のゲート-ソース（もしくはゲート-ドレイン）間容量を低減する、トランジスタ53のゲート容量を増大する、電荷蓄積部（FD）に保持容量を設ける、などの対策が有効である。なお、本実施の形態では、これらの対策により当該電位の変化を無視できるも

50

のとしている。

【 0 1 5 2 】

時刻 D に、配線 3 1 3 の電位 (信号 7 0 3) を " H i g h " にすると、トランジスタ 5 4 が導通して選択動作が開始され、配線 3 1 4 と配線 3 1 5 が、トランジスタ 5 3 とトランジスタ 5 4 とを介して導通する。そして、配線 3 1 5 の電位 (信号 7 0 5) は、低下していく。なお、配線 3 1 5 のプリチャージは、時刻 D 以前に終了しておけばよい。ここで、配線 3 1 5 の電位 (信号 7 0 5) が低下する速さは、トランジスタ 5 3 のソースとドレイン間の電流に依存する。すなわち、蓄積動作中に光電変換素子 6 0 に照射されている光の量に応じて変化する。

【 0 1 5 3 】

時刻 E において、配線 3 1 3 の電位 (信号 7 0 3) を " L o w " にすると、トランジスタ 5 4 が遮断されて選択動作は終了し、配線 3 1 5 の電位 (信号 7 0 5) は、一定値となる。ここで、一定値となる値は、光電変換素子 6 0 に照射されていた光の量に応じて変化する。したがって、配線 3 1 5 の電位を取得することで、蓄積動作中に光電変換素子 6 0 に照射されていた光の量を知ることができる。

【 0 1 5 4 】

より具体的には、光電変換素子 6 0 に照射されている光が強いと、電荷蓄積部 (F D) の電位、すなわちトランジスタ 5 3 のゲート電圧は低下する。そのため、トランジスタ 5 4 のソース - ドレイン間に流れる電流は小さくなり、配線 3 1 5 の電位 (信号 7 0 5) はゆっくりと低下する。したがって、配線 3 1 5 からは比較的高い電位を読み出すことができる。

【 0 1 5 5 】

逆に、光電変換素子 6 0 に照射されている光が弱いと、電荷蓄積部 (F D) の電位、すなわち、トランジスタ 5 4 のゲート電圧は高くなる。そのため、トランジスタ 5 3 のソース - ドレイン間に流れる電流は大きくなり、配線 3 1 5 の電位 (信号 7 0 5) は速く低下する。したがって、配線 3 1 5 からは比較的低い電位を読み出すことができる。

【 0 1 5 6 】

次に、図 1 2 (B) の回路の動作の例について図 1 3 (B) に示すタイミングチャートを用いて説明する。なお、配線 3 1 6 の電位は常時 " H i g h " 、配線 3 1 7 の電位は常時 " L o w " とする。

【 0 1 5 7 】

時刻 A において、配線 3 1 1 の電位 (信号 7 0 1) を " H i g h " 、配線 3 1 2 の電位 (信号 7 0 2) を " H i g h " とすると、電荷蓄積部 (F D) の電位 (信号 7 0 4) は配線 3 1 7 の電位 (" L o w ") に初期化され、リセット動作が開始される。なお、配線 3 1 5 の電位 (信号 7 0 5) は、" H i g h " にプリチャージしておく。

【 0 1 5 8 】

時刻 B において、配線 3 1 1 の電位 (信号 7 0 1) を " L o w " とするとリセット動作が終了し、蓄積動作が開始される。ここで、光電変換素子 6 0 には逆方向バイアスが印加されるため、逆方向電流により、電荷蓄積部 (F D) の電位 (信号 7 0 4) が上昇し始める。

【 0 1 5 9 】

時刻 C 以降の動作は、図 1 3 (A) のタイミングチャートの説明を参照することができ、時刻 E において、配線 3 1 5 の電位を取得することで、蓄積動作中に光電変換素子 6 0 に照射されていた光の量を知ることができる。

【 0 1 6 0 】

なお、図 1 2 (A) に示す画素回路は、図 1 7 に示すようにトランジスタ 5 2 乃至トランジスタ 5 4 を複数の画素で共用する形態としてもよい。図 1 7 は垂直方向の複数の画素でトランジスタ 5 2 乃至トランジスタ 5 4 を共用する構成を例示しているが、水平方向または水平垂直方向の複数の画素でトランジスタ 5 2 乃至トランジスタ 5 7 を共用してもよい。このような構成とすることで、一画素あたりが有するトランジスタ数を削減させること

10

20

30

40

50

ができる。なお、図17ではトランジスタ52乃至トランジスタ54が4画素で共用される形態を図示しているが、2画素、3画素または5画素以上であってもよい。また、図12(B)に示す画素回路においても同様な構成とすることができる。

【0161】

また、本発明の一態様の画素回路は、図14(A)、(B)に示す構成であってもよい。

【0162】

図14(A)に示す回路は、図12(A)に示す回路の構成からトランジスタ52、配線316および配線317を省いた構成であり、配線311(RS)は光電変換素子60のアノードに電氣的に接続される。その他の構成は、図12(A)に示す回路と同じである。

10

【0163】

図14(B)に示す回路は、図14(A)に示す回路と構成要素は同じであるが、光電変換素子60のアノードがトランジスタ51のソースまたはドレインの一方と電氣的に接続され、光電変換素子60のカソードが配線311(RS)と電氣的に接続される点で異なる。

【0164】

図14(A)の回路は図12(A)の回路と同様に、図13(A)に示すタイミングチャートで動作させることができる。

【0165】

時刻Aにおいて、配線311の電位(信号701)を"High"、配線312の電位(信号702)を"High"とすると、光電変換素子60に順方向バイアスが印加され、電荷蓄積部(FD)の電位(信号704)が"High"となる。すなわち、電荷蓄積部(FD)の電位は配線311(RS)の電位("High")に初期化され、リセット状態となる。以上がリセット動作の開始である。なお、配線315の電位(信号705)は、"High"にプリチャージしておく。

20

【0166】

時刻Bにおいて、配線311の電位(信号701)を"Low"とするとリセット動作が終了し、蓄積動作が開始される。ここで、光電変換素子60には逆方向バイアスが印加されるため、逆方向電流により、電荷蓄積部(FD)の電位(信号704)が低下し始める。

30

【0167】

時刻C以降の動作は、図12(A)の回路動作の説明を参照することができ、時刻Eにおいて、配線315の電位を取得することで、蓄積動作中に光電変換素子60に照射されていた光の量を知ることができる。

【0168】

図14(B)の回路は、図13(C)に示すタイミングチャートで動作させることができる。

【0169】

時刻Aにおいて、配線311の電位(信号701)を"Low"、配線312の電位(信号702)を"High"とすると、光電変換素子60に順方向バイアスが印加され、電荷蓄積部(FD)の電位(信号704)が"Low"のリセット状態となる。以上がリセット動作の開始である。なお、配線315の電位(信号705)は、"High"にプリチャージしておく。

40

【0170】

時刻Bにおいて、配線311の電位(信号701)を"High"とするとリセット動作が終了し、蓄積動作が開始される。ここで、光電変換素子60には逆方向バイアスが印加されるため、逆方向電流により、電荷蓄積部(FD)の電位(信号704)が上昇し始める。

【0171】

時刻C以降の動作は、図12(A)の回路動作の説明を参照することができ、時刻Eにお

50

いて、配線 3 1 5 の電位を取得することで、蓄積動作中に光電変換素子 6 0 に照射されていた光の量を知ることができる。

【 0 1 7 2 】

なお、図 1 4 (A) に示す画素回路は、図 1 8 に示すようにトランジスタ 5 3 およびトランジスタ 5 4 を複数の画素で共用する形態としてもよい。図 1 8 は垂直方向の複数の画素でトランジスタ 5 3 およびトランジスタ 5 4 を共用する構成を例示しているが、水平方向または水平垂直方向の複数の画素でトランジスタ 5 3 およびトランジスタ 5 4 を共用してもよい。なお、図 1 8 ではトランジスタ 5 3 およびトランジスタ 5 4 が 4 画素で共用される形態を図示しているが、2 画素、3 画素または 5 画素以上であってもよい。また、図 1 4 (B) に示す画素回路においても同様な構成とすることができる。

10

【 0 1 7 3 】

また、図 1 2 (A)、(B) および図 1 4 (A)、(B) では、トランジスタ 5 1 が設けられている場合の例を示したが、本発明の一態様は、これに限定されない。図 1 5 (A)、(B) に示すように、トランジスタ 5 1 を省くことも可能である。

【 0 1 7 4 】

また、画素回路に用いるトランジスタは、図 1 6 (A) または図 1 6 (B) に示すように、トランジスタ 5 1、トランジスタ 5 3、およびトランジスタ 5 4 にバックゲートを設けた構成であってもよい。図 1 6 (A) はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。また、図 1 6 (B) はフロントゲートと同じ電位がバックゲートに印加される構成であり、オン電流を増加させることができる。なお、図 1 6 (A) においては、バックゲートが配線 3 1 4 (GND) と電氣的に接続される構成を例示したが、定電位が供給される別の配線と電氣的に接続されていてもよい。なお、図 1 6 (A)、(B) は図 1 4 (A) に示す回路においてトランジスタにバックゲートを設けた例を示したが、同様の構成を図 1 2 (A)、(B)、図 1 4 (B)、図 1 5 (A)、(B) に示す回路にも適用することもできる。また、一つの回路に含まれるトランジスタに対し、フロントゲートと同じ電位がバックゲートに印加される構成、バックゲートに定電位を印加する構成、またはバックゲートを設けない構成を必要に応じて任意に組み合わせた回路構成としてもよい。

20

【 0 1 7 5 】

なお、図 1 6 (A) に示す画素回路は、図 1 9 に示すようにトランジスタ 5 3 およびトランジスタ 5 4 を複数の画素で共用する形態としてもよい。また、図 1 6 (B) に示す画素回路は、図 2 0 に示すようにトランジスタ 5 3 およびトランジスタ 5 4 を複数の画素で共用する形態としてもよい。

30

【 0 1 7 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 7 7 】

(実施の形態 3)

本実施の形態では、画素回路の駆動方法の一例について説明する。

【 0 1 7 8 】

実施の形態 2 で説明したように、画素回路の動作は、リセット動作、蓄積動作、および選択動作の繰り返しである。画素マトリクス全体を制御する撮像方法としては、グローバルシャッタ方式とローリングシャッタ方式が知られている。

40

【 0 1 7 9 】

図 2 1 (A) は、グローバルシャッタ方式におけるタイミングチャートである。なお、図 2 1 (A) は、マトリクス状に複数の画素回路を有し、当該画素回路に図 1 2 (A) の回路を有する撮像装置を例として、第 1 行目から第 n 行目 (n は 3 以上の自然数) の画素回路の動作を説明するものである。なお、下記の動作説明は、図 1 2 (B)、図 1 4 (A)、(B)、および図 1 5 (A)、(B) に示す回路にも適用することができる。

【 0 1 8 0 】

50

図12(A)において、信号501、信号502、信号503は、第1行目、第2行目、第n行目の各画素回路に接続された配線311(RS)に入力される信号である。また、信号504、信号505、信号506は、第1行目、第2行目、第n行目の各画素回路に接続された配線312(TX)に入力される信号である。また、信号507、信号508、信号509は、第1行目、第2行目、第n行目の各画素回路に接続された配線313(SE)に入力される信号である。

【0181】

また、期間510は、1回の撮像に要する期間である。また、期間511は、各行の画素回路がリセット動作を同時に行っている期間である。また、期間520は、各行の画素回路が蓄積動作を同時に行っている期間である。なお、選択動作は各行の画素回路で順次行われる。一例として、期間531は、第1行目の画素回路が選択動作を行っている期間である。このように、グローバルシャッタ方式では、全画素回路で略同時にリセット動作が行われた後、全画素回路で略同時に蓄積動作が行われ、1行毎に順次読み出し動作が行われる。

【0182】

つまり、グローバルシャッタ方式では、全ての画素回路において蓄積動作が略同時に行われているため、各行の画素回路における撮像の同時性が確保される。したがって、被写体が動体であっても歪の小さい画像を取得することができる。

【0183】

一方、図21(B)は、ローリングシャッタ方式を用いた場合のタイミングチャートである。なお、信号501乃至509は図21(A)の説明を参照することができる。期間610は1回の撮像に要する期間である。また、期間611、期間612、期間613は、それぞれ第1行目、第2行目、第n行目のリセット期間である。また、期間621、期間622、期間623は、それぞれ第1行目、第2行目、第n行目の蓄積動作期間である。また、期間631は、1行目の画素回路が選択動作を行っている期間である。このように、ローリングシャッタ方式では、蓄積動作が全ての画素回路では同時に行われず、行毎に順次行われるため、各行の画素回路における撮像の同時性が確保されない。したがって、一行目と最終行目では撮像のタイミングが異なるため、動体が被写体である場合は歪の大きい画像となってしまう。

【0184】

グローバルシャッタ方式を実現するためには、各画素からの信号の読み出しが順次終了するまで、電荷蓄積部(FD)の電位を長時間保つ必要がある。電荷蓄積部(FD)の電位の長時間の保持は、トランジスタ51などにチャンネル形成領域を酸化物半導体で形成した極めてオフ電流の低いトランジスタを用いることで実現できる。一方、トランジスタ51などにチャンネル形成領域をシリコンなどで形成したトランジスタを適用した場合は、オフ電流が高いために電荷蓄積部(FD)の電位を長時間保持できず、グローバルシャッタ方式を用いることが困難となる。

【0185】

以上のように、画素回路にチャンネル形成領域を酸化物半導体で形成したトランジスタを用いることでグローバルシャッタ方式を容易に実現することができる。

【0186】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0187】

(実施の形態4)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体を有するトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【0188】

図22(A)、(B)は、本発明の一態様のトランジスタ101の上面図および断面図で

10

20

30

40

50

ある。図 2 2 (A) は上面図であり、図 2 2 (A) に示す一点鎖線 B 1 - B 2 方向の断面が図 2 2 (B) に相当する。また、図 2 2 (A) に示す一点鎖線 B 3 - B 4 方向の断面が図 2 8 (A) に相当する。また、一点鎖線 B 1 - B 2 方向をチャンネル長方向、一点鎖線 B 3 - B 4 方向をチャンネル幅方向と呼称する。

【 0 1 8 9 】

トランジスタ 1 0 1 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 と、酸化物半導体層 1 3 0 と電氣的に接続する導電層 1 4 0 および導電層 1 5 0 と、酸化物半導体層 1 3 0、導電層 1 4 0 および導電層 1 5 0 と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、導電層 1 4 0、導電層 1 5 0、絶縁層 1 6 0 および導電層 1 7 0 と接する絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、を有する。また、必要に応じて絶縁層 1 8 0 に平坦化膜としての機能を付加してもよい。

10

【 0 1 9 0 】

ここで、導電層 1 4 0 はソース電極層、導電層 1 5 0 はドレイン電極層、絶縁層 1 6 0 はゲート絶縁膜、導電層 1 7 0 はゲート電極層としてそれぞれ機能することができる。

【 0 1 9 1 】

また、図 2 2 (B) に示す領域 2 3 1 はソース領域、領域 2 3 2 はドレイン領域、領域 2 3 3 はチャンネル形成領域として機能することができる。領域 2 3 1 および領域 2 3 2 は導電層 1 4 0 および導電層 1 5 0 とそれぞれ接しており、導電層 1 4 0 および導電層 1 5 0 として酸素と結合しやすい導電材料を用いれば領域 2 3 1 および領域 2 3 2 を低抵抗化することができる。

20

【 0 1 9 2 】

具体的には、酸化物半導体層 1 3 0 と導電層 1 4 0 および導電層 1 5 0 とが接することで酸化物半導体層 1 3 0 内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層 1 3 0 内に残留または外部から拡散する水素との相互作用により、領域 2 3 1 および領域 2 3 2 は低抵抗の n 型となる。

【 0 1 9 3 】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることができる。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

30

【 0 1 9 4 】

また、導電層 1 7 0 は、導電層 1 7 1 および導電層 1 7 2 の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

【 0 1 9 5 】

また、導電層 1 4 0 および導電層 1 5 0 は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

40

【 0 1 9 6 】

また、本発明の一態様のトランジスタは、図 2 3 (A)、(B) に示す構成であってもよい。図 2 3 (A) はトランジスタ 1 0 2 の上面図であり、図 2 3 (A) に示す一点鎖線 C 1 - C 2 方向の断面が図 2 3 (B) に相当する。また、図 2 3 (A) に示す一点鎖線 C 3 - C 4 方向の断面は、図 2 8 (B) に相当する。また、一点鎖線 C 1 - C 2 方向をチャンネル長方向、一点鎖線 C 3 - C 4 方向をチャンネル幅方向と呼称する。

【 0 1 9 7 】

トランジスタ 1 0 2 は、ゲート絶縁膜として作用する絶縁層 1 6 0 の端部とゲート電極層として作用する導電層 1 7 0 の端部とを一致させない点を除き、トランジスタ 1 0 1 と同様の構成を有する。トランジスタ 1 0 2 の構造は、導電層 1 4 0 および導電層 1 5 0 が絶

50

縁層 160 で広く覆われているため、導電層 140 および導電層 150 と導電層 170 との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

【0198】

トランジスタ 101 およびトランジスタ 102 は、導電層 170 と導電層 140 および導電層 150 が重なる領域を有するトップゲート構造である。当該領域のチャンネル長方向の幅は、寄生容量を小さくするために 3 nm 以上 300 nm 未満とすることが好ましい。当該構成では、酸化物半導体層 130 にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0199】

また、本発明の一態様のトランジスタは、図 24 (A)、(B) に示す構成であってもよい。図 24 (A) はトランジスタ 103 の上面図であり、図 24 (A) に示す一点鎖線 D1 - D2 方向の断面が図 24 (B) に相当する。また、図 24 (A) に示す一点鎖線 D3 - D4 方向の断面は、図 28 (A) に相当する。また、一点鎖線 D1 - D2 方向をチャンネル長方向、一点鎖線 D3 - D4 方向をチャンネル幅方向と呼称する。

10

【0200】

トランジスタ 103 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、酸化物半導体層 130、絶縁層 160 および導電層 170 を覆う絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて酸化物半導体層 130 と電氣的に接続する導電層 140 および導電層 150 を有する。また、必要に応じて絶縁層 180、導電層 140 および導電層 150 に接する絶縁層 (平坦化膜) などを有していてもよい。

20

【0201】

ここで、導電層 140 はソース電極層、導電層 150 はドレイン電極層、絶縁層 160 はゲート絶縁膜、導電層 170 はゲート電極層としてそれぞれ機能することができる。

【0202】

また、図 24 (B) に示す領域 231 はソース領域、領域 232 はドレイン領域、領域 233 はチャンネル形成領域として機能することができる。領域 231 および領域 232 は絶縁層 175 と接しており、例えば絶縁層 175 として水素を含む絶縁材料を用いれば領域 231 および領域 232 を低抵抗化することができる。

30

【0203】

具体的には、絶縁層 175 を形成するまでの工程により領域 231 および領域 232 に生じる酸素欠損と、絶縁層 175 から領域 231 および領域 232 に拡散する水素との相互作用により、領域 231 および領域 232 は低抵抗の n 型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコンや窒化アルミニウムなどを用いることができる。

【0204】

また、本発明の一態様のトランジスタは、図 25 (A)、(B) に示す構成であってもよい。図 25 (A) はトランジスタ 104 の上面図であり、図 25 (A) に示す一点鎖線 E1 - E2 方向の断面が図 25 (B) に相当する。また、図 25 (A) に示す一点鎖線 E3 - E4 方向の断面は、図 28 (A) に相当する。また、一点鎖線 E1 - E2 方向をチャンネル長方向、一点鎖線 E3 - E4 方向をチャンネル幅方向と呼称する。

40

【0205】

トランジスタ 104 は、導電層 140 および導電層 150 が酸化物半導体層の端部を覆うように接している点を除き、トランジスタ 103 と同様の構成を有する。

【0206】

また、図 25 (B) に示す領域 331 および領域 334 はソース領域、領域 332 および領域 335 はドレイン領域、領域 333 はチャンネル形成領域として機能することができる。

【0207】

領域 331 および領域 332 は、トランジスタ 101 における領域 231 および領域 23

50

2と同様に低抵抗化することができる。

【0208】

また、領域334および領域335は、トランジスタ103における領域231および領域232と同様に低抵抗化することができる。なお、チャネル長方向における領域334および領域335の長さが100nm以下、好ましくは50nm以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しない。したがって、領域334および領域335の低抵抗化を行わない場合もある。

【0209】

トランジスタ103およびトランジスタ104は、導電層170と導電層140および導電層150が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

10

【0210】

また、本発明の一態様のトランジスタは、図26(A)、(B)に示す構成であってもよい。図26(A)はトランジスタ105の上面図であり、図26(A)に示す一点鎖線F1-F2方向の断面が図26(B)に相当する。また、図26(A)に示す一点鎖線F3-F4方向の断面は、図28(A)に相当する。また、一点鎖線F1-F2方向をチャネル長方向、一点鎖線F3-F4方向をチャネル幅方向と呼称する。

【0211】

トランジスタ105は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電気的に接続する導電層141および導電層151と、酸化物半導体層130、導電層141、導電層151と接する絶縁層160と、絶縁層160と接する導電層170と、酸化物半導体層130、導電層141、導電層151、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電気的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層などを有していてもよい。

20

【0212】

ここで、導電層141および導電層151は、酸化物半導体層130の上面と接し、側面には接しない構成となっている。

30

【0213】

トランジスタ105は、導電層141および導電層151を有する点、絶縁層175および絶縁層180に設けられた開口部を有する点、ならびに当該開口部を通じて導電層141および導電層151とそれぞれ電気的に接続する導電層142および導電層152を有する点を除き、トランジスタ101と同様の構成を有する。導電層140(導電層141および導電層142)はソース電極層として作用させることができ、導電層150(導電層151および導電層152)はドレイン電極層として作用させることができる。

【0214】

また、本発明の一態様のトランジスタは、図27(A)、(B)に示す構成であってもよい。図27(A)はトランジスタ106の上面図であり、図27(A)に示す一点鎖線G1-G2方向の断面が図27(B)に相当する。また、図27(A)に示す一点鎖線G3-G4方向の断面は、図28(A)に相当する。また、一点鎖線G1-G2方向をチャネル長方向、一点鎖線G3-G4方向をチャネル幅方向と呼称する。

40

【0215】

トランジスタ106は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電気的に接続する導電層141および導電層151と、酸化物半導体層130と接する絶縁層160と、絶縁層160と接する導電層170と、絶縁層120、酸化物半導体層130、導電層141、導電層151、絶縁層160、導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と

50

、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層（平坦化膜）などを有していてもよい。

【0216】

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

【0217】

トランジスタ 106 は、導電層 141 および導電層 151 を有する点を除き、トランジスタ 103 と同様の構成を有する。導電層 140（導電層 141 および導電層 142）はソース電極層として作用させることができ、導電層 150（導電層 151 および導電層 152）はドレイン電極層として作用させることができる。

【0218】

トランジスタ 105 およびトランジスタ 106 の構成では、導電層 140 および導電層 150 が絶縁層 120 と接しない構成であるため、絶縁層 120 中の酸素が導電層 140 および導電層 150 に奪われにくくなり、絶縁層 120 から酸化物半導体層 130 中への酸素の供給を容易とすることができる。

【0219】

なお、トランジスタ 103 における領域 231 および領域 232、トランジスタ 104 およびトランジスタ 106 における領域 334 および領域 335 には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

【0220】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

【0221】

なお、不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。なお、酸化物導電体は酸化物半導体と同様に透光性を有する。

【0222】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

【0223】

また、本発明の一態様のトランジスタは、図 29 (A)、(B)、(C)、(D)、(E)、(F) に示すチャネル長方向の断面図、ならびに図 28 (C)、(D) に示すチャネル幅方向の断面図のように、酸化物半導体層 130 と基板 115 との間に導電層 173 を備えていてもよい。当該導電層を第 2 のゲート電極層（バックゲート）として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図 29 (A)、(B)、(C)、(D)、(E)、(F) に示す断面図において、導電層 173 の幅を酸化物半導体層 130 よりも短くしてもよい。さらに、導電層 173 の幅を導電層 170 の幅よりも短くしてもよい。

10

20

30

40

50

【 0 2 2 4 】

オン電流を増加させるには、例えば、導電層 170 と導電層 173 を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層 170 とは異なる定電位を導電層 173 に供給すればよい。導電層 170 と導電層 173 を同電位とするには、例えば、図 28 (D) に示すように、導電層 170 と導電層 173 とをコンタクトホールを介して電氣的に接続すればよい。

【 0 2 2 5 】

また、図 22 乃至図 27 におけるトランジスタ 101 乃至トランジスタ 106 では、酸化物半導体層 130 が単層である例を図示したが、酸化物半導体層 130 は積層であってもよい。トランジスタ 101 乃至トランジスタ 106 の酸化物半導体層 130 は、図 30 (B)、(C) または図 30 (D)、(E) に示す酸化物半導体層 130 と入れ替えることができる。

10

【 0 2 2 6 】

図 30 (A) は酸化物半導体層 130 の上面図であり、図 30 (B)、(C) は、二層構造である酸化物半導体層 130 の断面図である。また、図 30 (D)、(E) は、三層構造である酸化物半導体層 130 の断面図である。

【 0 2 2 7 】

酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c には、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【 0 2 2 8 】

また、本発明の一態様のトランジスタは、図 31 (A)、(B) に示す構成であってもよい。図 31 (A) はトランジスタ 107 の上面図であり、図 31 (A) に示す一点鎖線 H1 - H2 方向の断面が図 31 (B) に相当する。また、図 31 (A) に示す一点鎖線 H3 - H4 方向の断面が図 37 (A) に相当する。また、一点鎖線 H1 - H2 方向をチャネル長方向、一点鎖線 H3 - H4 方向をチャネル幅方向と呼称する。

20

【 0 2 2 9 】

トランジスタ 107 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 a および酸化物半導体層 130 b からなる積層と、当該積層と電氣的に接続する導電層 140 および導電層 150 と、当該積層、導電層 140 および導電層 150 と接する酸化物半導体層 130 c と、酸化物半導体層 130 c と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、導電層 140、導電層 150、酸化物半導体層 130 c、絶縁層 160 および導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、を有する。また、必要に応じて絶縁層 180 に平坦化膜としての機能を付加してもよい。

30

【 0 2 3 0 】

トランジスタ 107 は、領域 231 および領域 232 において酸化物半導体層 130 が二層（酸化物半導体層 130 a、酸化物半導体層 130 b）である点、領域 233 において酸化物半導体層 130 が三層（酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c）である点、および導電層 140 および導電層 150 と絶縁層 160 との間に酸化物半導体層の一部（酸化物半導体層 130 c）が介在している点を除き、トランジスタ 101 と同様の構成を有する。

40

【 0 2 3 1 】

また、本発明の一態様のトランジスタは、図 32 (A)、(B) に示す構成であってもよい。図 32 (A) はトランジスタ 108 の上面図であり、図 32 (A) に示す一点鎖線 I1 - I2 方向の断面が図 32 (B) に相当する。また、図 32 (A) に示す一点鎖線 I3 - I4 方向の断面が図 37 (B) に相当する。また、一点鎖線 I1 - I2 方向をチャネル長方向、一点鎖線 I3 - I4 方向をチャネル幅方向と呼称する場合がある。

【 0 2 3 2 】

トランジスタ 108 は、絶縁層 160 および酸化物半導体層 130 c の端部が導電層 170 の端部と一致しない点がトランジスタ 107 と異なる。

50

【 0 2 3 3 】

また、本発明の一態様のトランジスタは、図 3 3 (A)、(B) に示す構成であってもよい。図 3 3 (A) はトランジスタ 1 0 9 の上面図であり、図 3 3 (A) に示す一点鎖線 J 1 - J 2 方向の断面が図 3 3 (B) に相当する。また、図 3 3 (A) に示す一点鎖線 J 3 - J 4 方向の断面が図 3 7 (A) に相当する。また、一点鎖線 J 1 - J 2 方向をチャンネル長方向、一点鎖線 J 3 - J 4 方向をチャンネル幅方向と呼称する。

【 0 2 3 4 】

トランジスタ 1 0 9 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 a および酸化物半導体層 1 3 0 b からなる積層と、当該積層と接する酸化物半導体層 1 3 0 c と、酸化物半導体層 1 3 0 c と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、当該積層、酸化物半導体層 1 3 0 c、絶縁層 1 6 0 および導電層 1 7 0 を覆う絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、絶縁層 1 7 5 および絶縁層 1 8 0 に設けられた開口部を通じて当該積層と電氣的に接続する導電層 1 4 0 および導電層 1 5 0 を有する。また、必要に応じて絶縁層 1 8 0、導電層 1 4 0 および導電層 1 5 0 に接する絶縁層（平坦化膜）などを有していてもよい。

10

【 0 2 3 5 】

トランジスタ 1 0 9 は、領域 2 3 1 および領域 2 3 2 において酸化物半導体層 1 3 0 が二層（酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b）である点、領域 2 3 3 において酸化物半導体層 1 3 0 が三層（酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b、酸化物半導体層 1 3 0 c）である点を除き、トランジスタ 1 0 3 と同様の構成を有する。

20

【 0 2 3 6 】

また、本発明の一態様のトランジスタは、図 3 4 (A)、(B) に示す構成であってもよい。図 3 4 (A) はトランジスタ 1 1 0 の上面図であり、図 3 4 (A) に示す一点鎖線 K 1 - K 2 方向の断面が図 3 4 (B) に相当する。また、図 3 4 (A) に示す一点鎖線 K 3 - K 4 方向の断面が図 3 7 (A) に相当する。また、一点鎖線 K 1 - K 2 方向をチャンネル長方向、一点鎖線 K 3 - K 4 方向をチャンネル幅方向と呼称する。

【 0 2 3 7 】

トランジスタ 1 1 0 は、領域 2 3 1 および領域 2 3 2 において酸化物半導体層 1 3 0 が二層（酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b）である点、領域 2 3 3 において酸化物半導体層 1 3 0 が三層（酸化物半導体層 1 3 0 a、酸化物半導体層 1 3 0 b、酸化物半導体層 1 3 0 c）である点を除き、トランジスタ 1 0 4 と同様の構成を有する。

30

【 0 2 3 8 】

また、本発明の一態様のトランジスタは、図 3 5 (A)、(B) に示す構成であってもよい。図 3 5 (A) はトランジスタ 1 1 1 の上面図であり、図 3 5 (A) に示す一点鎖線 L 1 - L 2 方向の断面が図 3 5 (B) に相当する。また、図 3 5 (A) に示す一点鎖線 L 3 - L 4 方向の断面が図 3 7 (A) に相当する。また、一点鎖線 L 1 - L 2 方向をチャンネル長方向、一点鎖線 L 3 - L 4 方向をチャンネル幅方向と呼称する。

【 0 2 3 9 】

トランジスタ 1 1 1 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 a および酸化物半導体層 1 3 0 b からなる積層と、当該積層と電氣的に接続する導電層 1 4 1 および導電層 1 5 1 と、当該積層、導電層 1 4 1 および導電層 1 5 1 と接する酸化物半導体層 1 3 0 c と、酸化物半導体層 1 3 0 c と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、当該積層、導電層 1 4 1、導電層 1 5 1、酸化物半導体層 1 3 0 c、絶縁層 1 6 0 および導電層 1 7 0 と接する絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、絶縁層 1 7 5 および絶縁層 1 8 0 に設けられた開口部を通じて導電層 1 4 1 および導電層 1 5 1 とそれぞれ電氣的に接続する導電層 1 4 2 および導電層 1 5 2 を有する。また、必要に応じて絶縁層 1 8 0、導電層 1 4 2 および導電層 1 5 2 に接する絶縁層（平坦化膜）などを有していてもよい。

40

【 0 2 4 0 】

トランジスタ 1 1 1 は、領域 2 3 1 および領域 2 3 2 において酸化物半導体層 1 3 0 が二

50

層（酸化物半導体層 130 a、酸化物半導体層 130 b）である点、領域 233 において酸化物半導体層 130 が三層（酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c）である点、および導電層 141 および導電層 151 と絶縁層 160 との間に酸化物半導体層の一部（酸化物半導体層 130 c）が介在している点を除き、トランジスタ 105 と同様の構成を有する。

【0241】

また、本発明の一態様のトランジスタは、図 36（A）、（B）に示す構成であってもよい。図 36（A）はトランジスタ 112 の上面図であり、図 36（A）に示す一点鎖線 M1 - M2 方向の断面が図 36（B）に相当する。また、図 36（A）に示す一点鎖線 M3 - M4 方向の断面が図 37（A）に相当する。また、一点鎖線 M1 - M2 方向をチャンネル長方向、一点鎖線 M3 - M4 方向をチャンネル幅方向と呼称する。

10

【0242】

トランジスタ 112 は、領域 331、領域 332、領域 334 および領域 335 において酸化物半導体層 130 が二層（酸化物半導体層 130 a、酸化物半導体層 130 b）である点、領域 333 において酸化物半導体層 130 が三層（酸化物半導体層 130 a、酸化物半導体層 130 b、酸化物半導体層 130 c）である点を除き、トランジスタ 106 と同様の構成を有する。

【0243】

また、本発明の一態様のトランジスタは、図 38（A）、（B）、（C）、（D）、（E）、（F）に示すチャンネル長方向の断面図、ならびに図 37（C）、（D）に示すチャンネル幅方向の断面図のように、酸化物半導体層 130 と基板 115 との間に導電層 173 を備えていてもよい。当該導電層を第 2 のゲート電極層（バックゲート）として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。なお、図 38（A）、（B）、（C）、（D）、（E）、（F）に示す断面図において、導電層 173 の幅を酸化物半導体層 130 よりも短くしてもよい。さらに、導電層 173 の幅を導電層 170 の幅よりも短くしてもよい。

20

【0244】

また、本発明の一態様のトランジスタにおける導電層 140（ソース電極層）および導電層 150（ドレイン電極層）は、図 39（A）、（B）に示す上面図（酸化物半導体層 130、導電層 140 および導電層 150 のみを図示）のように酸化物半導体層の幅（ W_{OS} ）よりも導電層 140 および導電層 150 の幅（ W_{SD} ）が長く形成されていてもよいし、短く形成されていてもよい。 $W_{OS} > W_{SD}$ （ W_{SD} は W_{OS} 以下）とすることで、ゲート電界が酸化物半導体層 130 全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。

30

【0245】

本発明の一態様のトランジスタ（トランジスタ 101 乃至トランジスタ 112）では、いずれの構成においても、ゲート電極層である導電層 170 は、ゲート絶縁膜である絶縁層 160 を介して酸化物半導体層 130 のチャンネル幅方向を電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、*surrounded channel*（*s-channel*）構造とよぶ。

40

【0246】

また、酸化物半導体層 130 a および酸化物半導体層 130 b を有するトランジスタ、ならびに酸化物半導体層 130 a、酸化物半導体層 130 b および酸化物半導体層 130 c を有するトランジスタにおいては、酸化物半導体層 130 を構成する二層または三層の材料を適切に選択することで酸化物半導体層 130 b に電流を流すことができる。酸化物半導体層 130 b に電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。なお、酸化物半導体層 130 b を厚くすると、オン電流を向上させることができる。例えば、酸化物半導体層 130 b の膜厚を 100 nm 乃至 200 nm としてもよい。

【0247】

50

以上の構成のトランジスタを用いることにより、半導体装置に良好な電気特性を付与することができる。

【0248】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0249】

(実施の形態5)

本実施の形態では、実施の形態4に示したトランジスタの構成要素について詳細を説明する。

【0250】

基板115には、ガラス基板、石英基板、半導体基板、セラミックス基板、表面が絶縁処理された金属基板などを用いることができる。または、トランジスタやフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラグとして機能を有する導電体等が形成されたものを用いることができる。なお、シリコン基板にp-ch型のトランジスタを形成する場合は、n⁻型の導電性を有するシリコン基板を用いることが好ましい。または、n⁻型またはi型のシリコン層を有するSOI基板であってもよい。また、当該シリコン基板に設けるトランジスタがp-ch型である場合、トランジスタを形成する面の面方位は、(110)面であることが好ましい。(110)面にp-ch型トランジスタを形成することで、移動度を高くすることができる。

【0251】

絶縁層120は、基板115に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化物半導体層130に酸素を供給する役割を担うことができる。したがって、絶縁層120は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。例えば、膜の表面温度が100以上700以下、好ましくは100以上500以下の加熱処理で行われるTDS法にて、酸素原子に換算しての酸素の放出量が 1.0×10^{19} atoms/cm³以上である膜とする。また、基板115が他のデバイスが形成された基板である場合、絶縁層120は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにCMP法等で平坦化処理を行うことが好ましい。

【0252】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

【0253】

なお、本実施の形態では、トランジスタが有する酸化物半導体層130が酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを絶縁層120側から順に積んだ三層構造である場合を主として詳細を説明する。

【0254】

なお、酸化物半導体層130が単層の場合は、本実施の形態に示す、酸化物半導体層130bに相当する層を用いればよい。

【0255】

また、酸化物半導体層130が二層の場合は、本実施の形態に示す、酸化物半導体層130aに相当する層および酸化物半導体層130bに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層130aと酸化物半導体層130bとを入れ替えることもできる。

【0256】

また、酸化物半導体層130が四層以上である場合は、例えば、本実施の形態で説明する

10

20

30

40

50

三層構造の酸化物半導体層 130 に対して他の酸化物半導体層を付加する構成とすることができる。

【0257】

一例としては、酸化物半導体層 130 b には、酸化物半導体層 130 a および酸化物半導体層 130 c よりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

【0258】

酸化物半導体層 130 a および酸化物半導体層 130 c は、酸化物半導体層 130 b を構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層 130 b よりも、0.05 eV、0.07 eV、0.1 eV、0.15 eV のいずれか以上であって、2 eV、1 eV、0.5 eV、0.4 eV のいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

10

【0259】

このような構造において、導電層 170 に電界を印加すると、酸化物半導体層 130 のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層 130 b にチャネルが形成される。

【0260】

また、酸化物半導体層 130 a は、酸化物半導体層 130 b を構成する金属元素を一種以上含んで構成されるため、酸化物半導体層 130 b と絶縁層 120 が接した場合の界面と比較して、酸化物半導体層 130 b と酸化物半導体層 130 a との界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、酸化物半導体層 130 a を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

20

【0261】

また、酸化物半導体層 130 c は、酸化物半導体層 130 b を構成する金属元素を一種以上含んで構成されるため、酸化物半導体層 130 b とゲート絶縁膜（絶縁層 160）が接した場合の界面と比較して、酸化物半導体層 130 b と酸化物半導体層 130 c との界面ではキャリアの散乱が起こりにくくなる。したがって、酸化物半導体層 130 c を設けることにより、トランジスタの電界効果移動度を高くすることができる。

30

【0262】

酸化物半導体層 130 a および酸化物半導体層 130 c には、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce または Hf を酸化物半導体層 130 b よりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を 1.5 倍以上、好ましくは 2 倍以上、さらに好ましくは 3 倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層 130 a および酸化物半導体層 130 c は、酸化物半導体層 130 b よりも酸素欠損が生じにくいということができる。

40

【0263】

また、酸化物半導体層 130 a、酸化物半導体層 130 b、および酸化物半導体層 130 c として用いることのできる酸化物半導体は、少なくとも In もしくは Zn を含むことが好ましい。または、In と Zn の双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0264】

スタビライザーとしては、Ga、Sn、Hf、Al、または Zr 等がある。また、他のスタビライザーとしては、ランタノイドである、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu 等がある。

50

【0265】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

10

【0266】

なお、ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入ってもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

【0267】

また、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

20

【0268】

なお、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cが、少なくともインジウム、亜鉛およびM(Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)を含むIn-M-Zn酸化物であるとき、酸化物半導体層130aを $In:M:Zn = x_1:y_1:z_1$ [原子数比]、酸化物半導体層130bを $In:M:Zn = x_2:y_2:z_2$ [原子数比]、酸化物半導体層130cを $In:M:Zn = x_3:y_3:z_3$ [原子数比]とすると、 y_1/x_1 および y_3/x_3 が y_2/x_2 よりも大きくなるのが好ましい。 y_1/x_1 および y_3/x_3 は y_2/x_2 よりも1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。このとき、酸化物半導体層130bにおいて、 y_2 が x_2 以上であるとトランジスタの電気特性を安定させることができる。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であることが好ましい。

30

【0269】

酸化物半導体層130aおよび酸化物半導体層130cにおけるZnおよびOを除いた場合において、InおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体層130bのZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。

40

【0270】

また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い組成となる酸化物はInがMと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、酸化物半導体層130bにインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現

50

することができる。

【0271】

酸化物半導体層130aの厚さは、3nm以上100nm以下、好ましくは5nm以上50nm以下、さらに好ましくは5nm以上25nm以下とする。また、酸化物半導体層130bの厚さは、3nm以上200nm以下、好ましくは10nm以上150nm以下、さらに好ましくは15nm以上100nm以下とする。また、酸化物半導体層130cの厚さは、1nm以上50nm以下、好ましくは2nm以上30nm以下、さらに好ましくは3nm以上15nm以下とする。また、酸化物半導体層130bは、酸化物半導体層130aより厚い方が好ましい。

【0272】

酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性または実質的に真性とすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。

【0273】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0274】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析で見積もられるシリコン濃度が $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満となる領域を有するように制御する。また、水素濃度が、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下になる領域を有するように制御する。また、窒素濃度は、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下となる領域を有するように制御する。

【0275】

また、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、例えばシリコン濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満になる領域を有するように制御する。また、炭素濃度を $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 未満になる領域を有するように制御する。

【0276】

また、上述のように高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を0.1V、5V、または、10V程度とした場合に、トランジスタのチャネル幅あたりのオフ電流を数yA/μm乃至数zA/μmにまで低減することが可能となる。

【0277】

なお、トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえることができる。また、ゲート

10

20

30

40

50

絶縁膜と酸化物半導体層との界面にチャンネルが形成される場合、該界面でキャリアの散乱が起こり、トランジスタの電界効果移動度が低くなることがある。このような観点からも、酸化物半導体層のチャンネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

【0278】

したがって、酸化物半導体層130を酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cの積層構造とすることで、酸化物半導体層130bにチャンネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0279】

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cのバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cの組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cは組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、図面において、当該積層体のそれぞれの界面は点線で表している。

【0280】

主成分を共通として積層された酸化物半導体層130は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化するU字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0281】

例えば、酸化物半導体層130aおよび酸化物半導体層130cにはIn:Ga:Zn=1:3:2、1:3:3、1:3:4、1:3:6、1:4:5、1:6:4または1:9:6（原子数比）などのIn-Ga-Zn酸化物などを用いることができる。また、酸化物半導体層130bにはIn:Ga:Zn=1:1:1、2:1:3、5:5:6、または3:1:2（原子数比）などのIn-Ga-Zn酸化物などを用いることができる。なお、上記酸化物をスパッタターゲットとして成膜を行った場合、成膜される酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cの原子数比は必ずしも同一とならず、±20%程度の差を有する。

【0282】

酸化物半導体層130における酸化物半導体層130bはウェル（井戸）となり、酸化物半導体層130を用いたトランジスタにおいて、チャンネルは酸化物半導体層130bに形成される。なお、酸化物半導体層130は伝導帯下端のエネルギーが連続的に変化しているため、U字型井戸とも呼ぶことができる。また、このような構成で形成されたチャンネルを埋め込みチャンネルということもできる。

【0283】

また、酸化物半導体層130aおよび酸化物半導体層130cと、酸化シリコン膜などの絶縁層との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体層130aおよび酸化物半導体層130cがあることにより、酸化物半導体層130bと当該トラップ準位とを遠ざけることができる。

【0284】

ただし、酸化物半導体層130aおよび酸化物半導体層130cの伝導帯下端のエネルギーと、酸化物半導体層130bの伝導帯下端のエネルギーとの差が小さい場合、酸化物半導体層130bの電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタ

10

20

30

40

50

のしきい値電圧はプラス方向にシフトしてしまう。

【0285】

酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cには、結晶部が含まれることが好ましい。特にc軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

【0286】

ソース電極層として作用する導電層140およびドレイン電極層として作用する導電層150には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすいTiや、後のプロセス温度が比較的高くできることなどから、融点の高いWを用いることがより好ましい。また、低抵抗のCuやCu-Mnなどの合金と上記材料との積層を用いてもよい。トランジスタ105、トランジスタ106、トランジスタ111、トランジスタ112においては、例えば、導電層141および導電層151にW、導電層142および導電層152にTiとAlとの積層膜などを用いることができる。

【0287】

上記材料は酸化物半導体膜から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体膜中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著にn型化する。したがって、n型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

【0288】

また、導電層140および導電層150にWを用いる場合には、窒素をドーピングしてもよい。窒素をドーピングすることで酸素を引き抜く性質を適度に弱めることができ、n型化した領域がチャネル領域まで拡大することを防ぐことができる。また、導電層140および導電層150をn型の半導体層との積層とし、n型の半導体層と酸化物半導体層を接触させることによってn型化した領域がチャネル領域まで拡大することを防ぐことができる。n型の半導体層としては、窒素が添加されたIn-Ga-Zn酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどを用いることができる。

【0289】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層160は上記材料の積層であってもよい。なお、絶縁層160に、La、N、Zrなどを、不純物として含んでいてもよい。

【0290】

また、絶縁層160の積層構造の一例について説明する。絶縁層160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0291】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて絶縁層160の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

【0292】

また、酸化物半導体層130と接する絶縁層120および絶縁層160は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁層と酸化物半導体が接した場合、窒素酸化物に起因する準位密度が高くなることがある。絶縁層120および絶縁層160には、例えば、窒素酸化物の放出量の少ない酸化窒化シリコン膜または酸化窒化アルミニウム膜等の酸化物絶縁層を用いることができる。

【0293】

窒素酸化物の放出量の少ない酸化窒化シリコン膜は、TDS法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が 1×10^{18} 個/cm³以上 5×10^{19} 個/cm³以下である。なお、アンモニアの放出量は、膜の表面温度が50以上650以下、好ましくは50以上550以下の加熱処理による放出量とする。

【0294】

絶縁層120および絶縁層160として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0295】

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。本実施の形態では、導電層171に窒化タンタル、導電層172にタングステンをを用いて導電層170を形成する。

【0296】

絶縁層175には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態4に示したトランジスタ103、トランジスタ104、トランジスタ106、トランジスタ109、トランジスタ110、およびトランジスタ112では、絶縁層175として水素を含む絶縁膜を用いることで酸化物半導体層の一部をn型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

【0297】

また、絶縁層175としては酸化アルミニウム膜を用いることもできる。特に、実施の形態4に示したトランジスタ101、トランジスタ102、トランジスタ105、トランジスタ107、トランジスタ108、およびトランジスタ111では絶縁層175に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層130への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層120からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

【0298】

また、絶縁層175上には絶縁層180が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

【0299】

ここで、絶縁層180は絶縁層120と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層180から放出される酸素は絶縁層160を經由して酸化物半導体層130のチャンネル形成領域に拡散させることができることから、チャンネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0300】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャンネル幅が微細縮小するとオン電流が低下する。

10

【0301】

本発明の一態様のトランジスタ107乃至トランジスタ112では、チャンネルが形成される酸化物半導体層130bを覆うように酸化物半導体層130cが形成されており、チャンネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャンネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0302】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層130のチャンネル幅方向を電氣的に取り囲むようにゲート電極層(導電層170)が形成されているため、酸化物半導体層130に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャンネル形成層に対して全体的にゲート電界が印加されることになり実効チャンネル幅が拡大するため、さらにオン電流を高められる。

20

【0303】

また、本発明の一態様における酸化物半導体層130が二層または三層のトランジスタでは、チャンネルが形成される酸化物半導体層130bを酸化物半導体層130a上に形成することで界面準位を形成しにくくする効果を有する。また、本発明の一態様における酸化物半導体層130が三層のトランジスタでは、酸化物半導体層130bを三層構造の中間に位置する層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定化や、S値(サブスレッショルド値)の低減をはかることができる。したがって、ゲート電圧VGが0V時の電流を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。

30

【0304】

なお、本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としては、MOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法などがある。

40

【0305】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0306】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0307】

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバ

50

ーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば2種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第1の原料ガスの反応後、不活性ガスを導入し、第2の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着・反応して第1の層を成膜し、後から導入される第2の原料ガスが吸着・反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

10

【0308】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛($\text{Zn}(\text{CH}_3)_2$)を用いることができる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム($\text{Ga}(\text{C}_2\text{H}_5)_3$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛($\text{Zn}(\text{C}_2\text{H}_5)_2$)を用いることもできる。

20

【0309】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム(TDMAH 、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$)やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン(O_3)の2種類のガスを用いる。

【0310】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム(TMA 、 $\text{Al}(\text{CH}_3)_3$)など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（2,2,6,6-テトラメチル-3,5-ヘプタンジオナート）などがある。

30

【0311】

例えば、ALDを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス(O_2 、一酸化二窒素)のラジカルを供給して吸着物と反応させる。

【0312】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

40

【0313】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。これらのガスを用いてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでパブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。

50

【0314】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0315】

(実施の形態6)

以下では、本発明の一態様に用いることのできる酸化半導体膜の構造について説明する。

【0316】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

10

【0317】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0318】

酸化半導体膜は、非単結晶酸化半導体膜と単結晶酸化半導体膜とに大別される。非単結晶酸化半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化半導体膜、微結晶酸化半導体膜、非晶質酸化半導体膜などをいう。

20

【0319】

まずは、CAAC-OS膜について説明する。

【0320】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化半導体膜の一つである。

【0321】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0322】

試料面と概略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0323】

一方、試料面と概略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

40

【0324】

CAAC-OS膜に対し、X線回折 (XRD: X-Ray Diffraction) 装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2 θ)が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0325】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2 θ が 31° 近傍のピークの他に、2 θ が 36° 近傍にもピークが現れ

50

る場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0326】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

10

【0327】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0328】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0329】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

30

【0330】

次に、微結晶酸化物半導体膜について説明する。

【0331】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶（nc:nanocrystal）を有する酸化物半導体膜を、nc-OS（nanocrystalline Oxide Semiconductor）膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

40

【0332】

nc-OS膜は、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ

50

径（例えば50 nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0333】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

10

【0334】

次に、非晶質酸化物半導体膜について説明する。

【0335】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0336】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0337】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

20

【0338】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）膜と呼ぶ。

30

【0339】

a-like OS膜は、高分解能TEM像において鬆（ポイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0340】

なお、a-like OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔（d値ともいう。）と同程度であり、結晶構造解析からその値は0.29 nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応する。

40

【0341】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、a-like OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

50

【0342】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

(実施の形態7)

【0343】

本発明の一態様に係る撮像装置および当該撮像装置を含む半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る撮像装置および当該撮像装置を含む半導体装置を用いることができる電子機器として、携帯電話、10
携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図40に示す。

【0344】

図40(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイク905、スピーカー906、操作キー907、スタイラス908、カメラ909等を有する。なお、図40(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定され20
ない。カメラ909には本発明の一態様の撮像装置を用いることができる。

【0345】

図40(B)は携帯データ端末であり、筐体911、表示部912、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。カメラ919には本発明の一態様の撮像装置を用いることができる。

【0346】

図40(C)はデジタルカメラであり、筐体921、シャッターボタン922、マイク923、発光部927、レンズ925等を有する。レンズ925の焦点となる位置には本発明の一態様の撮像装置を備えることができる。

【0347】

図40(D)は腕時計型の情報端末であり、筐体931、表示部932、リストバンド933、カメラ939等を有する。表示部932はタッチパネルとなってもよい。カメラ939には本発明の一態様の撮像装置を用いることができる。

【0348】

図40(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。レンズ945の焦点となる位置には本発明の一態様の撮像装置を備えることができる。

【0349】

図40(F)は携帯電話であり、筐体951に、表示部952、マイク957、スピーカー954、カメラ959、入出力端子956、操作作用のボタン955等を有する。カメラ959には本発明の一態様の撮像装置を用いることができる。

【0350】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

10

20

30

40

50

【 0 3 5 1 】

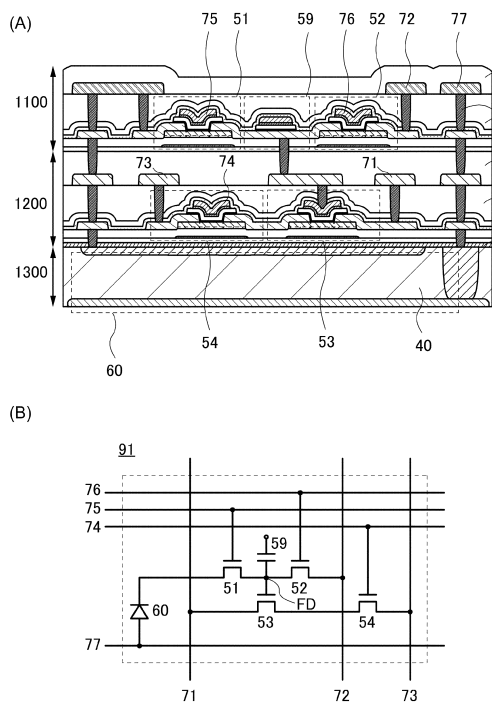
| | | |
|-------|--------|----|
| 4 0 | シリコン基板 | |
| 4 1 | 絶縁層 | |
| 4 1 a | 絶縁層 | |
| 4 1 b | 絶縁層 | |
| 4 4 | 絶縁層 | |
| 5 1 | トランジスタ | |
| 5 2 | トランジスタ | |
| 5 3 | トランジスタ | |
| 5 4 | トランジスタ | 10 |
| 5 5 | トランジスタ | |
| 5 6 | トランジスタ | |
| 5 7 | トランジスタ | |
| 5 8 | 活性層 | |
| 5 9 | 容量素子 | |
| 6 0 | 光電変換素子 | |
| 6 1 | 光電変換層 | |
| 6 2 | 透光性導電層 | |
| 6 3 | 半導体層 | |
| 6 4 | 半導体層 | 20 |
| 6 5 | 半導体層 | |
| 6 6 | 電極 | |
| 6 6 a | 導電層 | |
| 6 6 b | 導電層 | |
| 6 7 | 隔壁 | |
| 7 1 | 配線 | |
| 7 2 | 配線 | |
| 7 3 | 配線 | |
| 7 4 | 配線 | |
| 7 5 | 配線 | 30 |
| 7 6 | 配線 | |
| 7 7 | 配線 | |
| 7 7 a | 導電層 | |
| 7 7 b | 導電層 | |
| 7 8 | 配線 | |
| 8 0 | 絶縁層 | |
| 8 1 | 導電体 | |
| 9 1 | 回路 | |
| 9 2 | 回路 | |
| 1 0 1 | トランジスタ | 40 |
| 1 0 2 | トランジスタ | |
| 1 0 3 | トランジスタ | |
| 1 0 4 | トランジスタ | |
| 1 0 5 | トランジスタ | |
| 1 0 6 | トランジスタ | |
| 1 0 7 | トランジスタ | |
| 1 0 8 | トランジスタ | |
| 1 0 9 | トランジスタ | |
| 1 1 0 | トランジスタ | |
| 1 1 1 | トランジスタ | 50 |

| | | |
|---------|---------|----|
| 1 1 2 | トランジスタ | |
| 1 1 5 | 基板 | |
| 1 2 0 | 絶縁層 | |
| 1 3 0 | 酸化物半導体層 | |
| 1 3 0 a | 酸化物半導体層 | |
| 1 3 0 b | 酸化物半導体層 | |
| 1 3 0 c | 酸化物半導体層 | |
| 1 4 0 | 導電層 | |
| 1 4 1 | 導電層 | |
| 1 4 2 | 導電層 | 10 |
| 1 5 0 | 導電層 | |
| 1 5 1 | 導電層 | |
| 1 5 2 | 導電層 | |
| 1 6 0 | 絶縁層 | |
| 1 7 0 | 導電層 | |
| 1 7 1 | 導電層 | |
| 1 7 2 | 導電層 | |
| 1 7 3 | 導電層 | |
| 1 7 5 | 絶縁層 | |
| 1 8 0 | 絶縁層 | 20 |
| 2 3 1 | 領域 | |
| 2 3 2 | 領域 | |
| 2 3 3 | 領域 | |
| 3 1 1 | 配線 | |
| 3 1 2 | 配線 | |
| 3 1 3 | 配線 | |
| 3 1 4 | 配線 | |
| 3 1 5 | 配線 | |
| 3 1 6 | 配線 | |
| 3 1 7 | 配線 | 30 |
| 3 3 1 | 領域 | |
| 3 3 2 | 領域 | |
| 3 3 3 | 領域 | |
| 3 3 4 | 領域 | |
| 3 3 5 | 領域 | |
| 5 0 1 | 信号 | |
| 5 0 2 | 信号 | |
| 5 0 3 | 信号 | |
| 5 0 4 | 信号 | |
| 5 0 5 | 信号 | 40 |
| 5 0 6 | 信号 | |
| 5 0 7 | 信号 | |
| 5 0 8 | 信号 | |
| 5 0 9 | 信号 | |
| 5 1 0 | 期間 | |
| 5 1 1 | 期間 | |
| 5 2 0 | 期間 | |
| 5 3 1 | 期間 | |
| 6 1 0 | 期間 | |
| 6 1 1 | 期間 | 50 |

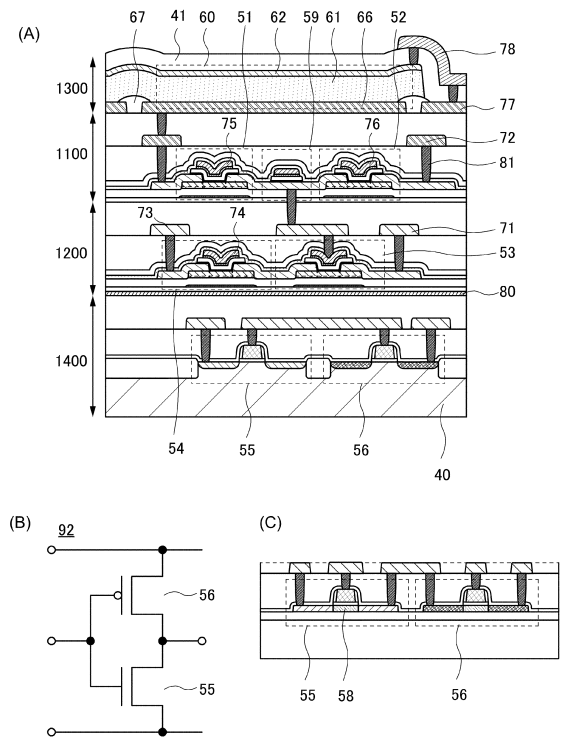
| | | |
|---------|----------|----|
| 6 1 2 | 期間 | |
| 6 1 3 | 期間 | |
| 6 2 1 | 期間 | |
| 6 2 2 | 期間 | |
| 6 2 3 | 期間 | |
| 6 3 1 | 期間 | |
| 7 0 1 | 信号 | |
| 7 0 2 | 信号 | |
| 7 0 3 | 信号 | |
| 7 0 4 | 信号 | 10 |
| 7 0 5 | 信号 | |
| 9 0 1 | 筐体 | |
| 9 0 2 | 筐体 | |
| 9 0 3 | 表示部 | |
| 9 0 4 | 表示部 | |
| 9 0 5 | マイク | |
| 9 0 6 | スピーカー | |
| 9 0 7 | 操作キー | |
| 9 0 8 | スタイラス | |
| 9 0 9 | カメラ | 20 |
| 9 1 1 | 筐体 | |
| 9 1 2 | 表示部 | |
| 9 1 9 | カメラ | |
| 9 2 1 | 筐体 | |
| 9 2 2 | シャッターボタン | |
| 9 2 3 | マイク | |
| 9 2 5 | レンズ | |
| 9 2 7 | 発光部 | |
| 9 3 1 | 筐体 | |
| 9 3 2 | 表示部 | 30 |
| 9 3 3 | リストバンド | |
| 9 3 9 | カメラ | |
| 9 4 1 | 筐体 | |
| 9 4 2 | 筐体 | |
| 9 4 3 | 表示部 | |
| 9 4 4 | 操作キー | |
| 9 4 5 | レンズ | |
| 9 4 6 | 接続部 | |
| 9 5 1 | 筐体 | |
| 9 5 2 | 表示部 | 40 |
| 9 5 4 | スピーカー | |
| 9 5 5 | ボタン | |
| 9 5 6 | 入出力端子 | |
| 9 5 7 | マイク | |
| 9 5 9 | カメラ | |
| 1 1 0 0 | 層 | |
| 1 2 0 0 | 層 | |
| 1 3 0 0 | 層 | |
| 1 4 0 0 | 層 | |
| 1 5 0 0 | 層 | 50 |

- 1 6 0 0 層
- 2 5 0 0 絶縁層
- 2 5 1 0 遮光層
- 2 5 2 0 有機樹脂層
- 2 5 3 0 カラーフィルタ
- 2 5 3 0 a カラーフィルタ
- 2 5 3 0 b カラーフィルタ
- 2 5 3 0 c カラーフィルタ
- 2 5 4 0 マイクロレンズアレイ
- 2 5 5 0 光学変換層
- 2 5 6 0 絶縁層

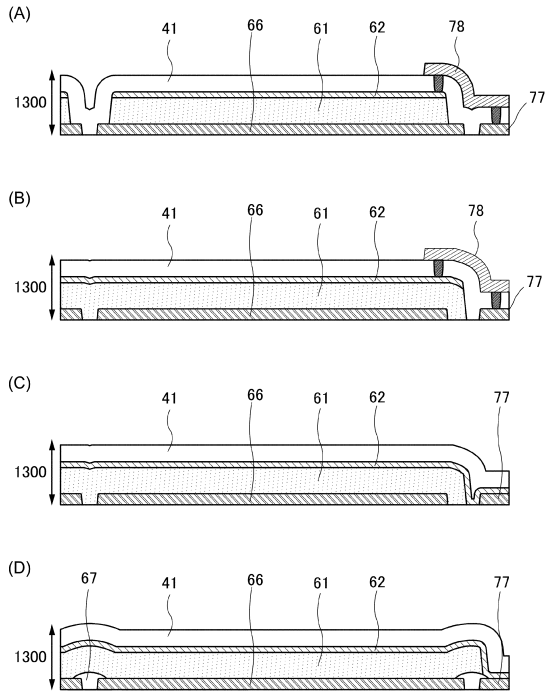
【図1】



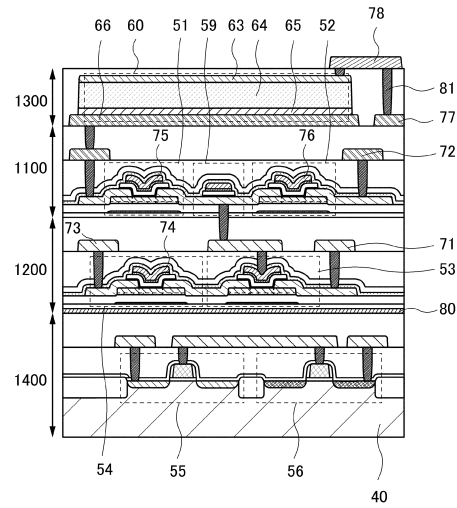
【図2】



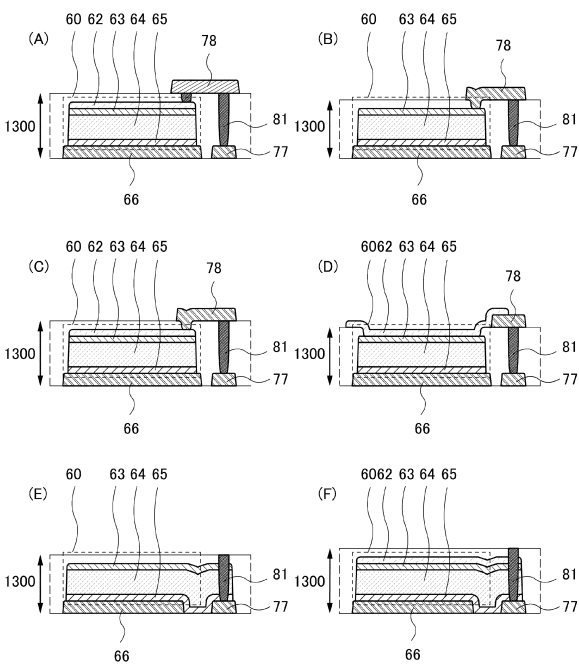
【 図 3 】



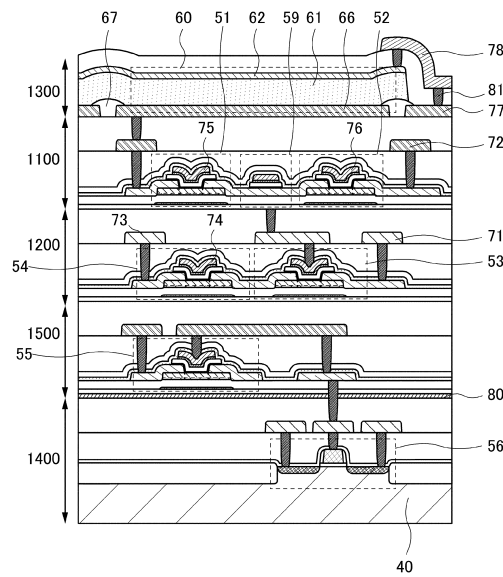
【 図 4 】



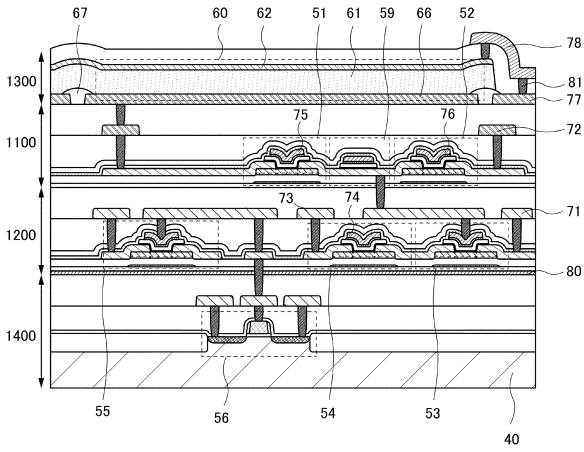
【 図 5 】



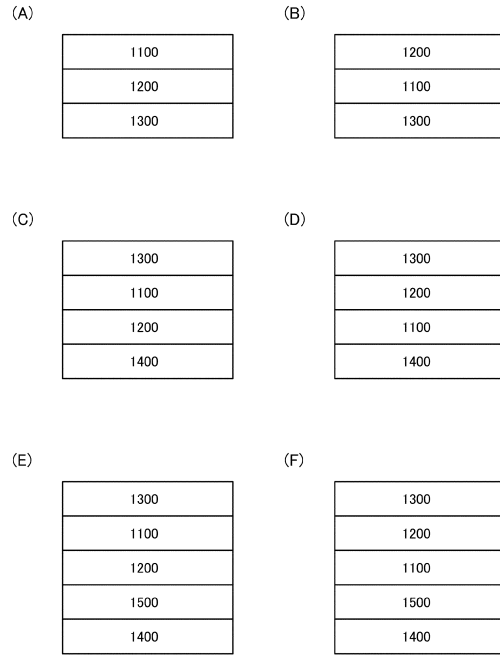
【 図 6 】



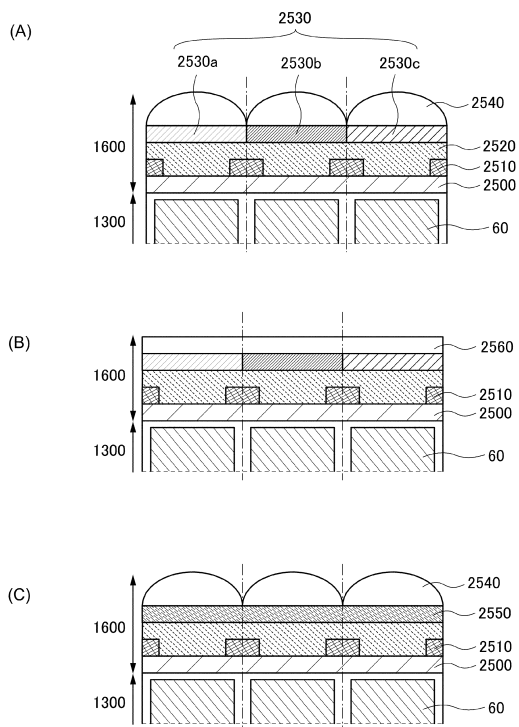
【 図 7 】



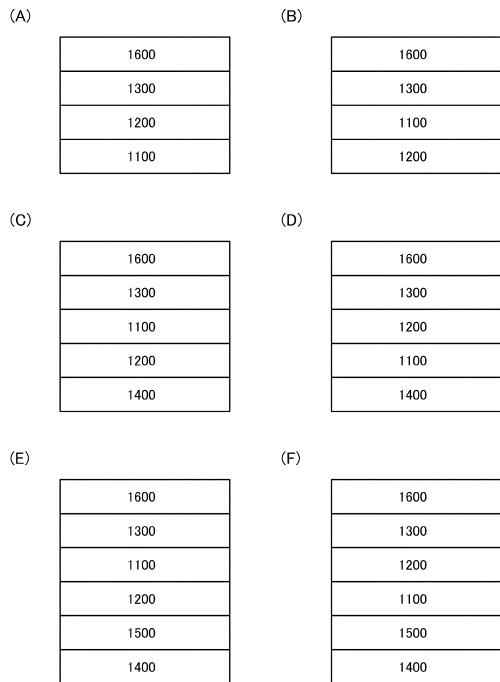
【 図 8 】



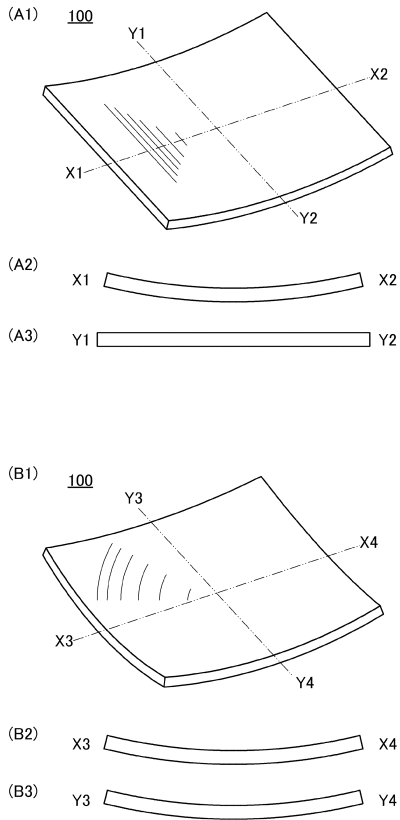
【 図 9 】



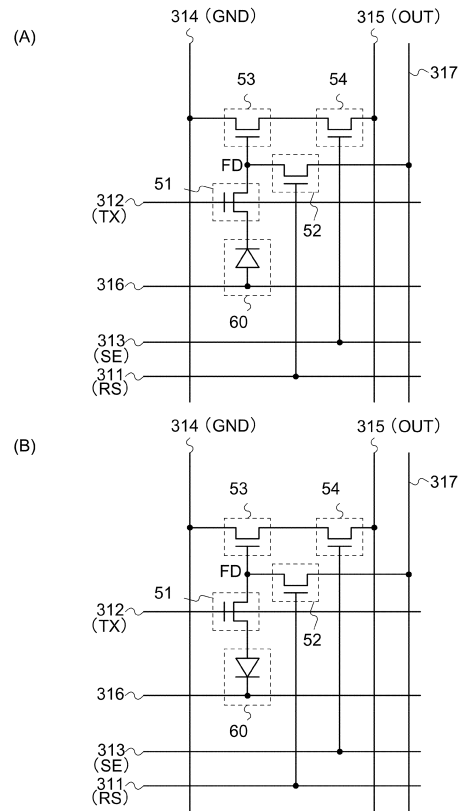
【 図 10 】



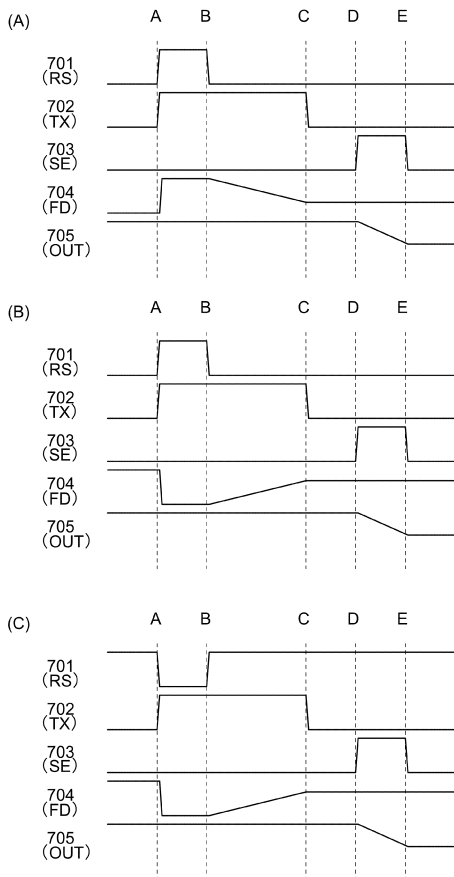
【 図 1 1 】



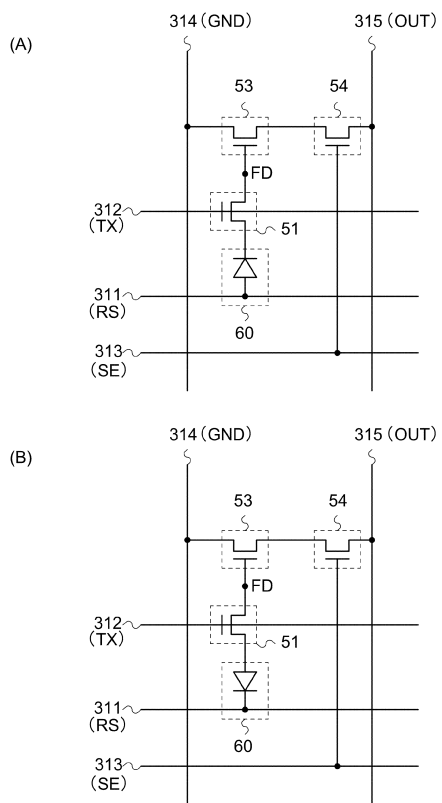
【 図 1 2 】



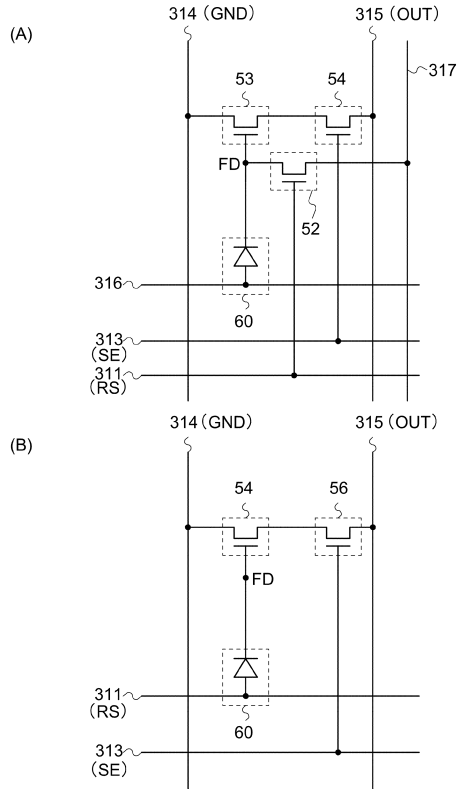
【 図 1 3 】



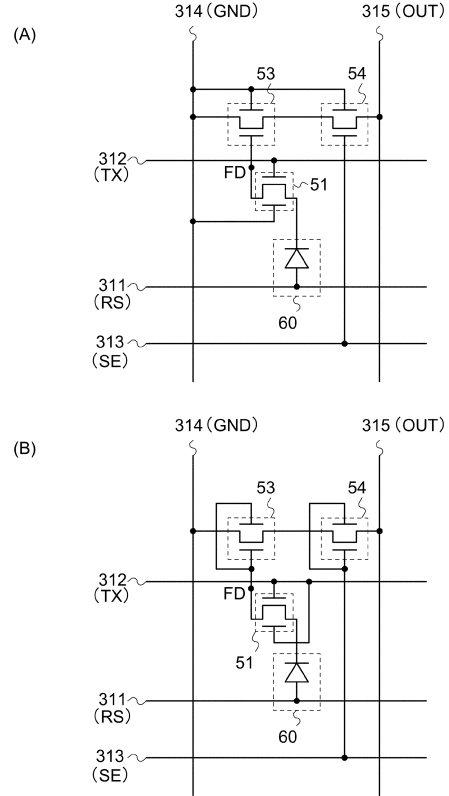
【 図 1 4 】



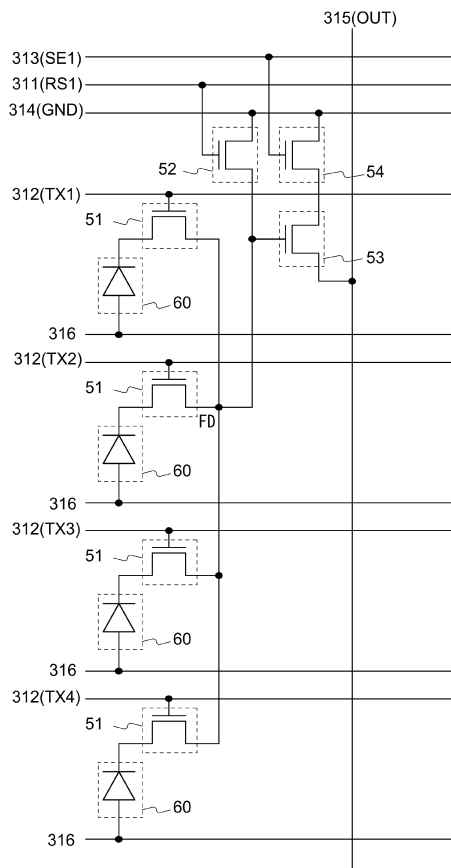
【 図 1 5 】



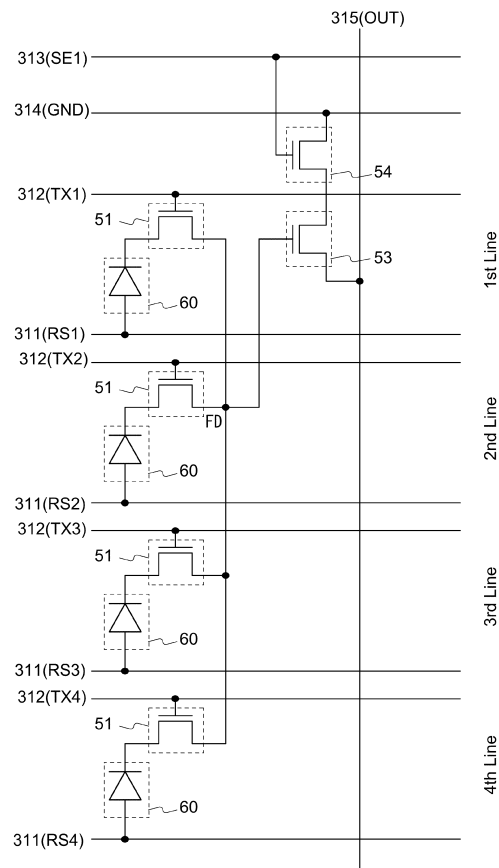
【 図 1 6 】



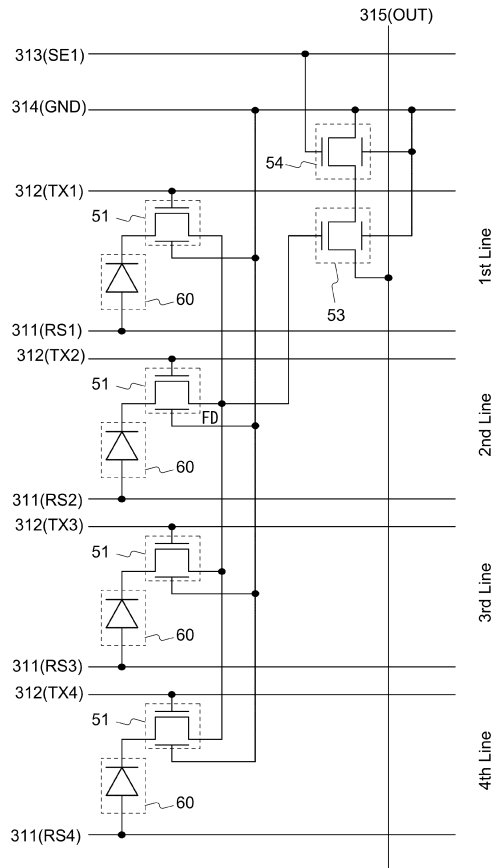
【 図 1 7 】



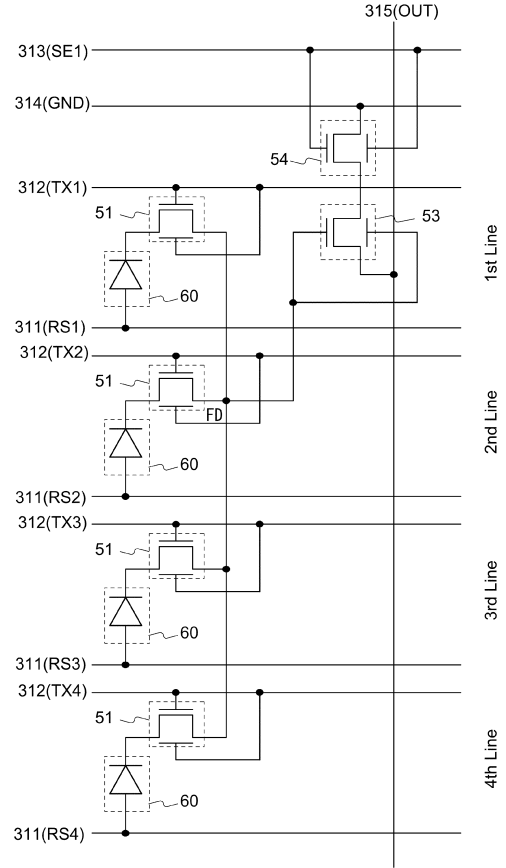
【 図 1 8 】



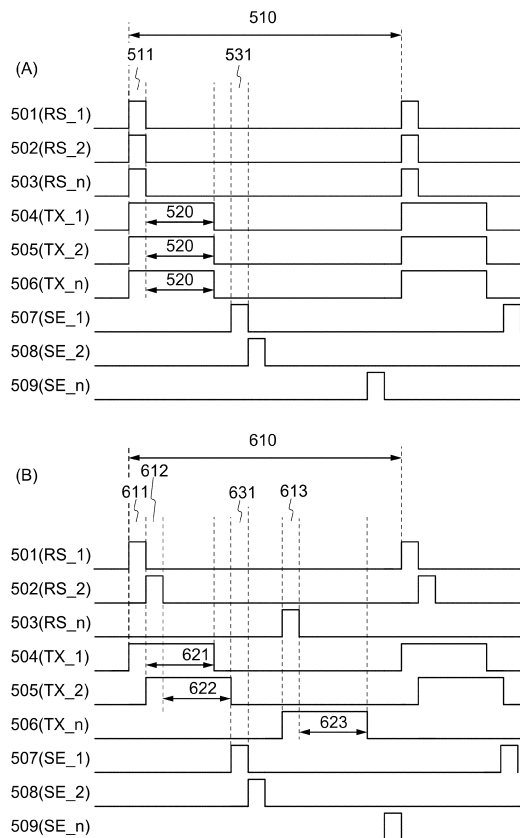
【 図 19 】



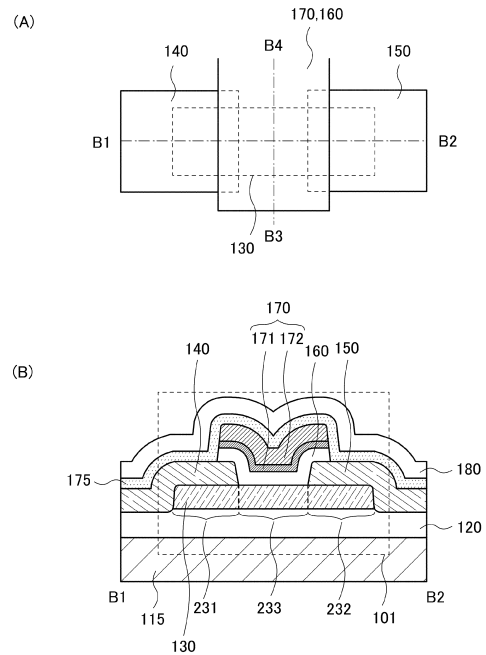
【 図 20 】



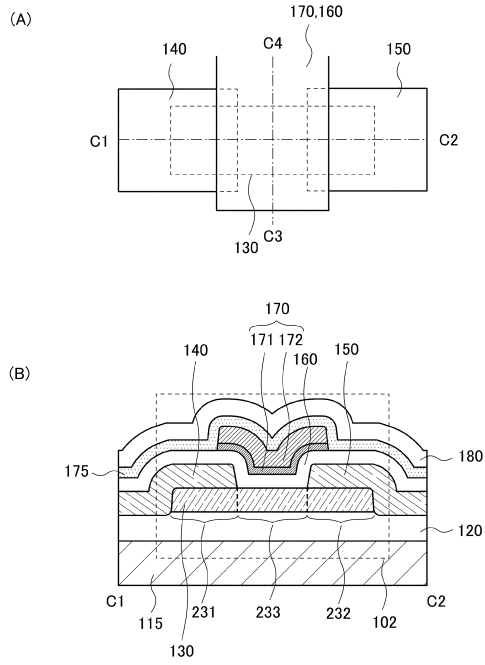
【 図 21 】



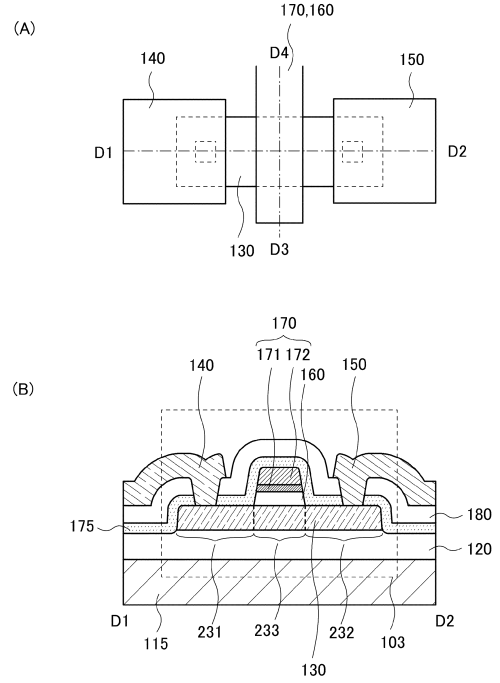
【 図 22 】



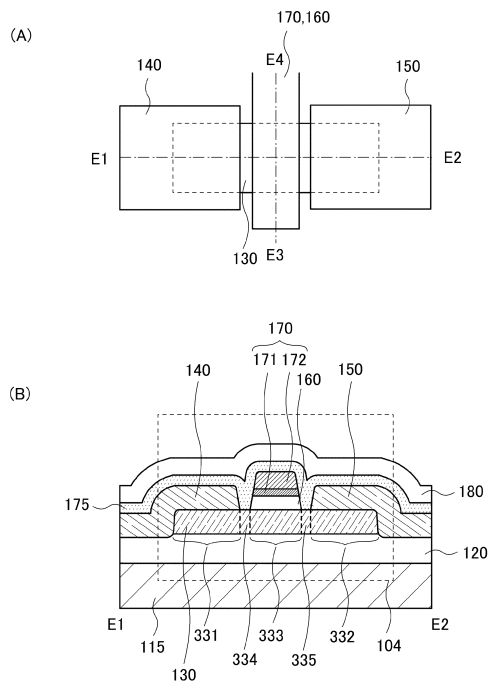
【 図 2 3 】



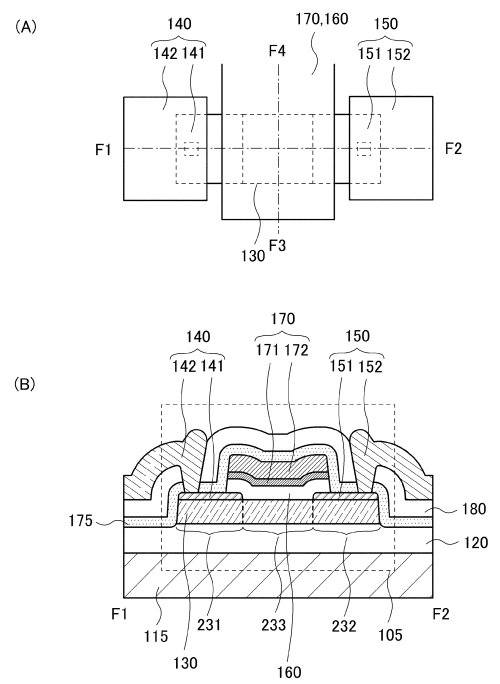
【 図 2 4 】



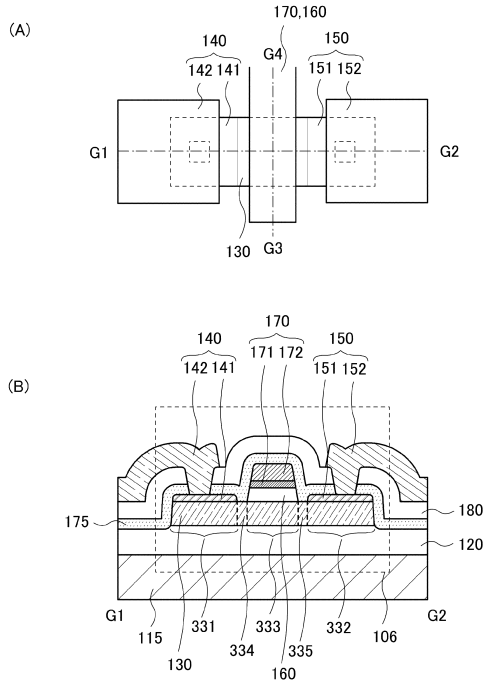
【 図 2 5 】



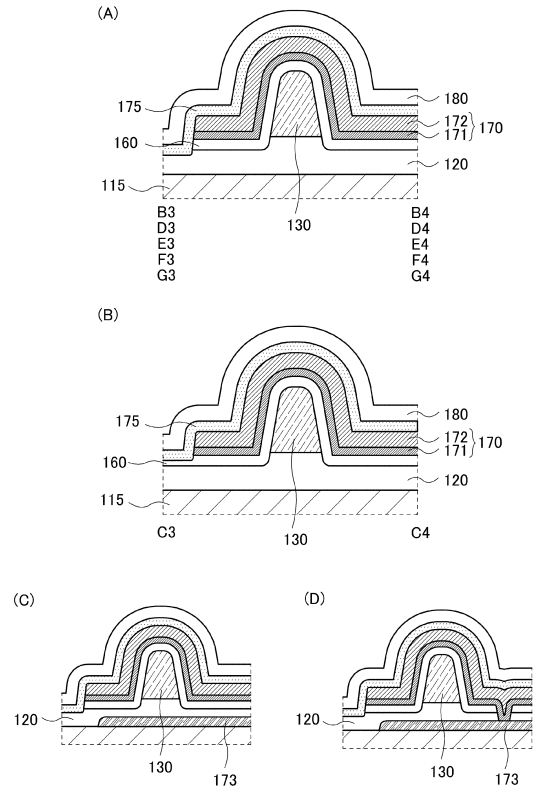
【 図 2 6 】



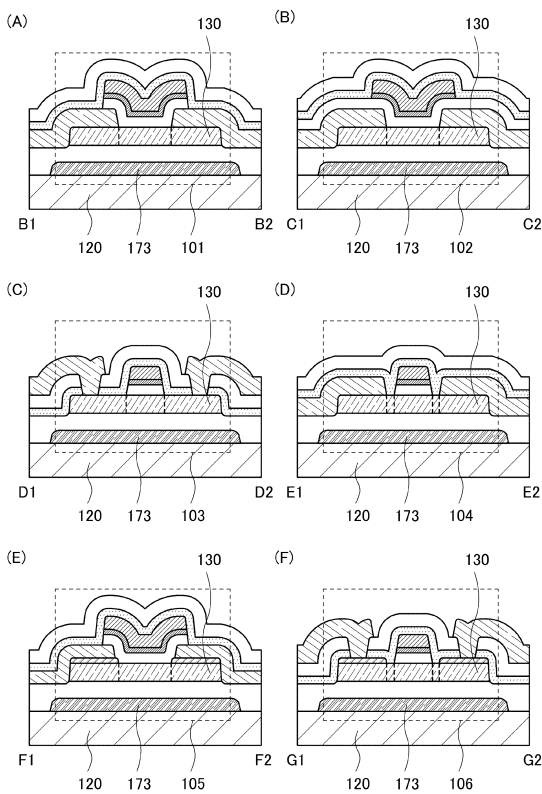
【 27 】



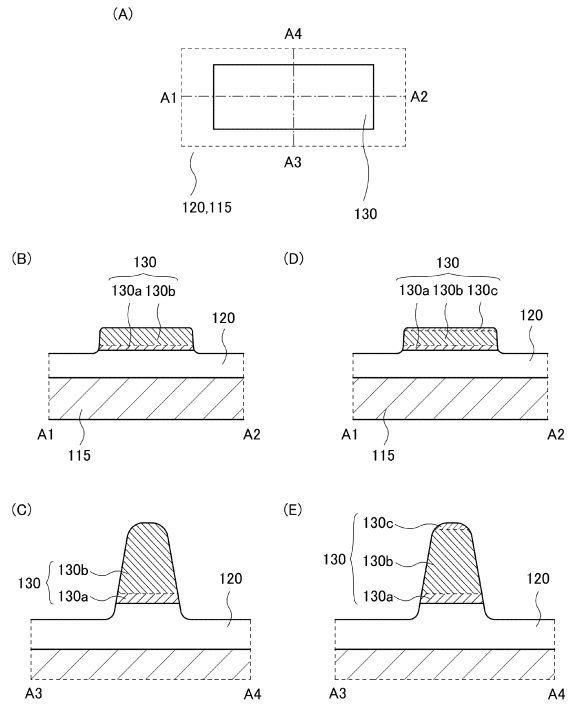
【 28 】



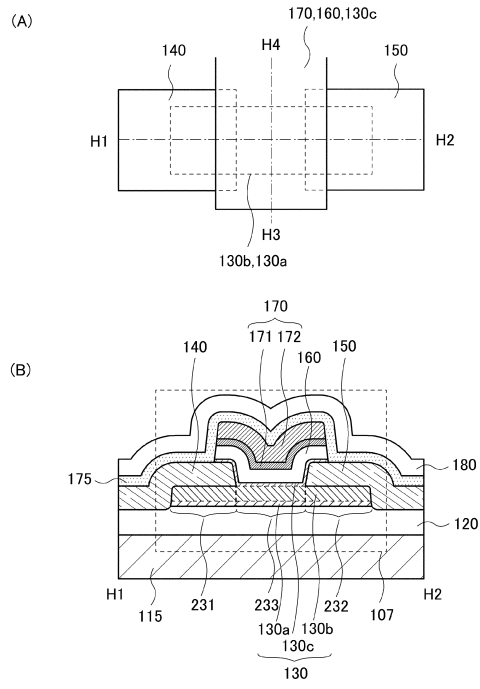
【 29 】



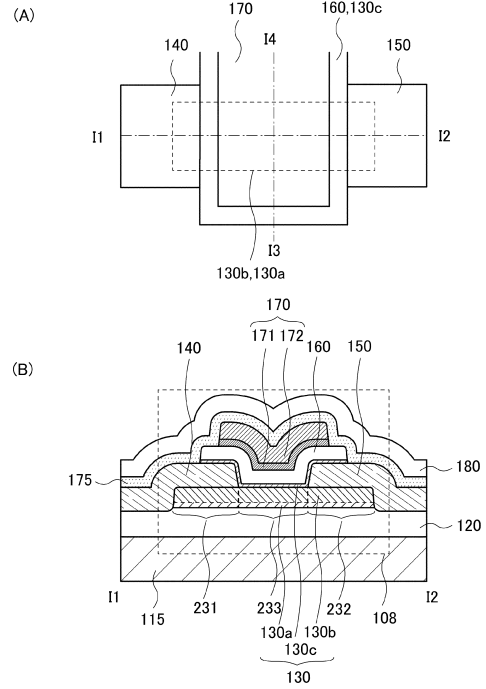
【 30 】



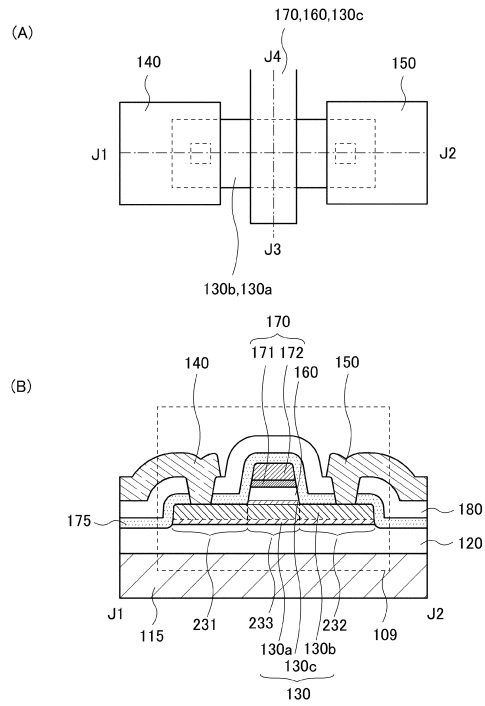
【 図 3 1 】



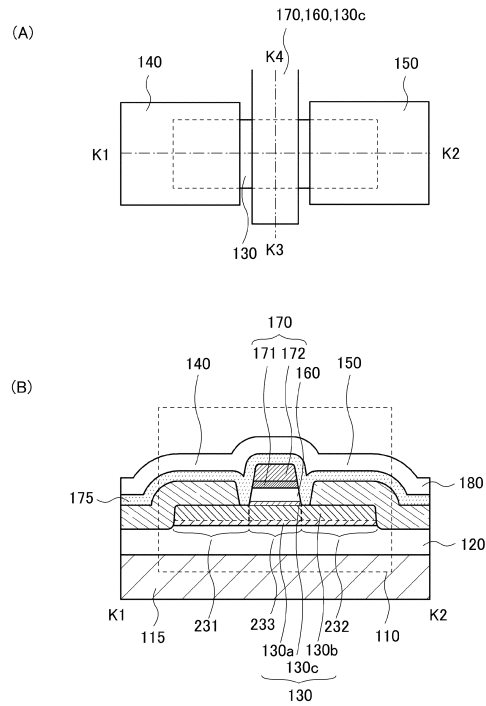
【 図 3 2 】



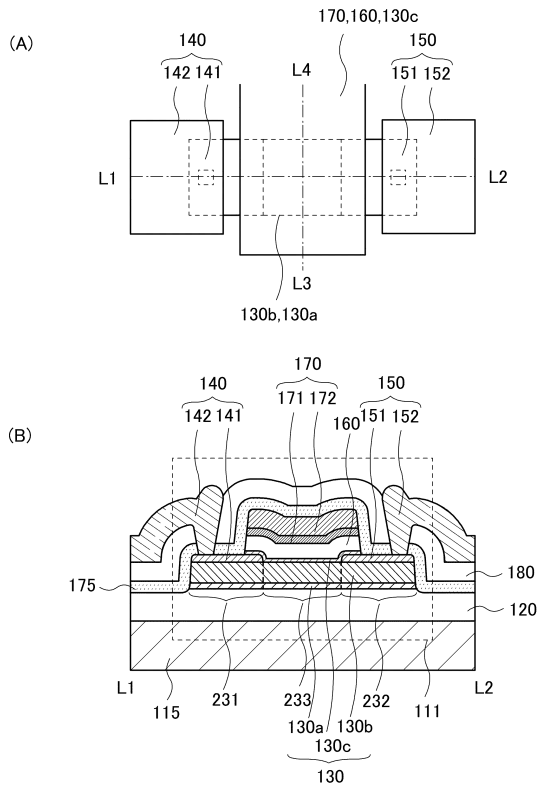
【 図 3 3 】



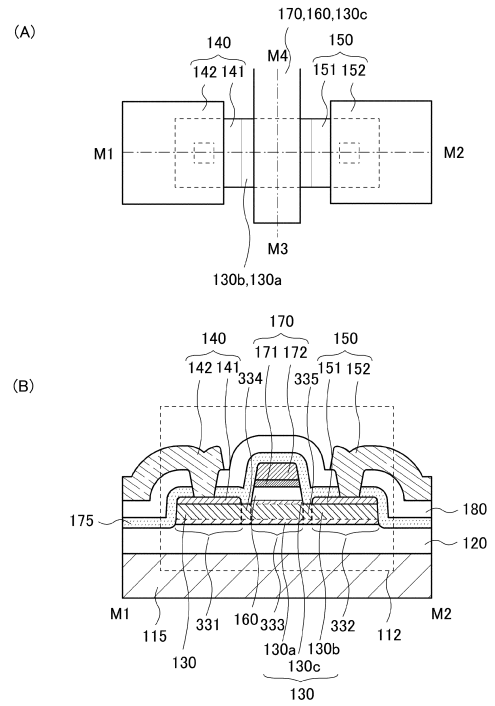
【 図 3 4 】



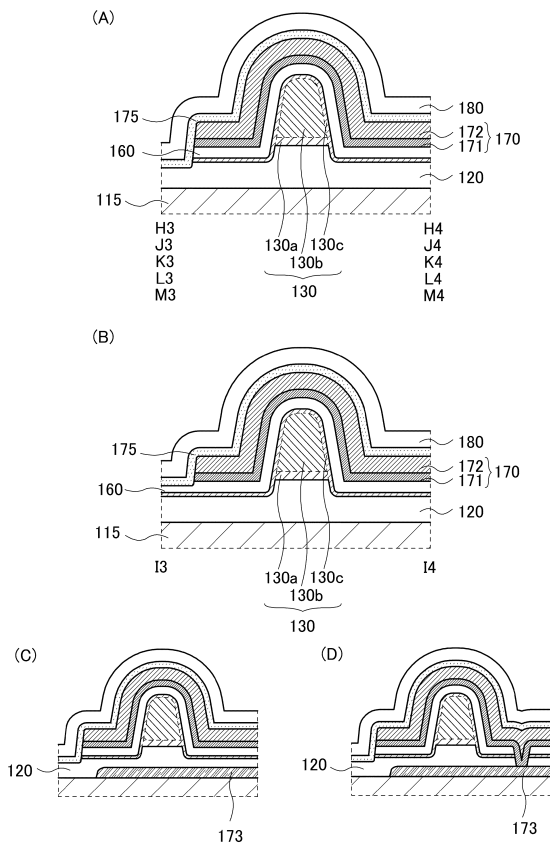
【 図 3 5 】



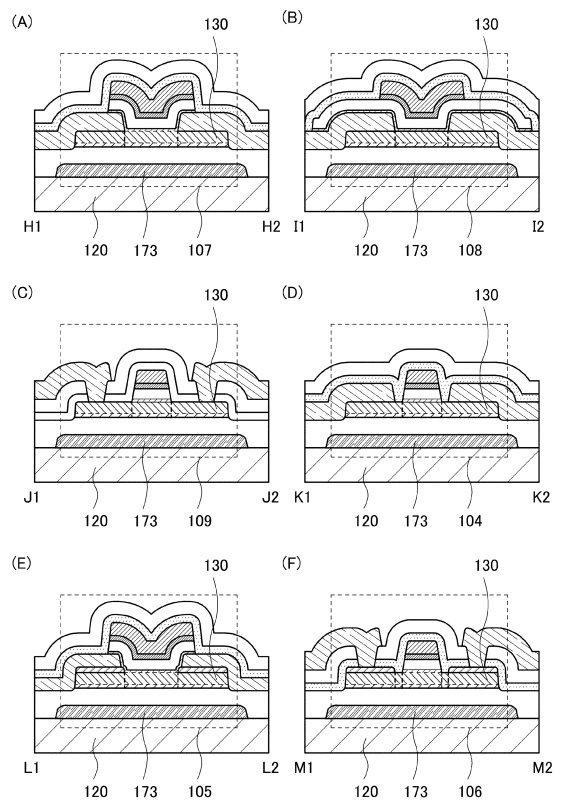
【 図 3 6 】



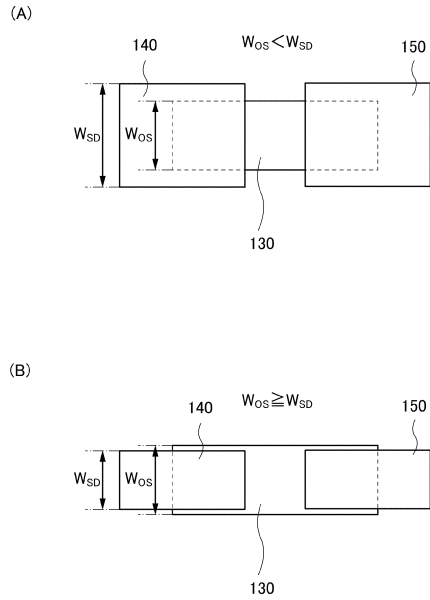
【 図 3 7 】



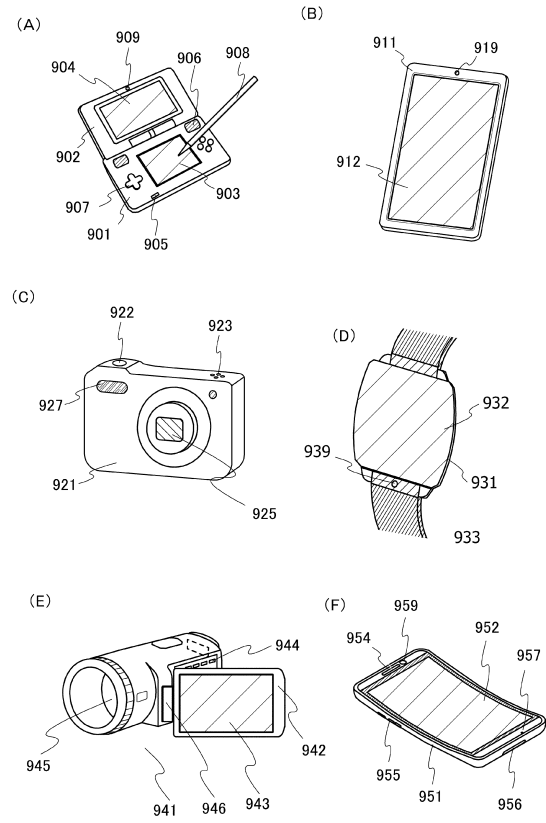
【 図 3 8 】



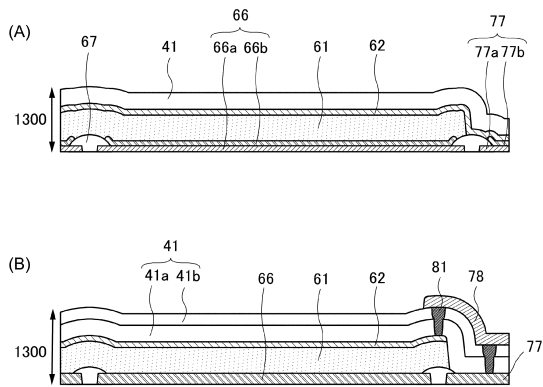
【 図 3 9 】



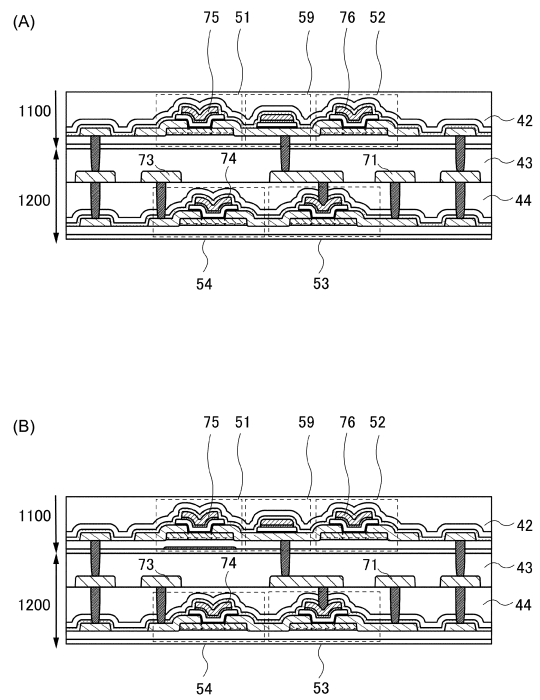
【 図 4 0 】



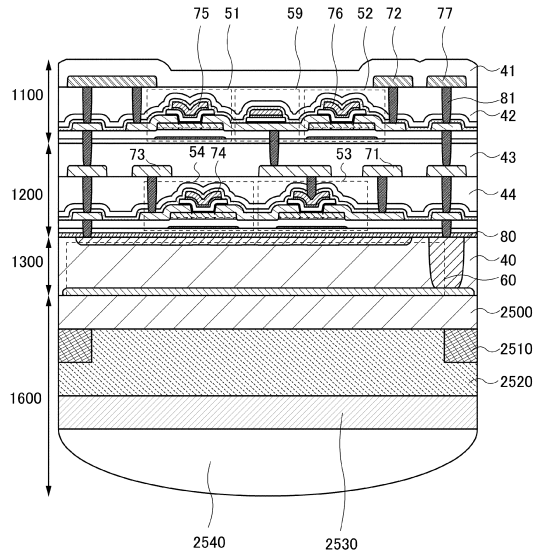
【 図 4 1 】



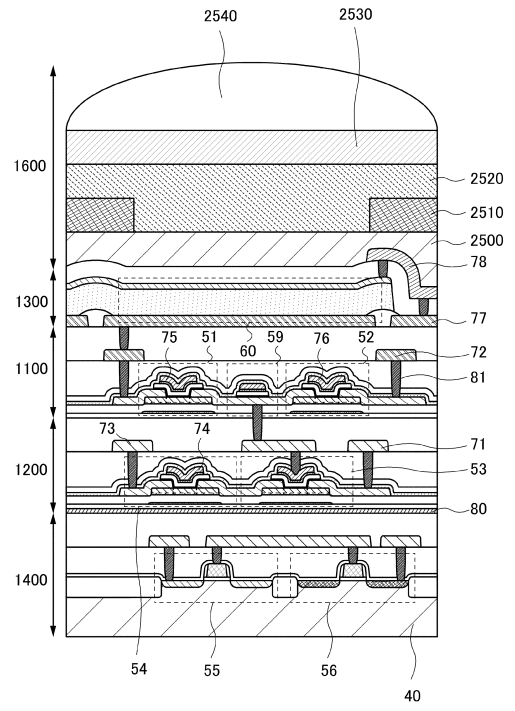
【 図 4 2 】



【図43】



【図44】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/369 (2011.01) H 0 1 L 27/06 1 0 2 A
H 0 4 N 5/374 (2011.01) H 0 4 N 5/369
H 0 4 N 5/374

(56)参考文献 特開2013-243355(JP,A)
特開2012-034354(JP,A)
特開2014-187166(JP,A)
特開2013-038401(JP,A)
特開2013-030682(JP,A)
国際公開第2012/176422(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 1 4 6
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 9 / 7 8 6
H 0 4 N 5 / 3 6 9
H 0 4 N 5 / 3 7 4