



(12) 发明专利申请

(10) 申请公布号 CN 102446935 A

(43) 申请公布日 2012. 05. 09

(21) 申请号 201110301401. 7

(22) 申请日 2011. 09. 28

(30) 优先权数据

2010-227757 2010. 10. 07 JP

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 榎本贵幸 富樫秀晃

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 陈桂香 武玉琴

(51) Int. Cl.

H01L 27/146 (2006. 01)

H04N 5/225 (2006. 01)

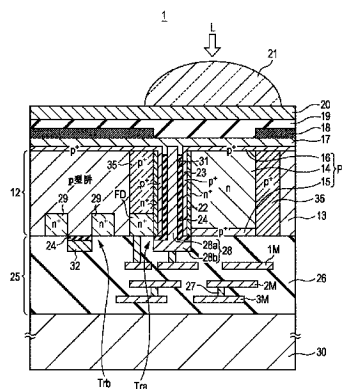
权利要求书 2 页 说明书 18 页 附图 26 页

(54) 发明名称

固体摄像器件、固体摄像器件的制造方法和电子装置

(57) 摘要

本发明公开了固体摄像器件、固体摄像器件的制造方法和电子装置。该固体摄像器件包括：基板，其具有根据受光量产生信号电荷的光电转换单元；通孔，其形成得从所述基板的前表面侧贯穿所述基板的背面侧；垂直栅极电极，其形成在所述通孔中，所述垂直栅极电极与所述通孔之间形成有栅极绝缘膜，所述垂直栅极电极使读出部读出由所述光电转换单元产生的信号电荷；及电荷固定膜，其具有负的固定电荷，所述电荷固定膜被形成得在覆盖所述基板的背面侧的同时覆盖所述通孔的内周面的位于所述基板的背面侧的一部分。本发明能够抑制产生于所述基板界面处的暗电流，并减小了工艺的非均匀性，从而能够防止产生白点。



1. 一种固体摄像器件,其包括:
基板,所述基板具有根据受光量产生信号电荷的光电转换单元;
通孔,所述通孔形成得从所述基板的前表面侧贯穿所述基板的背面侧;
垂直栅极电极,所述垂直栅极电极形成在所述通孔中,所述垂直栅极电极与所述通孔之间形成有栅极绝缘膜,所述垂直栅极电极使读出部读出由所述光电转换单元产生的信号电荷;以及
电荷固定膜,所述电荷固定膜具有负的固定电荷,所述电荷固定膜被形成得在覆盖所述基板的背面侧的同时覆盖所述通孔的内周面的位于所述基板的背面侧的一部分。
2. 根据权利要求1所述的固体摄像器件,其中,
在所述基板内,从所述光电转换单元到所述读出部,沿着所述垂直栅极电极形成有沟道形成层。
3. 根据权利要求1或2所述的固体摄像器件,在所述电荷固定膜上还包括一层或多层绝缘膜。
4. 根据权利要求1或2所述的固体摄像器件,其中,
所述电荷固定膜具有堆叠两种以上层的结构。
5. 根据权利要求1或2所述的固体摄像器件,其中,
所述光电转换单元是在所述基板的深度方向上形成的多层光电二极管。
6. 一种固体摄像器件的制造方法,其包括步骤:
从基板的表面到背面侧形成所需深度的开孔;
通过在所述开孔中隔着栅极绝缘膜埋入电极材料,从而形成垂直栅极电极,所述垂直栅极电极使形成在所述基板的表面侧的读出部读出累积在光电转换单元中的信号电荷;
在所述基板的表面上隔着层间绝缘膜形成多层配线层叠的配线层;
将支撑基板接合在所述配线层上,然后翻转所述基板;
在通过减薄所述基板的厚度直到所述开孔贯穿所述基板的背面侧而形成通孔的同时,以预定的深度去除形成在所述通孔中的所述栅极绝缘膜;
形成具有负的固定电荷的电荷固定膜来填充去除了所述栅极绝缘膜的所述通孔,同时覆盖所述基板的整个背面。
7. 根据权利要求6所述的固体摄像器件的制造方法,其中,所述基板是块基板。
8. 根据权利要求6所述的固体摄像器件的制造方法,其中,
所述基板是SOI基板,所述SOI基板在硅基板上具有隔着二氧化硅层形成的单晶硅层。
9. 根据权利要求8所述的固体摄像器件的制造方法,其中,
所述开孔形成至这样的深度:所述二氧化硅层从所述单晶硅层的表面露出。
10. 根据权利要求6~9中任一项所述的固体摄像器件的制造方法,其中,通过多次的湿式蚀刻进行所述基板厚度的减薄。
11. 根据权利要求6~9中任一项所述的固体摄像器件的制造方法,其中,
形成所述电荷固定膜之后,在所述电荷固定膜上进一步形成一层或多层绝缘膜。
12. 根据权利要求6~9中任一项所述的固体摄像器件的制造方法,其中,所述电荷固定膜具有堆叠两种以上层的结构。
13. 一种电子装置,其包括:

光学透镜；

固体摄像器件,其为权利要求1~5中任一项所述的固体摄像器件,汇聚在所述光学透镜中的光进入到所述固体摄像器件中;以及

信号处理电路,所述信号处理电路对从所述固体摄像器件输出的输出信号进行处理。

固体摄像器件、固体摄像器件的制造方法和电子装置

[0001] 相关申请的交叉参考

[0002] 本申请包含与 2010 年 10 月 7 日向日本专利局提交的日本优先权专利申请 JP 2010-227757 所公开的内容相关的主题,在此将该项日本优先权申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及背面照射型固体摄像器件、该固体摄像器件的制造方法和使用该固体摄像器件的电子装置。

背景技术

[0004] 在相关技术中,已经提出将 CCD 型固体摄像器件和 CMOS 型固体摄像器件作为在数码相机或摄像机中使用的固体摄像器件。在这样的固体摄像器件中,在以二维矩阵方式形成的多个像素的每一者中分别形成有受光部,并且在所述受光部中根据接收的光量生成信号电荷。此外,在所述受光部中生成的信号电荷被传输和放大,从而获得了图像信号。

[0005] 相关技术的一般的固体摄像器件是表面型固体摄像器件,表面型固体摄像器件安装有表面上具有电极或配线的基板,并且从该基板的上方进行光照射。例如,在表面型 CMOS 型固体摄像器件中,在硅基板内形成有像素的受光部的光电二极管 (PD),并且在硅基板上形成有多个配线层,多个配线层与硅基板之间形成有层间绝缘膜。此外,在上述配线层上方布置有滤色器和片上透镜。在表面型固体摄像器件中,光从片上透镜经过滤色器和配线层进入到受光部的光电二极管中。

[0006] 然而,随着固体摄像器件的小型化,在上述表面型固体摄像器件中存在着这样的问题:在配线层多层化的同时,配线的间距减小,从而使得片上透镜与硅基板上的受光部之间的距离增大。由于配线层的多层化,倾斜入射的部分入射光被配线层遮蔽并且难以到达硅基板上的受光部,这样就产生了阴影等现象。

[0007] 近年来,已经提出了从与基板上形成有配线层的一侧相反的一侧进行光照射的背面照射型固体摄像器件(参见日本专利申请公开公报特开平第 6-283702 号)。在所述背面照射型固体摄像器件中,由于在光照射的一侧未布置有配线层或者电路器件,所以能够实现基板上形成的受光部的 100% 的有效开口率,从而入射光进入到受光部中而不会受到配线层的反射。因此,非常期望在背面照射型固体摄像器件中显著地提高敏感度并且消除阴影。

[0008] 在背面照射型固体摄像器件中,为了提高作为基本性能的动态范围,提高光电二极管中的光电转换电荷的最大累积量(饱和电荷量:Qs)或者加宽光电二极管在基板的深度方向上的区域是优选的。然而,当光电二极管扩展到接近受光面时,到输出端子的距离就增大,从而难以完全传输累积在光电二极管中的电荷,这就导致了残留图像。作为一种改进方案,已经提出了配备了设置有与光电二极管相对应的读取电极(沟槽型电极)的垂直晶体管的固体摄像器件(参见日本专利申请公开公报第 2004-281499 号和 PCT 国际申请说明

书日文译本特表第 2007-531254 号)。

[0009] 图 19 示出了配备有相关技术的垂直晶体管的固体摄像器件的示意性截面结构。如图 19 所示,在基板 101 的深度方向上形成有两层光电二极管:PD1 和 PD2。垂直栅极电极 103 和垂直栅极电极 104 分别形成得在深处与光电二极管 PD1 和光电二极管 PD2 接触。垂直栅极电极 103 和垂直栅极电极 104 是这样形成的:在基板 101 中的以所需深度形成的沟槽部中埋入电极材料,并且在电极材料与基板 101 之间设置有栅极绝缘膜 102。在邻近垂直栅极电极 103 的区域和邻近垂直栅极电极 104 的区域中分别形成有浮动扩散部 FD2 和浮动扩散部 FD1。

[0010] 在图 19 的固体摄像器件 100 中,通过向垂直栅极电极 103 和垂直栅极电极 104 施加所需的电压,将累积在光电二极管 PD1 和光电二极管 PD2 中的信号电荷分别传输至浮动扩散部 FD1 和浮动扩散部 FD2。在该结构中,能够实现这样的结构:通过改变形成在基板 101 上的沟槽部的深度能够传输累积在形成于不同深度的光电二极管 PD1 和光电二极管 PD2 中的信号电荷。然而,难以通过一次光刻加工和蚀刻加工实现在同一基板中改变沟槽的深度的结构,从而必须多次重复形成垂直栅极电极 103 和垂直栅极电极 104 的工艺。因此,考虑到沟槽部的深度的非均匀性或者例如当形成光电二极管时离子注入的扩散中的非均匀性等加工的非均匀性,设计能够传输经过光电转换的信号电荷的像素是不现实的。

[0011] 可以考虑通过采用包括贯通基板形成的垂直栅极电极的垂直晶体管来消除加工的非均匀性(参见日本专利申请公开公报特开第 2008-258316 号)。

[0012] 图 20 示出了包括贯穿基板形成的垂直栅极电极的固体摄像器件 105 的示意性截面结构。如图 20 所示,固体摄像器件 105 包括贯穿基板 106 的水平表面垂直形成的垂直栅极电极 108。垂直栅极电极 108 是通过形成贯穿基板 106 的通孔并且埋入电极材料(该电极材料与基板 106 之间形成有栅极绝缘膜 107)来形成的。在图 20 的固体摄像器件 105 中,形成在基板 106 的受光侧的相反侧的浮动扩散部 FD 能够读出形成在基板 106 的深度方向上较深位置处的光电二极管 PD 的信号电荷。

[0013] 然而,在贯穿图 20 中所示的基板 106 形成垂直栅极电极 108 的情况下,当从基板 106 的表面侧向其背面侧形成通孔时,基板 106 的位于深处的部分被倒流的蚀刻剂损坏。因此,在基板 106 的背面侧上存在这样的问题:在从通孔的端部的内周面延伸到基板的背面侧的角(被虚线“a”包围)处产生了载流子,并且由于上述载流子与光电转换所产生的载流子(信号)相混合而产生了噪声,从而增加了所谓的白点。

发明内容

[0014] 鉴于上述情况,期望提供一种由于减小了工艺的非均匀性而减少白点产生的固体摄像器件。此外,期望提供一种使用上述固体摄像器件的电子装置。

[0015] 本发明实施方案的固体摄像器件包括基板、贯穿所述基板形成的通孔、形成在所述通孔中的垂直栅极电极和电荷固定膜。在所述基板中形成有根据受光量产生信号电荷的光电转换单元。所述通孔形成得从所述基板的前表面侧贯穿所述基板的背面侧。所述垂直栅极电极使读出部读出由所述光电转换单元产生的信号电荷,并且所述垂直栅极电极形成在所述通孔中,所述垂直栅极电极与所述通孔之间形成有栅极绝缘膜。所述电荷固定膜被形成得在覆盖所述基板的背面侧的同时覆盖所述通孔的内周面的位于所述基板的背面侧

的一部分,并且所述电荷固定膜具有负的固定电荷。

[0016] 在本发明实施方案的固体摄像器件中,通过在所述通孔中形成垂直栅极电极,在所述基板的深度方向上形成的所述光电转换单元的中央部,能够使形成于表面侧的电荷读出部读出累积在深处位置的信号电荷。此外,所述基板的背面侧和所述通孔的内周面的一部分覆盖有由具有负的固定电荷的膜构成的所述电荷固定膜。因此,借助所述电荷固定膜,能够在吸收由于在所述通孔的深处位置产生的所述基板的缺陷所产生的载流子的同时,抑制在所述基板的背面侧产生暗电流。

[0017] 本发明另一实施方案的固体摄像器件的制造方法包括步骤:首先从基板的表面到背面侧形成所需深度的开孔。接着,通过在所述开孔中隔着栅极绝缘膜埋入电极材料,从而形成垂直栅极电极,所述垂直栅极电极使形成在所述基板的表面侧的读出部读出累积在光电转换单元中的信号电荷。接着,在所述基板的表面上隔着层间绝缘膜形成多层配线层叠的配线层。接着,将支撑基板接合在所述配线层上,然后翻转所述基板。接着,在通过减薄所述基板的厚度直到所述开孔贯穿所述基板的背面侧而形成通孔的同时,以预定的深度去除形成在所述通孔中的所述栅极绝缘膜。接着,形成具有负的固定电荷的电荷固定膜来填充去除了所述栅极绝缘膜的所述通孔,同时覆盖所述基板的整个背面。

[0018] 在本发明实施方案的固体摄像器件的制造方法中,形成在所述基板中的开孔的底部贯穿所述基板的背面侧,并且通过减薄所述基板的尺寸成为通孔。此外,以预定的深度去除形成于所述通孔中的所述栅极绝缘膜,并且在去除掉所述栅极绝缘膜的部分中埋入具有负的固定电荷的所述电荷固定膜。因此,由于所述通孔的位于所述基板的背面侧的内周面被所述电荷固定膜覆盖,所以因形成所述开孔时产生于所述开孔的底部的所述基板的缺陷而生成的异常载流子被吸收到所述电荷固定膜中,并且能够防止白点的产生。此外,所述电荷固定膜形成在所述基板的整个背面上。因此,能够抑制产生于所述基板的界面处的暗电流。

[0019] 本发明又一实施方案的电子装置包括:光学透镜;固体摄像器件,汇聚在所述光学透镜中的光进入到该固体摄像器件中;和信号处理电路,其对从所述固体摄像器件输出的输出信号进行处理。此外,所述固体摄像器件包括:基板、贯穿所述基板形成的通孔、形成在所述通孔中的垂直栅极电极和电荷固定膜。在所述基板中形成有根据受光量产生信号电荷的光电转换单元。所述通孔形成得从所述基板的表面贯穿所述基板的背面侧。所述垂直栅极电极使读出部读出由所述光电转换单元产生的信号电荷,并且所述垂直栅极电极形成在所述通孔中,所述垂直栅极电极与所述通孔之间形成有栅极绝缘膜。所述电荷固定膜被形成得在覆盖所述基板的背面侧的同时覆盖所述通孔的内周面的位于所述基板的背面侧的一部分,并且具有负的固定电荷。

[0020] 根据本发明的实施方案,在增大饱和电荷量的背面照射型固体摄像器件中,减小了工序中的非均匀性并且防止了白点的产生。此外,通过使用该固体摄像器件实现了提高图像质量的电子装置。

附图说明

[0021] 图 1 是示出了本发明第一实施方案的固体摄像器件的整体的示意性结构图。

[0022] 图 2 是示出了本发明第一实施方案的固体摄像器件的主要部分的示意性截面结

构图。

[0023] 图 3A、图 3B 和图 3C 是示出了本发明第一实施方案的固体摄像器件的制造方法的工序图 (1 至 3)。

[0024] 图 4A 和图 4B 是示出了本发明第一实施方案的固体摄像器件的制造方法的工序图 (4 和 5)。

[0025] 图 5A 和图 5B 是示出了本发明第一实施方案的固体摄像器件的制造方法的工序图 (6 和 7)。

[0026] 图 6A 和图 6B 是示出了本发明第一实施方案的固体摄像器件的制造方法的工序图 (8 和 9)。

[0027] 图 7 是示出了本发明第一实施方案的固体摄像器件的制造方法的工序图 (10)。

[0028] 图 8A、图 8B 和图 8C 是示出了本发明第二实施方案的固体摄像器件的制造方法的工序图 (1 至 3)。

[0029] 图 9A 和图 9B 是示出了本发明第二实施方案的固体摄像器件的制造方法的工序图 (4 和 5)。

[0030] 图 10 是示出了本发明第二实施方案的固体摄像器件的制造方法的工序图 (6)。

[0031] 图 11 是示出了本发明第三实施方案的固体摄像器件的主要部分的示意性截面结构图。

[0032] 图 12A、图 12B 和图 12C 是示出了本发明第三实施方案的固体摄像器件的制造方法的工序图 (1 至 3)。

[0033] 图 13A 和图 13B 是示出了本发明第三实施方案的固体摄像器件的制造方法的工序图 (4 和 5)。

[0034] 图 14A 和图 14B 是示出了本发明第三实施方案的固体摄像器件的制造方法的工序图 (6 和 7)。

[0035] 图 15 是示出了本发明第三实施方案的固体摄像器件的制造方法的工序图 (8)。

[0036] 图 16 是示出了本发明第四实施方案的固体摄像器件的主要部分的示意性截面结构图。

[0037] 图 17 是示出了本发明第五实施方案的固体摄像器件的主要部分的示意性截面结构图。

[0038] 图 18 是示出了本发明第六实施方案的电子装置的示意图。

[0039] 图 19 是相关技术的固体摄像器件 (1) 的示意性截面结构图。

[0040] 图 20 是相关技术的固体摄像器件 (2) 的示意性截面结构图。

具体实施方式

[0041] 下面,将参照图 1 至图 18 说明本发明实施方案的固体摄像器件以及电子装置的示例。将按照下面的顺序说明本发明实施方案。此外,本发明不限于下面的示例。

[0042] 1. 第一实施方案 :CMOS 型背面照射型固体摄像器件的示例

[0043] 1-1. 整体结构

[0044] 1-2. 主要部分的结构

[0045] 1-3. 制造方法 (使用块基板的示例)

[0046] 2. 第二实施方案:背面照射型 CMOS 固体摄像器件的制造方法的示例(使用 SOI 基板的示例)

[0047] 3. 第三实施方案:背面照射型 CMOS 固体摄像器件的示例(使用 SOI 基板的示例)

[0048] 3-1. 主要部分的截面结构

[0049] 3-2. 制造方法

[0050] 4. 第四实施方案:背面照射型 CMOS 固体摄像器件的示例(垂直分光的示例)

[0051] 5. 第五实施方案:背面照射型 CMOS 固体摄像器件的示例(垂直分光的示例)

[0052] 6. 第六实施方案:电子装置

[0053] 1. 第一实施方案

[0054] 下面将说明本发明第一实施方案的固体摄像器件。本实施方案以背面照射型 CMOS 固体摄像器件作为例子。

[0055] 1-1. 整体结构

[0056] 首先,在说明主要部分的结构之前先说明本实施方案的固体摄像器件的整体结构。图 1 是示出了本实施方案的固体摄像器件的整体的示意性结构图。

[0057] 如图 1 中所示,在由硅制成的基板 11 上,固体摄像器件 1 包括由多个像素 2 构成的摄像区域 3、垂直驱动电路 4、列信号处理电路 5、水平驱动电路 6、输出电路 7 和控制电路 8。

[0058] 像素 2 分别包括受光部和多个 MOS 晶体管,上述受光部是根据受光量产生信号电荷的光电二极管,上述多个 MOS 晶体管读出并传输上述信号电荷,像素 2 以 2 维阵列的形式规则地布置在基板 11 上。

[0059] 摄像区域 3 包括以 2 维阵列的形式规则布置的多个像素 2。摄像区域 3 包括能够对通过实际接收的光的光电转换产生的信号电荷进行累积的有效像素区域,以及在有效像素区域周围形成的并且输出作为黑电平基准的光学黑的无效像素区域(在下文中称为光学黑区域)。

[0060] 控制电路 8 基于垂直同步信号、水平同步信号和主时钟信号产生作为垂直驱动电路 4、列信号处理电路 5 和水平驱动电路 6 的操作基准的时钟信号和控制信号。此外,从控制电路 8 产生的时钟信号或者控制信号被输入至垂直驱动电路 4、列信号处理电路 5 和水平驱动电路 6。

[0061] 垂直驱动电路 4 例如是由移位寄存器构成的,并且以行为单位顺次垂直地扫描摄像区域 3 中的像素 2。此外,通过垂直信号线 9 向列信号处理电路 5 提供基于从像素 2 的光电转换元件产生的信号电荷的像素信号。

[0062] 列信号处理电路 5 是关于像素 2 的各列布置的,并且对于各像素行,例如通过来自光学黑区域(虽然未图示,是包围着有效像素区域形成的)的信号对从每一列中的像素 2 输出的信号进行例如去除噪声或者信号放大等处理。

[0063] 在列信号处理电路 5 的输出端子与水平信号线 10 之间布置有水平选择开关(未图示)。

[0064] 水平驱动电路 6 例如是由移位寄存器构成的,通过顺次输出水平扫描脉冲,顺次选择列信号处理电路 5 并且将来自列信号处理电路 5 的像素信号输出到水平信号线 10。

[0065] 输出电路 7 对通过水平信号线 10 从列信号处理电路 5 顺次提供的像素信号进行

处理并输出。

[0066] 1-2. 主要部分的结构

[0067] 图 2 是本实施方案的固体摄像器件的主要部分的截面结构图。本实施方案的固体摄像器件 1 包括多个光电转换单元、形成有包括垂直晶体管 Tra 和表面型晶体管 Trb 的像素晶体管的基板 12、配线层 25 和支撑基板 30。此外,在基板 12 的背面侧设置有电荷固定膜 17、遮光膜 18、平坦化膜 19、滤色器层 20 和片上透镜 21。

[0068] 基板 12 是由以第一导电型硅(在本实施方案中为 n 型)制成的半导体基板构成的,并且在基板 12 的预定区域内形成有第二导电型阱区域 13(在本实施方案中为 p 型)。在基板 12 的阱区域 13 中以 2 维矩阵的形式形成有多个像素,各像素均包括光电转换单元(为光电二极管 PD)和多个像素晶体管。在本实施方案中,基板 12 的背面侧是受光面,并且基板 12 的表面侧是形成有读出电路的电路形成表面。也就是说,在本实施方案中,光通过基板 12 的背面侧进入。

[0069] 光电转换单元的光电二极管 PD 是由 p 型半导体区域 15 和 p 型半导体区域 16 以及作为形成于 p 型半导体区域 15 与 p 型半导体区域 16 之间的电荷累积区域的 n 型半导体区域 14 构成的,并且 p 型半导体区域 15 和 p 型半导体区域 16 抑制在基板 12 的表面侧和背面侧产生的暗电流。抑制暗电流的 p 型半导体区域 15 和 p 型半导体区域 16 形成得具有比阱区域 13 的杂质的浓度更高的浓度。在本实施方案中,主光电二极管 PD 是通过在 p 型半导体区域 15 和 p 型半导体区域 16 与限定电荷累积区域的 n 型半导体区域 14 的接合表面上构成的 pn 接合而形成的。

[0070] 在光电二极管 PD 中,在作为电荷累积区域的 n 型半导体区域 14 中根据进入到基板 12 中的光量产生并累积信号电荷。此外,导致产生在基板 12 的界面上的暗电流的电子被吸收到空穴(空穴是 p 型半导体区域 15 和 p 型半导体区域 16 的多数载流子)中,从而抑制了暗电流。

[0071] 此外,光电二极管 PD 被由高浓度 p 型半导体区域 35 所限定的像素分离区域包围。因此,能够防止从光电二极管 PD 产生并累积的信号电荷移动到另一个像素中。

[0072] 单元像素的像素晶体管是由 n 沟道 MOS 晶体管构成的,并且包括传输晶体管、复位晶体管和放大晶体管这三个晶体管,或者包括传输晶体管、复位晶体管、放大晶体管和选择晶体管这四个晶体管。传输晶体管是由垂直晶体管 Tra 构成的,而其它晶体管是由表面型晶体管 Trb 构成的。在图 2 中示出了用于传输晶体管的一个垂直晶体管 Tra 和用于复位晶体管、放大晶体管或选择晶体管中的任一个的一个表面型晶体管 Trb。

[0073] 垂直晶体管 Tra 是由邻近光电二极管 PD 布置的垂直栅极电极 28 和浮动扩散区域 FD 构成的,该浮动扩散区域 FD 形成在邻近垂直栅极电极 28 的基板 12 的背面侧上作为电荷读出部。垂直栅极电极 28 是由在贯穿基板 12 形成的通孔 31 中形成的埋入部 28a 和延伸到基板的表面侧的伸出部 28b 构成的。埋入部 28a 是通过在通孔 31 中埋入电极材料关于基板 12 的水平表面纵向形成的,电极材料与通孔 31 之间形成有栅极绝缘膜 24。此外,伸出部 28b 形成在基板 12 的表面上并与埋入部 28a 相连接,在伸出部 28b 与基板 12 的表面之间形成有栅极绝缘膜 24。此外,垂直栅极电极 28 形成为埋入部 28a 与作为电荷累积区域的 n 型半导体区域 14 相接触。通孔 31 是垂直贯穿基板 12 的水平表面的开口,并且通孔 31 的位于基板 12 的背面侧的端部的内周面覆盖有下面将要说明的电荷固定膜 17。浮动扩散区

域 FD 形成于基板 12 的表面侧,并且是由具有比电荷累积区域的 n 型半导体区域 14 的浓度更高的浓度的 n 型半导体区域限定的。

[0074] 此外,在垂直晶体管 Tra 中,从基板 12 的光电二极管 PD 到基板 12 的浮动扩散区域 FD,沿着垂直栅极电极 28 形成有沟道形成层 22。沟道形成层 22 形成于具有比电荷累积区域的 n 型半导体区域 14 的浓度更高的浓度的 n 型半导体区域中。此外,在垂直栅极电极 28 与沟道形成层 22 之间的区域中形成有 p 型半导体区域 23。p 型半导体区域 23 具有去除从通孔 31 的界面产生的暗电流的功能,或者具有通过使电子与作为 p 型半导体区域的多数载流子的空穴再结合来去除导致白点的上述电子的功能。

[0075] 在垂直晶体管 Tra 中,通过向垂直栅极电极 28 施加所需的电压在沟道形成层 22 上形成沟道。因此,在作为电荷累积区域的 n 型半导体区域 14 中累积的信号电荷通过沿着垂直栅极电极 28 形成的沟道被有效地传输至浮动扩散区域 FD。

[0076] 表面型晶体管 Trb 是由源极和漏极区域 29 以及形成在源极和漏极区域 29 之间的表面型栅极电极 32 构成的。源极和漏极区域 29 是由形成在基板 12 的表面侧的具有比例如作为电荷累积区域的 n 型半导体区域 14 的浓度更高的浓度的 n 型半导体区域构成的。复位晶体管、放大晶体管或选择晶体管的表面型晶体管 Trb 的源极和漏极区域 29 是以与别的表面型晶体管的所需的源极和漏极区域共用的方式构成的。由垂直晶体管 Tra 从浮动扩散区域 FD 读出的信号电荷通过表面型晶体管 Trb 被输出至形成在配线层 25 上的信号配线作为像素信号。

[0077] 可以使用例如氧化硅膜、氮化硅膜、高介电体膜(高 k 膜)或者具有负的固定电荷的膜等绝缘材料作为栅极绝缘膜的材料。

[0078] 可以使用氧化铪 (HfO_2)、氧化钽 (Ta_2O_5)、氧化锆 (ZrO_2)、氧化镨 (PrO_x)、二氧化钛 (TiO_2)、硅酸铪 (HfSiO)、氧化钇 (Y_2O_3) 或氮氧化铝铪 (HfAlON) 等作为高介电体膜。

[0079] 可以使用例如氧化铪 (HfO_2) 膜、氧化铝 (Al_2O_3) 膜、氧化锆 (ZrO_2) 膜、氧化钽 (Ta_2O_5) 膜或二氧化钛 (TiO_2) 膜等作为具有负的固定电荷的膜。可以使用例如化学气相沉积法、溅射法和原子层气相沉积法等作为形成膜的方法。当使用原子层气相沉积法时,非常适合于同时形成具有大约 1nm 厚度的在形成膜的同时能够降低界面态的 SiO_2 膜。此外,除了上述材料之外,可以使用氧化镧 (La_2O_3)、氧化镨 (Pr_2O_3)、氧化铈 (CeO_2)、氧化钕 (Nd_2O_3) 或氧化铈 (Pm_2O_3) 等作为材料。此外,可以使用氧化钐 (Sm_2O_3)、氧化铕 (Eu_2O_3)、氧化钆 (Gd_2O_3)、氧化铽 (Tb_2O_3) 或氧化镝 (Dy_2O_3) 等作为材料。此外,可以使用氧化铥 (Ho_2O_3)、氧化镱 (Tm_2O_3)、氧化镱 (Yb_2O_3)、氧化镱 (Lu_2O_3) 或氧化钇 (Y_2O_3) 等作为材料。此外,具有负的固定电荷的膜可以是氮化铪膜、氮化铝膜、氮氧化铝铪膜或者氮氧化铝膜。

[0080] 此外,作为具有负的固定电荷的膜,可以在不使绝缘劣化的范围内在上述膜中添加硅 (Si) 或氮 (N)。在不使膜的绝缘劣化的范围内适当地确定添加浓度。通过如上所述添加硅 (Si) 或氮 (N),能够提高膜的耐热性或者提高加工中的离子注入的阻止性能。

[0081] 当使用高介电体膜或者具有负的固定电荷的膜作为栅极绝缘膜 24 时,与使用硅基绝缘材料时相比,传输效率劣化,但是具有能够缩短工序的优点。在本实施方案中,说明的是使用氧化硅膜作为栅极绝缘膜 24 的示例。

[0082] 可以使用例如多晶硅、掺磷非晶硅 (phosphorous doped amorphous silicon, PDAS) 或金属等导电材料作为垂直栅极电极 28 和表面型栅极电极 32 的材料,并且可以根

据栅极绝缘材料的材料来对上述材料进行选择。例如,当使用氧化硅膜、氮化硅膜或者具有负的固定电荷的膜时,使用多晶硅或 PDAS 等;当使用高 k 膜时,使用多晶硅、PDAS 或金属等。此外,是使用多晶硅还是使用 PDAS 取决于制造工艺。此外,可以对高 k 膜使用多晶硅或 PDAS,但是由于功函数的原因可能无法获得高性能。

[0083] 配线层 25 形成在基板 12 的与光入射侧相反的表面侧,并且包括多层层叠(在图 2 中为 3 层)的多个配线 1M 至配线 3M,在多个配线之间形成有层间绝缘膜 26。所需的配线或者配线 1M 至配线 3M 与由垂直晶体管 Tra 或表面型晶体管 Trb 构成的像素晶体管通过接触部 27 相连接。因此,从配线层 25 对像素的像素晶体管进行驱动。可以使用例如铝 (Al) 或铜 (Cu) 等金属材料作为配线层 25 的配线 1M 至配线 3M 的材料。此外,可以使用例如钨或铜等金属材料作为接触部 27 的材料。

[0084] 支撑基板 30 例如是由硅基板构成的,并且接合在配线层 25 上。支撑基板 30 在制造工序中被接合在配线层上,并且被设置来提高基板 12 的强度。

[0085] 电荷固定膜 17 是由具有负的固定电荷的材料制成的并且形成得遍布基板 12 的作为光入射侧的整个背面。此外,在形成在基板 12 的背面侧的同时,电荷固定膜 17 在通孔 31 中埋入预定的深度,从而覆盖通孔 31 位于基板 12 的背面侧的端部的内周面。由于电荷固定膜 17 是由具有负的固定电荷的材料制成的,所以在基板 12 的包括通孔 31 的端部的内周面和基板 12 的背面侧的角部强化了空穴累积状态。因此,抑制了在基板的界面处产生的暗电流,并且抑制了由于产生在通孔 31 的端部的内周面处或者基板 12 的角部处的缺陷而异常产生的暗电流。

[0086] 电荷固定膜 17 可以由与能够用于栅极绝缘膜 24 的具有负的固定电荷的膜相同的材料制成。电荷固定膜 17 是设置来防止产生于基板 12 的背面侧和产生于通孔 31 位于基板 12 的背面侧的端部的内周面的暗电流的膜,并且优选由能够获得强的钉扎效应的材料制成。

[0087] 优选的是,将电荷固定膜 17 在通孔 31 中的埋入深度,即,形成在通孔 31 中的电荷固定膜 17 离基板 12 的背面的深度确定为不穿过邻近电荷累积区域的 n 型半导体区域 14 形成的沟道。当通过向垂直栅极电极 28 施加所需的电压来传输电荷时,空穴在邻近电荷固定膜 17 的区域内被激发,从而难以在沟道形成层 22 上形成 n 型沟道。

[0088] 因此,确定电荷固定膜 17 在通孔 31 内的形成区域,从而使得在基板 12 的深度方向上形成传输电荷所必需的沟道。此外,为了适当地抑制产生在垂直栅极电极 28 的端部或者基板 12 的角部的暗电流,电荷固定膜 17 在通孔 31 中的埋入深度为 5nm 以上是优选的。然而,当栅极绝缘膜 24 是由具有负的固定电荷的膜构成时,对于电荷固定膜 17 的深度的规定不限于此。

[0089] 此外,电荷固定膜 17 可以通过由具有负的固定电荷的多种膜形成的层叠层构成。此外,虽然未图示,在电荷固定膜 17 上可以层叠有例如氧化硅膜、氮化硅膜或高介电体膜(高 k 膜)等绝缘膜。通过层叠例如具有与电荷固定膜 17 的折射率不同的折射率的氧化物膜或氮化物膜等绝缘膜,能够获得抗反射涂层效果。

[0090] 在电荷固定膜 17 上的光入射侧形成有遮光膜 18,并且在像素的光电二极管 PD 的区域处形成有开口,从而使得开口之外的其它部分被遮光。遮光膜 18 例如是由具有遮光效果的金属膜构成的。通过形成遮光膜 18 能够防止斜着进入的入射光进入邻近的像素中,从

而降低了混色。

[0091] 在电荷固定膜 17 上和遮光膜 18 上形成有覆盖着由遮光膜 18 产生的台阶的平坦化膜 19, 并且将表面平坦化。平坦化膜 19 例如是由涂布型绝缘材料制成的。

[0092] 在平坦化膜 19 上形成有与各像素分别对应的滤色器层 20。滤色器层 20 选择性地对各像素透过例如绿、红、蓝、青、黄、黑或白光等光。像素可以使用透过不同颜色的滤色器层 20, 或者对于所有像素可以使用透过相同颜色的一个滤色器层 20。根据规格, 可以对滤色器层 20 的颜色组合进行各种选择。

[0093] 在滤色器层 20 上形成有与各像素相对应的片上透镜 21。入射光被片上透镜片 21 汇聚并且有效地进入到像素 2 的光电二极管 PD 中。可以使用例如具有 1.0 ~ 1.3 的折射率的材料作为片上透镜 21 的材料。

[0094] 1-3. 制造方法

[0095] 接着, 将说明本实施方案的固体摄像器件的制造方法。图 3 至图 7 示出了本实施方案的固体摄像器件 1 的制造工艺。此外, 在制造方法的说明中, 说明的是使用氧化硅膜作为栅极绝缘膜的示例。

[0096] 首先, 如图 3A 中所示, 通过在由 n 型半导体构成的基板 12 的表面侧中离子注入 p 型杂质形成 p 型阱区域 13。随后, 通过在比形成于通孔 31 形成区域中的通孔 31 的直径更宽的区域中进行离子注入且注入深度与形成的通孔 31 的深度相同或略大于形成的通孔 31 的深度, 形成 p 型半导体区域 23。此外, 通过在 p 型半导体区域 23 周围离子注入 n 型杂质形成沟道形成层 22。

[0097] 接着, 如图 3B 中所示, 在 p 型半导体区域 23 的中央部通过从基板 12 的表面起在深度方向上进行干式蚀刻, 形成开孔 31a。开孔 31a 形成图 2 的通孔 31, 并且将开孔 31a 的深度形成得与形成在基板 12 中的光电二极管 PD 的深度相同, 例如 $3\mu\text{m} \sim 5\mu\text{m}$ 。

[0098] 可以在下面的条件下进行形成开孔 31a 的工序中的干式蚀刻。

[0099] 腔室内压力 : $20 \sim 200$ (mTorr)

[0100] 偏压 : $200 \sim 1000$ (W)

[0101] HBr 气体的流速 : $0 \sim 400$ (sccm)

[0102] NF_3 气体的流速 : $0 \sim 50$ (sccm)

[0103] O_2 气体的流速 : $5 \sim 50$ (sccm)

[0104] 接着, 如图 3C 中所示, 在开孔 31a 的底部和内壁上形成栅极绝缘膜 24, 并且随后通过埋入电极材料形成作为垂直栅极电极 28 埋入基板 12 中的部分的埋入部 28a。

[0105] 随后, 如图 4A 中所示, 在埋入部 28a 上形成伸出部 28b, 同时在基板 12 的表面上所需区域中形成表面型晶体管 Trb 的表面型栅极电极 32 (基板 12 的表面与表面型栅极电极 32 之间形成有栅极绝缘膜 24)。这样, 形成了垂直晶体管 Tra 的垂直栅极电极 28。

[0106] 在本实施方案中, 尽管举的是在不同的工序中形成埋入部 28a 和伸出部 28b 的例子, 但是它们可以在相同的工序中形成。在此情况下, 首先, 在开孔 31a 的底部和内壁上形成栅极绝缘膜 24, 同时在基板 12 的表面上形成栅极绝缘膜 24。

[0107] 接着, 在将电极材料埋入开孔 31a 中的同时在基板 12 的表面上布置电极材料, 随后进行图形化。因此, 能够同时形成埋入部 28a 和伸出部 28b, 并且能够同时形成垂直栅极电极 28 和表面型栅极电极 32。

[0108] 接着,如图 4B 中所示,通过从基板 12 的表面离子注入 n 型杂质,形成浮动扩散区域 FD、表面型晶体管 Trb 的源极和漏极区域 29。此外,通过将 p 型杂质离子注入到基板 12 的表面侧中形成作为暗电流抑制区域的 p 型半导体区域 15。可以通过使用垂直栅极电极 28 和表面型栅极电极 32 作为掩模的自对准形成杂质区域。

[0109] 接着,如图 5A 中所示,在形成有垂直栅极电极 28 和表面型栅极电极 32 的基板 12 的表面侧形成例如由氧化硅膜构成的层间绝缘膜 26,并且通过反复地形成配线 1M 至配线 3M 以及层间绝缘膜 26 来形成配线层 25。当在形成配线层 25 的过程中连接所需的像素晶体管与配线时,在层间绝缘膜 26 处形成开孔,并且通过在该开口中埋入例如钨等电极材料形成接触部 27。

[0110] 接着,如图 5B 中所示,将例如由硅基板构成的支撑基板 30 接合在配线层 25 上,并且翻转基板 12。此外,通过使用化学机械研磨 (Chemical Mechanical Polishing, CMP)、干式蚀刻或湿式蚀刻去除基板的背面侧来减薄基板 12 的厚度。此外,通过在减薄基板 12 的厚度的同时去除形成在埋入部 28a 的底部的栅极绝缘膜 24,露出垂直栅极电极 28 的埋入部 28a。这样,开孔 31a 就变成从基板 12 的表面侧贯穿背面侧形成的通孔 31。

[0111] 减薄基板 12 的厚度的工序可以使用任意一种方法或者多种方法的组合。此外,当使用湿式蚀刻时,能够防止由减薄基板 12 的厚度的工序所产生的缺陷的发生。

[0112] 当在基板 12 上进行湿式蚀刻时,可以使用由氢氟酸 (HF) 和硝酸 (HNO₃) 制成的氟代硝酸 (fluoro-nitric acid) 或者通过用醋酸 (CH₃COOH)、磷酸 (H₃PO₄) 或者硫酸 (H₂SO₄) 稀释氟代硝酸制成的蚀刻剂作为化学酸性试剂。此外,可以使用四甲基氢氧化铵 (TMAH)、氢氧化钾 (KOH)、氢氧化铵 (NH₄OH)、氢氧化钠 (NaOH) 或者乙二胺邻苯二酚 (EDP) 作为化学碱性试剂。

[0113] 此外,当在由氧化硅膜构成的栅极绝缘膜 24 上进行湿式蚀刻时,可以使用基于氢氟酸 (HF) 的化学试剂。尽管在本实施方案中说明的是使用氧化硅膜作为栅极绝缘膜的示例,但在使用氧化硅膜作为栅极绝缘膜 24 时,通过使用基于磷酸的化学试剂可以以多种方式改变栅极绝缘膜 24 的材料。

[0114] 此外,当在基板 12 和由氧化硅膜构成的栅极绝缘膜 24 上进行干式蚀刻时,例如可以采用下面的条件。

[0115] 腔室内压力 :20 ~ 200 (mTorr)

[0116] 偏压 :200 ~ 1000 (W)

[0117] HBr 气体的流速 :0 ~ 400 (sccm)

[0118] NF₃ 气体的流速 :0 ~ 50 (sccm)

[0119] O₂ 气体的流速 :5 ~ 50 (sccm)

[0120] 此外,当通过 CMP 去除基板 12 和栅极绝缘膜 24 时,例如可以采用下面的条件。

[0121] 研磨压力 :50 ~ 500Pa

[0122] 面盘旋转数 / 研磨头旋转数 :10 ~ 120rpm

[0123] 研磨浆料 :二氧化硅或者基于二氧化铈的浆料

[0124] 尽管可以通过单个工序减薄基板 12 的厚度,但通过在测量基板 12 的残留膜的量的同时去除基板 12 可以精确地将基板 12 去除至垂直栅极电极 28 的埋入部 28a 的底部。例如,在第一工序中,将从埋入部 28a 的底部的基板 12 的残留膜的量去除至大约 50nm ~

500nm,并且在第二工序中减薄基板 12 的厚度直至露出埋入部 28a。在此情况下,也可以使用上面说明的湿式蚀刻、干式蚀刻和 CMP。

[0125] 随后,如图 6A 中所示,通过使用湿式蚀刻或干式蚀刻进一步将栅极绝缘膜 24 去除至需要的深度。这样,露出了位于基板 12 的表面侧处的通孔 31 的端部的内周面。栅极绝缘膜 24 被去除的深度是由沿着垂直栅极电极 28 形成的沟道形成层 22 所必需的沟道的长度来确定的。

[0126] 此外,去除栅极绝缘膜 24 的工序可以与图 5B 中所示的减薄基板 12 的厚度同时进行。

[0127] 接着,如图 6B 中所示,通过从基板 12 的背面侧离子注入 n 型杂质形成作为电荷累积区域的 n 型半导体区域 14,并且通过离子注入 p 型杂质在 n 型半导体区域 14 上形成 p 型半导体区域 16。于是,在光电转换单元中形成光电二极管 PD。此外,在包围光电二极管 PD 的区域中形成由高浓度 p 型半导体区域 35 构成的像素分离区域。尽管在本实施方案中说明的是通过从基板 12 的背面侧离子注入形成光电二极管 PD 的示例,在图 6B 的工序中可以从基板 12 的表面侧进行离子注入。

[0128] 接着,在如上去除了栅极绝缘膜 24 的通孔 31 中埋入具有负的固定电荷的电荷固定膜 17,同时在基板 12 的整个后表面上形成电荷固定膜 17。

[0129] 当电荷固定膜 17 是由氧化铪膜构成时,可以使用原子层沉积法 (atomic layer deposition, ALD)。当使用 ALD 时,在 200 °C ~ 500 °C 的成膜基板温度、10cm³/min ~ 500cm³/min 的前体的流动流速、1 秒至 15 秒的前体的照射时间以及在前体中 5cm³/min ~ 50cm³/min 的臭氧 (O₃) 的流速的条件下,通过使用例如四 (乙基甲基氨基) 铪 (Tetrakis ethylmethylamido hafnium, TEMA-Hf)、四 (二甲基氨基) 铪 (Tetrakis dimethylamido hafnium, TDMA-Hf) 或者四 (二乙基氨基) 铪 (Tetrakis diethylamido hafnium, TDEA-Hf) 能够形成需要的氧化铪膜。

[0130] 通过使用 ALD,甚至在通孔 31 的端部的凹凸表面 (由于去除栅极绝缘膜 24 会得到这样的凹凸表面) 上仍能够高精度地形成电荷固定膜 17。

[0131] 此外,可以通过金属有机化学气相沉积法 (MOCVD) 来形成用于电荷固定膜 17 的氧化铪膜。当使用 MOCVD 时,在 200 °C ~ 600 °C 的成膜基板温度、10cm³/min ~ 500cm³/min 的前体的流动流速、1 秒至 15 秒的前体的照射时间以及在前体中 5cm³/min ~ 50cm³/min 的臭氧 (O₃) 的流速的条件下,通过使用例如四 (乙基甲基氨基) 铪 (Tetrakis ethylmethylamido hafnium, TEMA-Hf)、四 (二甲基氨基) 铪 (Tetrakis dimethylamido hafnium, TDMA-Hf) 或者四 (二乙基氨基) 铪 (Tetrakis diethylamido hafnium, TDEA-Hf) 能够形成需要的氧化铪膜。

[0132] 接着,如图 7 中所示,形成在形成有光电二极管 PD 的区域具有开口的遮光膜 18。

[0133] 然后,形成平坦化膜 19 使得遮光膜 18 埋入平坦化膜 19,并且随后形成滤色器层 20 和片上透镜 21,从而完成了如图 2 中所示的实施方案的固体摄像器件 1。

[0134] 在本实施方案的固体摄像器件 1 中,主动地去除形成在通孔 31 中的栅极绝缘膜 24 的背面侧的一部分,并且形成具有负的固定电荷的电荷固定膜 17 来代替。形成有电荷固定膜 17 的通孔 31 的端部 (对应于在图 3B 的工序中的在基板 12 中形成的开孔 31a 的底部) 是具有当形成开孔 31a 时产生的许多缺陷的区域。在本实施方案中,由于具有许多缺陷的

通孔 31 的端部的内周面覆盖有电荷固定膜 17,防止了从通孔 31 的端部至基板 12 的背面侧的角部处异常产生的载流子流入光电二极管 PD 中。

[0135] 这样,抑制了白点的产生。此外,通过在基板 12 的背面侧上形成电荷固定膜 17 使基板 12 的背面侧平坦化。因此,形成在电荷固定膜 17 上的膜也是平坦的,从而抑制了混色。

[0136] 此外,在本实施方案的固体摄像器件 1 中,由于在基板 12 的深度方向上埋入有传输晶体管的垂直栅极电极 28,所以能够读出累积在基板 12 的深处的信号电荷。因此,能够在基板 12 的深度方向上的深处形成光电二极管 PD,从而能够增大饱和电荷量 Q_s 。

[0137] 此外,在本实施方案中,举的示例是在基板 12 的背面侧上形成 p 型半导体区域 16 来抑制基板 12 的界面处的暗电流。然而,当通过具有负的固定电荷的电荷固定膜 17 能够充分获得基板 12 的界面的钉扎效果时,可以不形成在基板 12 的背面上的 p 型半导体区域 16。

[0138] 然而,在本实施方案中,在图 5B 的工序中通过减薄基板 12 的厚度直到垂直栅极电极 28 的埋入部 28a 的底部露出,基板 12 的背面和埋入部 28a 的底部位于同一面处。本实施方案的减薄基板 12 的厚度的工序不限于此,并且图 5B 的工序可以是这样的工序:减薄基板 12 的厚度直到露出形成在埋入部 28a 的底部的栅极绝缘膜 24 露出。在基板 12 的厚度被减薄之后,当去除栅极绝缘膜 24 时,埋入部 28a 的底部与基板 12 的背面侧不是同高度的,并且在通孔 31 中的埋入部 28a 的底部低于基板 12 的背面。

[0139] 此外,使基板 12 的背面侧低于垂直栅极电极 28 的埋入部 28a 的底部的减薄基板 12 的厚度的工艺也是可行的。在此情况下,在减薄基板 12 的厚度直到埋入部 28a 的底部露出之后,再去除埋入部 28a。如在图 6A 的工序中,当仅去除栅极绝缘膜 24 时,在电荷固定膜 17 形成之前,埋入部 28a 与基板 12 相接触,从而可能有漏电流流动。因此,通过同时去除埋入部 28a 的端部与栅极绝缘膜 24 能够避免埋入部 28a 与基板 12 相接触。

[0140] 如上所述,即使埋入部 28a 的底部相对于基板 12 的背面是凹入或凸出的,本实施方案也是适用的。

[0141] 电荷固定膜 17 形成为一层,但是其可以通过层叠多种具有负的固定电荷的膜形成。此外,当电荷固定膜 17 是由多种膜形成时,其可以形成得使层叠的电荷固定膜 17 的固定电荷的强度是不同的。例如,靠近垂直栅极电极 28 的埋入部 28a 形成具有相对弱的电荷固定的电荷固定膜 17,同时远离垂直栅极电极 28 形成具有强的电荷固定的电荷固定膜 17。这样,能够在不降低垂直栅极电极 28 中的信号电荷的传输效率的前提下抑制位于通孔 31 的端部和基板 12 的背面侧的暗电流。

[0142] 2. 第二实施方案

[0143] 将说明本发明第二实施方案的固体摄像器件的制造方法。在本实施方案中形成的固体摄像器件的整体结构和截面结构与图 1 和图 2 中的整体结构和截面结构相同,并且仅说明制造方法。

[0144] 图 8 至图 10 示出了本实施方案的固体摄像器件的制造方法的制造工艺。

[0145] 本实施方案是使用 SOI 基板 36 作为基板的示例。

[0146] 首先,如图 8A 中所示,在硅基板 36c 上形成有具有 n 型单晶硅层 36a 的 SOI 基板 36,在 n 型单晶硅层 36a 与硅基板 36c 之间形成有是二氧化硅层的 BOX 层 36b。单晶硅层 36a 是形成有光电二极管 PD 或像素晶体管的层,并且其厚度是光电二极管 PD 所必需的厚

度,例如 $3\mu\text{m} \sim 5\mu\text{m}$ 。通过将 p 型杂质离子注入到 SOI 基板 36 的单晶硅层 36a 中形成 p 型阱区域 37。此后,在将要形成通孔 31 的区域中,通过离子注入 p 型杂质从单晶硅层 36a 的表面到 BOX 层 36b 形成 p 型半导体区域 23, p 型半导体区域 23 是比将要形成的通孔 31 的直径宽的区域。此外,通过在 p 型半导体区域 23 周围离子注入 n 型杂质形成沟道形成层 22。

[0147] 接着,如图 8B 中所示,在 p 型半导体区域 23 的中央部通过在深度方向上的干式蚀刻从单晶硅层 36a 的表面形成开孔 38。开孔 38 是图 2 中的通孔 31,并且形成到露出 BOX 层 36b 的深度。

[0148] 接着,如图 8C 中所示,在开孔 38 的底部和内壁上形成栅极绝缘膜 24,并且随后通过埋入电极材料形成垂直栅极电极 28 的埋入单晶硅层 36a(对应于本发明的基板)中的部分的埋入部 28a。

[0149] 接着,与第一实施方案的图 4A 至图 5A 的工序相同,如图 9A 中所示,在单晶硅层 36a 的表面上需要的区域中形成垂直晶体管 Tra、表面型晶体管 Trb 和配线层 25。

[0150] 接着,如图 9B 中所示,在配线层 25 上接合例如是硅基板的支撑基板 30,并且翻转 SOI 基板 36。此外,通过使用 CMP、干式蚀刻或湿式蚀刻去除位于 SOI 基板 36 的背面侧的硅基板 36c。

[0151] 接着,如图 10 中所示,通过去除 BOX 层 36b、单晶硅层 36a 以及形成在埋入部 28a 的底部上的栅极绝缘膜 24 露出垂直栅极电极 28 的埋入部 28a。于是,开孔 38 变成了从单晶硅层 36a 的表面侧贯穿背面侧形成的通孔 31。

[0152] 尽管可以通过单个工序去除 BOX 层 36b,但通过在测量 BOX 层 36b 的残留膜的量的同时去除 BOX 层 36b,可以精确地去除至垂直栅极电极 28 的埋入部 28a 的底部。例如,在第一工序中,将 BOX 层 36b 的残留膜的量去除至大约 $50\text{nm} \sim 500\text{nm}$,并且在第二工序中去除 BOX 层 36b 直至露出埋入部 28a。在此情况下,也可以使用上面说明的湿式蚀刻、干式蚀刻和 CMP。

[0153] 此外,当通过两道工序去除 BOX 层 36b 时,通过使用例如具有 $5 \sim 50\%$ HF 浓度的蚀刻剂进行第一湿式蚀刻,并且通过使用例如具有 $0.1 \sim 10\%$ HF 浓度的蚀刻剂进行第二湿式蚀刻。因此,通过迅速地蚀刻至预定的深度去除 BOX 层 36b,然后再缓慢地蚀刻去除 BOX 层 36b,能够精确地去除 BOX 层 36b。

[0154] 此后,通过与第一实施方案的图 6A 至图 7 的工序相同的工序完成图 2 中所示的固体摄像器件。

[0155] 根据本实施方案的固体摄像器件的制造方法,通过使用 SOI 基板 36 的 BOX 层 36b 作为终止层来贯穿单晶硅层 36a,能够形成成为通孔 31 的开孔 38。这样,能够降低垂直栅极电极 28 的埋入部 28a 的像素间的非均匀性。

[0156] 此外,能够获得与第一实施方案相同的效果。

[0157] 3. 第三实施方案

[0158] 将说明本发明第三实施方案的固体摄像器件和固体摄像器件的制造方法。图 11 示出了本实施方案的固体摄像器件 40 的示意性截面结构。图 11 中与图 2 相对应的部分使用相同的附图标记,并且不再进行重复的说明。此外,本实施方案的固体摄像器件 40 的整体结构与图 1 中的整体结构相同,并且不再提供重复的说明。

[0159] 3-1. 主要部分的结构

[0160] 如图 11 中所示,在本实施方案的固体摄像器件 40 中,在通孔 31 中垂直栅极电极 28 的埋入部 28a 的底部形成得低于基板(在本实施方案中为 SOI 基板 36 的单晶硅层 36a)的背面侧。

[0161] 3-2. 制造方法

[0162] 图 12A 至图 14B 中示出了本实施方案的固体摄像器件 40 的制造方法。在图 12A 至图 14B 中与图 8A 至图 10 的部分相对应的部分使用相同的附图标记,并且不再提供重复的说明。

[0163] 首先,如图 12A 中所示,在硅基板 36c 上形成有具有 n 型单晶硅层 36a 的 SOI 基板 36,在 n 型单晶硅层 36a 与硅基板 36c 之间形成有是二氧化硅层的 BOX 层 36b。单晶硅层 36a 是形成有光电二极管 PD 或像素晶体管的层,并且其厚度小于光电二极管 PD 所必需的厚度。通过将 p 型杂质离子注入到 SOI 基板 36 的单晶硅层 36a 中形成 p 型阱区域 37。此后,在将要形成通孔 31 的区域中,通过离子注入 p 型杂质形成 p 型半导体区域 23。p 型半导体区域 23 是比将要在后面的工序中形成的通孔 31 的直径宽的区域,并且 p 型半导体区域 23 从单晶硅层 36a 的表面形成到至少形成垂直栅极电极 28 的埋入部 28a 的深度。此外,通过在 p 型半导体区域 23 周围离子注入 n 型杂质形成沟道形成层 22。

[0164] 接着,如图 12B 中所示,在 p 型半导体区域 23 的中央部通过在深度方向上的干式蚀刻从单晶硅层 36a 的表面形成开孔 42。

[0165] 开孔 42 形成了图 11 的通孔 31,并且开孔 42 形成得没有深到到达 BOX 层 36b,并且 BOX 层 36b 上的单晶硅层 36a 形成的深度为 50nm ~ 500nm。

[0166] 接着,如图 12C 中所示,在开孔 42 的底部和内周面上形成栅极绝缘膜 24,并且随后通过埋入电极材料形成垂直栅极电极 28 的埋入单晶硅层 36a 中的部分的埋入部 28a。

[0167] 接着,与第一实施方案的图 4A 至图 5A 的工序相同,如图 13A 中所示,在单晶硅层 36a 的表面上需要的区域中形成垂直晶体管 Tra、表面型晶体管 Trb 和配线层 25。

[0168] 接着,如图 13B 中所示,在配线层 25 上接合例如是硅基板的支撑基板 30,并且翻转 SOI 基板 36。此外,通过使用 CMP、干式蚀刻或湿式蚀刻去除位于 SOI 基板 36 的背面侧的硅基板 36c。

[0169] 接着,如图 14A 中所示,通过 CMP、干式蚀刻或湿式蚀刻去除 BOX 层 36b。可以通过与第二实施方案的工序相同的工序去除 BOX 层 36b。

[0170] 接着,如图 14B 中所示,通过从单晶硅层 36a 的背面朝着表面侧进行干式蚀刻形成露出埋入部 28a 的底部的背开孔 39。于是,开孔 42 与背开孔 39 相连接,并且通孔 31 形成得贯穿单晶硅层 36a。形成有背开孔 39 的离单晶硅层 36a 的背面侧的深度被确定为不到达沿着垂直栅极电极 28 的埋入部 28a 形成的沟道形成层 22 上当电荷传输时的实际沟道的区域。

[0171] 接着,如图 15 中所示,形成具有负的固定电荷的电荷固定膜 17 覆盖单晶硅层 36a 的整个背面,同时填充背开孔 39。

[0172] 然后,通过与第一实施方案的图 6A 至图 7 的工序相同的工序完成如图 11 中所示的固体摄像器件 40。

[0173] 在本实施方案的固体摄像器件 40 中,由于能够提供大厚度的与垂直栅极电极 28

的埋入部 28a 的底部相接触的电荷固定膜 17, 能够进一步增大在埋入部 28a 的底部上异常产生的载流子的钉扎效应。此外, 能够获得与第一实施方案的效果相同的效果。

[0174] 4. 第四实施方案

[0175] 将要说明本发明第四实施方案的固体摄像器件。图 16 是本实施方案的固体摄像器件 50 的示意性截面结构图。图 16 中与图 12 相对应的部分使用相同的附图标记, 并且不再进行重复的说明。

[0176] 如图 16 中所示, 本实施方案的固体摄像器件 50 包括从基板 12 的背面侧依次在深度方向上顺次形成的第一光电二极管 PD1、第二光电二极管 PD2 和第三光电二极管 PD3。此外, 设置有对应于第一光电二极管 PD1、第二光电二极管 PD2 和第三光电二极管 PD3 的第一传输晶体管 Tr1、第二传输晶体管 Tr2 和第三传输晶体管 Tr3。

[0177] 第一光电二极管 PD1 是通过形成在基板 12 的背面侧的 p 型半导体区域 16 与 n 型半导体区域 51 (与 p 型半导体区域 16 相接触) 之间的 pn 接合形成的。n 型半导体区域 51 是累积由第一光电二极管 PD1 产生的信号电荷的电荷累积区域。此外, p 型半导体区域 16 具有抑制在基板的背面侧产生的暗电流的功能。第一光电二极管 PD1 被形成得从基板 12 的光入射表面深 $0.1\ \mu\text{m} \sim 0.4\ \mu\text{m}$, 并且在第一光电二极管 PD1 中主要光电转换具有蓝色波长的光。

[0178] 第二光电二极管 PD2 是通过 p 型半导体区域 58 (在作为第一光电二极管 PD1 的电荷累积区域的 n 型半导体区域 51 的下方) 与形成在 p 型半导体区域 58 的下方的 n 型半导体区域 52 之间的 pn 接合形成的。n 型半导体区域 52 是累积由第二光电二极管 PD2 产生的信号电荷的电荷累积区域。此外, p 型半导体区域 58 可以由 p 型阱区域 13 构成或者可以通过单独的离子注入形成。p 型半导体区域 58 也具有第一光电二极管 PD1 与第二光电二极管 PD2 间的分离区域的功能。此外, 在第二光电二极管 PD2 中, 通过从基板 12 的表面与第二光电二极管 PD2 的 n 型半导体区域 52 垂直相交形成的 n 型半导体区域形成电荷传输路径 52a。此外, 在电荷传输路径 52a 上, 在基板 12 的表面上形成有用于抑制暗电流的 p 型半导体区域 53。第二光电二极管 PD2 被形成得离基板 12 的光入射表面深 $0.4\ \mu\text{m} \sim 0.8\ \mu\text{m}$, 并且在第二光电二极管 PD2 中主要光电转换具有绿色波长的光。

[0179] 第三光电二极管 PD3 是通过形成于 n 型半导体区域 52 下方的 p 型半导体区域 59、形成于 p 型半导体区域 59 下方的 n 型半导体区域 54 与形成于基板 12 的表面侧的 p 型半导体区域 55 之间的 pn 接合形成的。n 型半导体区域 54 是累积由第三光电二极管 PD3 产生的信号电荷的电荷累积区域。此外, p 型半导体区域 59 可以由 p 型阱区域 13 构成或者可以通过单独的离子注入形成。p 型半导体区域 59 也具有第二光电二极管 PD2 与第三光电二极管 PD3 间的分离区域的功能。第三光电二极管 PD3 被形成得离基板 12 的光入射表面深 $0.8\ \mu\text{m} \sim 2.5\ \mu\text{m}$, 并且在第三光电二极管 PD3 中主要光电转换具有红色波长的光。

[0180] 此外, 形成在基板 12 的表面侧的 p 型半导体区域 55 抑制产生于基板 12 的界面处的暗电流。

[0181] 第一传输晶体管 Tr1 是由垂直栅极电极 28 和浮动扩散区域 FD 1 构成的, 垂直栅极电极 28 形成于贯穿基板 12 形成的通孔 31 处, 浮动扩散区域 FD1 形成于邻近垂直栅极电极 28 的基板 12 的表面侧。也就是说, 第一传输晶体管 Tr1 是由垂直晶体管构成的。在第一传输晶体管 Tr1 中, 通过向垂直栅极电极 28 施加所需的电压, 第一光电二极管 PD1 中累

积的信号电荷通过形成在沟道形成层 22 上的沟道被读出至浮动扩散区域 FD1。

[0182] 第二传输晶体管 Tr2 是由浮动扩散区域 FD2 和表面型栅极电极 56 构成的,浮动扩散区域 FD2 形成于基板 12 的表面侧邻近电荷传输路径 52a 的区域中,表面型栅极电极 56 形成在基板 12 的表面上(表面型栅极电极 56 与基板 12 的表面之间形成有栅极绝缘膜 24)。也就是说,第二传输晶体管是由表面型晶体管构成的。在第二传输晶体管 Tr2 中,通过向表面型栅极电极 56 施加所需的电压,第二光电二极管 PD2 中累积的信号电荷通过电荷传输路径 52a 被读出至浮动扩散区域 FD2。

[0183] 第三传输晶体管 Tr3 是由浮动扩散区域 FD3 和表面型栅极电极 57 构成的,浮动扩散区域 FD3 形成于基板 12 的表面侧邻近第三光电二极管 PD3 的区域中,表面型栅极电极 57 形成在基板 12 的表面上(表面型栅极电极 57 与基板 12 的表面之间形成有栅极绝缘膜 24)。也就是说,第三传输晶体管是由表面型晶体管构成的。在第三传输晶体管 Tr3 中,通过向表面型栅极电极 57 施加所需的电压,第三光电二极管 PD3 中累积的信号电荷被读出至浮动扩散区域 FD3。

[0184] 除了在基板 12 的深度方向上形成第一光电二极管 PD1、第二光电二极管 PD2 和第三光电二极管 PD3 的工序,可以通过与第一实施方案的工序相同的工序形成本实施方案的固体摄像器件 50。

[0185] 在本实施方案中,通过在基板 12 的深度方向上形成的第一光电二极管 PD1、第二光电二极管 PD2 和第三光电二极管 PD3 能够将在基板 12 的垂直方向上在基板 12 的背面侧上行进的入射光分光为红(R)、绿(G)和蓝(B)。这样,能够有效地利用像素区域。此外,由于在基板 12 中能够分光,就不需要在基板 12 的光入射侧形成滤色器层。因此,光不会在滤色器层中被吸收,并且提高了敏感度。

[0186] 此外,通过在基板 12 的深度方向上埋入的垂直栅极电极 28 读出形成于基板的背面侧最深处的第一光电二极管 PD1 中累积的信号电荷,从而不需要形成由基板 12 中的杂质扩散层构成的电荷传输路径。因此,在基板 12 的背面侧,不会由于形成电荷传输路径而减小形成光电二极管的区域,从而能够增大形成于基板 12 的背面侧的光电二极管的饱和电荷量 Q_s 。

[0187] 此外,能够获得与第一实施方案相同的效果。

[0188] 5. 第五实施方案

[0189] 将要说明本发明第五实施方案的固体摄像器件。图 17 是本实施方案的固体摄像器件 60 的示意性截面结构图。在图 17 中与图 2 相对应的部分使用相同的附图标记,并且不再进行重复的说明。

[0190] 如图 17 中所示,本实施方案的固体摄像器件 60 包括从基板 12 的背面侧依次在深度方向上顺次形成的第一光电二极管 PD1 和第二光电二极管 PD2。此外,设置有与第一光电二极管 PD1 和第二光电二极管 PD2 相对应的第一传输晶体管 Tra1 和第二传输晶体管 Tra2。

[0191] 第一光电二极管 PD1 是通过形成在基板 12 的背面侧的 p 型半导体区域 16、和 p 型半导体区域 16 相接触的 n 型半导体区域 61 与形成在 n 型半导体区域 61 下方的 p 型半导体区域 62 之间的 pn 接合形成的。n 型半导体区域 61 是累积由第一光电二极管 PD1 产生的信号电荷的电荷累积区域。此外,p 型半导体区域 16 具有抑制在基板的背面侧产生的暗电流的功能。此外,形成于 n 型半导体区域 61 下方的 p 型半导体区域 62 还具有作为与形成

在第一光电二极管 PD1 下方的第二光电二极管 PD2 之间的分离区域的功能。

[0192] 第二光电二极管 PD2 是通过形成在第一光电二极管 PD1 下方的 n 型半导体区域 63 与形成在基板 12 的表面侧的 p 型半导体区域 64 之间的 pn 接合形成的。n 型半导体区域 63 是累积由第二光电二极管 PD2 产生的信号电荷的电荷累积区域。此外, p 型半导体区域 64 具有抑制产生于基板 12 的表面上的暗电流的功能。

[0193] 第一传输晶体管 Tra1 是由垂直栅极电极 28 和浮动扩散区域 FD1 构成的, 垂直栅极电极 28 形成于贯穿基板 12 形成的通孔 31 中, 浮动扩散区域 FD1 形成于基板 12 的表面上。也就是说, 第一传输晶体管 Tra1 为垂直晶体管。第一传输晶体管 Tra1 的垂直栅极电极 28 的沟道形成层 22 形成得与作为第一光电二极管 PD1 的电荷累积区域的 n 型半导体区域 61 相接触。在第一传输晶体管 Tra1 中, 当向垂直栅极电极 28 施加所需的电压时, 累积在第一光电二极管 PD1 的 n 型半导体区域 61 中的信号电荷被传输至第一浮动扩散区域 FD1。

[0194] 第二传输晶体管 Tra2 是由垂直栅极电极 28 和浮动扩散区域 FD2 构成的, 垂直栅极电极 28 形成于贯穿基板 12 形成的通孔 31 中, 浮动扩散区域 FD2 形成于基板 12 的表面上。也就是说, 第二传输晶体管 Tra2 为垂直晶体管。第二传输晶体管 Tra2 的垂直栅极电极 28 的沟道形成层 22 形成得与作为第二光电二极管 PD2 的电荷累积区域的 n 型半导体区域 63 相接触。在第二传输晶体管 Tra2 中, 当向垂直栅极电极 28 施加所需的电压时, 累积在第二光电二极管 PD2 的 n 型半导体区域 63 中的信号电荷被传输至第二浮动扩散区域 FD2。

[0195] 除了在基板 12 的深度方向上形成第一光电二极管 PD1 和第二光电二极管 PD2 的工序, 可以通过与第一实施方案的工序相同的工序形成本实施方案的固体摄像器件 60。在此情况下, 可以分别形成第一传输晶体管 Tra1 的垂直晶体管和第二传输晶体管 Tra2 的垂直晶体管与上述光电二极管相对应。

[0196] 在本实施方案的固体摄像器件 60 中, 通过在基板 12 的深度方向上形成的第一光电二极管 PD1 和第二光电二极管 PD2 能够垂直分光。尽管形成两层光电二极管作为图 17 中的示例, 但能够形成两层以上的光电二极管并且垂直分光。例如, 当在基板 12 中垂直进行 RGB 分光时, 可以不用形成滤色器层。

[0197] 此外, 在本实施方案中, 通过均由垂直晶体管构成的第一传输晶体管 Tra1 和第二传输晶体管 Tra2 读出在基板 12 中的不同深度处形成的第一光电二极管 PD1 和第二光电二极管 PD2 的信号电荷。这样, 不需要形成用于向基板 12 的表面侧传输信号电荷的电荷传输路径, 并且能够增大光电二极管区域。

[0198] 在本实施方案的固体摄像器件 60 中, 第一传输晶体管 Tra1 和第二传输晶体管 Tra2 均是由具有垂直栅极电极 28 的垂直晶体管构成的, 垂直栅极电极 28 形成在贯穿基板 12 形成的通孔 31 处。因而, 由于在制造工序中能够形成相同深度的开孔 (通孔 31), 所以即使在深度方向上形成有多层光电二极管, 仍能够以相同的工序形成传输晶体管, 从而能够减小制造中的非均匀性。

[0199] 此外, 能够获得与第一实施方案相同的效果。

[0200] 本发明不限于检测并拍摄可见光的入射量的分布的图像的固体摄像器件, 可以适用于拍摄红外线、X 射线或粒子等的入射量的分布的图像的固体摄像器件。此外, 在广义上, 本发明可以适用于拍摄例如压力或电容等其它的物理量的分布的图像的例如指纹检测传感器等固体摄像器件 (检测物理量分布的器件)。

[0201] 此外,本发明的实施方案不限于上述的第一实施方案至第五实施方案,可以以各种形式进行改变。此外,在上述的示例中,说明了采用的是 n 沟道 MOS 晶体管,但是也可以采用 p 沟道 MOS 晶体管。对于 p 型 MOS 晶体管,反转图中的导电类型。

[0202] 此外,本发明不限于通过沿着行顺次扫描像素单元中的单元像素从单元像素中读出像素信号的固体摄像器件。

[0203] 本发明可以适用于在像素单元中选择预定的像素并且在像素单元中从对应的所选的像素中读出信号的 X-Y 地址型固体摄像器件。

[0204] 此外,固体摄像器件可以是单个芯片型或者是封装了像素单元和信号处理单元或光学系统的具有摄像功能的模块型。

[0205] 此外,本发明不限于固体摄像器件,可以适用于摄像器件。上述摄像器件指例如数码相机或摄像机的相机系统或者例如手机等具有摄像功能的电子装置。此外,上述摄像器件也可以实施为例如相机模块型等安装在电子装置中的模块型。

[0206] 6. 第六实施方案:电子装置

[0207] 将要说明本发明的第六实施方案的电子装置。图 18 是示出了本发明第六实施方案的电子装置 200 的主要部分的示意图。

[0208] 本实施方案的电子装置 200 是当本发明的第一实施方案的固体摄像器件 1 用于电子装置(相机)时的实施方案。

[0209] 本实施方案的电子装置 200 包括固体摄像器件 1、光学透镜 210、快门机构 211、驱动电路 212 和信号处理电路 213。

[0210] 光学透镜 210 利用来自被摄物体的图像光(入射光)在固体摄像器件 1 的摄像表面上形成图像。于是,对应的信号电荷在固体摄像器件 1 中累积预定的时段。

[0211] 快门机构 211 控制向固体摄像器件 1 行进的光的照射期间和遮蔽期间。

[0212] 驱动电路 212 提供用于控制固体摄像器件 1 的传输操作和快门机构 211 的快门操作的驱动信号。固体摄像器件 1 的信号传输是通过从驱动电路 212 提供的驱动信号(时序信号)进行的。信号处理单元 213 进行各种信号处理。已经经过信号处理的视频信号被存储在例如存储器等存储介质中或者输出至显示器。

[0213] 在本实施方案的电子装置 200 的固体摄像器件 1 中,形成有像素的基板的背面侧以及形成有垂直栅极电极的通孔内部的一部分覆盖有具有负的固定电荷的电荷固定膜,从而防止了白点的产生,并且能够提高图像质量。

[0214] 安装有固体摄像器件 1 的电子装置 200 不限于相机,可以应用于例如数码相机和移动装置(例如手机等)的相机模块等摄像装置。

[0215] 尽管在本实施方案中电子装置使用的是固体摄像器件 1,但可以使用通过上述的第二实施方案至第五实施方案制造的固体摄像器件。

[0216] 本领域的技术人员应当理解,依据设计要求和因素,可以在本发明所附的权利要求或其等同物的范围内进行各种修改、组合、次组合及改变。

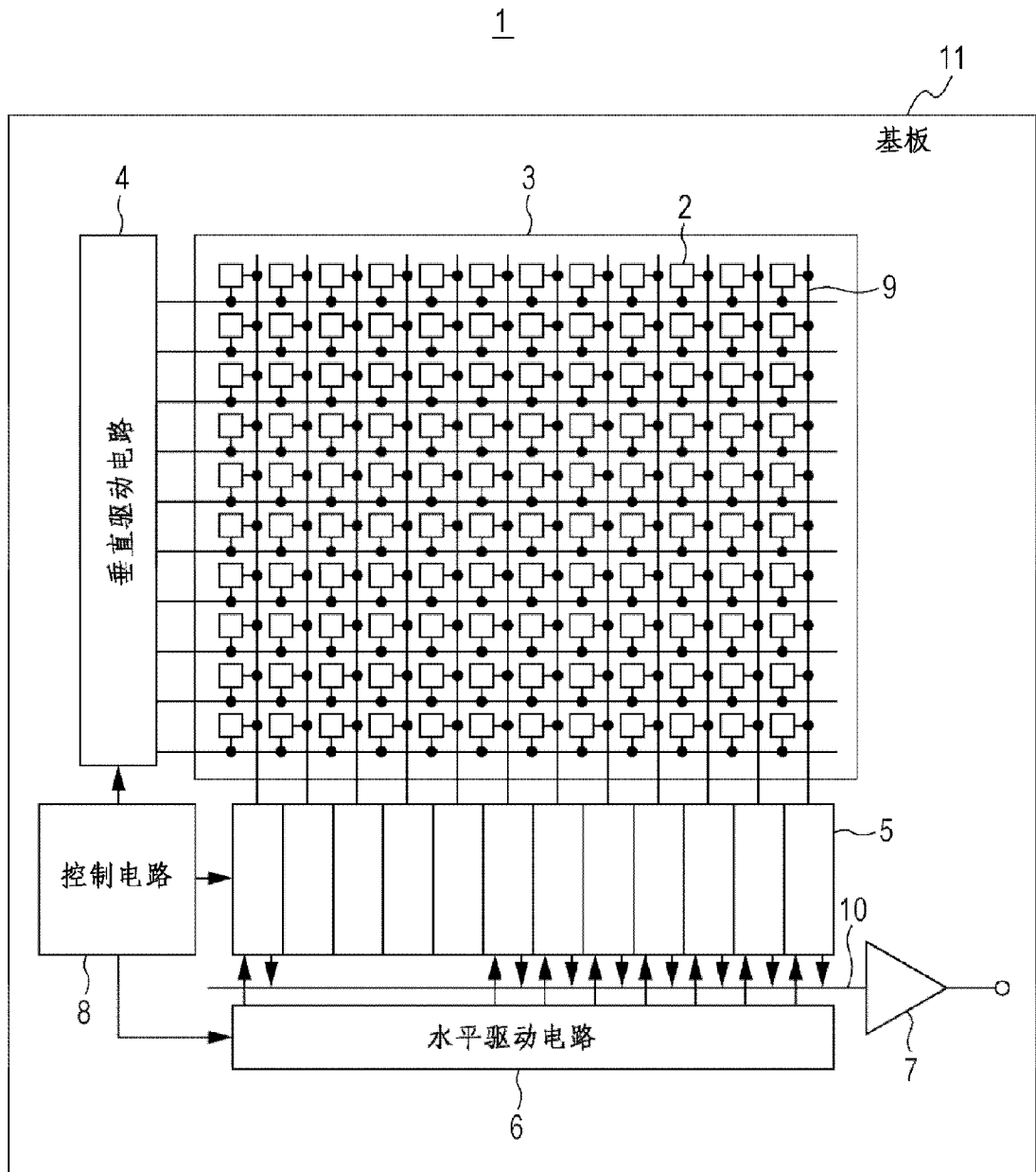


图 1

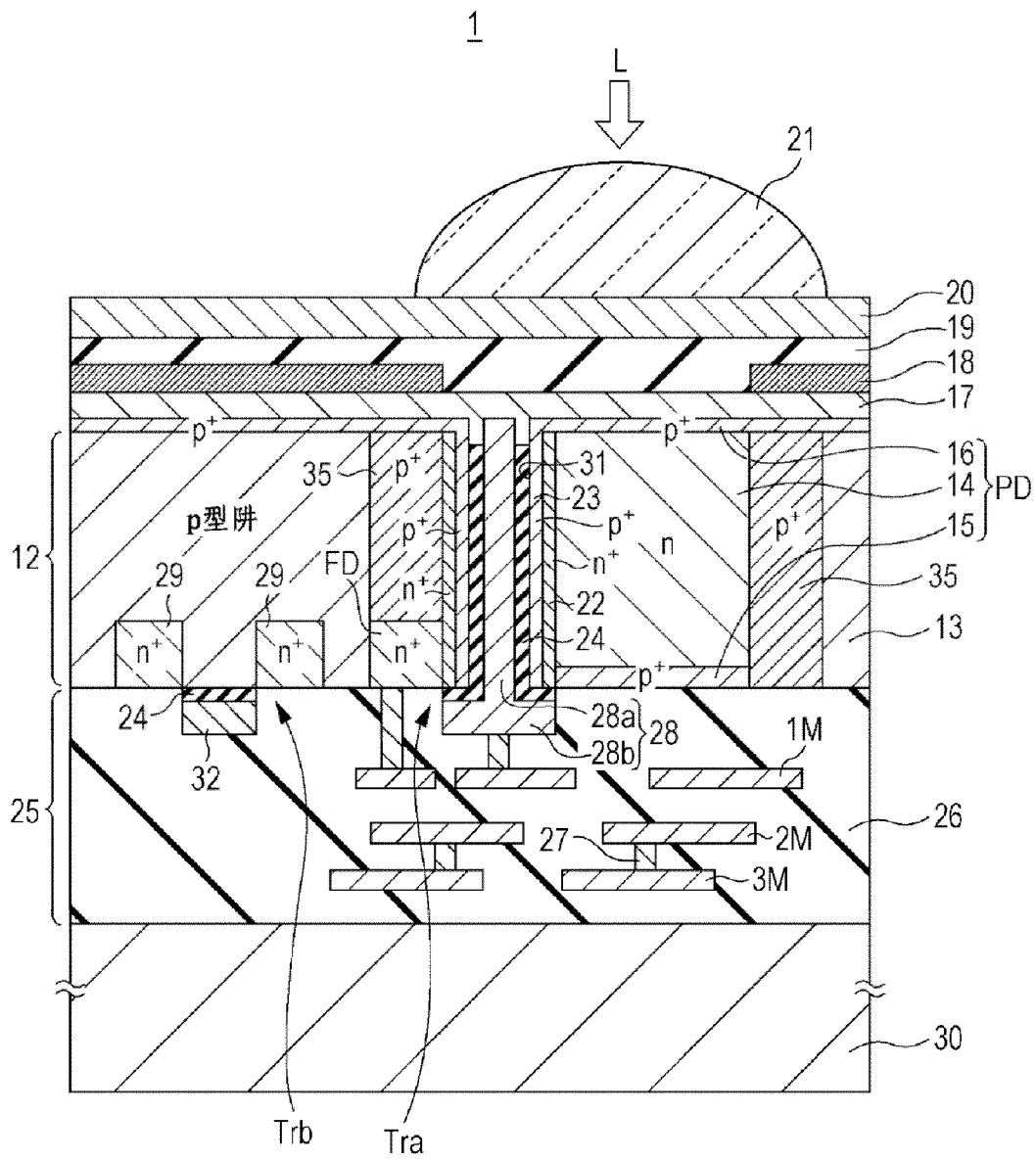


图 2

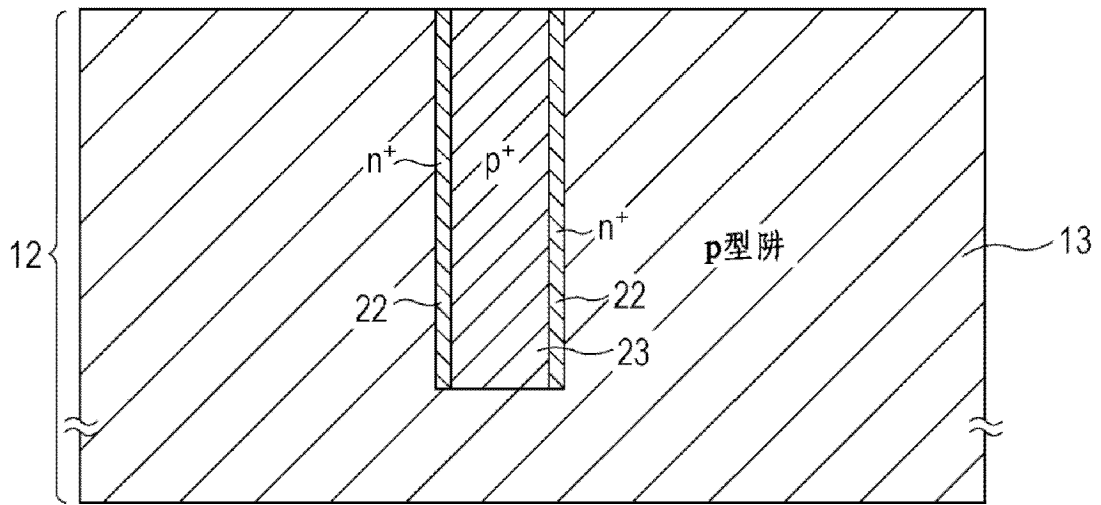


图 3A

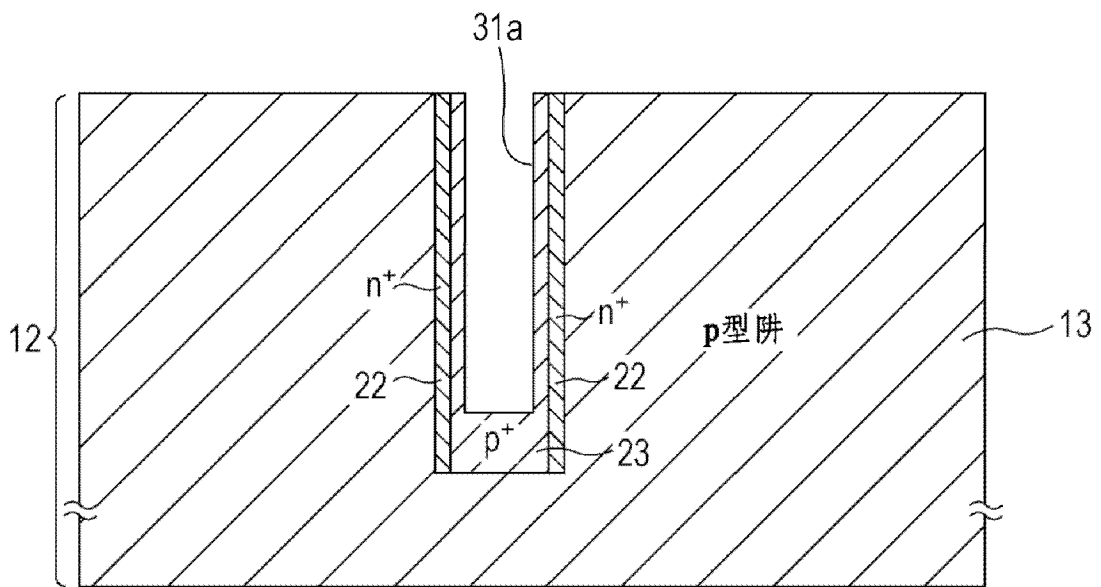


图 3B

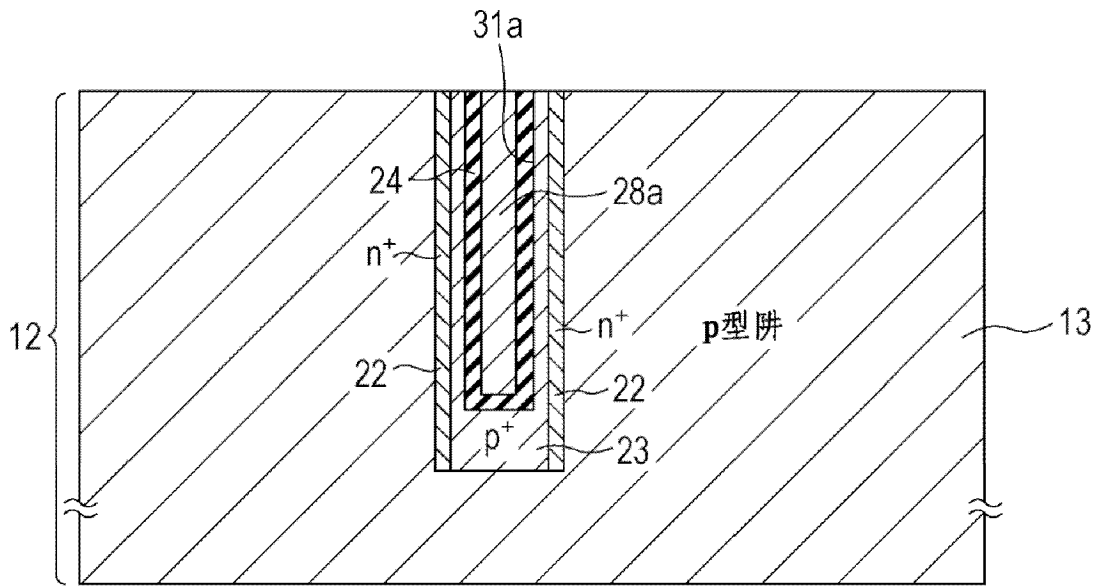


图 3C

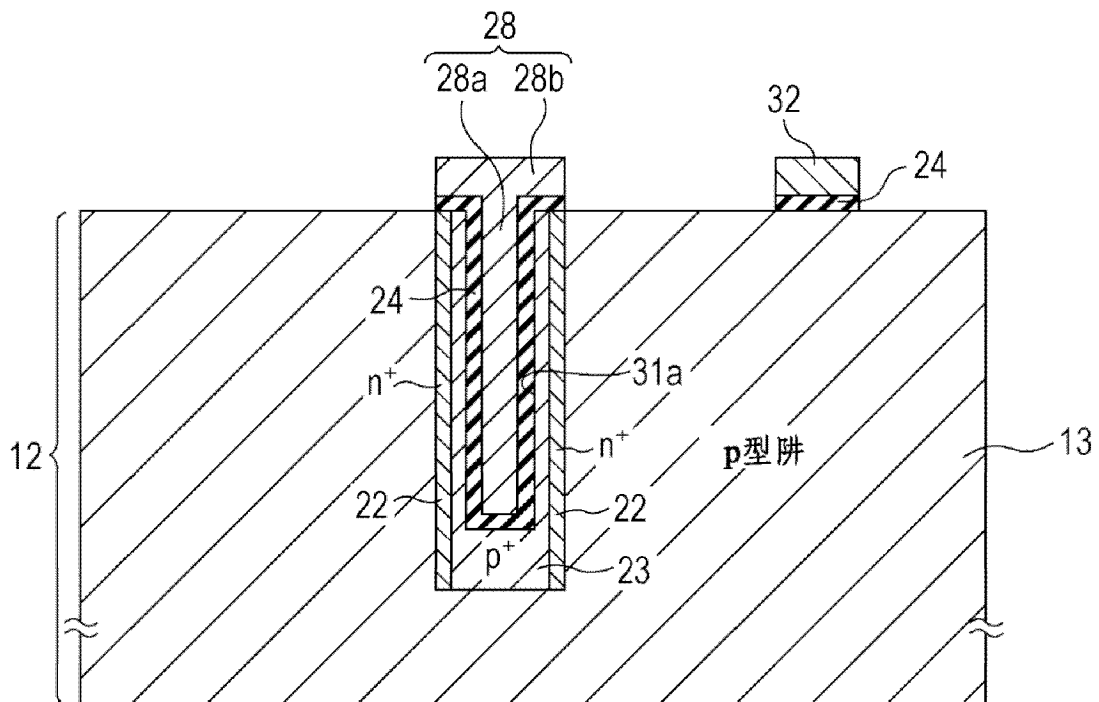


图 4A

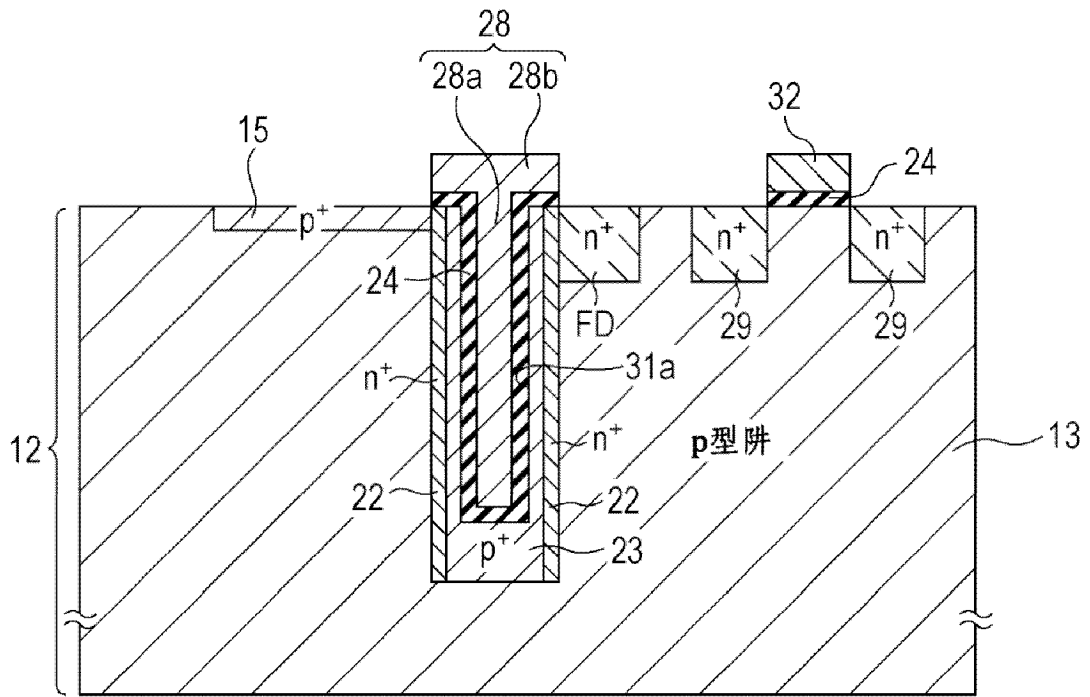


图 4B

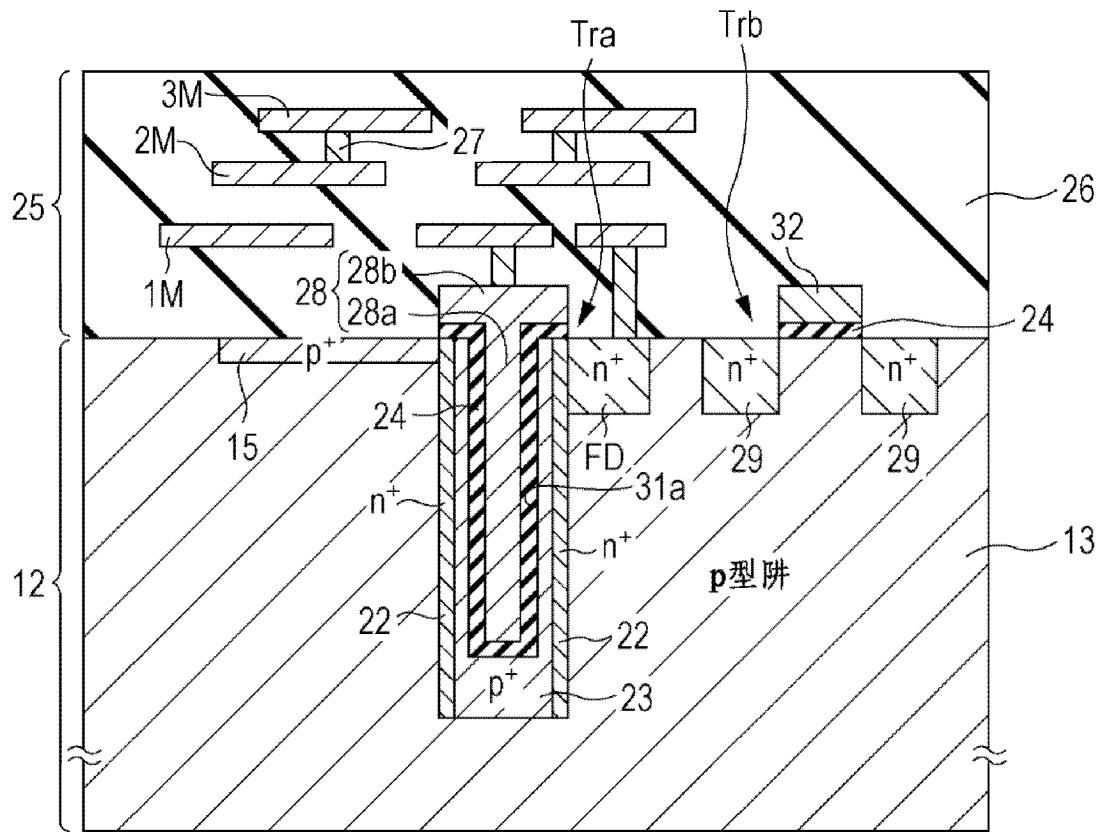


图 5A

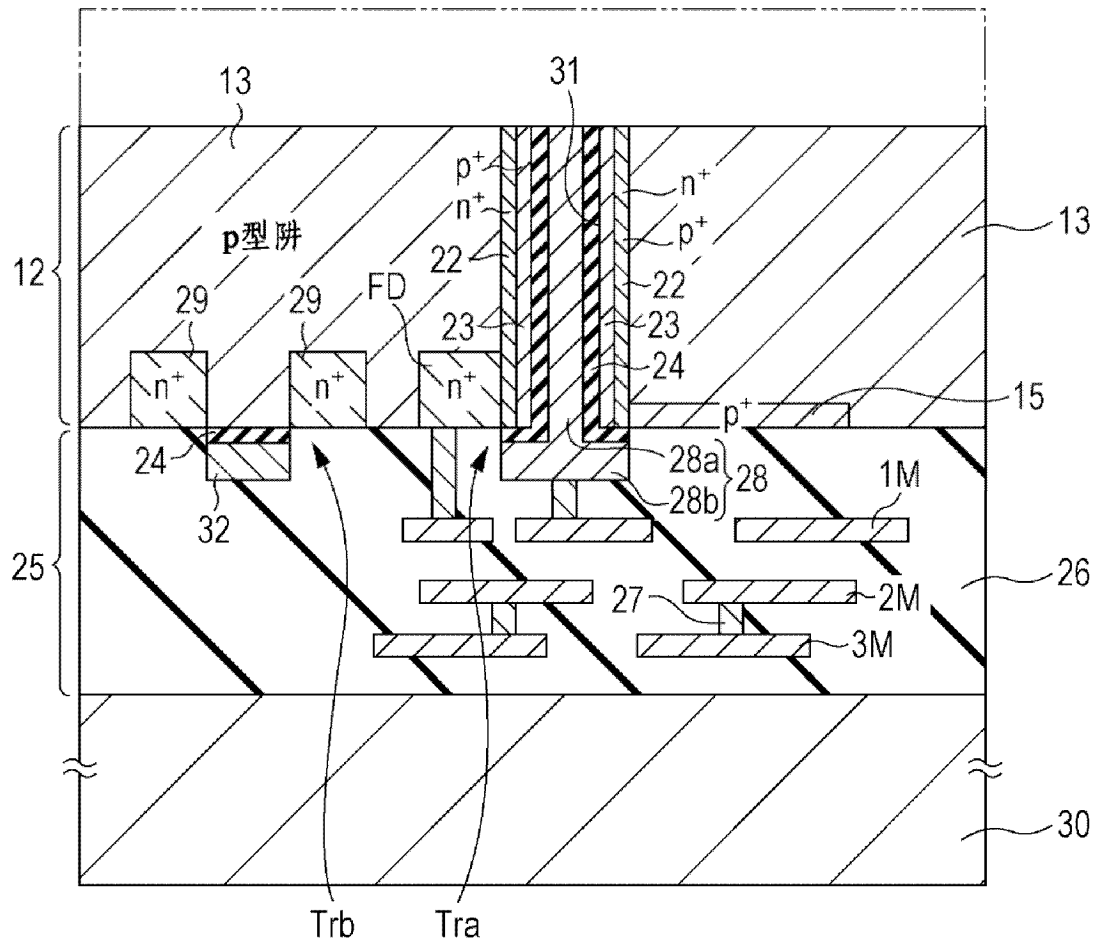


图 5B

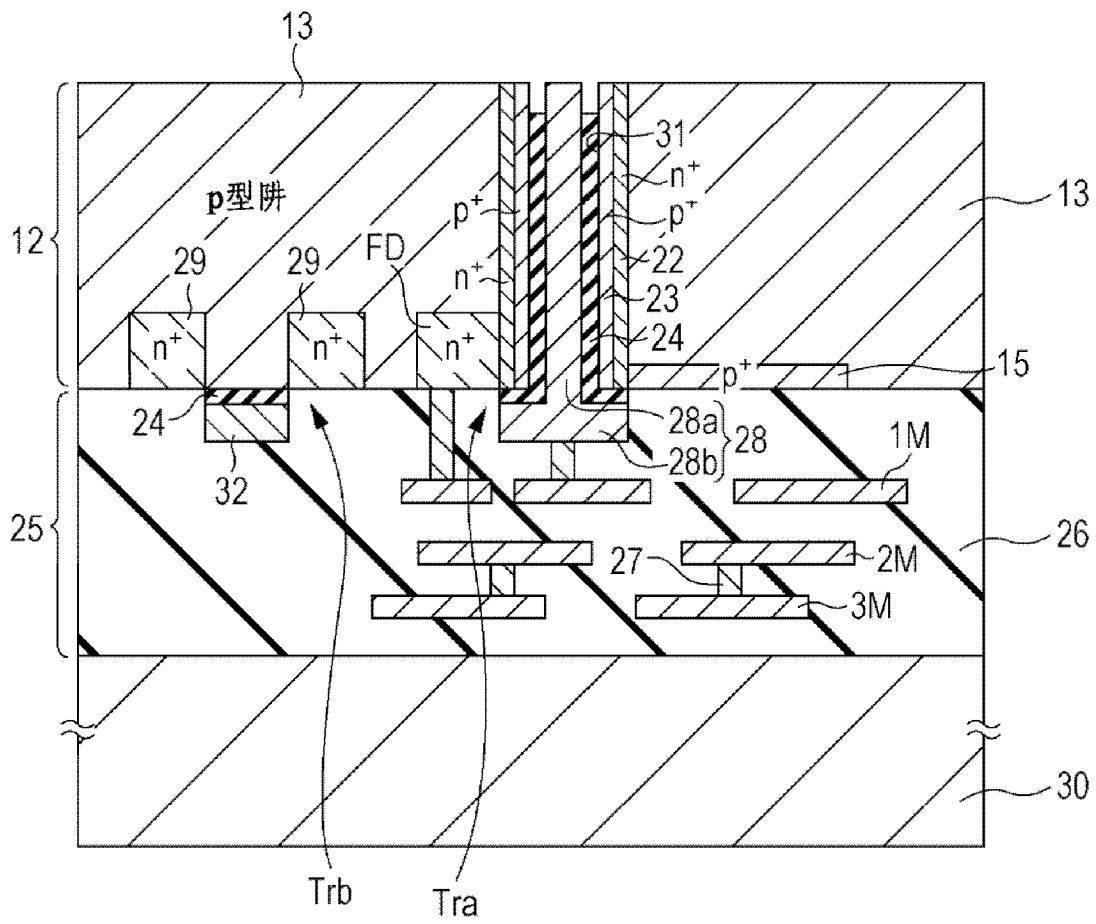


图 6A

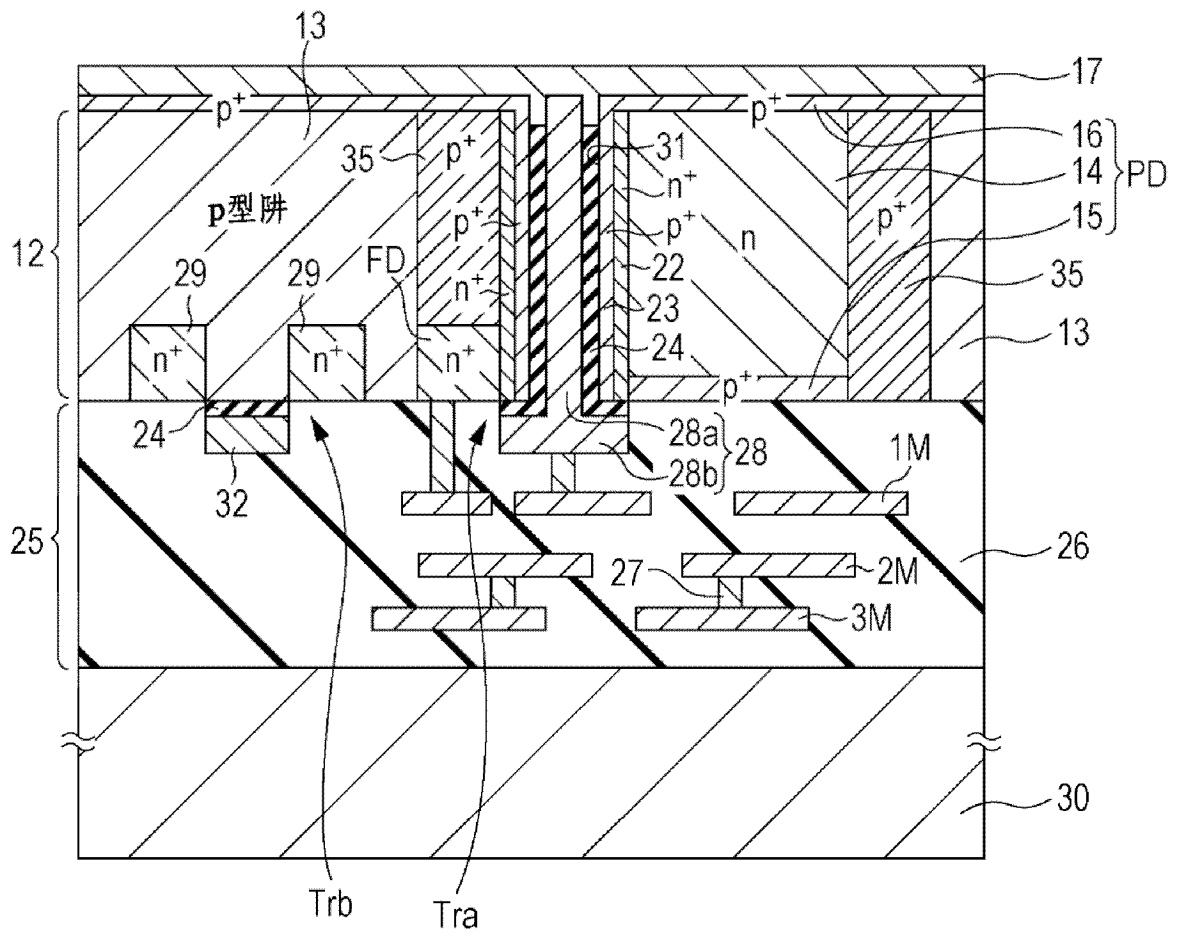


图 6B

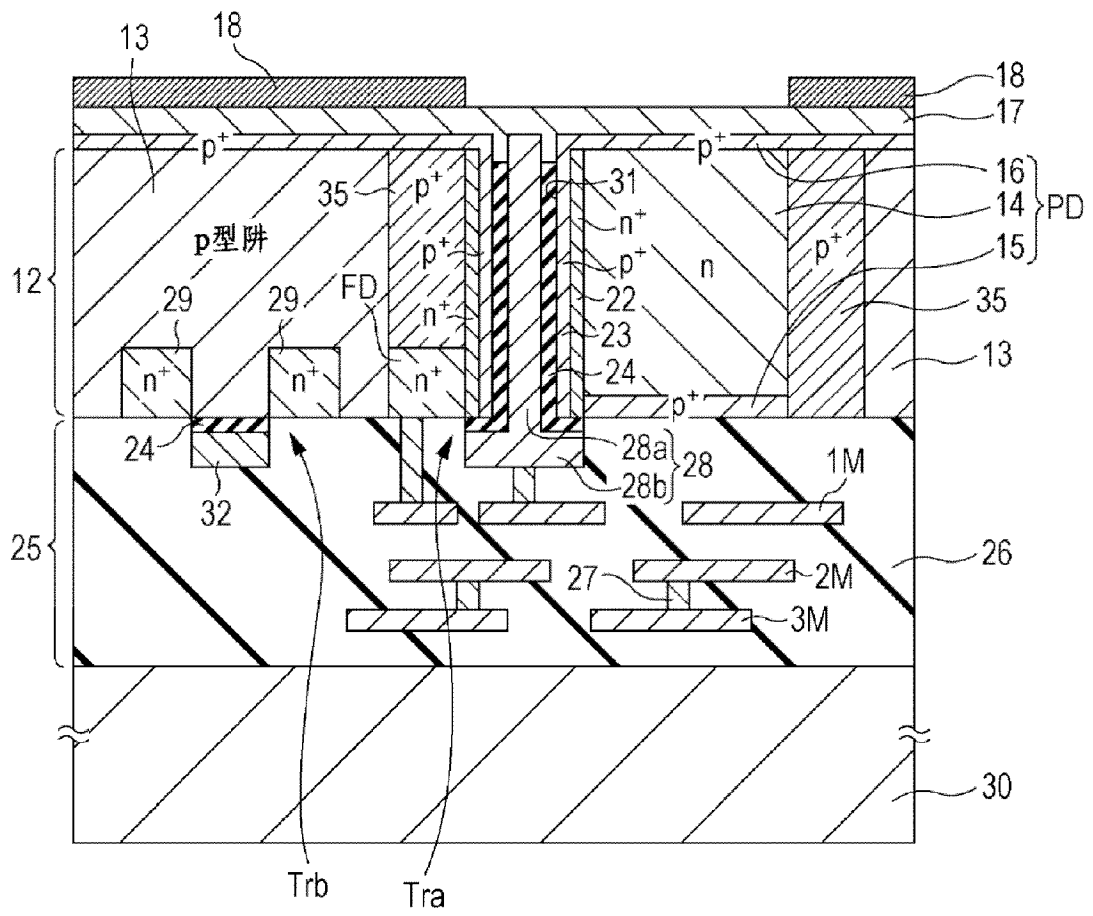


图 7

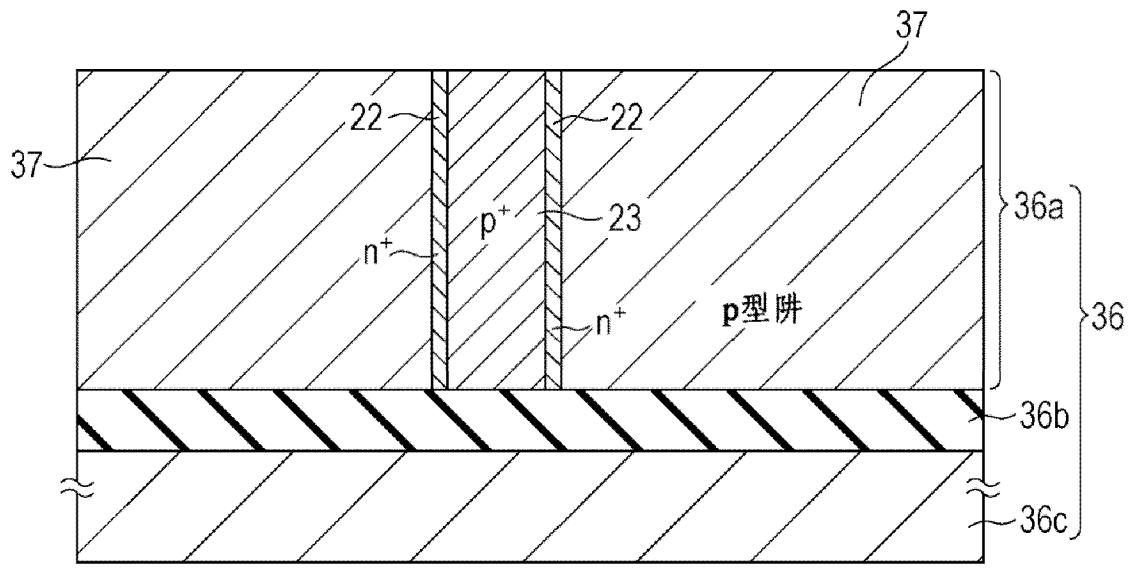


图 8A

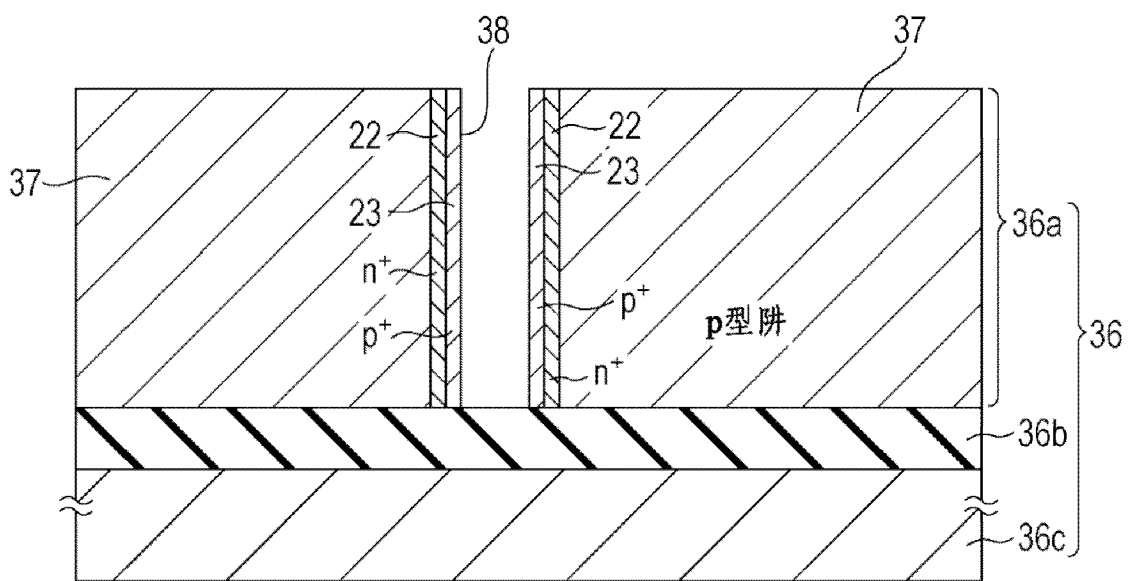


图 8B

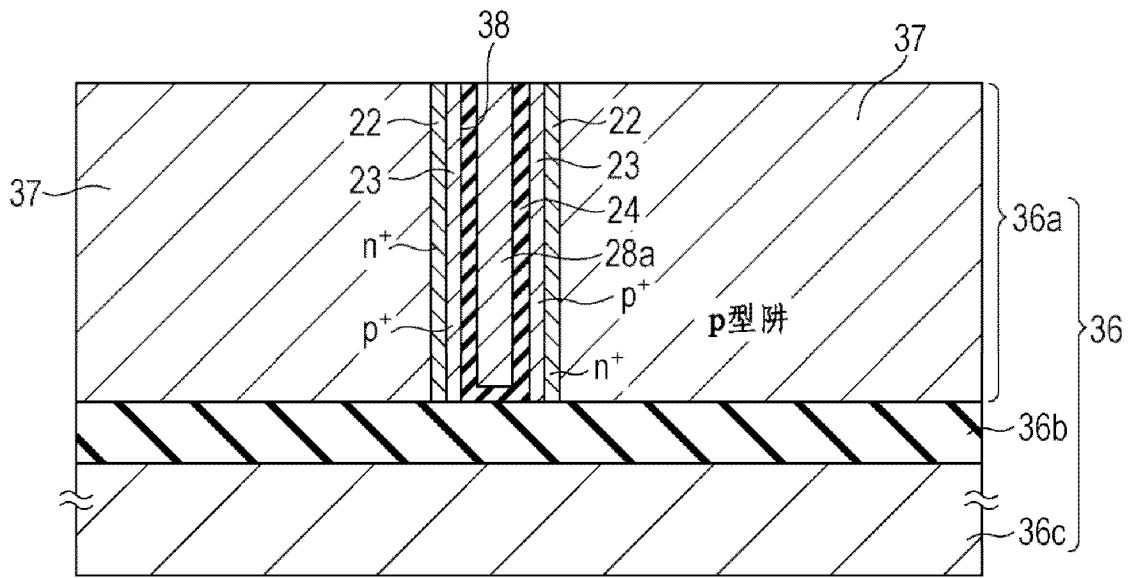


图 8C

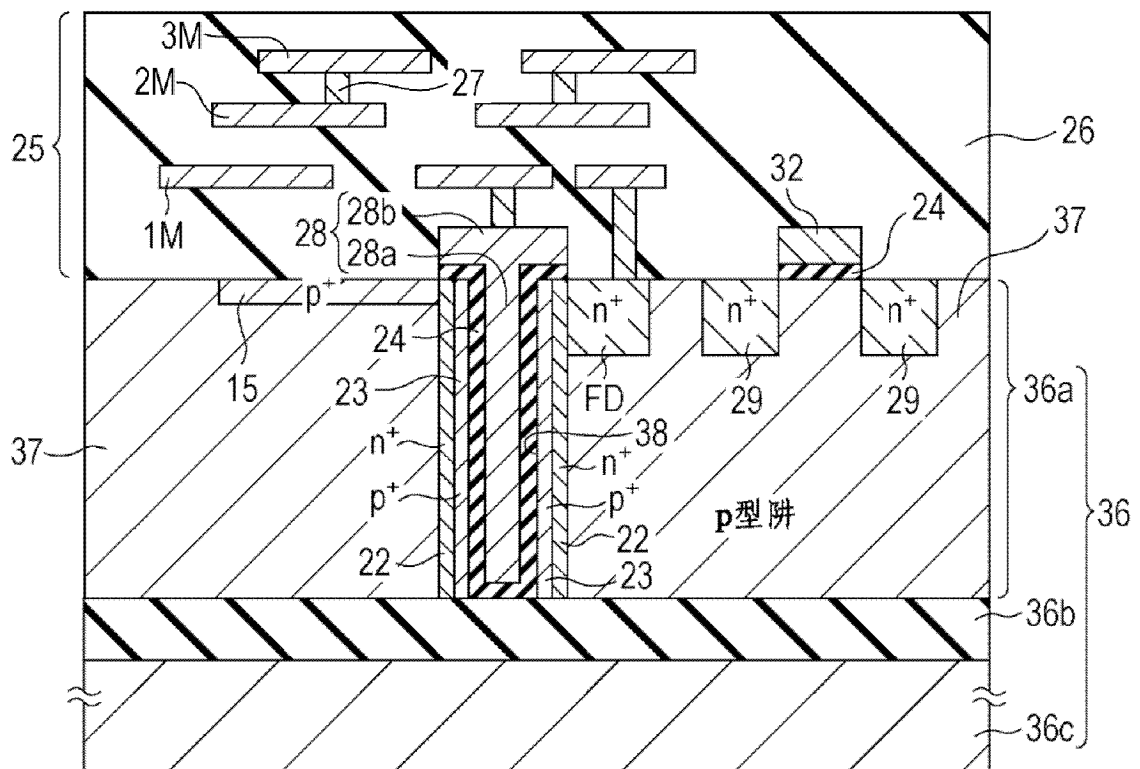


图 9A

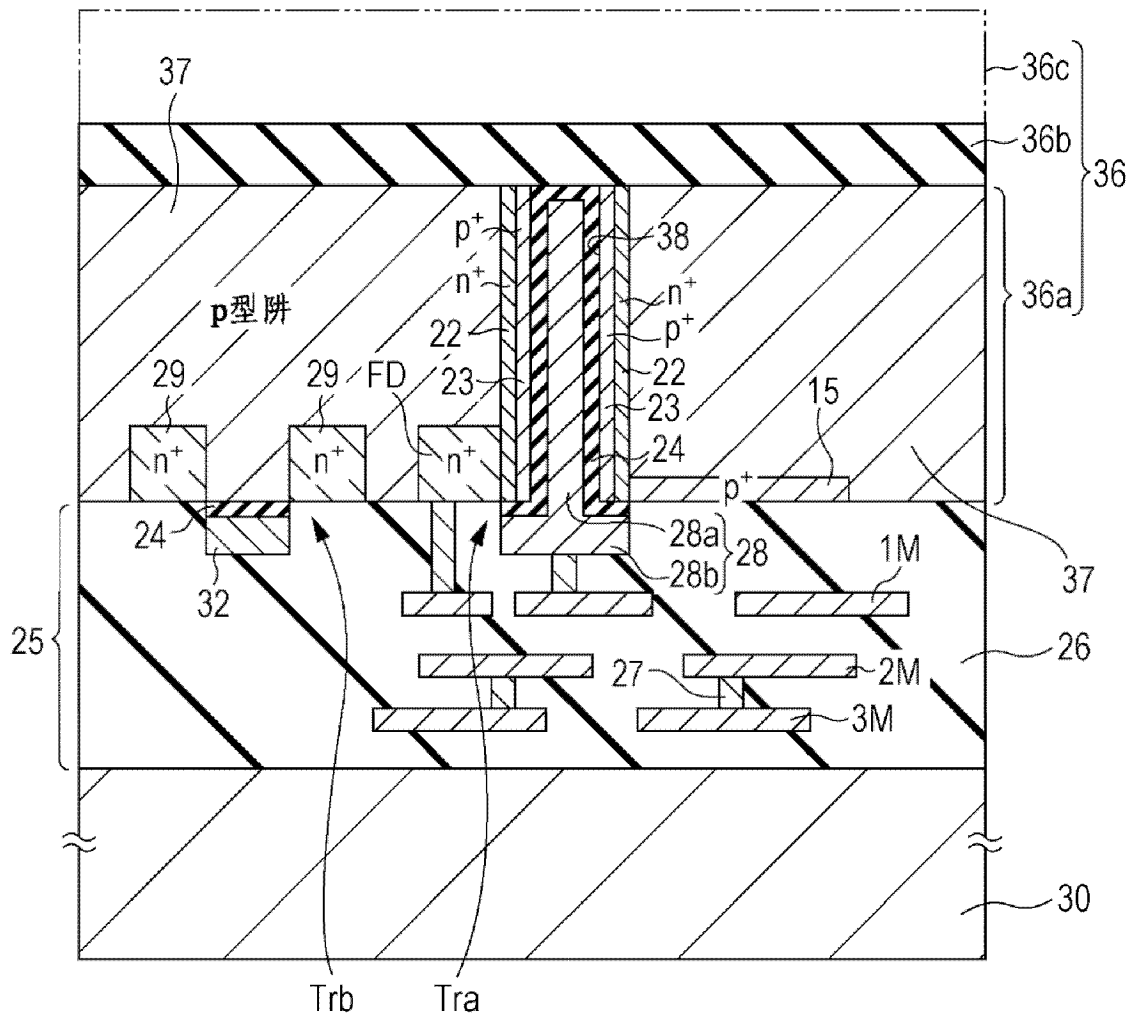


图 9B

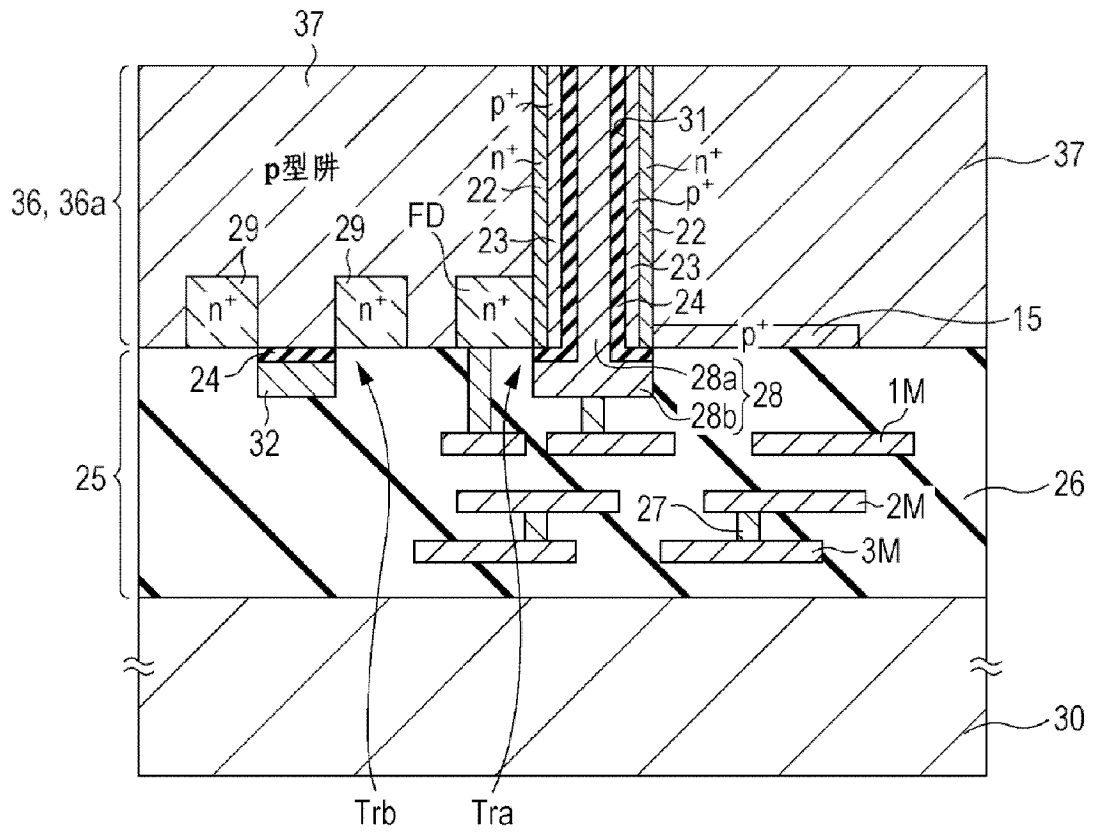


图 10

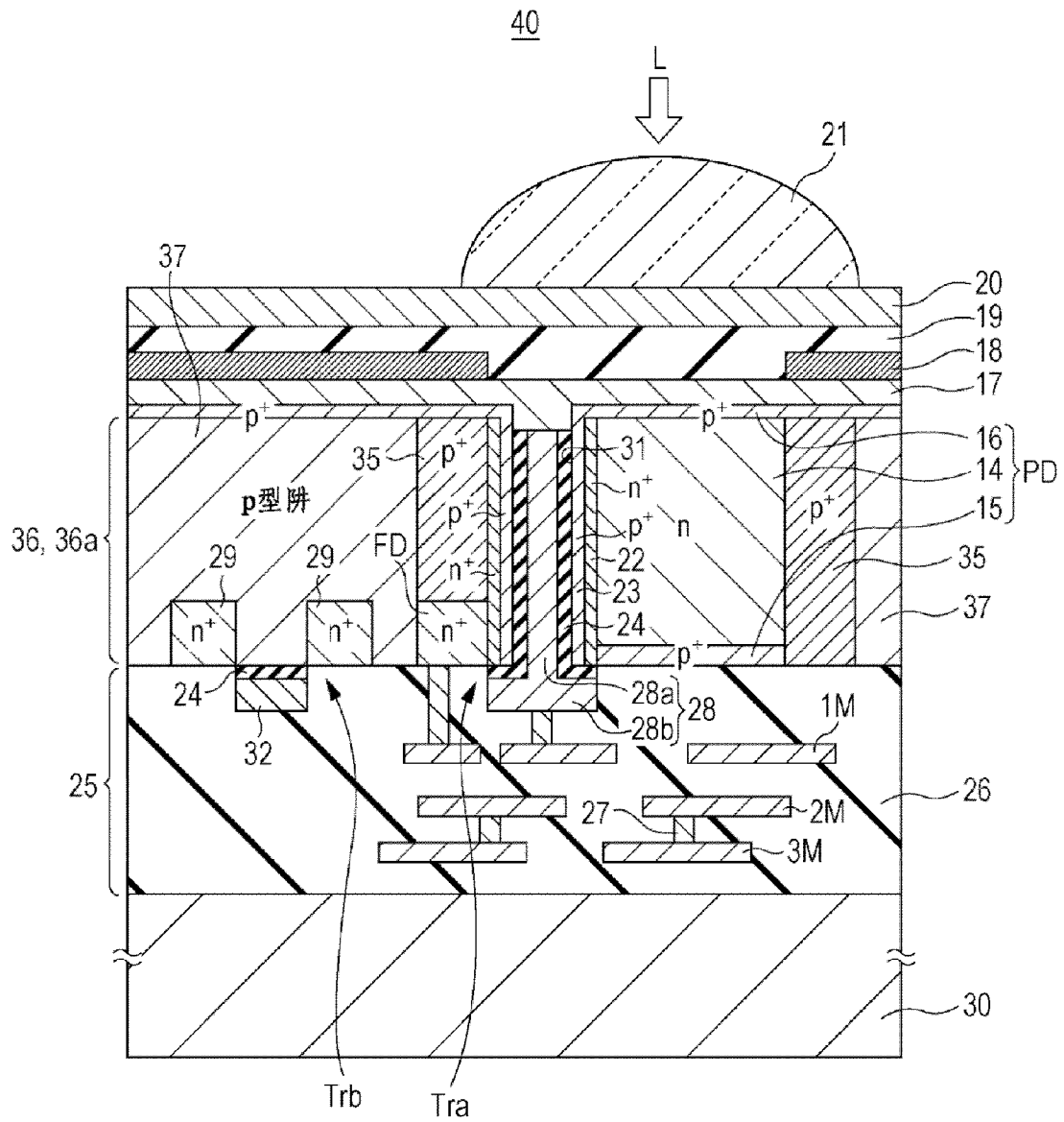


图 11

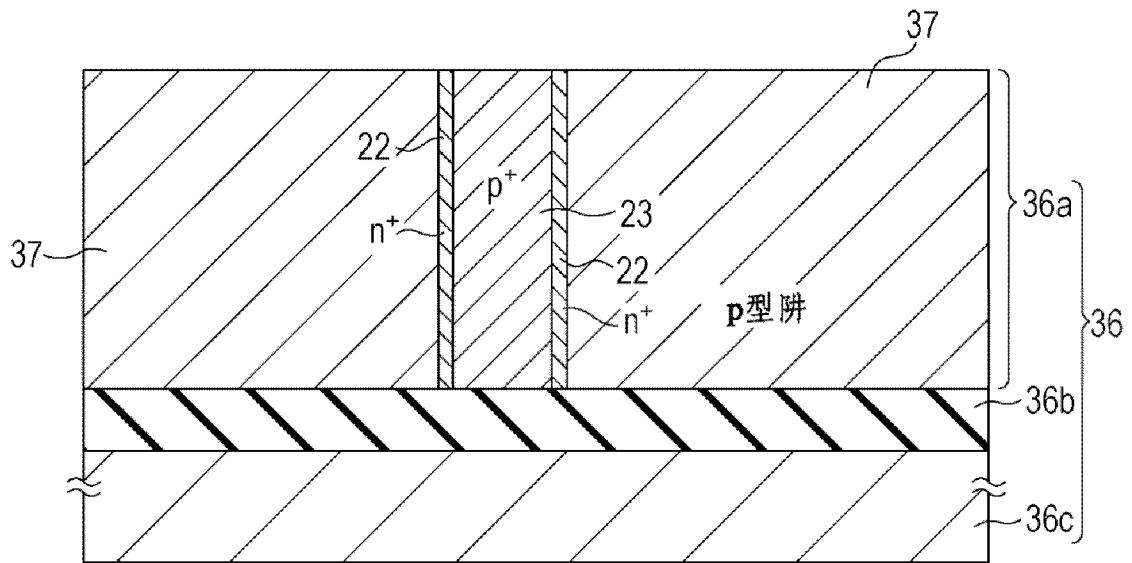


图 12A

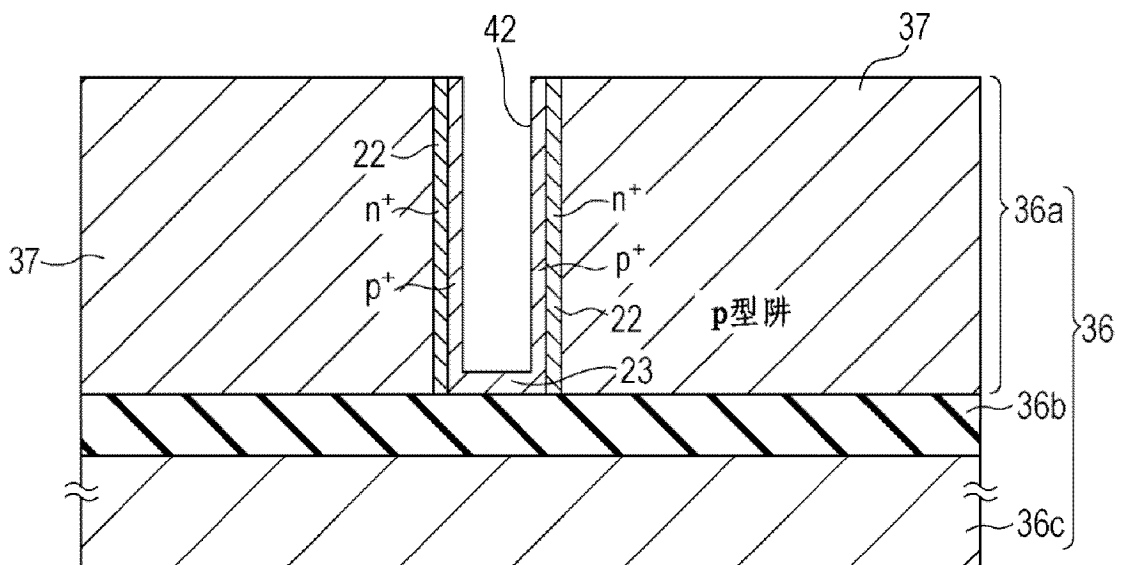


图 12B

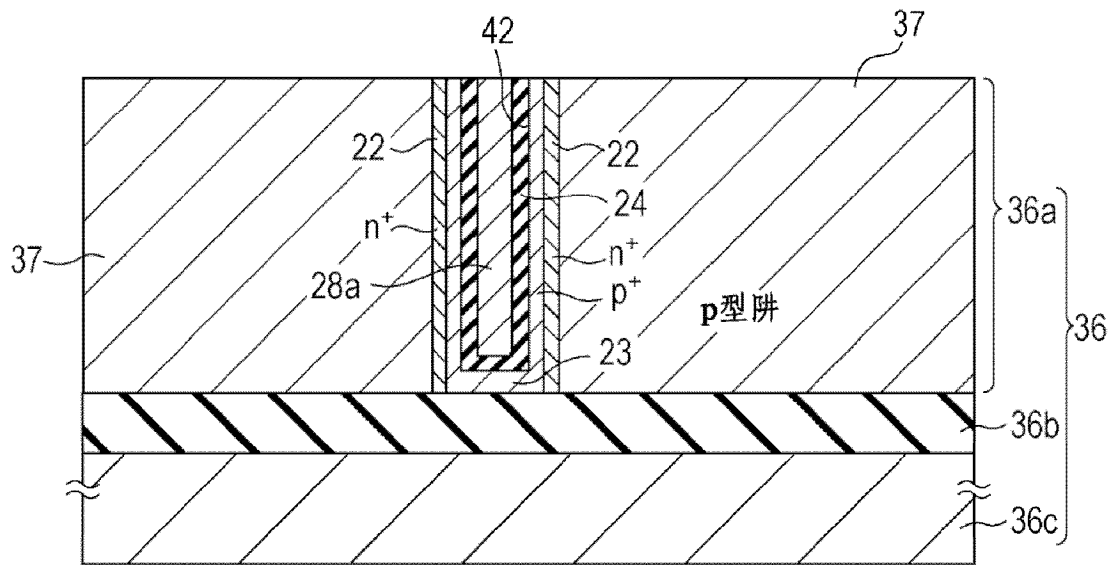


图 12C

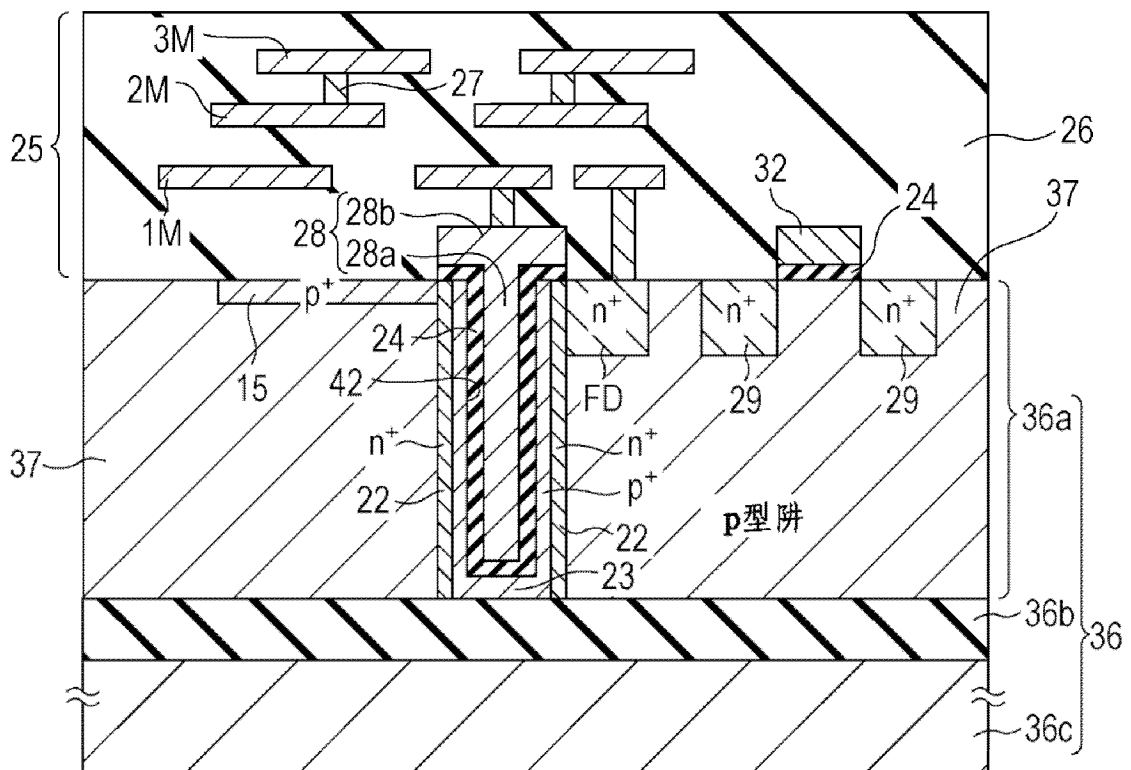


图 13A

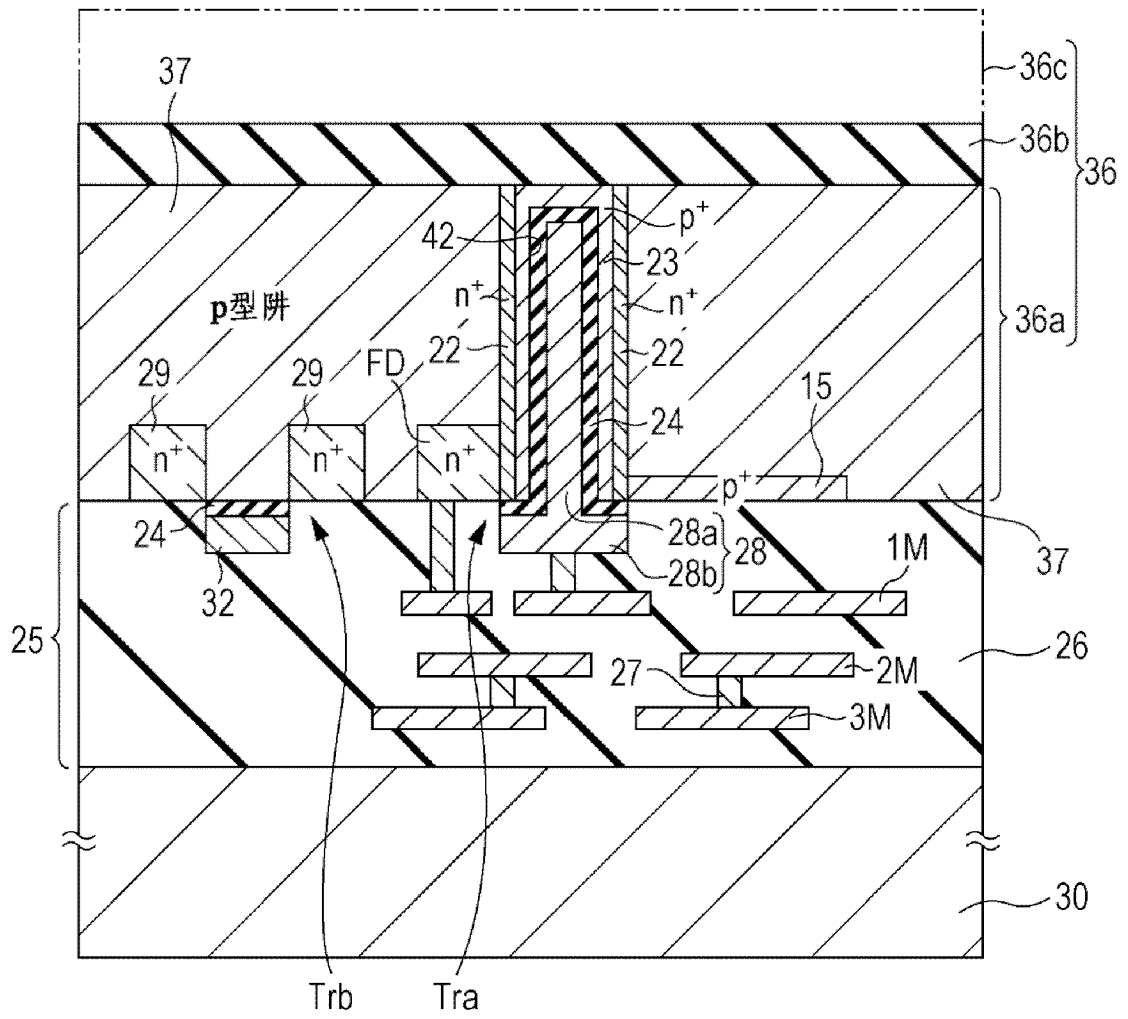


图 13B

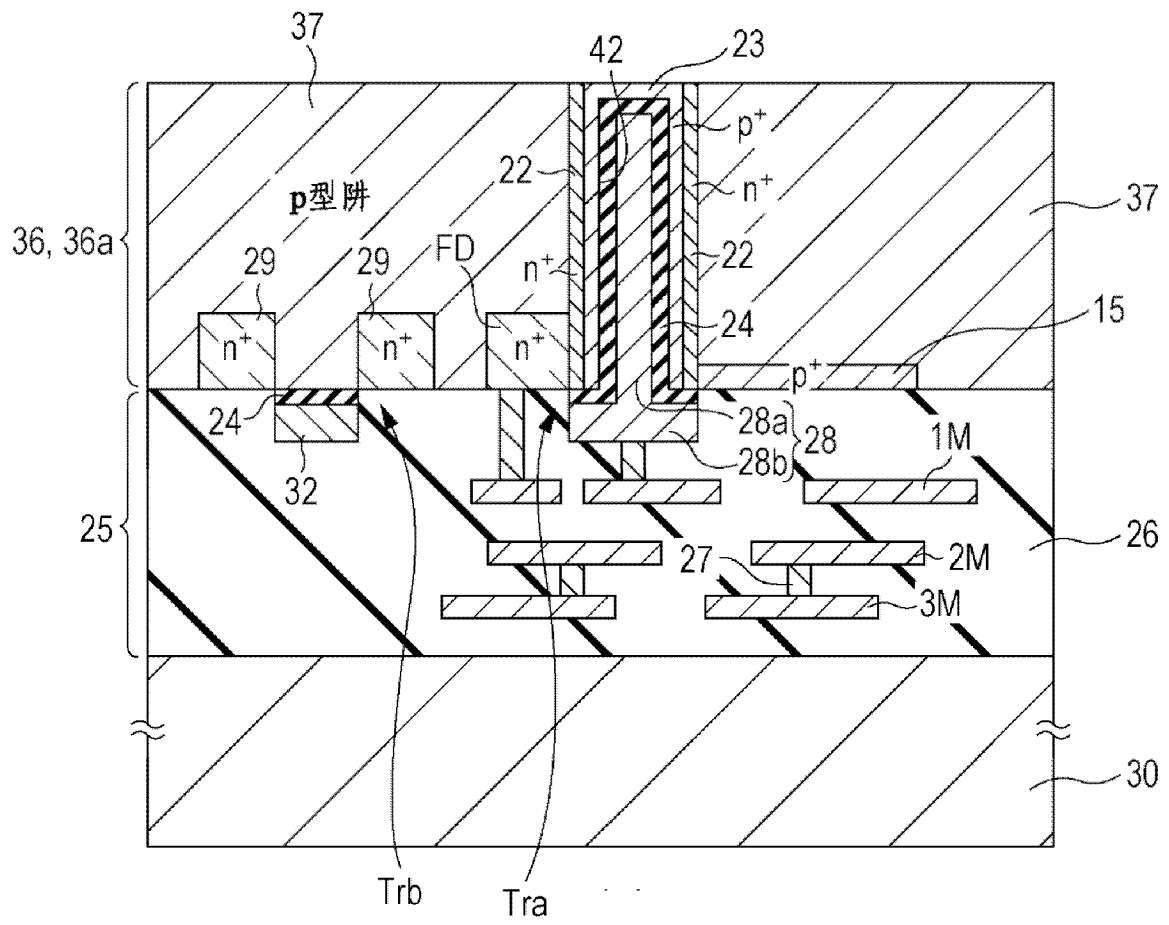


图 14A

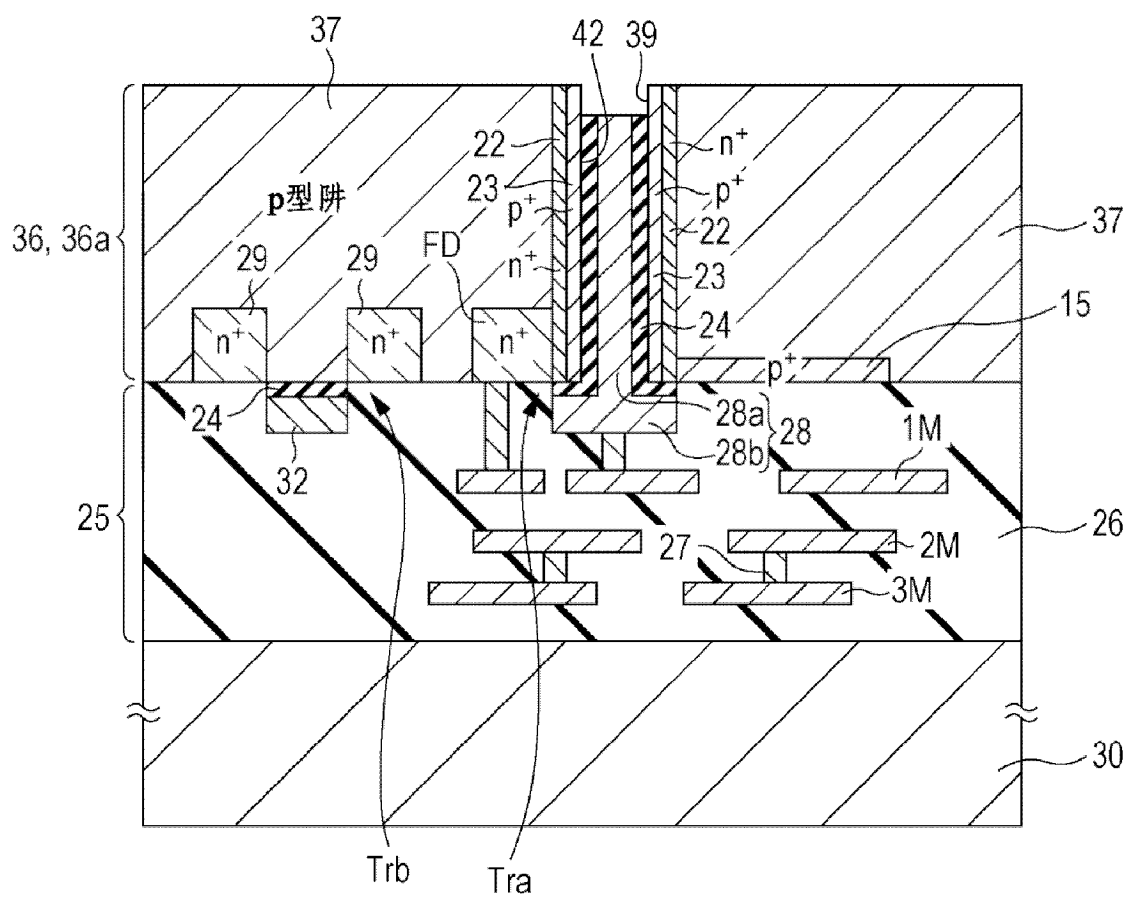


图 14B

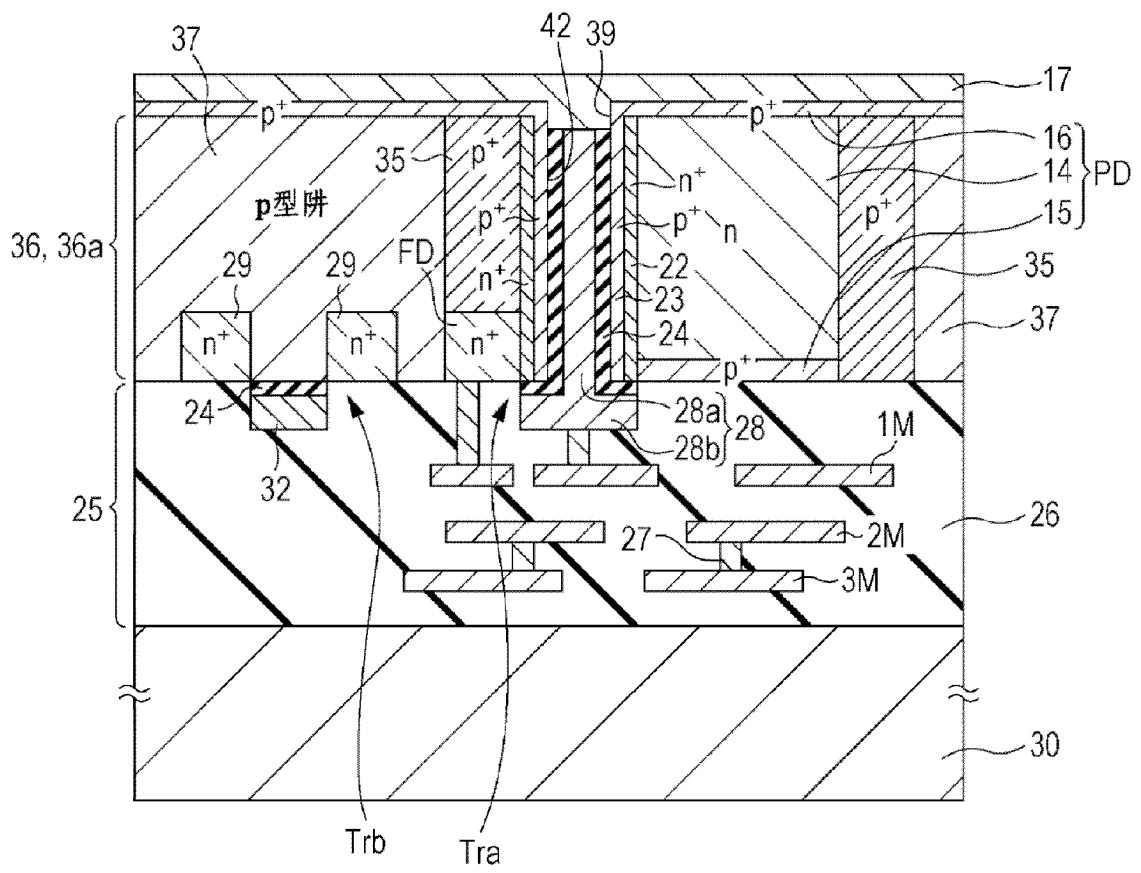


图 15

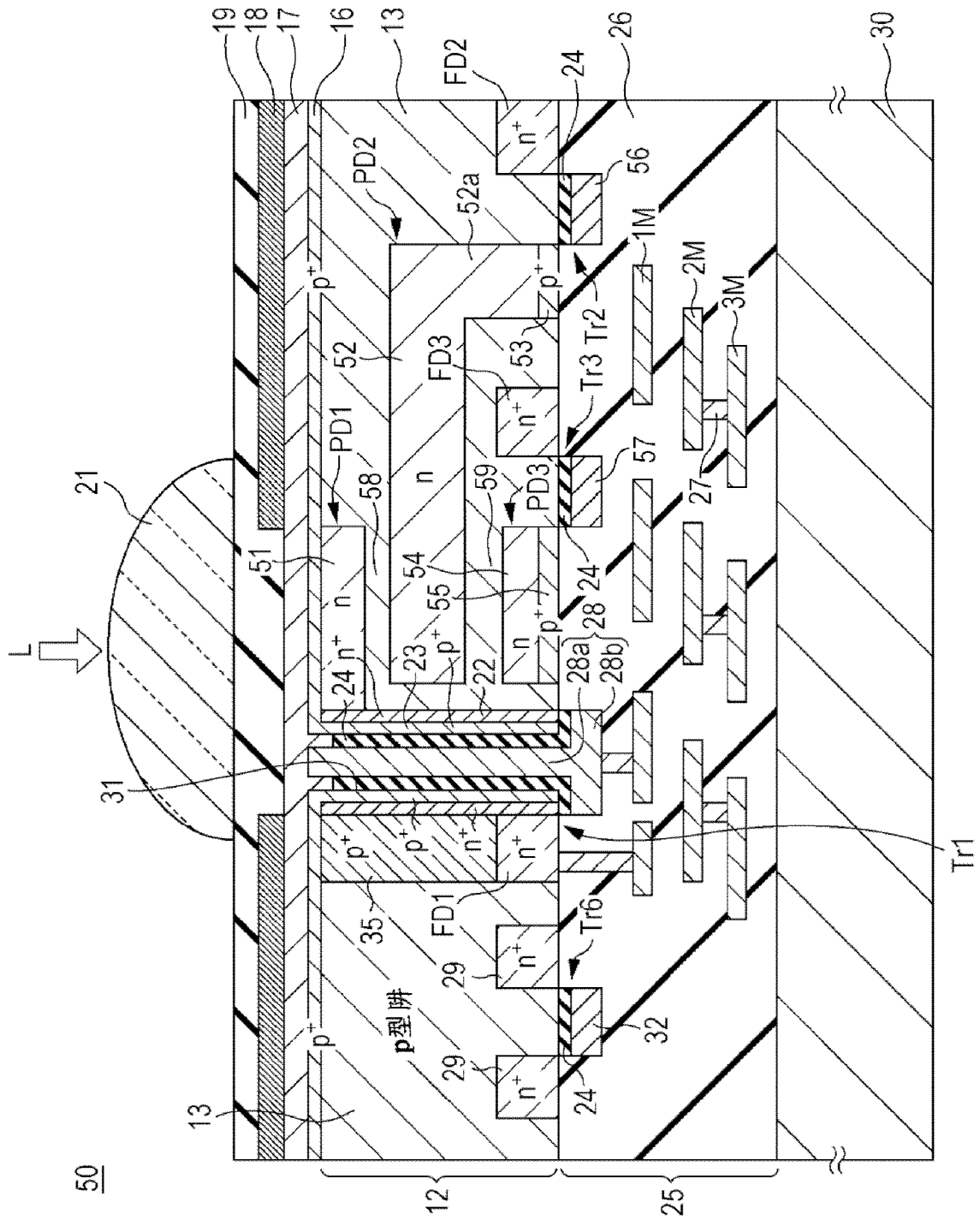


图 16

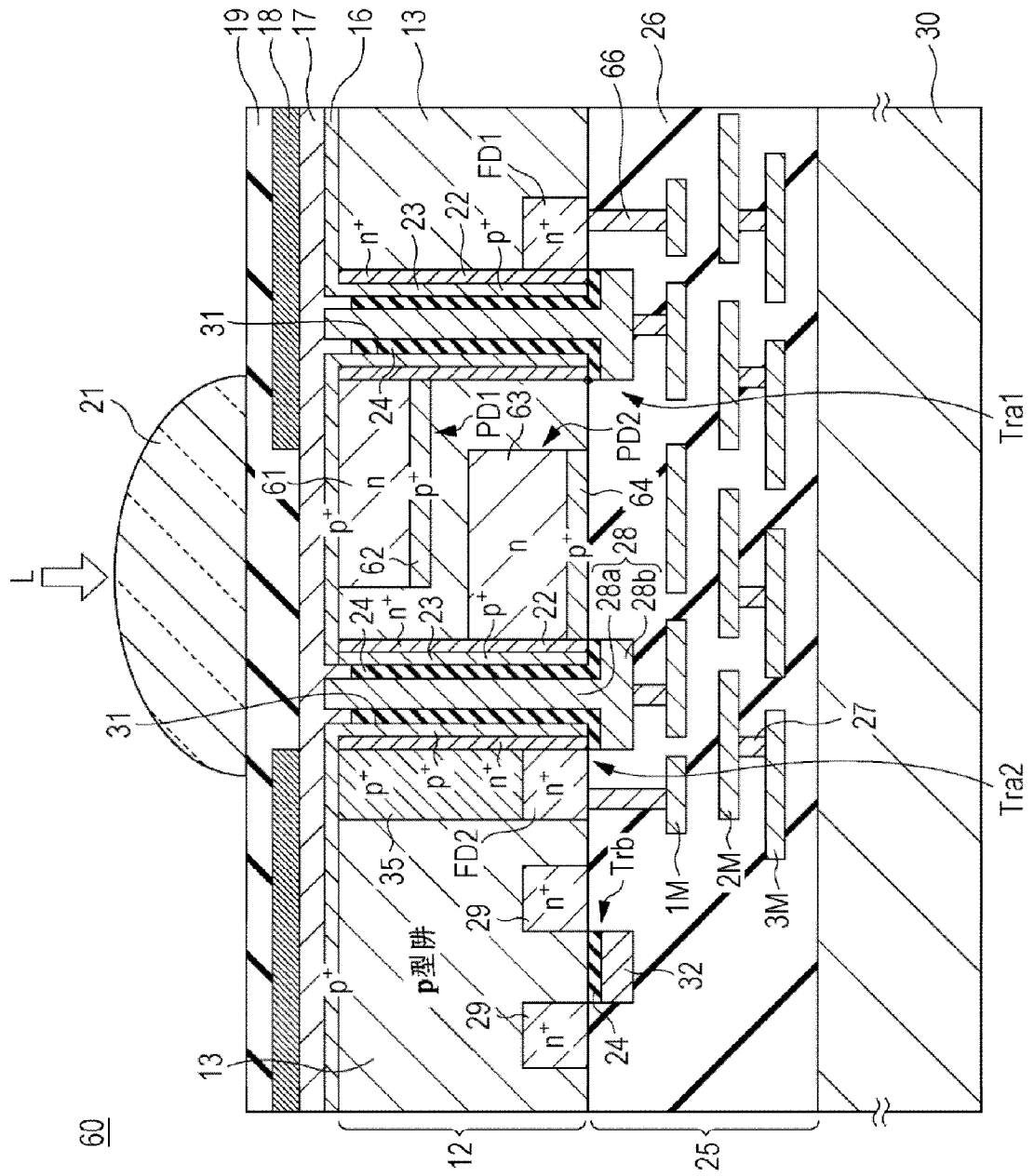


图 17

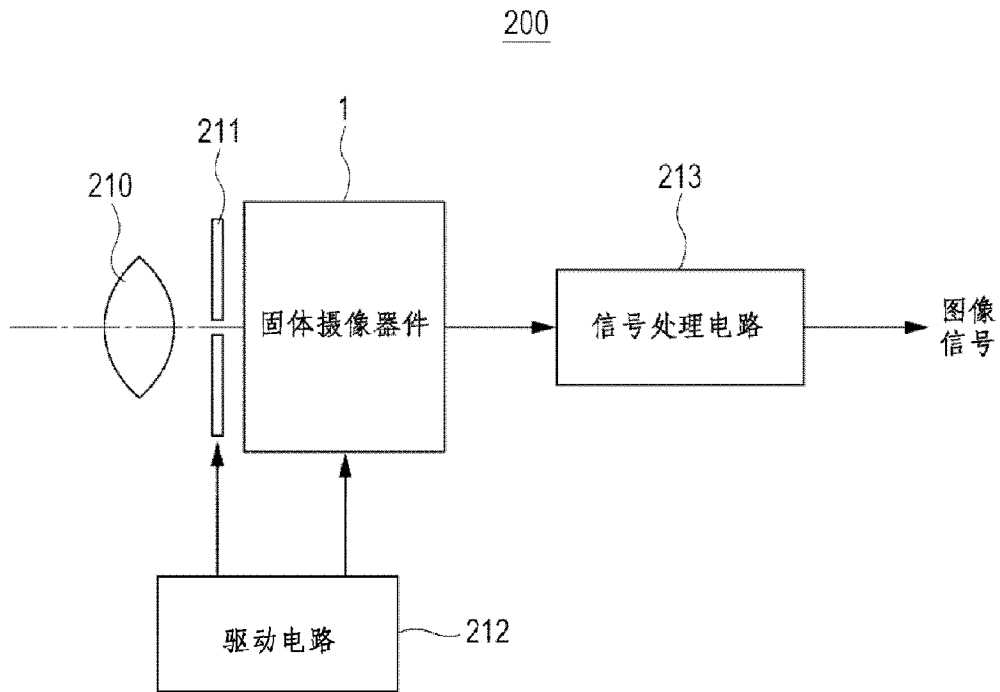


图 18

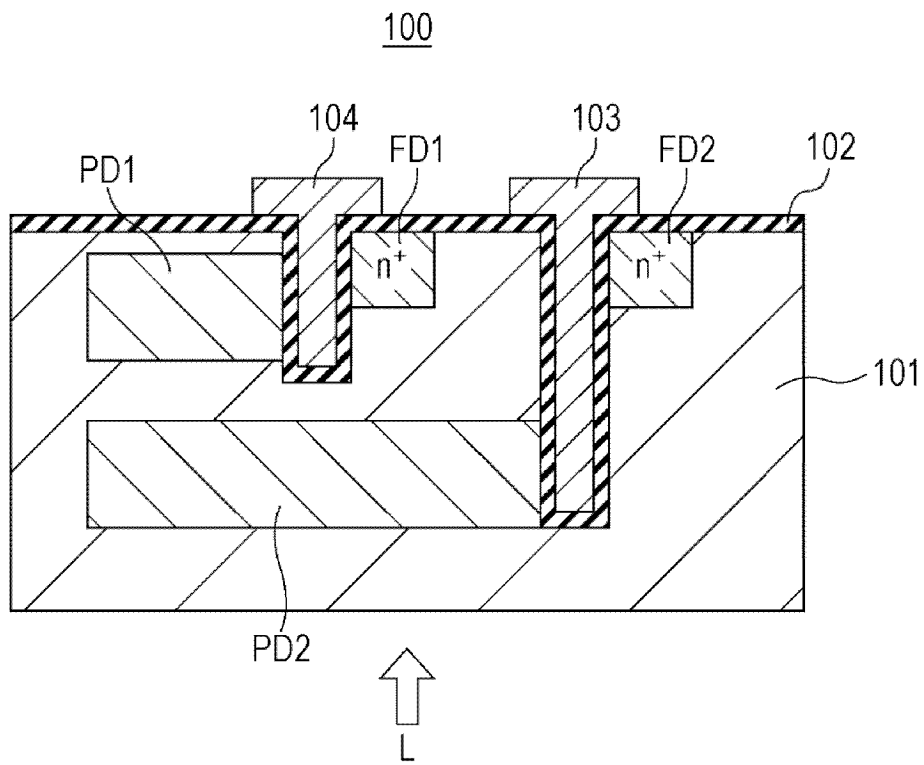


图 19

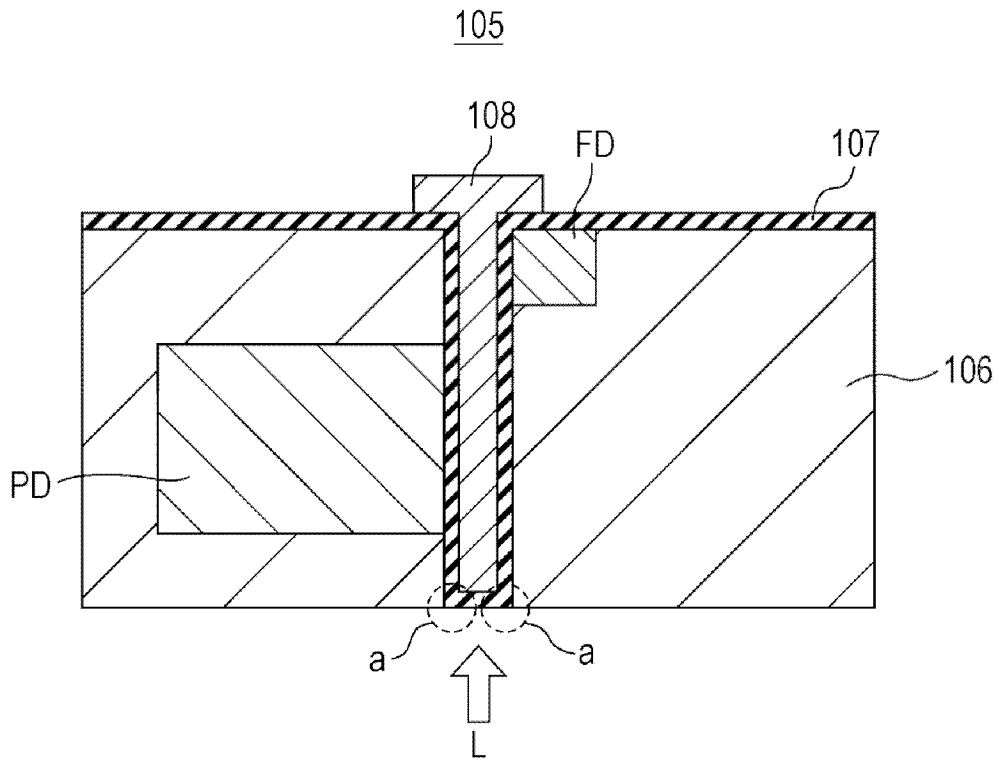


图 20