

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-38670

(P2014-38670A)

(43) 公開日 平成26年2月27日(2014.2.27)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 2 E	5 B 1 2 5
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 2 B	5 F 0 8 3
H O 1 L 21/8247 (2006.01)	G 1 1 C 17/00 6 2 2 E	5 F 1 0 1
H O 1 L 27/115 (2006.01)	H O 1 L 27/10 4 3 4	
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 8 1	

審査請求 未請求 請求項の数 6 O L (全 22 頁) 最終頁に続く

(21) 出願番号	特願2012-179445 (P2012-179445)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成24年8月13日 (2012.8.13)	(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100103034 弁理士 野河 信久
		(74) 代理人	100095441 弁理士 白根 俊郎
		(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

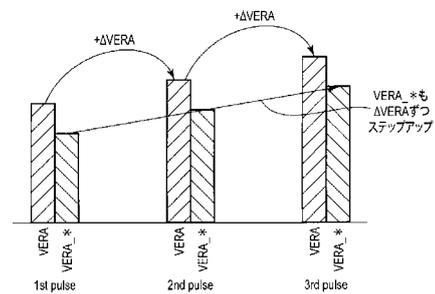
(57) 【要約】

【課題】 安定した消去動作を行う。

【解決手段】 不揮発性半導体記憶装置 1 は、選択トランジスタ S T 1 , S T 2 と、基板上に積層された複数のメモリセル M T と、複数のメモリセル M T の制御ゲートに接続された複数のワード線 W L と、選択トランジスタ S T 1 , S T 2 のゲートに接続された選択ゲート線 S G D I , S G S I と、選択トランジスタ S T 1 に接続されたビット線 B L と、選択トランジスタ S T 2 に接続されたソース線 S L と、消去動作及びベリファイ動作を含む消去ループを実行する制御回路 1 6 とを含む。制御回路 1 6 は、消去ループ回数が増えるにつれてステップアップする消去電圧、第 1 の電圧及び第 2 の電圧をそれぞれビット線 B L 、選択ゲート線 S G D I 及び選択ゲート線 S G D I , S G S I に印加し、消去電圧、第 1 の電圧及び第 2 の電圧のステップアップ電圧を個別に調整する。

【選択図】 図 8

図 8



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の選択トランジスタと、
 基板上に積層され、各々が電荷蓄積層と制御ゲートとを含み、前記第 1 及び第 2 の選択トランジスタ間に電流経路が直列接続された複数のメモリセルと、
 前記複数のメモリセルの制御ゲートにそれぞれ接続された複数のワード線と、
 前記第 1 及び第 2 の選択トランジスタのゲートにそれぞれ接続された第 1 及び第 2 の選択ゲート線と、
 前記第 1 の選択トランジスタと前記複数のメモリセルとの間に接続された第 1 のダミーセルと、
 前記第 2 の選択トランジスタと前記複数のメモリセルとの間に接続された第 2 のダミーセルと、
 前記第 1 及び第 2 のダミーセルの制御ゲートにそれぞれ接続された第 1 及び第 2 のダミーワード線と、
 前記複数のメモリセル間に接続されたバックゲートトランジスタと、
 前記バックゲートトランジスタのゲートに接続されたバックゲート線と、
 前記第 1 の選択トランジスタの電流経路の一端に接続されたビット線と、
 前記第 2 の選択トランジスタの電流経路の一端に接続されたソース線と、
 前記複数のメモリセルのデータを消去する消去動作と、前記複数のメモリセルのデータが消去されたことを確認するベリファイ動作とを含む消去ループを実行する制御回路と、
 を具備し、
 前記制御回路は、消去ループ回数が増えるにつれてステップアップする消去電圧、第 1 の電圧及び第 2 の電圧をそれぞれ前記ビット線、前記第 1 の選択ゲート線及び前記第 2 の選択ゲート線に印加し、前記第 1 及び第 2 のダミーワード線に第 3 の電圧を印加し、前記バックゲート線に第 4 の電圧を印加し、前記消去電圧、及び前記第 1 乃至第 4 の電圧のステップアップ電圧を個別に調整することを特徴とする不揮発性半導体記憶装置。

10

20

【請求項 2】

第 1 及び第 2 の選択トランジスタと、
 基板上に積層され、各々が電荷蓄積層と制御ゲートとを含み、前記第 1 及び第 2 の選択トランジスタ間に電流経路が直列接続された複数のメモリセルと、
 前記複数のメモリセルの制御ゲートにそれぞれ接続された複数のワード線と、
 前記第 1 及び第 2 の選択トランジスタのゲートにそれぞれ接続された第 1 及び第 2 の選択ゲート線と、
 前記第 1 の選択トランジスタの電流経路の一端に接続されたビット線と、
 前記第 2 の選択トランジスタの電流経路の一端に接続されたソース線と、
 前記複数のメモリセルのデータを消去する消去動作と、前記複数のメモリセルのデータが消去されたことを確認するベリファイ動作とを含む消去ループを実行する制御回路と、
 を具備し、
 前記制御回路は、消去ループ回数が増えるにつれてステップアップする消去電圧、第 1 の電圧及び第 2 の電圧をそれぞれ前記ビット線、前記第 1 の選択ゲート線及び前記第 2 の選択ゲート線に印加し、前記消去電圧、前記第 1 の電圧及び前記第 2 の電圧のステップアップ電圧を個別に調整することを特徴とする不揮発性半導体記憶装置。

30

40

【請求項 3】

前記第 1 の選択トランジスタと前記複数のメモリセルとの間に接続された第 1 のダミーセルと、
 前記第 2 の選択トランジスタと前記複数のメモリセルとの間に接続された第 2 のダミーセルと、
 前記第 1 及び第 2 のダミーセルの制御ゲートにそれぞれ接続された第 1 及び第 2 のダミーワード線と、
 をさらに具備し、

50

前記制御回路は、前記第 1 及び第 2 のダミーワード線に第 3 の電圧を印加し、前記第 3 の電圧のステップアップ電圧を個別に調整することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】

第 1 及び第 2 の選択トランジスタと、

基板上に積層され、各々が電荷蓄積層と制御ゲートとを含み、前記第 1 及び第 2 の選択トランジスタ間に電流経路が直列接続された複数のメモリセルと、

前記複数のメモリセルの制御ゲートにそれぞれ接続された複数のワード線と、

前記第 1 及び第 2 の選択トランジスタのゲートにそれぞれ接続された第 1 及び第 2 の選択ゲート線と、

前記第 1 の選択トランジスタの電流経路の一端に接続されたビット線と、

前記第 2 の選択トランジスタの電流経路の一端に接続されたソース線と、

前記複数のワード線と、前記第 1 及び第 2 の選択ゲート線との電圧を制御するロウデコーダと、

前記複数のメモリセルのデータを消去する消去動作と、前記複数のメモリセルのデータが消去されたことを確認するベリファイ動作とを含む消去ループを実行し、消去ループ回数が増えるにつれてステップアップする消去電圧を前記ビット線に印加する制御回路と、

前記消去電圧のレベルを検知する検知回路と、

を具備し、

前記ロウデコーダは、前記検知回路の検知結果に基づいて、前記第 1 及び第 2 の選択ゲート線をフローティング状態にして、容量カップリングにより上昇する前記第 1 及び第 2 の選択ゲート線の第 1 及び第 2 の電圧を設定し、前記第 1 及び第 2 の選択ゲート線をフローティング状態にするタイミングを制御することで前記第 1 及び第 2 の電圧のステップアップ電圧を個別に調整することを特徴とする不揮発性半導体記憶装置。

【請求項 5】

前記第 1 の選択トランジスタと前記複数のメモリセルとの間に接続された第 1 のダミーセルと、

前記第 2 の選択トランジスタと前記複数のメモリセルとの間に接続された第 2 のダミーセルと、

前記第 1 及び第 2 のダミーセルの制御ゲートにそれぞれ接続された第 1 及び第 2 のダミーワード線と、

をさらに具備し、

前記ロウデコーダは、前記検知回路の検知結果に基づいて、前記第 1 及び第 2 のダミーワード線をフローティング状態にして、容量カップリングにより上昇する前記第 1 及び第 2 のダミーワード線の第 3 の電圧を設定し、前記第 1 及び第 2 のダミーワード線をフローティング状態にするタイミングを制御することで前記第 3 の電圧のステップアップ電圧を個別に調整することを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】

前記複数のメモリセル間に接続されたバックゲートトランジスタと、

前記バックゲートトランジスタのゲートに接続されたバックゲート線と、

をさらに具備し、

前記ロウデコーダは、前記検知回路の検知結果に基づいて、前記バックゲート線をフローティング状態にして、容量カップリングにより上昇する前記バックゲート線の第 4 の電圧を設定し、前記バックゲート線をフローティング状態にするタイミングを制御することで前記第 4 の電圧のステップアップ電圧を個別に調整することを特徴とする請求項 4 又は 5 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

10

20

30

40

50

【背景技術】

【0002】

電氣的に書き換えが可能な不揮発性半導体記憶装置の一種として、NAND型フラッシュメモリが知られている。NAND型フラッシュメモリのビット密度向上にあつては、微細化技術が限界に近づいてきたことから、メモリセルの積層化が期待されている。その一つとして、縦型トランジスタを用いてメモリセルを構成した積層型のNAND型フラッシュメモリが提案されている。

【0003】

従来の平面型のNAND型フラッシュメモリの場合、データ消去時にはメモリセルのゲートに0V程度の電圧を印加し、メモリセルが形成されたウェルに高電圧の消去電圧を印加する。1回の消去動作だけではメモリセルの閾値が所望の値まで下がらなかった場合には再度消去動作を行うが、この時、例えば、消去電圧を前回の消去動作時よりも高い値に設定する。

【0004】

積層型のNAND型フラッシュメモリの場合、従来の平面型のNAND型フラッシュメモリと比較してデータ消去時に使用する電圧の種類が増加している。しかしながら、データ消去時に使用する各種電圧をステップアップする手法が確立されていない。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2011-40142号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

実施形態は、データ消去時に使用する各種電圧のステップアップ電圧を調整することで、安定した消去動作を行うことが可能な不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【0007】

実施形態に係る不揮発性半導体記憶装置は、第1及び第2の選択トランジスタと、基板上に積層され、各々が電荷蓄積層と制御ゲートとを含み、前記第1及び第2の選択トランジスタ間に電流経路が直列接続された複数のメモリセルと、前記複数のメモリセルの制御ゲートにそれぞれ接続された複数のワード線と、前記第1及び第2の選択トランジスタのゲートにそれぞれ接続された第1及び第2の選択ゲート線と、前記第1の選択トランジスタの電流経路の一端に接続されたビット線と、前記第2の選択トランジスタの電流経路の一端に接続されたソース線と、前記複数のメモリセルのデータを消去する消去動作と、前記複数のメモリセルのデータが消去されたことを確認するベリファイ動作とを含む消去ループを実行する制御回路とを具備する。前記制御回路は、消去ループ回数が増えるにつれてステップアップする消去電圧、第1の電圧及び第2の電圧をそれぞれ前記ビット線、前記第1の選択ゲート線及び前記第2の選択ゲート線に印加し、前記消去電圧、前記第1の電圧及び前記第2の電圧のステップアップ電圧を個別に調整する。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係るNAND型フラッシュメモリ1のブロック図。

【図2】ブロックBLK0の回路図。

【図3】メモリセルアレイ10の斜視図。

【図4】メモリセルアレイ10の断面図。

【図5】NANDストリング18の回路図。

【図6】ロウデコーダ11-0及びドライバ回路12の回路図。

【図7】消去シーケンスを示すフローチャート。

【図8】消去ループごとのステップアップ電圧の第1の例を説明する図。

10

20

30

40

50

- 【図 9】消去ループごとのステップアップ電圧の第 2 の例を説明する図。
 【図 10】消去ループごとのステップアップ電圧の第 3 の例を説明する図。
 【図 11】第 2 の実施形態に係る N A N D 型フラッシュメモリ 1 のブロック図。
 【図 12】検知回路 17 のブロック図。
 【図 13】電圧 V E R A と各フラグ信号との関係を示すグラフ。
 【図 14】第 1 の例に係るステップアップ電圧の設定動作を説明する図。
 【図 15】第 2 の例に係るステップアップ電圧の設定動作を説明する図。
 【発明を実施するための形態】
 【0009】

以下、実施形態について図面を参照して説明する。ただし、図面は模式的または概念的なものであり、各図面の寸法および比率などは必ずしも現実のものとは限らない。以下に示す幾つかの実施形態は、本発明の技術思想を具体化するための装置および方法を例示したものであって、構成部品の形状、構造、配置などによって、本発明の技術思想が特定されるものではない。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0010】

[第 1 の実施形態]

以下では、不揮発性半導体記憶装置として、複数のメモリセルが基板上に積層された三次元積層型 N A N D 型フラッシュメモリを例に挙げて説明する。

【0011】

[1] 不揮発性半導体記憶装置の構成

まず、本実施形態に係る不揮発性半導体記憶装置 (N A N D 型フラッシュメモリ) の構成について説明する。

【0012】

図 1 は、第 1 の実施形態に係る N A N D 型フラッシュメモリ 1 のブロック図である。N A N D 型フラッシュメモリ 1 は、メモリセルアレイ 10、ロウデコーダ 11 (11 - 0 ~ 11 - 3)、ドライバ回路 12、センスアンプ 13、ビット線 / ソース線ドライバ (B L / S L ドライバ) 14、電圧発生回路 15、及び制御回路 16 を備えている。

【0013】

メモリセルアレイ 10 は、それぞれが複数の不揮発性メモリセルを含む複数 (本例では 4 個) のブロック B L K (B L K 0 ~ B L K 3) を備えている。同一ブロック B L K 内のデータは一括して消去される。ブロック B L K の各々は、メモリセルが直列接続された N A N D ストリング 18 の集合である複数 (本例では 4 個) のメモリグループ G P (G P 0 ~ G P 3) を備えている。メモリセルアレイ 10 内のブロック B L K の数、及びブロック B L K 内のメモリグループ G P の数は任意に設定可能である。

【0014】

ロウデコーダ 11 - 0 ~ 11 - 3 はそれぞれ、ブロック B L K 0 ~ B L K 3 に対応付けて設けられる。各ロウデコーダ 11 は、それに対応するブロック B L K のロウ方向を選択する。また、ロウデコーダ 11 は、データの書き込み、読み出し、及び消去時に、ブロック B L K に配設されたワード線、選択ゲート線、ダミーワード線、及びバックゲート線に各種電圧を供給する。

【0015】

ドライバ回路 12 は、データの書き込み、読み出し、及び消去に必要な電圧を、ロウデコーダ 11 に供給する。この電圧が、ロウデコーダ 11 によってメモリセルに印加される。

【0016】

B L / S L ドライバ 14 は、データの書き込み、読み出し、及び消去に必要な電圧を、後述するビット線及びソース線に印加する。特に消去時には、電圧 V E R A をビット線 B L 及び / またはソース線 S L に印加する。センスアンプ 13 は、データの読み出し時には、メモリセルから読み出したデータをセンス及び増幅し、データの書き込み時には

、書き込みデータをメモリセルに転送する。

【0017】

電圧発生回路15は、データの書き込み、読み出し、及び消去に必要な電圧を発生し、これをドライバ回路12及びBL/SLドライバ14に供給する。特に消去時においては、電圧発生回路15は、制御回路16による制御に基づいて、消去用の各種電圧（電圧VERA、電圧VERA_GIDL、電圧VERA_NOGIDL、電圧VERA_DWL、及び電圧VERA_BG）を発生する。消去用の各種電圧については後述する。

【0018】

制御回路16は、NAND型フラッシュメモリ1全体の動作を制御する。この制御のために、制御回路16は、各種制御信号をNAND型フラッシュメモリ1の各回路に供給する。

10

【0019】

[1-1] メモリセルアレイ10の構成

次に、メモリセルアレイ10の構成について説明する。図2は、ブロックBLK0の回路図である。ブロックBLK1~BLK3も図2に示したブロックBLK0と同様の構成を有している。

【0020】

ブロックBLK0は、4つのメモリグループGP0~GP3を備えている。各メモリグループGPは、n個（nは自然数）のNANDストリング18を備えている。

【0021】

各NANDストリング18は、例えば8個のメモリセルトランジスタMT（MT0~MT7）と、2個の選択トランジスタST1及びST2と、バックゲートトランジスタBTとを備えている。各メモリセルトランジスタMTは、制御ゲートと電荷蓄積層とを含む積層ゲートを備え、データを不揮発に記憶する。なお、メモリセルトランジスタMTの個数は8個に限られず、16個や32個、64個、128個等であってもよく、その数は任意に設定可能である。バックゲートトランジスタBTもメモリセルトランジスタMTと同様に、制御ゲートと電荷蓄積層とを含む積層ゲートを備えている。バックゲートトランジスタBTは、データを記憶するためのものではなく、データの書き込み、読み出し、及び消去時にはオン状態とされる。

20

【0022】

メモリセルトランジスタMT及びバックゲートトランジスタBTは、選択トランジスタST1及びST2間に、その電流経路が直列接続されるようにして配置されている。バックゲートトランジスタBTは、メモリセルトランジスタMT3とMT4との間に設けられている。この直列接続の一端側のメモリセルトランジスタMT7の電流経路は、選択トランジスタST1の電流経路の一端に接続され、他端側のメモリセルトランジスタMT0の電流経路は、選択トランジスタST2の電流経路の一端に接続されている。

30

【0023】

また、本実施形態では、各NANDストリング18において、選択トランジスタST1とメモリセルトランジスタMT7との間にその電流経路が直列接続されるようにして、ダミートランジスタDTDが設けられている。さらに、選択トランジスタST2とメモリセルトランジスタMT0との間には、その電流経路が直列接続されるようにして、ダミートランジスタDTSが設けられている。ダミートランジスタDTD及びDTSは、メモリセルトランジスタMTと同様の構成を有しているが、データの記憶用には用いられず、データの書き込み、読み出し、及び消去時にはオン状態とされる。なお、ダミートランジスタDTDの数は1個に限らず、複数個であってもよい。ダミートランジスタDTSについても同様である。

40

【0024】

メモリグループGP0~GP3の各々の選択トランジスタST1のゲートは、選択ゲート線SGDI0~SGDI3のうち対応する1本に共通接続され、選択トランジスタST2のゲートは、選択ゲート線SGSI0~SGSI3のうち対応する1本に共通接続され

50

ている。同一のブロックBLK0内にあるメモリセルトランジスタMT0～MT7の制御ゲートはそれぞれワード線WL0～WL7に共通接続され、バックゲートトランジスタBTの制御ゲートはバックゲート線BGI（ブロックBLK0～BLK3ではそれぞれ、BGI0～BGI3）に共通接続され、ダミートランジスタDTD及びDTSの制御ゲートはそれぞれダミーワード線WLDD及びWLDSに共通接続されている。

【0025】

すなわち、ワード線WL0～WL7と、バックゲート線BGIと、ダミーワード線WLDD及びWLDSとは、同一ブロックBLK内の複数のメモリグループGP0～GP3間で共通に接続されているのに対し、選択ゲート線SGDI及びSGSIは、同一ブロックBLK内であってもメモリグループGP0～GP3ごとに独立している。

10

【0026】

メモリセルアレイ10内でマトリクス状に配置されたNANDストリング18のうち、同一行にあるNANDストリング18の選択トランジスタST1の電流経路の他端は、n本（nは自然数）のビット線BL（BL0～BLn）のいずれかに共通接続される。すなわち、ビット線BLは、複数のブロックBLK間で、NANDストリング18を共通に接続する。また、選択トランジスタST2の電流経路の他端は、ソース線SLに共通に接続されている。ソース線SLは、例えば複数のブロックBLK間で、NANDストリング18を共通に接続する。

【0027】

前述の通り、同一のブロックBLK内にあるメモリセルトランジスタMTのデータは、一括して消去される。これに対してデータの読み出し及び書き込みは、いずれかのメモリグループGP内のいずれかのワード線WLに共通に接続された複数のメモリセルトランジスタMTにつき、一括して行われる。この単位を「ページ」と呼ぶ。

20

【0028】

次に、メモリセルアレイ10の三次元積層構造について、図3及び図4を用いて説明する。図3及び図4はそれぞれ、メモリセルアレイ10の斜視図及び断面図である。

【0029】

メモリセルアレイ10は、半導体基板20上に絶縁層（図示せず）を介して順次積層されたバックゲートトランジスタ層L1、メモリセルトランジスタ層L2、選択トランジスタ層L3、及び配線層L4を備えている。バックゲートトランジスタ層L1は、バックゲートトランジスタBTとして機能する。メモリセルトランジスタ層L2は、メモリセルトランジスタMT0～MT7及びダミートランジスタDTD及びDTSとして機能する。選択トランジスタ層L3は、選択トランジスタST1及びST2として機能する。配線層L4は、ソース線SL及びビット線BLとして機能する。

30

【0030】

バックゲートトランジスタ層L1は、バックゲート線BGIとして機能するバックゲート導電層21を有する。バックゲート導電層21は、半導体基板20と平行な口ウ方向及びカラム方向に2次元的に広がるように形成されている。バックゲート導電層21は、ブロックBLK毎に分断されている。バックゲート導電層21は、例えば導電性を有する多結晶シリコンから構成される。また、バックゲート導電層21は、図4に示すように、バックゲートホール22を有する。バックゲートホール22は、バックゲート導電層21を掘り込むように形成される。バックゲートホール22は、上面から見てカラム方向を長手方向とする略矩形状に形成される。

40

【0031】

メモリセルトランジスタ層L2は、ワード線導電層23a～23d及びダミーワード線導電層23eを有する。導電層23a～23eはそれぞれ、層間絶縁層（図示せず）を挟んで積層されている。導電層23a～23eは、カラム方向に所定ピッチをもって口ウ方向に延びるストライプ状に形成されている。導電層23a～23eは、例えば導電性を有する多結晶シリコンから構成される。導電層23aはメモリセルトランジスタMT3及びMT4の制御ゲート（ワード線WL3及びWL4）として機能し、導電層23bはメモリ

50

セルトランジスタMT2及びMT5の制御ゲート(ワード線WL2及びWL5)として機能し、導電層23cはメモリセルトランジスタMT1及びMT6の制御ゲート(ワード線WL1及びWL6)として機能し、導電層23dはメモリセルトランジスタMT0及びMT7の制御ゲート(ワード線WL0及びWL7)として機能する。また、導電層23eは、ダミートランジスタDTD及びDTSの制御ゲート(ダミーワード線WLDD及びWLDS)として機能する。

【0032】

メモリセルトランジスタ層L2は、図4に示すように、メモリホール24を有する。メモリホール24は、導電層23a~23eを貫通するように形成されている。メモリホール24は、バックゲートホール22のカラム方向の端部に整合するように形成されている。

10

【0033】

バックゲートトランジスタ層L1及びメモリセルトランジスタ層L2は、図4に示すように、ブロック絶縁層25a、電荷蓄積層25b、トンネル絶縁層25c、及び半導体層26を有する。半導体層26は、NANDストリング18のボディ(チャネル形成部)として機能する。

【0034】

ブロック絶縁層25aは、図4に示すように、バックゲートホール22及びメモリホール24に面する側壁に、所定の厚みをもって形成される。電荷蓄積層25bは、ブロック絶縁層25aの側面に、所定の厚みをもって形成される。トンネル絶縁層25cは、電荷蓄積層25bの側面に、所定の厚みをもって形成される。半導体層26は、トンネル絶縁層25cの側面に接するように形成される。半導体層26は、バックゲートホール22及びメモリホール24を埋めるように形成されている。

20

【0035】

半導体層26は、ロウ方向からみてU字状に形成されている。すなわち、半導体層26は、半導体基板20の表面に対して垂直方向に延びる一对の柱状部26aと、一对の柱状部26aの下端を連結する連結部26bとを有する。

【0036】

ブロック絶縁層25a及びトンネル絶縁層25cは、例えば酸化シリコン(SiO₂)から構成される。電荷蓄積層25bは、例えば窒化シリコン(SiN)から構成される。半導体層26は、例えば多結晶シリコンから構成される。これらのブロック絶縁層25a、電荷蓄積層25b、トンネル絶縁層25c、及び半導体層26は、メモリトランジスタMT及びダミートランジスタDTD、DTSとして機能するMONOS型トランジスタを構成する。

30

【0037】

上記バックゲートトランジスタ層L1の構成を換言すると、トンネル絶縁層25cは、連結部26bを取り囲むように形成されている。電荷蓄積層25bは、トンネル絶縁層25cを取り囲むように形成されている。ブロック絶縁層25aは、電荷蓄積層25bを取り囲むように形成されている。バックゲート導電層21は、ブロック絶縁層25aを取り囲むように形成されている。

40

【0038】

また、上記メモリトランジスタ層L2の構成を換言すると、トンネル絶縁層25cは、柱状部26aを取り囲むように形成されている。電荷蓄積層25bは、トンネル絶縁層25cを取り囲むように形成されている。ブロック絶縁層25aは、電荷蓄積層25bを取り囲むように形成されている。ワード線導電層23a~23dは、ブロック絶縁層25aを取り囲むように形成されている。

【0039】

選択トランジスタ層L3は、図3及び図4に示すように、導電層27a及び27bを有する。導電層27a及び27bは、カラム方向に所定のピッチを有するように、ロウ方向に延びるストライプ状に形成されている。一对の導電層27aと、一对の導電層27bは

50

、カラム方向に交互に配置されている。導電層 27a は一方の柱状部 26a の上層に形成され、導電層 27b は他方の柱状部 26a の上層に形成されている。導電層 27a 及び 27b は、例えば導電性を有する多結晶シリコンから構成される。導電層 27a は、選択トランジスタ ST2 のゲート（選択ゲート線 SGS）として機能し、導電層 27b は、選択トランジスタ ST1 のゲート（選択ゲート線 SGD）として機能する。

【0040】

選択トランジスタ層 L3 は、図 4 に示すように、ホール 28a 及び 28b を有する。ホール 28a 及び 28b はそれぞれ、導電層 27a 及び 27b を貫通する。また、ホール 28a 及び 28b はそれぞれ、メモリホール 24 と整合する。選択トランジスタ層 L3 は、ゲート絶縁層 29a 及び 29b と、半導体層 30a 及び 30b とを備えている。ゲート絶縁層 29a 及び 29b はそれぞれ、ホール 28a 及び 28b に面する側壁に形成されている。半導体層 30a 及び 30b はそれぞれ、ゲート絶縁層 29a 及び 29b に接するように、半導体基板 20 の表面に対して垂直方向に延びる柱状に形成されている。ゲート絶縁層 29a 及び 29b は、例えば酸化シリコン（ SiO_2 ）から構成される。半導体層 30a 及び 30b は、例えば多結晶シリコンから構成される。

10

【0041】

上記選択トランジスタ層 L3 の構成を換言すると、ゲート絶縁層 29a は、柱状の半導体層 30a を取り囲むように形成されている。導電層 27a は、ゲート絶縁層 29a を取り囲むように形成されている。また、ゲート絶縁層 29b は、柱状の半導体層 30b を取り囲むように形成されている。導電層 27b は、ゲート絶縁層 29b を取り囲むように形成されている。

20

【0042】

配線層 L4 は、図 3 及び図 4 に示すように、選択トランジスタ層 L3 の上層に形成されている。配線層 L4 は、ソース線層 31、プラグ層 32、及びビット線層 33 を有する。ソース線層 31 は、ロウ方向に延びる板状に形成されている。ソース線層 31 は、カラム方向に隣接する一対の半導体層 30a の上面に接するように形成されている。プラグ層 32 は、半導体層 30b の上面に接し、半導体基板 20 の表面に対して垂直方向に延びるように形成されている。ビット線層 33 は、ロウ方向に所定ピッチをもって、カラム方向に延びるストライプ状に形成されている。ビット線層 33 は、プラグ層 32 の上面に接するように形成されている。ソース線層 31、プラグ層 32、及びビット線層 33 は、例えばタングステン（W）等の金属で形成される。ソース線層 31 は、ソース線 SL として機能し、ビット線層 33 は、ビット線 BL として機能する。

30

【0043】

図 3 及び図 4 に示す NAND ストリング 18 の等価回路を図 5 に示す。NAND ストリング 18 は、選択トランジスタ ST1 及び ST2 と、メモリセルトランジスタ MT0 ~ MT7 と、ダミートランジスタ DTD 及び DTS と、バックゲートトランジスタ BT とを備えている。前述の通り、メモリセルトランジスタ MT は、選択トランジスタ ST1 及び ST2 間に直列に接続されている。

【0044】

バックゲートトランジスタ BT は、メモリセルトランジスタ MT3 と MT4 との間に直列に接続されている。ダミートランジスタ DTD は、選択トランジスタ ST1 とメモリセルトランジスタ MT7 との間に直列に接続されている。ダミートランジスタ DTS は、選択トランジスタ ST2 とメモリセルトランジスタ MT0 との間に直列に接続されている。データの読み出し及び消去時において、ダミートランジスタ DTD、DTS 及びバックゲートトランジスタ BT はオン状態とされる。書き込み時においては、必要に応じてオン状態とされる。

40

【0045】

メモリセルトランジスタ MT の制御ゲートはワード線 WL に接続され、ダミートランジスタ DTD 及び DTS の制御ゲートはそれぞれダミーワード線 WLDD 及び WLDS にそれぞれ接続され、バックゲートトランジスタ BT の制御ゲートはバックゲート線 BGI に

50

接続されている。そして、図3においてロウ方向に沿って配列された複数のNANDストリング18の集合が、図2で説明したメモリグループGPに相当する。

【0046】

[1-2] ロウデコーダ11の構成

次に、ロウデコーダ11の構成について説明する。ロウデコーダ11-0~11-3はそれぞれ、ブロックBLK0~BLK3に関連づけて設けられ、ブロックBLK0~BLK3を選択または非選択とするために設けられる。図6は、ロウデコーダ11-0及びドライバ回路12の回路図である。なお、ロウデコーダ11-1~11-3の構成もロウデコーダ11-0と同様である。

【0047】

ロウデコーダ11-0は、ブロックデコーダ40及び高耐圧nチャンネルMOSトランジスタ50~54(50-0~50-7、51-0~51-3、52-0~52-3、53-0~53-3、54-0~54-3)、55~57を備えている。

【0048】

ブロックデコーダ40は、データの書き込み、読み出し、及び消去時において、例えば制御回路16から与えられるブロックアドレスBAをデコードする。そして、デコード結果に応じて、信号TG及びRDECADnを生成する。より具体的には、ブロックデコーダ40は、ブロックアドレスBAが、当該ロウデコーダ11-0の対応するブロックBLK0を指す場合、信号TGをアサート(本例では“H”レベル)し、信号RDECADnをネゲート(本例では“L”レベル、例えば接地電圧Vss(=0V))する。また、ブロックデコーダ40は、ブロックアドレスBAが、当該ロウデコーダ11-0の対応するブロックBLK0を指さない場合、信号TGをネゲートし、信号RDECADnをアサートする。

【0049】

トランジスタ50は、選択ブロックBLKのワード線WLに電圧を転送するためのものである。トランジスタ50-0~50-7はそれぞれ、電流経路の一端が、対応するブロックBLK0のワード線WL0~WL7にそれぞれ接続され、他端が信号線CG0~CG7にそれぞれ接続され、ゲートに、対応するブロックデコーダ40の信号TGが与えられる。

【0050】

従って、例えば選択ブロックBLK0に対応するロウデコーダ11-0では、トランジスタ50-0~50-7はオン状態とされ、ワード線WL0~WL7は信号線CG0~CG7に接続される。他方、非選択ブロックBLK1~BLK3に対応するロウデコーダ11-1~11-3では、トランジスタ50-0~50-7はオフ状態とされ、ワード線WL0~WL7は信号線CG0~CG7から分離される。

【0051】

トランジスタ51及び52は、選択ゲート線SGDIに電圧を転送するためのものである。トランジスタ51-0~51-3はそれぞれ、電流経路の一端が、対応するブロックBLK0の選択ゲート線SGDI0~SGDI3に接続され、他端が信号線SGD0~SGD3に接続され、ゲートに信号TGが与えられる。

【0052】

トランジスタ52-0~52-3はそれぞれ、電流経路の一端が、対応するブロックBLK0の選択ゲート線SGDI0~SGDI3に接続され、他端がノードSGD__COMに接続され、ゲートに信号RDECADnが与えられる。ノードSGD__COMは、例えば0V等、選択トランジスタST1をオフ状態にする電圧である。

【0053】

従って、例えば選択ブロックBLK0に対応するロウデコーダ11-0では、トランジスタ51-0~51-3はオン状態とされ、トランジスタ52-0~52-3はオフ状態とされる。よって、選択ブロックBLK0の選択ゲート線SGDI0~SGDI3は信号線SGD0~SGD3に接続される。他方で、非選択ブロックBLK1~BLK3に対応

10

20

30

40

50

するロウデコーダ 11 - 1 ~ 11 - 3 では、トランジスタ 51 - 0 ~ 51 - 3 はオフ状態とされ、トランジスタ 52 - 0 ~ 52 - 3 はオン状態とされる。よって、非選択ブロック BLK1 ~ BLK3 の選択ゲート線 SGDI0 ~ SGDI3 はノード SGD_COM に接続される。

【0054】

トランジスタ 53 及び 54 は、選択ゲート線 SSSI に電圧を転送するためのものであり、その接続及び動作は、トランジスタ 51 及び 52 において選択ゲート線 SGDI を選択ゲート線 SSSI に入れ替えたものと等価である。すなわち、選択ブロック BLK0 に対応するロウデコーダ 11 - 0 では、トランジスタ 53 - 0 ~ 53 - 3 はオン状態とされ、トランジスタ 54 - 0 ~ 54 - 3 はオフ状態とされる。他方で、非選択ブロック BLK1 ~ BLK3 に対応するロウデコーダ 11 - 1 ~ 11 - 3 では、トランジスタ 51 - 0 ~ 51 - 3 はオフ状態とされ、トランジスタ 52 - 0 ~ 52 - 3 はオン状態とされる。

10

【0055】

トランジスタ 55 は、バックゲート線 BGI に電圧を転送するためのものである。トランジスタ 55 は、電流経路の一端が、対応するブロック BLK0 のバックゲート線 BGI に接続され、他端は信号線 BG に接続され、ゲートに信号 TG が与えられる。従って、選択ブロック BLK0 に対応するロウデコーダ 11 - 0 では、トランジスタ 55 はオン状態とされ、非選択ブロック BLK1 ~ BLK3 に対応するロウデコーダ 11 - 1 ~ 11 - 3 では、トランジスタ 55 はオフ状態とされる。

【0056】

トランジスタ 56 及び 57 はそれぞれ、ダミーワード線 WLD D 及び WLD S に電圧を転送するためのものである。トランジスタ 56 は、電流経路の一端が、対応するブロック BLK0 のダミーワード線 WLD D に接続され、他端は信号線 CGDD に接続され、ゲートに信号 TG が与えられる。また、トランジスタ 57 は、電流経路の一端が、対応するブロック BLK0 のダミーワード線 WLD S に接続され、他端は信号線 CGDS に接続され、ゲートに信号 TG が与えられる。従って、選択ブロック BLK0 に対応するロウデコーダ 11 - 0 では、トランジスタ 56 及び 57 はオン状態とされ、非選択ブロック BLK1 ~ BLK3 に対応するロウデコーダ 11 - 1 ~ 11 - 3 では、トランジスタ 56 及び 57 はオフ状態とされる。

20

【0057】

[1 - 3] ドライバ回路 12 の構成

次に、ドライバ回路 12 の構成について説明する。ドライバ回路 12 は、データの書き込み、読み出し、及び消去に必要な各種電圧を電圧発生回路 15 から受ける。そして、ドライバ回路 12 は、信号線 CG0 ~ CG7、SGDD0 ~ SGDD3、SGSD0 ~ SGSD3、及び BG の各々に、データの書き込み、読み出し、及び消去に必要な電圧を転送する。図 6 に示すように、ドライバ回路 12 は、CG ドライバ 60 (60 - 0 ~ 60 - 7)、SGD ドライバ 61 (61 - 0 ~ 61 - 3)、SGS ドライバ 62 (62 - 0 ~ 62 - 3)、BG ドライバ 63、CGDD ドライバ 64、及び CGDS ドライバ 65 を備えている。

30

【0058】

CG ドライバ 60 - 0 ~ 60 - 7 はそれぞれ、信号線 CG0 ~ CG7 (ワード線 WL0 ~ WL7) に、必要な電圧を転送する。SGD ドライバ 61 - 0 ~ 61 - 3 はそれぞれ、信号線 SGD0 ~ SGD3 (セレクトゲート線 SGDI0 ~ SGDI3) に、必要な電圧を転送する。SGS ドライバ 62 - 0 ~ 62 - 3 はそれぞれ、信号線 SGS0 ~ SGS3 (セレクトゲート線 SSSI0 ~ SSSI3) に、必要な電圧を転送する。BG ドライバ 63 は、信号線 BG (バックゲート線 BGI) に、必要な電圧を転送する。CGDD ドライバ 64 及び CGDS ドライバ 65 はそれぞれ、信号線 CGDD 及び CGDS (ダミーワード線 WLD D 及び WLD S) に、必要な電圧を転送する。

40

【0059】

[2] NAND 型フラッシュメモリ 1 の消去動作

50

次に、上記のように構成されたNAND型フラッシュメモリ1の消去動作について説明する。

【0060】

まず、消去動作に使用する電圧の種類について説明する。平面型NAND型フラッシュメモリと異なり、積層型NAND型フラッシュメモリ1では、選択トランジスタにおけるゲート端のチャンネルで発生するGIDL (Gate Induced Drain Leakage) のホール電流を用いてメモリセルトランジスタMTのチャンネル電位をブーストさせて消去動作を行う。以下の説明では、例えば、ビット線BLに接続された選択トランジスタST1でGIDLを発生させるものとし、ソース線SLに接続された選択トランジスタST2ではGIDLを発生させないものとする。

10

【0061】

消去動作では、ビット線BL及びソース線SLにはそれぞれ、電圧VERAが印加される。GIDLを発生させる選択トランジスタST1のゲート(選択ゲート線SGDI)には電圧VERA_GIDLが印加され、GIDLを発生させない選択トランジスタST2のゲート(選択ゲート線SGSI)には電圧VERA_NOGIDLが印加される。ダミートランジスタDTD及びDTSの制御ゲート(ダミーワード線WLDD及びWLD S)にはそれぞれ、電圧VERA_DWLが印加される。バックゲートトランジスタBTの制御ゲート(バックゲート線BGI)には、電圧VERA_BGが印加される。ワード線WL0~WL7には例えば接地電圧Vss (= 0V)が印加される。

20

【0062】

ブロックBLKのデータを消去するシーケンスには、(1)ブロックBLKに各種消去電圧を印加する動作、(2)ブロックBLK内の全てのメモリセルトランジスタMTの閾値電圧が消去状態を示す所定の閾値電圧より低くなったか否かを判定する消去ベリファイ動作、(3)消去ベリファイがパスしなかったメモリセルトランジスタMTがある場合に、消去電圧をステップアップ電圧分だけ上昇させる動作、が含まれ、消去ベリファイがパスするまで(1)~(3)のループが繰り返される。以下の説明では、(1)~(3)のループを消去ループと呼び、消去ベリファイがパスするまで繰り返される複数の消去ループを消去シーケンスと呼ぶ。

【0063】

図7は、消去シーケンスを示すフローチャートである。まず制御回路16は、外部のホスト機器から消去コマンドを受信する。この際、消去対象となるブロックのブロックアドレスBAも受信する(ステップS10)。この消去コマンドの受信によって、制御回路16は消去シーケンスを開始する。以後、消去対象のブロックがBLK0であるものとし、これを選択ブロックと呼ぶ。

30

【0064】

続いて、制御回路16の命令に基づいて、ドライバ回路12、ロウデコーダ11-0及びBL/SLドライバ14は、選択ブロックBLK0に消去用の各種電圧を所定のタイミングで印加する(ステップS11)。具体的には、BL/SLドライバ14は、制御回路16の命令に回答して、電圧VERAをビット線BL及びソース線SLに印加する。また、ドライバ回路12及びロウデコーダ11-0は、制御回路16の命令に回答して、選択

40

【0065】

消去用の各種電圧のうち、電圧VERAは、最も高い正の電圧である。ソース線SLに接続された選択トランジスタST2でGIDLを発生させないために、電圧VERA_NOGIDLは、電圧VERAとほぼ同じに設定される。電圧VERA_BGは、バックゲートトランジスタBTを導通させる電圧であり、電圧VERAより低い電圧に設定される。

【0066】

ドライバ回路12及びロウデコーダ11-0は、選択ゲート線SGDI0に電圧VER

50

A_G I D Lを印加し、ダミーワード線W L D D及びW L D Sに電圧V E R A_D W Lを印加する。ビット線B Lに接続された選択トランジスタS T 1でG I D Lを発生させるために、電圧V E R A_G I D Lは、電圧V E R Aより低い電圧に設定される。

【 0 0 6 7 】

ダミートランジスタD T Dは、選択トランジスタS T 1に最も近いメモリセルトランジスタM T 7のドレイン電圧を下げることでメモリセルトランジスタM T 7のゲート端でG I D Lが発生しないようにするために設けられている。このような機能を果たすために、電圧V E R A_D W Lは、例えば、電圧V E R A_N O G I D Lと0 Vとの中間電圧に設定される。同様に、ダミートランジスタD T Sは、選択トランジスタS T 2に最も近いメモリセルトランジスタM T 0のゲート端でG I D Lが発生しないようにするために設けられている。なお、電圧V E R A_D W Lは、ダミートランジスタD T D及びD T Sを導通させる電圧である。また、本実施形態では、ダミーワード線W L D D及びW L D Sに印加する電圧を同じV E R A_D W Lにしているが、これに限定されるものではなく、ダミーワード線W L D D及びW L D Sに対してそれぞれ最適な電圧を設定してもよい。

10

【 0 0 6 8 】

本実施形態では、消去用の各種電圧は、例えば、“ V E R A = V E R A_N O G I D L > V E R A_G I D L > V E R A_D W L > V E R A_B G ”である。このような電圧印加状態により、メモリセルトランジスタM T 0 ~ M T 7のチャネル電圧は、電圧V E R Aに近い電圧までブーストされる。

【 0 0 6 9 】

ドライバ回路1 2及びロウデコーダ1 1 - 0は、ワード線W L 0 ~ W L 7に例えば0 Vを印加する。これにより、メモリセルトランジスタM T 0 ~ M T 7の電荷蓄積層に蓄積されている電子がポディ側に引き抜かれ、データが消去される。

20

【 0 0 7 0 】

続いて、制御回路1 6は、選択ブロックB L K 0内の全てのメモリセルトランジスタM Tに対して消去ベリファイを行う(ステップS 1 2)。すなわち、制御回路1 6は、選択ブロックB L K 0内の全てのメモリセルトランジスタM Tに対して、これらの閾値電圧が消去状態を示す所定の閾値電圧より低くなっているか否かを確認する。消去ベリファイは、確認する閾値電圧が異なる以外は、通常読み出し動作と同じであり、本実施形態でも、一般的な消去ベリファイ動作を適用することができる。

30

【 0 0 7 1 】

ステップS 1 3において消去ベリファイがパスした場合は、消去シーケンスが終了する。消去ベリファイがパスする条件は、選択ブロックB L K 0内の全てのメモリセルトランジスタM Tの閾値電圧が消去状態を示す所定の閾値電圧より低くなることである。また、選択ブロックB L K 0内の所定数のメモリセルトランジスタM Tの閾値電圧が消去状態を示す所定の閾値電圧より低くなった場合に消去ベリファイをパスするようにしてもよい。

【 0 0 7 2 】

ステップS 1 3において消去ベリファイがパスしない(フェイルである)場合、制御回路1 6は、消去用の各種電圧のステップアップ電圧を設定する(ステップS 1 4)。本実施形態では、消去用の各種電圧(V E R A、V E R A_N O G I D L、V E R A_G I D L、V E R A_D W L、V E R A_B G)に対して個別にステップアップ電圧を制御(調整)するようにしている。

40

【 0 0 7 3 】

図8は、消去ループごとのステップアップ電圧の第1の例を説明する図である。図8のパルス数は、消去ループ回数に対応している。電圧V E R Aは、消去ループ回数が増えるごとにステップアップ電圧 V E R Aずつステップアップする。ステップアップ電圧 V E R Aは、消去ループごとに一定である。同様に、電圧V E R A_*は、消去ループ回数が増えるごとにステップアップ電圧 V E R Aずつステップアップする。すなわち、電圧V E R A_*のステップアップ電圧 V E R A_*とすると、“ V E R A_* = V E R A × 1 0 0 % ”である。

50

【 0 0 7 4 】

図 8 の電圧 $VERA_{*}$ が適用されるものとしては、例えば、電圧 $VERA_{GIDL}$ 、及び電圧 $VERA_{NOGIDL}$ である。これは、電圧 $VERA_{GIDL}$ については、電圧 $VERA$ との電圧差を一定に保つことで、消去ループごとに同じ電圧条件で $GIDL$ を発生させるようにするためである。また、電圧 $VERA_{NOGIDL}$ については、電圧 $VERA$ との電圧差を一定に保つことで、消去ループ回数が増えて電圧 $VERA$ がステップアップした場合でも $GIDL$ を発生させないようにするためである。

【 0 0 7 5 】

図 9 は、消去ループごとのステップアップ電圧の第 2 の例を説明する図である。電圧 $VERA$ は、消去ループ回数が増えるごとにステップアップ電圧 $VERA$ ずつステップアップする。一方、電圧 $VERA_{**}$ は、消去ループ回数が増えるごとにステップアップ電圧 $VERA$ より低いステップアップ電圧 $VERA_{**}$ ずつステップアップする。例えば、電圧 $VERA_{**}$ のステップアップ電圧 $VERA_{**}$ とすると、“ $VERA_{**} = VERA \times 50\%$ ” である。なお、ステップアップ電圧 $VERA_{**}$ のステップアップ電圧 $VERA$ に対する割合は、 0% より大きく 100% より小さい範囲で任意に設定可能である。

10

【 0 0 7 6 】

図 9 の電圧 $VERA_{**}$ が適用されるものとしては、例えば、電圧 $VERA_{DWL}$ である。これは、電圧 $VERA_{DWL}$ は、メモリセルトランジスタ MT のゲート端で $GIDL$ が発生しないようにする機能を果たすため、電圧 $VERA_{NOGIDL}$ (選択ゲート線 $SGSI$ の電圧) と $0V$ (ワード線 WL の電圧) との中間電圧に設定しておくようにする。

20

【 0 0 7 7 】

図 10 は、消去ループごとのステップアップ電圧の第 3 の例を説明する図である。電圧 $VERA$ は、消去ループ回数が増えるごとにステップアップ電圧 $VERA$ ずつステップアップする。一方、電圧 $VERA_{***}$ は、消去ループ回数が増えてもステップアップしない。すなわち、電圧 $VERA_{***}$ のステップアップ電圧は、電圧 $VERA$ の 0% である。

【 0 0 7 8 】

図 10 の電圧 $VERA_{***}$ が適用されるものとしては、例えば、電圧 $VERA_{BG}$ である。バックゲートトランジスタ BT は、消去動作時に導通状態になっていればよい。バックゲートトランジスタ BT は、前述したように、メモリセルトランジスタ MT と同様に電荷蓄積層を有しているため、電荷蓄積層に蓄積された電子の数が変動すると、その閾値電圧が変動してしまう。よって、電圧 $VERA_{BG}$ は、バックゲートトランジスタ BT が消去されなければよい (すなわちバックゲートトランジスタ BT の電荷蓄積層から電子が引き抜かれなければよい) ので、ある程度高めの電圧になってさえいればステップアップする必要はない。

30

【 0 0 7 9 】

上記の制御により、ステップ $S14$ において、消去用の各種電圧 ($VERA$ 、 $VERA_{NOGIDL}$ 、 $VERA_{GIDL}$ 、 $VERA_{DWL}$ 、 $VERA_{BG}$) のステップアップ電圧が設定される。そして、制御回路 16 の制御に基づいて、電圧発生回路 15 は、ステップアップした消去用の各種電圧 ($VERA$ 、 $VERA_{NOGIDL}$ 、 $VERA_{GIDL}$ 、 $VERA_{DWL}$ 、 $VERA_{BG}$) を発生する。また、ドライバ回路 12、ロウデコーダ 11-0 及び BL/SL ドライバ 14 は、電圧発生回路 15 から受けた各種電圧を選択ブロック $BLK0$ に所定のタイミングで印加する。その後、消去ベリファイがパスするまで、ステップ $S11$ ~ ステップ $S14$ の動作が繰り返される。

40

【 0 0 8 0 】

なお、上記説明では、電圧 $VERA_{GIDL}$ には図 8 のステップアップ電圧が適用されることとしているが、これに限定されるものではない。電圧 $VERA$ と電圧 $VERA_{GIDL}$ との電圧差が大きくなるほど $GIDL$ によるホール電流が大きくなるのであれば

50

、電圧 $V E R A_G I D L$ に図 9 のステップアップ電圧を適用することで、消去ループ回数が増えるにつれて電圧 $V E R A$ と電圧 $V E R A_G I D L$ との電圧差が大きくなるように制御してもよい。また、電圧 $V E R A$ と電圧 $V E R A_G I D L$ との電圧差をさらに大きくしたければ、電圧 $V E R A_G I D L$ に図 10 のステップアップ電圧を適用してもよい。その他の電圧についても、消去動作が最適に行えるステップアップ電圧を適宜選択して適用することができる。

【 0 0 8 1 】

[3] 効果

以上詳述したように第 1 の実施形態では、制御回路 16 の制御に基づいて、ドライバ回路 12、ロウデコーダ 11 及び $B L / S L$ ドライバ 14 は、消去ループ回数が増えるにつれてステップアップする各種電圧 ($V E R A$ 、 $V E R A_N O G I D L$ 、 $V E R A_G I D L$ 、 $V E R A_D W L$ 、 $V E R A_B G$) を選択ブロック $B L K$ に印加する。そして、制御回路 16 は、データの消去時に使用される各種電圧のステップアップ電圧を個別に調整するようにしている。

10

【 0 0 8 2 】

従って第 1 の実施形態によれば、データの消去時に使用される電圧の種類が増えた場合でも、各種電圧のステップアップ量を最適に制御することができる。これにより、安定した消去動作を行うことが可能となる。具体的には、所望の $G I D L$ を発生させることができるため、ボディを所望の電圧にブーストすることができ、さらに、ブーストにかかる時間を短縮することができる。これにより、消去時間を削減することが可能となる。

20

【 0 0 8 3 】

また、データ消去時に使用する各種電圧を最適に制御することができるため、消去ループ回数を低減することができる。これにより、消去時間をより削減することが可能となる。

【 0 0 8 4 】

[第 2 の実施形態]

第 2 の実施形態は、消去時に、ビット線 $B L$ 及び / 又はソース線 $S L$ に電圧 $V E R A$ を印加し、ビット線 $B L$ 及び / 又はソース線 $S L$ との容量カップリングを利用して、電圧 $V E R A$ 以外で消去に必要な電圧を設定するようにしている。なお、ビット線 $B L$ 及び / 又はソース線 $S L$ との容量カップリングを利用した消去方法は、特願 2011-219265 号明細書に開示されている。

30

【 0 0 8 5 】

[1] $N A N D$ 型フラッシュメモリ 1 の構成

図 11 は、第 2 の実施形態に係る $N A N D$ 型フラッシュメモリ 1 のブロック図である。

【 0 0 8 6 】

第 2 の実施形態に係る $N A N D$ 型フラッシュメモリ 1 は、図 1 の構成に加えて、検知回路 17 をさらに備えている。検知回路 17 は、データの消去時において、電圧発生回路 15 の発生した電圧 $V E R A$ を監視する。そして、電圧 $V E R A$ のレベルに応じてドライバ回路 12 を制御する。

【 0 0 8 7 】

図 12 は、検知回路 17 のブロック図である。検知回路 17 は、第 1 乃至第 3 検知部 70-1 ~ 70-3 を備えている。第 1 乃至第 3 検知部 70-1 ~ 70-3 は、データの消去時において、電圧発生回路 15 の発生する電圧 $V E R A$ を監視する。第 1 検知部 70-1 は、電圧 $V E R A$ のレベルに応じて、 $S G D$ ドライバ 61 及び $S G S$ ドライバ 62 を制御する。第 2 検知部 70-2 は、電圧 $V E R A$ のレベルに応じて、 $C G D D$ ドライバ 64 及び $C G D S$ ドライバ 65 を制御する。第 3 検知部 70-3 は、電圧 $V E R A$ のレベルに応じて、 $B G$ ドライバ 63 を制御する。その他の構成は、第 1 の実施形態と同じである。

40

【 0 0 8 8 】

[2] $N A N D$ 型フラッシュメモリ 1 の消去動作

次に、上記のように構成された $N A N D$ 型フラッシュメモリ 1 の消去動作について説明する。なお、消去対象のブロックが $B L K 0$ であるものとし、これを選択ブロックと呼ぶ

50

。第1の実施形態と同様に、消去コマンドの受信によって、制御回路16は、選択ブロックBLK0の消去シーケンスを開始する。

【0089】

まず、制御回路16は、時刻 t_0 において、電圧VERAを昇圧するよう電圧発生回路15に命令する。また、BL/SLドライバ14は、制御回路16の命令に応答して、電圧VERAをビット線BL及びソース線SLに印加する。図13は、電圧VERAと各フラグ信号との関係を示すグラフである。

【0090】

この時、ブロックデコーダ40は、信号TG = "H"レベル (= V_{dda})、信号RDEN = "L"レベルとする。また、SGDドライバ61-0、SGSドライバ62-0、CGドライバ60、BGドライバ63、CGDDドライバ64、及びCGDSドライバ65は、 V_{ss} を出力する。従って、ロウデコーダ11-0においてはトランジスタ51、53、50、55、56、及び57の全てがオン状態となる。よって、SGDI、SGSI、WL0~WL7、BGI、WLDD、及びWLDSの電位は V_{ss} となる。

10

【0091】

続いて、時刻 t_1 において、電圧VERAのレベルがVERA1に到達する。すると、第1検知部70-1がフラグ信号SG_VCCFLAG (= "H"レベル)を出力する。フラグ信号SG_VCCFLAGを受けて、SGDドライバ61-0及びSGSドライバ62-0はそれぞれ、信号線SGD0及びSGS0に外部電圧 V_{cc} ($V_{cc} > V_{dda}$)を転送する。これにより、 $V_{cc} > V_{dda}$ であるので、ロウデコーダ11-0におけるトランジスタ51-0及び53-0がカットオフ状態となり、選択ゲート線SGDI0及びSGSI0は電氣的にフローティングの状態となる。その後、選択ゲート線SGDI0及びSGSI0は、ビット線BL及びソース線SLとのカップリングにより上昇して、所望の電位に達する。

20

【0092】

続いて、時刻 t_2 において、電圧VERAのレベルがVERA2に到達する。すると、第2検知部70-2がフラグ信号CGD_VCCFLAG (= "H"レベル)を出力する。フラグ信号CGD_VCCFLAGを受けて、CGDDドライバ64及びCGDSドライバ65はそれぞれ、信号線CGDD及びCGDSに電圧 V_{cc} を転送する。これにより、ロウデコーダ11-0におけるトランジスタ56及び57がカットオフ状態となり、ダミーワード線WLDD及びWLDSは電氣的にフローティングの状態となる。その後、ダミーワード線WLDD及びWLDSは、ビット線BL及びソース線SLとのカップリングにより上昇して、所望の電位に達する。

30

【0093】

続いて、時刻 t_3 において、電圧VERAのレベルがVERA3に到達する。すると、第3検知部70-3がフラグ信号BG_VCCFLAG (= "H"レベル)を出力する。フラグ信号BG_VCCFLAGを受けて、BGドライバ63は、信号線BGに電圧 V_{cc} を転送する。これにより、ロウデコーダ11-0におけるトランジスタ55がカットオフ状態となり、バックゲート線BGIは電氣的にフローティングの状態となる。その後、バックゲート線BGIは、ビット線BL及びソース線SLとのカップリングにより上昇して、所望の電位に達する。

40

【0094】

続いて、時刻 t_4 で電圧VERAが所望の電圧VERA targetに達すると、ロウデコーダ11-0は、ワード線WL0~WL7に例えば0Vを印加する。このとき、選択ゲート線SGDI0及びSGSI0と、ダミーワード線WLDD及びWLDSと、バックゲート線BGIとは、ビット線BL及びソース線SLとのカップリングにより所望の電位に設定されている。これにより、メモリセルトランジスタMT0~MT7の電荷蓄積層の電子がボディ側に引き抜かれ、データが消去される。

【0095】

なお、消去動作の期間、非選択ブロックBLK1~BLK3のSGD、SGS、CGD

50

D、CGDS、WL、WLDD、WLD S、BGは電氣的にフローティングとされ、その電位はVERAとのカップリングにより決まる。

【0096】

その後、第1の実施形態と同様に、消去ベリファイが行われ、ベリファイがパスしない場合には、制御回路16は、消去用の各種電圧のステップアップ電圧を設定する。以下に、ステップアップ電圧の設定動作について説明する。

【0097】

図14は、第1の例に係るステップアップ電圧の設定動作を説明する図である。電圧VERAのtarget電圧(到達電圧)は、消去ループ回数が増えるごとにステップアップ電圧VERAずつステップアップする。ステップアップ電圧VERAは、消去ループごとに一定である。

10

【0098】

電圧VERA_*は、消去ループ回数が増えても、電圧VERAがある決まった電圧に到達した時に上昇を開始するように制御される。すなわち、図14に示すように、2回目の消去ループ時のカップリング開始ポイント2における電圧VERAのレベルは、1回目の消去ループ時のカップリング開始ポイント1における電圧VERAのレベルと同じである。これにより、電圧VERAのステップアップ電圧VERAが上昇するにつれて、電圧VERA_*のステップアップ電圧VERA_*も同じ割合で上昇する。

【0099】

カップリング開始ポイントは、対応する信号線をフローティングにする時刻に対応する。カップリング開始ポイント(すなわち、カップリング開始電圧)を消去ループごとに同じにした場合、電圧VERA_*の到達電圧は、電圧VERA_*が適用される信号線とビット線BL(及びソース線SL)とのカップリング比を係数として決定される。例えば、ステップアップ電圧VERA_*をステップアップ電圧VERAと同じにする場合、カップリング開始ポイントを調整すればよい。同様に、ステップアップ電圧VERAに対するステップアップ電圧VERA_*の割合を0%より大きく100%より小さい範囲に設定する場合、カップリング開始ポイントを調整すればよい。この時のカップリング開始電圧は、検知回路17によって検知される。

20

【0100】

図14で説明した電圧VERA_*は、電圧VERA_NOGIDL、VERA_GIDL、VERA_DWL、及びVERA_BGのうち任意選択して適用することが可能である。

30

【0101】

図15は、第2の例に係るステップアップ電圧の設定動作を説明する図である。電圧VERAのtarget電圧(到達電圧)は、消去ループ回数が増えるごとにステップアップ電圧VERAずつステップアップする。

【0102】

電圧VERA_**は、消去ループ回数が増えてもステップアップしないように制御される。すなわち、図15に示すように、2回目の消去ループ時のカップリング開始ポイント2における電圧VERAの値は、1回目の消去ループ時のカップリング開始ポイント1における電圧VERAの値よりも高く設定される。カップリング開始ポイント2における電圧VERAの値は、電圧VERA_**が適用される信号線とビット線BL(及びソース線SL)とのカップリング比に応じて決定される。これにより、1回目の消去ループに比べて、2回目の消去ループ時のカップリングが遅く開始されるので、消去ループ回数に応じて電圧VERAがステップアップした場合でも、電圧VERA_**の到達電圧を一定にすることができる。

40

【0103】

図15で説明した電圧VERA_**は、電圧VERA_NOGIDL、VERA_GIDL、VERA_DWL、及びVERA_BGのうち任意選択して適用することが可能である。

50

【0104】

上記の制御により、消去用の各種電圧（VERA_NOGIDL、VERA_GIDL、VERA_DWL、VERA_BG）のステップアップ開始ポイントが設定される。そして、制御回路16の制御に基づいて、検知回路17、ドライバ回路12及びロウデコーダ11は、ステップアップした消去用の各種電圧（VERA、VERA_NOGIDL、VERA_GIDL、VERA_DWL、VERA_BG）が各種信号線に設定されるように動作する。その後、第1の実施形態と同様に、消去ベリファイがパスするまで、消去ループが繰り返される。

【0105】

[3] 効果

以上詳述したように第2の実施形態では、ビット線BL及び/又はソース線SLに印加する電圧VERA以外を、ビット線BL及び/又はソース線との容量カップリングにより設定する。また、ロウデコーダ11は、検知回路17の検知結果に基づいて、選択ゲート線SGDI、選択ゲート線SGSIと、ダミーワード線WLDD（及びWLDS）、及びバックゲート線BGIをそれぞれフローティング状態にするタイミングを制御することで、電圧VERA_GIDL、VERA_NOGIDL、VERA_DWL、及びVERA_BGのステップアップ電圧を個別に調整するようにしている。

【0106】

従って第2の実施形態によれば、データの消去時に使用される電圧の種類が増えた場合でも、各種電圧のステップアップ量を最適に制御することができる。これにより、安定した消去動作を行うことが可能となる。

【0107】

また、昇圧電圧はソース線SL及びビット線BLに印加する電圧VERAだけで良く、その他のノードの電位はカップリングで上昇させる。これにより、消費電力を低減することができる。

【0108】

なお、上記実施形態では不揮発性半導体記憶装置として、三次元積層型のNAND型フラッシュメモリを例に挙げて説明した。しかし、三次元積層型のNAND型フラッシュメモリとしては、図3乃至図5の構成に限られるものではない。例えば、半導体層26はU字型の形状ではなく、1本の柱状であっても良い。この場合トランジスタBTは不要である。

【0109】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0110】

1...NAND型フラッシュメモリ、10...メモリセルアレイ、11...ロウデコーダ、12...ドライバ回路、13...センスアンプ、14...ビット線/ソース線ドライバ、15...電圧発生回路、16...制御回路、17...検知回路、18...NANDストリング、20...半導体基板、21, 23a~23e...導電層、22, 24, 28a, 28b...ホール、25a...ブロック絶縁層、25b...電荷蓄積層、25c...トンネル絶縁層、26, 30a, 30b...半導体層、29a...ゲート絶縁層、29b...ゲート絶縁層、31~33...金属層、40...ブロックデコーダ、60~65...ドライバ、70...検知部。

10

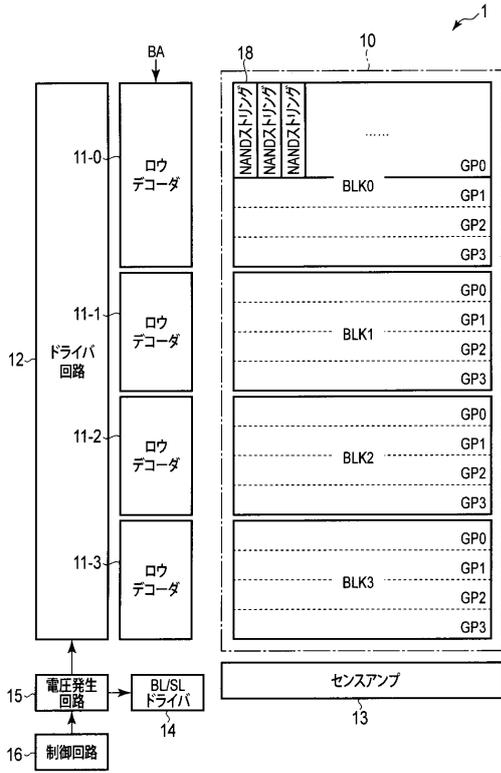
20

30

40

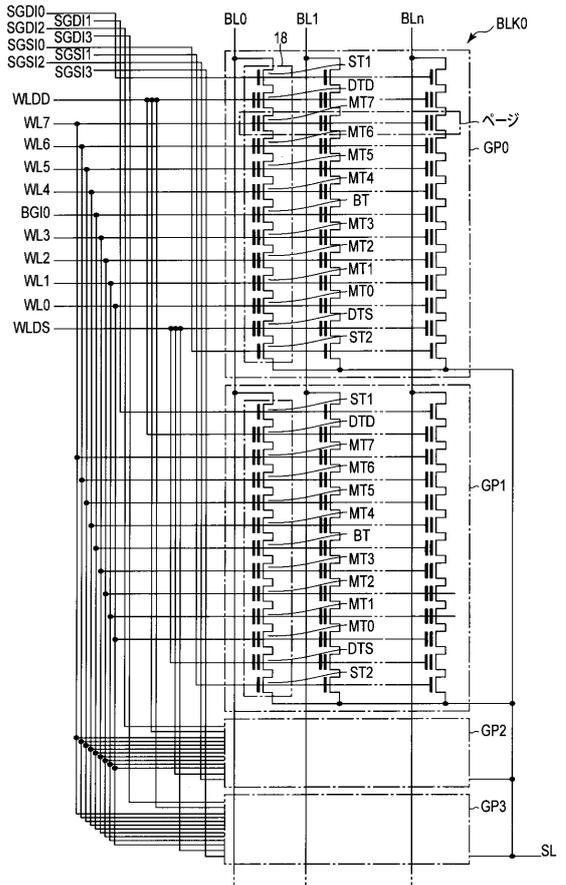
【 図 1 】

図 1



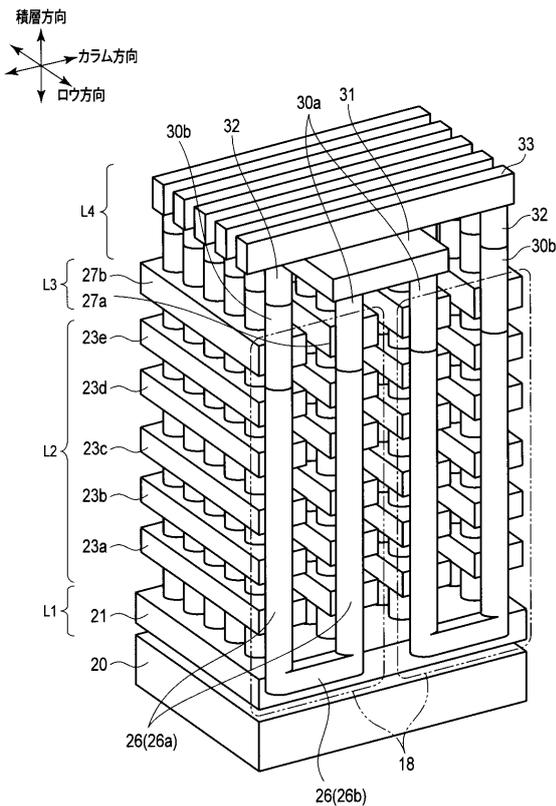
【 図 2 】

図 2



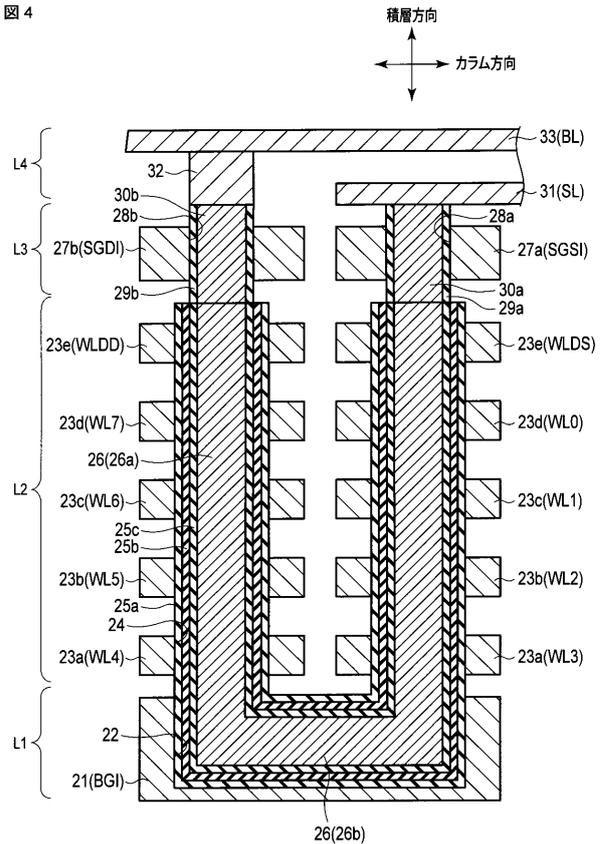
【 図 3 】

図 3



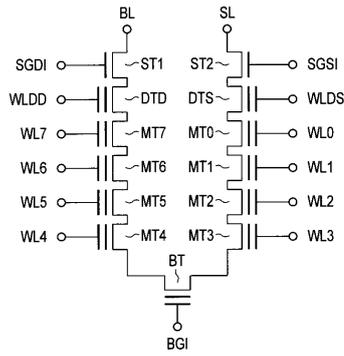
【 図 4 】

図 4



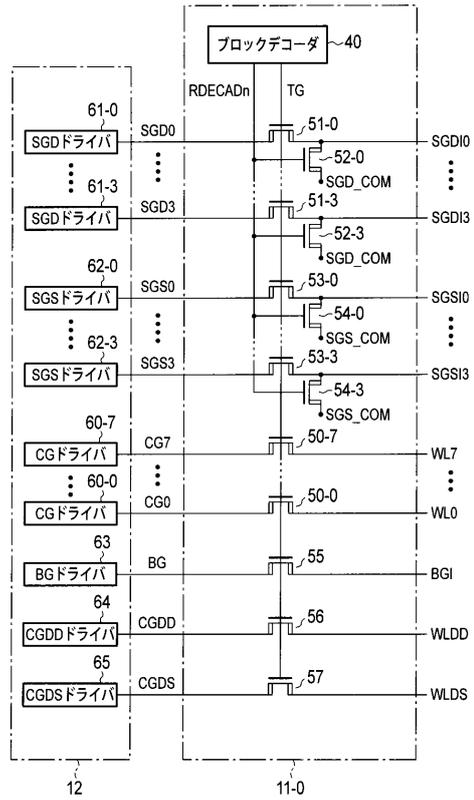
【 図 5 】

図 5



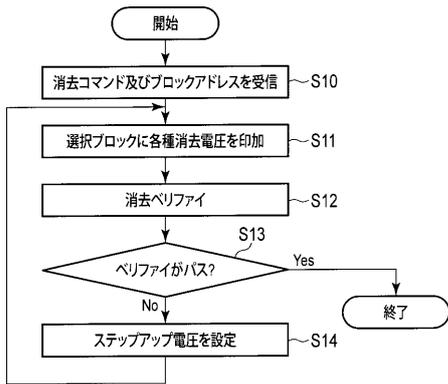
【 図 6 】

図 6



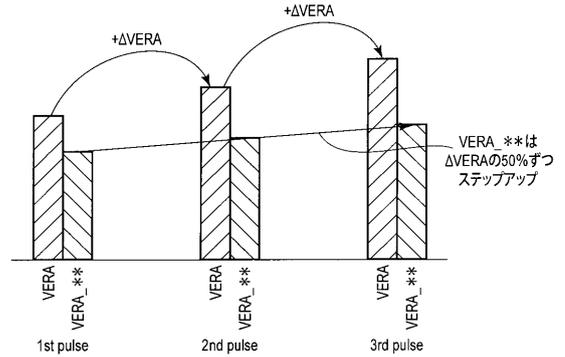
【 図 7 】

図 7



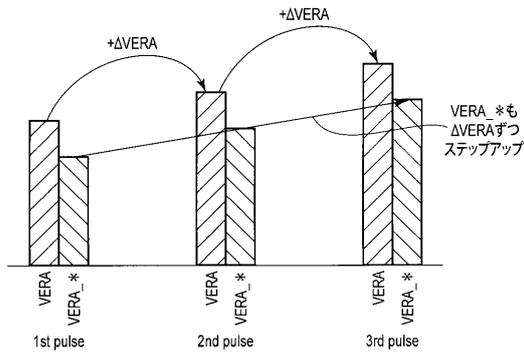
【 図 9 】

図 9



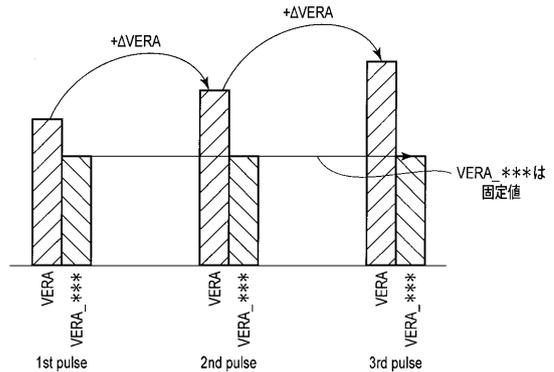
【 図 8 】

図 8



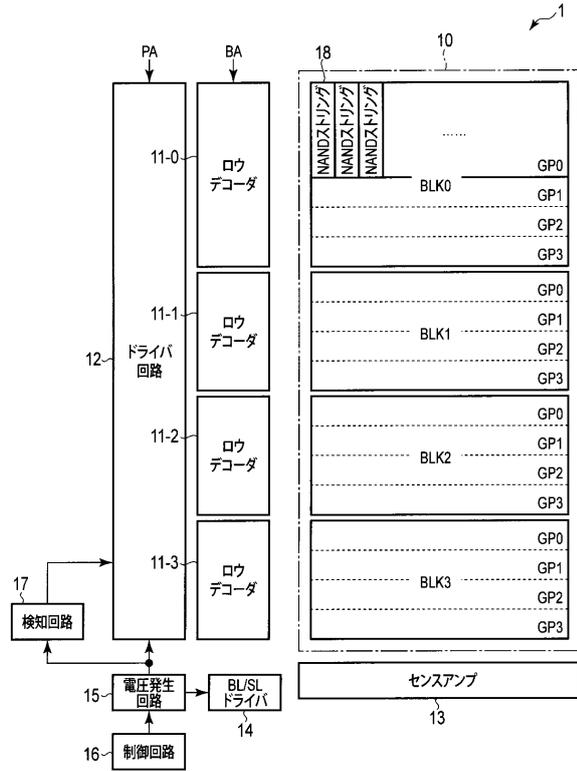
【 図 10 】

図 10



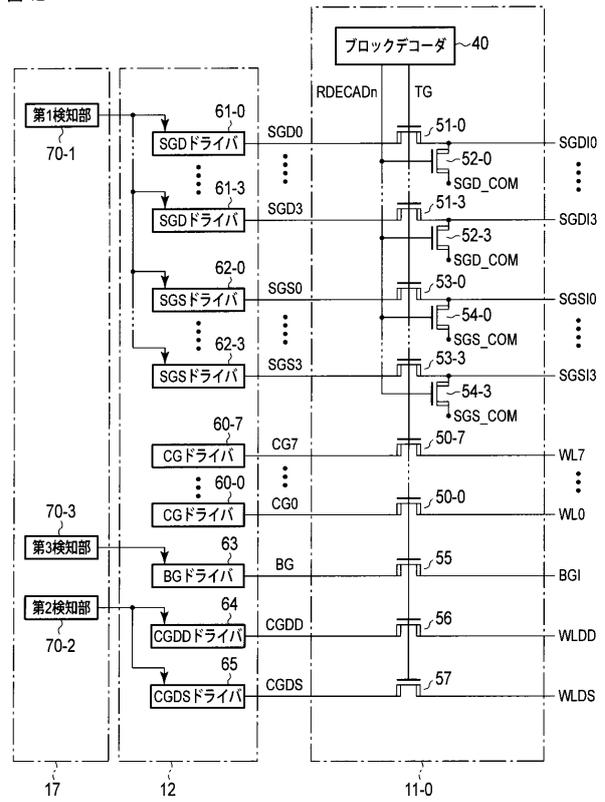
【 図 1 1 】

図 11



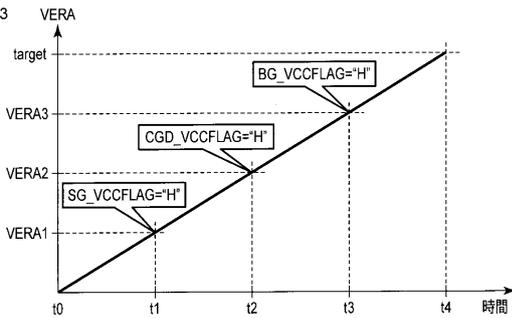
【 図 1 2 】

図 12



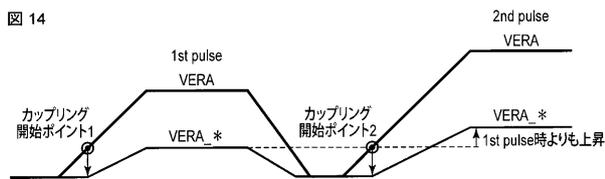
【 図 1 3 】

図 13



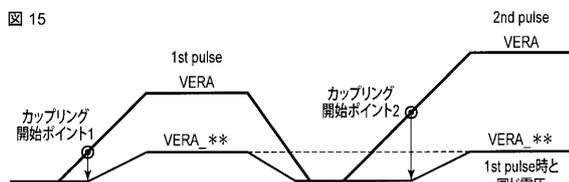
【 図 1 4 】

図 14



【 図 1 5 】

図 15



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
H 0 1 L 21/336 (2006.01)		H 0 1 L 29/78	3 7 1	
H 0 1 L 29/788 (2006.01)				
H 0 1 L 29/792 (2006.01)				

(74)代理人 100119976
 弁理士 幸長 保次郎

(74)代理人 100153051
 弁理士 河野 直樹

(74)代理人 100140176
 弁理士 砂川 克

(74)代理人 100158805
 弁理士 井関 守三

(74)代理人 100172580
 弁理士 赤穂 隆雄

(74)代理人 100179062
 弁理士 井上 正

(74)代理人 100124394
 弁理士 佐藤 立志

(74)代理人 100112807
 弁理士 岡田 貴志

(74)代理人 100111073
 弁理士 堀内 美保子

(74)代理人 100134290
 弁理士 竹内 将訓

(72)発明者 滋賀 秀裕
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 白川 政信
 東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B125 BA02 CA21 DC08 DC12 EA05 FA01 FA02
 5F083 EP18 EP23 EP33 EP34 EP76 GA10 GA11 JA04 JA19 JA39
 KA01 KA11 LA03 LA05 LA08 LA10 MA06 MA19 MA20 ZA01
 ZA28
 5F101 BA45 BB05 BD16 BD22 BD30 BD34 BE02 BE06 BE14 BF02
 BH21