

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁶ H01L 21/312	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년06월08일 10-0475882 2005년03월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-1998-0060333 1998년12월29일	(65) 공개번호 (43) 공개일자	10-2000-0043895 2000년07월15일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 정명준
 경기도 성남시 분당구 야탑동 장미마을 동부아파트 136-803

(74) 대리인 최승민
 신영무

심사관 : 백양규

(54) 반도체 소자의 평탄화 방법

요약

본 발명은 반도체 소자의 평탄화 방법에 관한 것으로서, 반도체 소자를 구성하기 위한 여러 요소가 형성된 기판이 제공되고, 셀 지역과 주변 지역에 단차가 생기는 단계와; 제 1 감광막을 이용하여 셀 지역 및 주변 지역을 1차 평탄화하는 단계와; 상기 전체 상부면에 제 2 감광막, 제 1 희생 절연막 및 제 3 감광막을 순차적으로 형성한 후, 주변 지역에 메탈 콘택홀을 형성하도록 상기 메탈 콘택홀을 형성하기 위한 식각 공정이 진행되는 동안 상기 제 3 감광막 및 제 1 희생 절연막이 자연 제거되는 단계와; 상기 제 2 및 제 1 감광막을 제거한 후, 메탈라인을 형성하는 단계와; 상기 전체 상부면에 금속 층간 절연막을 증착한 후, 제 4 감광막을 이용하여 상기 셀 지역 및 주변 지역간을 2차 평탄화하는 단계와; 상기 전체 상부면에 제 5 감광막, 제 2 희생 절연막 및 제 6 감광막을 순차적으로 형성한 후, 셀 지역의 메탈라인을 노출시키되 상기 메탈라인 부분을 노출시키기 위한 식각 공정이 진행되는 동안 상기 제 6 감광막 및 제 2 희생 절연막이 자연 제거되는 단계; 상기 제 5 감광막을 식각 마스크로 하여 셀 지역의 노출된 메탈라인을 제거한 후, 주변 지역의 상기 제 5 및 제 4 감광막을 제거하는 단계를 포함하여 이루어지며, 공정 여유도를 증가시키고, 콘택 저항의 증가를 방지하며 접합 지역의 누설 전류 특성 악화를 방지할 수 있는 반도체 소자의 평탄화 방법에 관한 것이다.

대표도

도 2h

명세서

도면의 간단한 설명

도 1은 종래 반도체 소자의 평탄화 방법을 설명하기 위해 도시된 단면도.
도 2(a) 내지 도 2(h)는 본 발명에 따른 반도체 소자의 평탄화 방법을 순차적으로 설명하기 위한 단면도.

<도면의 주요 부분에 대한 부호 설명>

- 1 및 100 : 반도체 기판 11 및 111 : 게이트 전극
- 12 및 112 : 비트라인 13 및 113 : 전하 저장 전극
- 14 및 114 : 상부 전극 21 및 121 : 제 1 층간 절연막

- 22 및 122 : 제 2 층간 절연막 23 및 123 : 제 3 층간 절연막
- 124 : 제 4 층간 절연막 51 및 151 : 메탈 콘택홀
- 52 및 152 : 메탈라인 131 : 제 1 사진 감광막
- 132 : 제 2 사진 감광막 133 : 제 3 사진 감광막
- 134 : 제 4 사진 감광막 135 : 제 5 사진 감광막
- 136 : 제 6 사진 감광막 141 : 제 1 희생 절연막
- 142 : 제 2 희생 절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 더욱 상세히는 사진 감광막을 일정 두께 이상 증착한 후 전면 식각하여 셀 지역과 주변 회로 지역의 평탄화를 이루어 공정 여유도를 증가시키고, 콘택 저항의 증가를 방지하며 접합 지역의 누설 전류 특성 악화를 방지할 수 있어 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 평탄화 방법에 관한 것이다.

반도체 소자의 집적도가 증가함에 따라 도전체와 콘택홀 자체의 크기와 간격이 감소되어 캐패시터(capacitor)도 일정한 축전 용량을 얻기 위해서는 캐패시터의 면적을 증가시키는 것이 필요한데, 이를 위하여 캐패시터의 높이가 증가한다. 증가된 캐패시터의 높이는 캐패시터가 있는 셀 지역(cell region)과 캐패시터가 없는 주변 지역(peri region) 간에 단차를 증가시켜 노광 장비의 초점 심도(DOF; depth of focus)보다 더 커진 단차와 단차가 있는 지역에서 일정하지 않은 마스크 공정의 공정 여유도를 크게 감소시킨다. 이를 해결하기 위해, 캐패시터를 형성한 후 층간 절연막을 일정 두께 이상 두껍게 증착하고 기계적 화학적 연마(CMP) 공정 등으로 평탄화를 시키는 방법은 메탈 콘택홀의 깊이가 증가하여 메탈 콘택홀의 식각 공정과 메탈 콘택홀을 메탈로 채우는 메탈 증착 공정의 공정 여유도를 크게 감소시키는 문제점이 있다.

도 1은 종래 반도체 소자의 평탄화 방법을 설명하기 위해 도시된 단면도이다.

반도체 기판(1)상에 게이트 전극(11), 제 1 층간 절연막(21), 비트라인(12), 제 2 층간 절연막(22), 전하 저장 전극(13) 그리고 상부 전극(14)으로 이루어진 반도체 소자의 셀 지역(cell region)과 주변 지역(peri region)을 형성한다. 상기 전체 구조상에 제 3 층간 절연막(23)을 증착한 후 메탈 콘택홀(51)과 메탈라인(52)을 형성한다.

캐패시터의 증가된 높이에 의해 깊어진 메탈 콘택홀은 식각할 층간 절연막의 두께가 증가하여 식각 공정의 공정 여유도가 크게 감소하고 콘택 저항이 증가하며, 증가된 식각량으로 반도체 기판에 주는 식각 손상량(damage)도 증가하여 접합(junction) 누설 전류가 증가하는 문제점이 발생되었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 사진 감광막을 일정 두께 이상으로 증착하고, 전면 식각하여 평탄화를 이루어 메탈 콘택홀과 메탈라인을 형성하는 마스크 공정과 식각 공정 그리고 메탈 증착 공정의 공정 여유도를 크게 증가시키며, 콘택 저항의 증가 없고 접합 지역의 누설 전류 특성 저하를 방지할 수 있는 반도체 소자의 평탄화 방법을 제공하는데 있다.

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 평탄화 방법은 반도체 소자를 구성하기 위한 여러 요소가 형성된 기판이 제공되고, 셀 지역과 주변 지역에 단차가 생기는 단계와; 제 1 감광막을 이용하여 셀 지역 및 주변 지역을 1차 평탄화하는 단계와; 상기 전체 상부면에 제 2 감광막, 제 1 희생 절연막 및 제 3 감광막을 순차적으로 형성한 후, 주변 지역에 메탈 콘택홀을 형성하되 상기 메탈 콘택홀을 형성하기 위한 식각 공정이 진행되는 동안 상기 제 3 감광막 및 제 1 희생 절연막이 자연 제거되는 단계와; 상기 제 2 및 제 1 감광막을 제거한 후, 메탈라인을 형성하는 단계와; 상기 전체 상부면에 금속 층간 절연막을 증착한 후, 제 4 감광막을 이용하여 상기 셀 지역 및 주변 지역간을 2차 평탄화하는 단계와; 상기 전체 상부면에 제 5 감광막, 제 2 희생 절연막 및 제 6 감광막을 순차적으로 형성한 후, 셀 지역의 메탈라인을 노출시키되 상기 메탈라인 부분을 노출시키기 위한 식각 공정이 진행되는 동안 상기 제 6 감광막 및 제 2 희생 절연막이 자연 제거되는 단계; 상기 제 5 감광막을 식각 마스크로 하여 셀 지역의 노출된 메탈라인을 제거한 후, 주변 지역의 상기 제 5 및 제 4 감광막을 제거하는 단계를 포함하여 이루어진 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 2(a) 내지 도 2(h)는 본 발명에 따른 반도체 소자의 평탄화 방법을 순차적으로 설명하기 위한 단면도이다.

도 2(a)를 참조하여 설명하면, 반도체 기판(100)상에 게이트 전극(111), 제 1 층간 절연막(121), 비트라인(112), 제 2 층간 절연막(122), 전하 저장 전극(113) 그리고 상부 전극(114)으로 이루어진 반도체 소자의 셀 지역(cell region)과 주변 지역(periregion)을 형성하고, 상기 전체 구조상에 제 3 층간 절연막(123)을 증착한다.

도 2(b)를 참조하여 설명하면, 상기 전체 구조상에 제 1 사진 감광막(131)을 일정 두께 이상 두껍게 증착하고 에치-백(etch-back) 공정이나, 화학적 기계적 연마(CMP) 공정 등으로 셀 지역의 제 3 층간 절연막(123)이 노출되도록 식각하고, 이로 인하여 셀 지역 및 주변 지역의 단차가 방지되어 평탄화를 이룬다. 상기 평탄화를 이룬 전체 구조상에 제 2 사진 감광막(132) 및 제 1 희생 절연막(141)을 순차적으로 증착한 후, 상기 제 1 희생 절연막(141)상에 제 3 사진 감광막(133)을 증착하고 콘택이 형성될 지역의 제 3 사진 감광막(133)을 마스크 공정을 이용하여 제거한다.

상기 제 1 사진 감광막(131)은 2 내지 3 μm 의 두께로 형성된다. 상기 제 3 층간 절연막(123)은 두껍게 증착되지 않고도 사진 감광막의 유동성을 이용하여 셀 지역과 주변 지역의 평탄화를 이루어 메탈 콘택홀의 마스크 공정 여유도가 증가한다.

도 2(c)를 참조하여 설명하면, 상기 제 3 사진 감광막(133)을 마스크로 이용하여 상기 제 1 희생 절연막(141)을 제 2 사진 감광막(132)이 노출되도록 식각한다. 이후, 상기 제 2 사진 감광막(132) 및 제 1 사진 감광막(131)을 제 3 층간 절연막(123)이 노출되도록 순차적으로 식각한다. 이때, 상기 제 3 사진 감광막(133)도 동시에 제거된다.

도 2(d)를 참조하여 설명하면, 상기 제 3 층간 절연막(123), 제 2 층간 절연막(122) 및 제 1 층간 절연막(121) 각각을 게이트 전극(111), 비트라인(112), 상부 전극(114) 및 반도체 기판(100)이 각각 노출되도록 순차적으로 식각하고, 이로 인하여 메탈 콘택홀(151)의 식각 공정 여유도가 증가된다. 이때, 상부에 있는 제 1 희생 절연막(141)도 동시에 제거된다. 상기 제 2 사진 감광막(132) 및 제 1 사진 감광막(131)을 순차적으로 제거하고, 이로 인하여 캐패시터의 높이와 상관없이 메탈 콘택홀(151)의 깊이가 증가되지 않아 메탈 증착 공정의 공정 여유도가 크게 증가된다.

도 2(e)를 참조하여 설명하면, 상기 메탈 콘택홀(151)을 매립한 후 상기 메탈라인(152)으로 사용할 메탈을 증착한다. 상기 메탈라인(152)을 포함하는 전체 구조상에 제 4 층간 절연막(124)을 증착한 후, 상기 전체 구조상에 제 4 사진 감광막(134)을 일정 두께 이상 두껍게 증착하여 에치-백 공정이나 화학적 기계적 연마(CMP) 공정 등으로 셀 지역의 제 4 층간 절연막(124)이 노출되도록 식각하여 셀 지역과 주변 지역의 단차가 없이 평탄화를 이루고, 이로 인하여 메탈라인(152)의 마스크 공정 여유도가 증가된다.

상기 제 4 사진 감광막(134)은 2 내지 3 μm 의 두께로 형성된다.

도 2(f)를 참조하여 설명하면, 상기 전체 구조상의 선택된 영역에 제 5 사진 감광막(135) 및 제 2 희생 절연막(142)을 순차적으로 증착한다. 상기 전체 구조상의 선택된 영역에 제 6 사진 감광막(136)을 증착하고, 메탈라인(152)이 형성될 지역의 제 6 사진 감광막(136)을 마스크 공정을 이용하여 잔류시킨다. 상기 제 2 희생 절연막(142)을 제 5 사진 감광막(135)이 노출되도록 식각한다.

도 2(g)를 참조하여 설명하면, 상기 제 5 사진 감광막(135) 및 제 4 사진 감광막(134)의 선택된 영역을 제 4 층간 절연막(124)이 노출되도록 순차적으로 식각한다. 이때, 상부에 있는 제 6 사진 감광막(136)도 동시에 제거된다. 상기 제 4 층간 절연막(124)의 선택된 영역을 메탈라인(152)이 노출되도록 식각한다. 이때, 상부에 있는 제 2 희생 절연막(142)도 동시에 제거된다.

도 2(h)를 참조하여 설명하면, 상기 메탈라인(152)의 선택된 영역을 제 3 층간 절연막(123)이 노출되도록 식각한 후, 상기 제 5 사진 감광막(135) 및 제 4 사진 감광막(134)을 순차적으로 제거한다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면 사진 감광막을 일정 두께 이상 두껍게 증착하고 에치-백이나 화학적 기계적 연마 공정을 통해 전면 식각하여 셀 지역과 주변 지역을 평탄화시켜 메탈 콘택홀과 메탈라인을 형성하는 마스크 공정과 식각 공정 그리고 메탈 증착 공정의 공정 여유도를 크게 증가시키며, 콘택 저항의 증가를 방지하고 접합 지역의 누설 전류 특성을 저하할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 소자를 구성하기 위한 여러 요소가 형성된 기판이 제공되고, 셀 지역과 주변 지역에 단차가 생기는 단계와;

제 1 감광막을 이용하여 셀 지역 및 주변 지역을 1차 평탄화하는 단계와;

상기 전체 상부면에 제 2 감광막, 제 1 희생 절연막 및 제 3 감광막을 순차적으로 형성한 후, 주변 지역에 메탈 콘택홀을 형성하되 상기 메탈 콘택홀을 형성하기 위한 식각 공정이 진행되는 동안 상기 제 3 감광막 및 제 1 희생 절연막이 자연 제거되는 단계와;

상기 제 2 및 제 1 감광막을 제거한 후, 메탈라인을 형성하는 단계와;

상기 전체 상부면에 금속 층간 절연막을 증착한 후, 제 4 감광막을 이용하여 상기 셀 지역 및 주변 지역간을 2차 평탄화하는 단계와;

상기 전체 상부면에 제 5 감광막, 제 2 희생 절연막 및 제 6 감광막을 순차적으로 형성한 후, 셀 지역의 메탈라인을 노출시키되 상기 메탈라인 부분을 노출시키기 위한 식각 공정이 진행되는 동안 상기 제 6 감광막 및 제 2 희생 절연막이 자연 제거되는 단계;

상기 제 5 감광막을 식각 마스크로 하여 셀 지역의 노출된 메탈라인을 제거한 후, 주변 지역의 상기 제 5 및 제 4 감광막을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 평탄화 방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 감광막 및 제 4 감광막은 평탄화를 위해 전면 식각 공정을 수행하는 것을 특징으로 하는 반도체 소자의 평탄화 방법.

청구항 3.

제 2 항에 있어서,

상기 전면 식각 공정은 에치-백 공정 및 화학적 기계적 연마 공정 중 어느 하나의 공정으로 진행되는 것을 특징으로 하는 반도체 소자의 평탄화 방법.

청구항 4.

제 1 항에 있어서,

상기 제 1 감광막 및 제 4 감광막은 2 내지 3 μm 의 두께로 형성된 것을 특징으로 하는 반도체 소자의 평탄화 방법.

청구항 5.

제 1 항에 있어서,

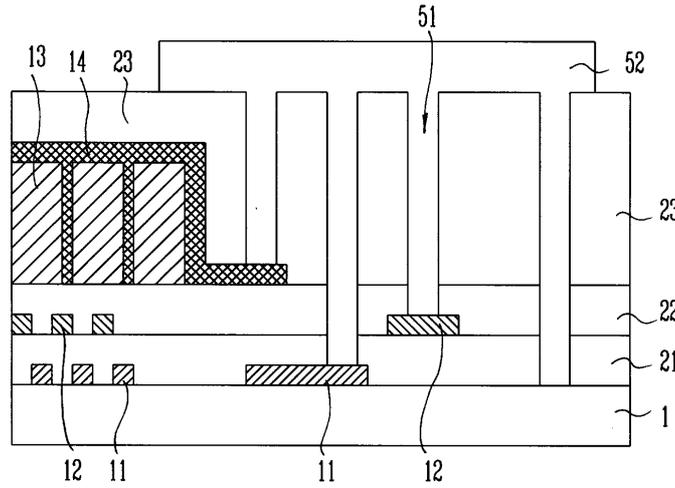
상기 메탈 콘택홀 형성 공정은

캐패시터의 상부 전극, 트랜지스터의 게이트 전극, 비트라인 및 반도체 기판 각각의 일부분이 개방되도록 상기 제 3 감광막을 패터닝하는 단계와;

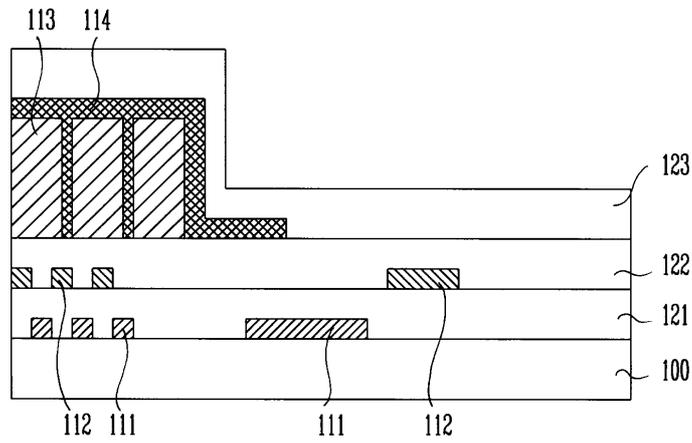
상기 제 3 감광막 패터를 식각 마스크로 한 식각 공정으로 상기 캐패시터의 상부 전극, 트랜지스터의 게이트 전극, 비트라인 및 반도체 기판 각각의 일부분이 노출되는 메탈 콘택홀을 각각 형성하는 단계로 이루어진 것을 반도체 기판의 평탄화 방법.

도면

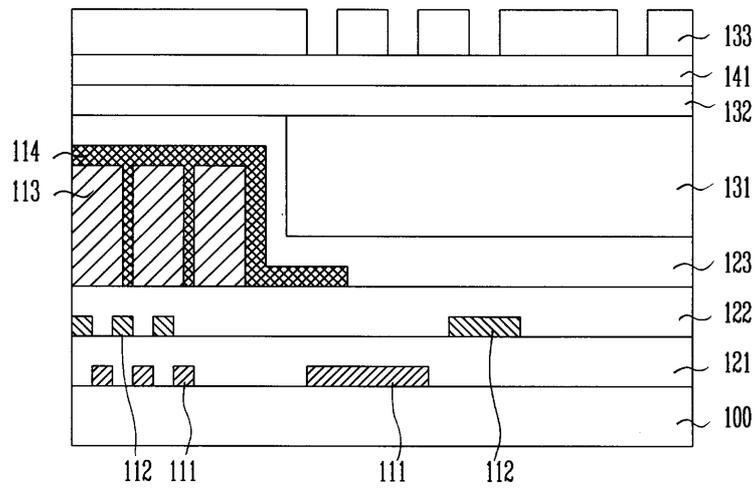
도면1



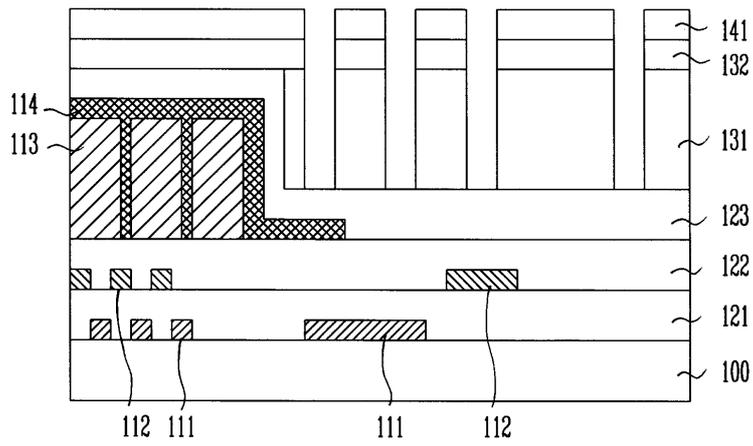
도면2a



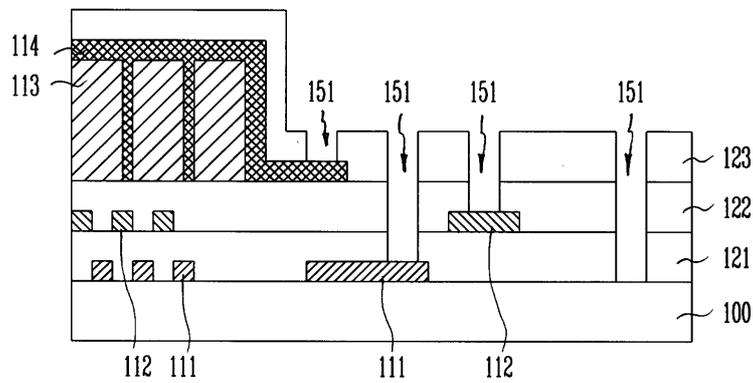
도면2b



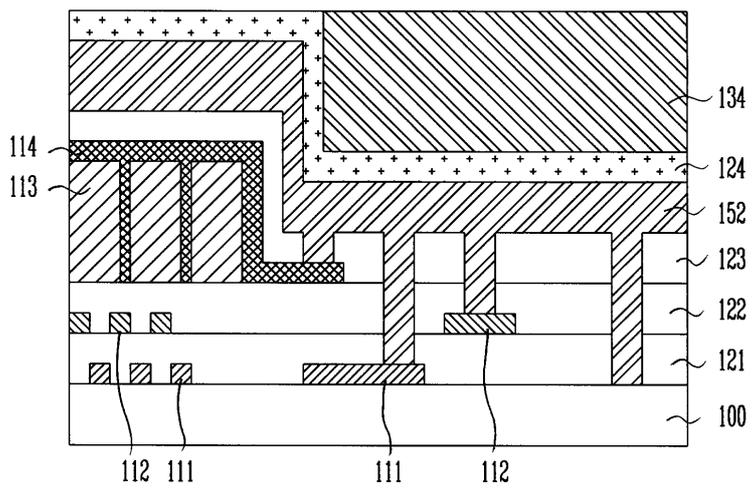
도면2c



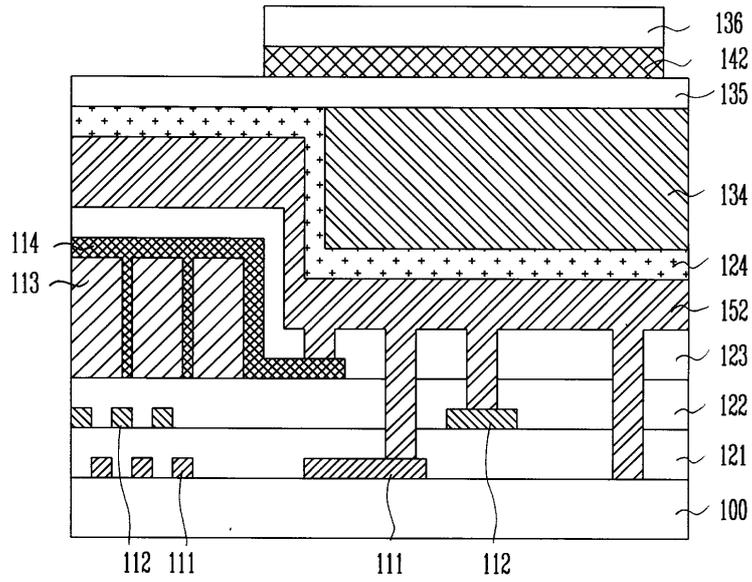
도면2d



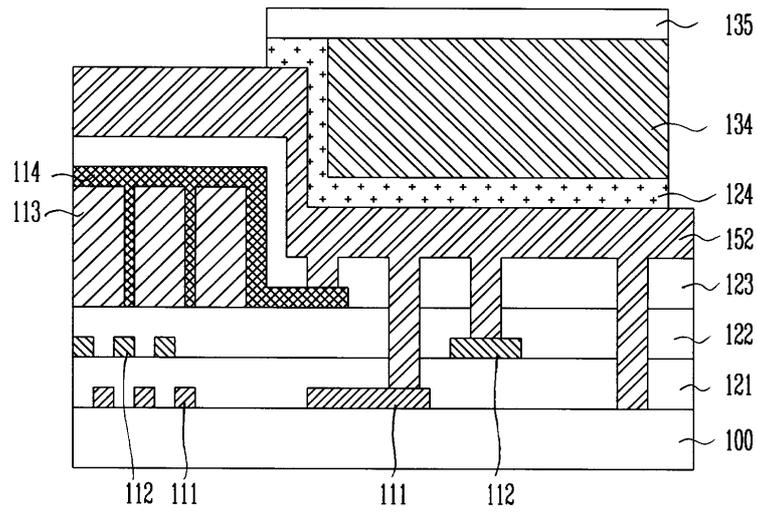
도면2e



도면2f



도면2g



도면2h

