

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-46229

(P2018-46229A)

(43) 公開日 平成30年3月22日(2018.3.22)

(51) Int.Cl.			F I			テーマコード (参考)		
HO1G	4/30	(2006.01)	HO1G	4/30	301B	5E001		
HO1G	4/232	(2006.01)	HO1G	4/12	352	5E082		
HO1G	4/35	(2006.01)	HO1G	4/42	331			

審査請求 未請求 請求項の数 4 O L (全 15 頁)

(21) 出願番号	特願2016-181465 (P2016-181465)	(71) 出願人	000003067 TDK株式会社 東京都港区芝浦三丁目9番1号
(22) 出願日	平成28年9月16日 (2016.9.16)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100113435 弁理士 黒木 義樹
		(74) 代理人	100124062 弁理士 三上 敬史
		(72) 発明者	佐藤 文昭 東京都港区芝浦三丁目9番1号 TDK株式会社内
		(72) 発明者	田村 健寿 東京都港区芝浦三丁目9番1号 TDK株式会社内

最終頁に続く

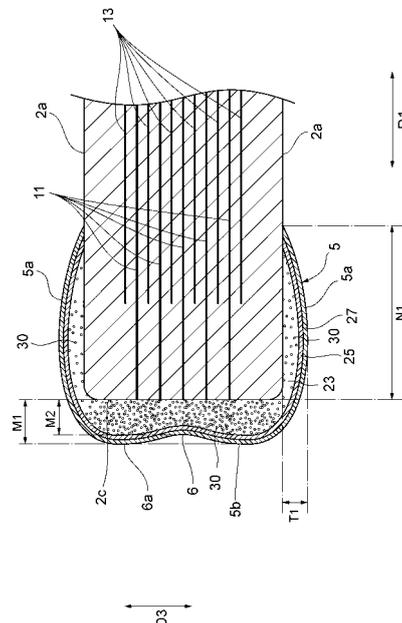
(54) 【発明の名称】 電子部品

(57) 【要約】

【課題】素体におけるクラックの発生が抑制されている電子部品を提供する。

【解決手段】電子部品は、長手方向D1での長さ及び幅方向D2での長さに対して高さ方向D3での長さが小さい直方体形状を呈している素体2と、素体2の長手方向D1での両端に配置されている一対の外部電極5と、を備えている。素体2は、高さ方向D3で互いに対向する一対の主面2aと、長手方向D1で互いに対向する一対の端面2cと、幅方向で互いに対向する一対の側面2eと、を有している。各第一外部電極5は、主面2a上に配置されている導体部5aと、端面2c上に配置されていると共に導体部5aと連結されている導体部5bと、を有している。導体部5aの空隙率は、導体部5bの空隙率より小さい。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

長手方向での長さ及び幅方向での長さに比して高さ方向での長さが小さい直方体形状を呈している素体と、

前記素体の前記長手方向での両端に配置されている一对の第一外部電極と、を備え、

前記素体は、前記高さ方向で互いに対向する一对の主面と、前記長手方向で互いに対向する一对の端面と、前記幅方向で互いに対向する一对の側面とを有し、

各前記第一外部電極は、一方の前記主面上に配置されている第一導体部と、前記端面上に配置されていると共に前記第一導体部と連結されている第二導体部と、を有しており、前記第一導体部の空隙率は、前記第二導体部の空隙率より小さい、電子部品。

10

【請求項 2】

前記素体の外表面における前記一对の第一外部電極の間に配置されている第二外部電極を更に備え、

前記第二外部電極は、前記側面上に配置されている導体部を有しており、

前記第二外部電極が有する前記導体部の空隙率は、前記第二導体部の空隙率より小さい、請求項 1 に記載の電子部品。

【請求項 3】

前記素体の外表面における前記一对の第一外部電極の間に配置されている第二外部電極を更に備え、

前記第二外部電極は、前記一方の主面上に配置されている導体部を有しており、

前記第二外部電極が有する前記導体部の最大厚みは、前記第一導体部の最大厚みより小さい、請求項 1 に記載の電子部品。

20

【請求項 4】

前記第二外部電極は、前記側面上に配置されている導体部を更に有しており、

前記第二外部電極が有する前記導体部の空隙率は、前記第二導体部の空隙率より小さい、請求項 3 に記載の電子部品。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電子部品に関する。

30

【背景技術】**【0002】**

長手方向での長さ及び幅方向での長さに比して高さ方向での長さが小さい直方体形状を呈している素体と、素体の長手方向での両端に配置されている一对の第一外部電極と、を備えている電子部品が知られている（たとえば、特許文献 1）。特許文献 1 に記載の電子部品では、素体は、高さ方向で互いに対向する一对の主面と、長手方向で互いに対向する一对の端面と、幅方向で互いに対向する一对の側面と、を有している。各第一外部電極は、主面上に配置されている第一導体部と、端面上に配置されていると共に第一導体部と連結されている第二導体部と、を有している。

【先行技術文献】

40

【特許文献】**【0003】**

【特許文献 1】特開 2002 - 237429 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

本発明は、素体におけるクラックの発生が抑制されている電子部品を提供することを目的とする。

【課題を解決するための手段】**【0005】**

50

本発明者らは、調査研究の結果、以下のような事実を新たに見出した。

【0006】

電子部品が電子機器（たとえば、回路基板又は他の電子部品など）にはんだ実装されている場合、電子機器から電子部品に作用する外力が、はんだ実装の際に形成されたはんだフィレット及び外部電極を介して素体に作用することがある。たとえば、電子部品が回路基板にはんだ実装されている場合に回路基板に撓みが生じると、回路基板の撓みに起因する外力が、はんだフィレット及び外部電極を介して素体に作用する。素体に外力が作用すると、外力に抗する力として素体に応力が生じる。

【0007】

電子部品が電子機器にはんだ実装される場合、通常、一对の主面のうちの主面が、電子機器と対向する実装面とされる。電子部品に作用する外力は、実装面である主面上に位置する第一導体部の端縁から素体に作用する傾向がある。このため、素体における第一導体部の端縁と接している部分が起点となって、素体にクラックが発生するおそれがある。したがって、実装面である主面上に位置する第一導体部の端縁から素体に作用する力を小さくすることが可能であれば、素体のクラックの発生には至り難い。

10

【0008】

そこで、本発明者らは、電子部品に外力が作用する場合でも、第一導体部の端縁から素体に作用する力を小さくし得る構成について鋭意研究を行った。

【0009】

この結果、本発明者らは、第一導体部の空隙率が第二導体部の空隙率より小さい構成を見出すに至った。この構成では、第一導体部と第二導体部とが互いに異なる空隙率を有するので、外部電極は、第一導体部と第二導体部とが連結されている位置に、構造的に不連続な部位を有する。このため、外力が外部電極に作用する場合、第一導体部と第二導体部との境界にクラックが生じ易い。電子部品にはんだフィレットを介して外力が作用することにより、第一導体部と第二導体部との境界にクラックが発生すると、第一導体部の端縁から素体に作用する力が小さくなる。

20

【0010】

電子部品では、通常、はんだとの相性を考慮して、外部電極（導体部）の最外層にはめっき層が採用される。空隙率が高い導体部は、空隙率が低い導体部よりも、めっき付き性が低いために最外層のめっき層が剥がれ易い傾向にある。このため、空隙率が高い導体部は、空隙率が低い導体部よりも、当該導体部と電子機器とのはんだによる接合強度が低くなるおそれがある。

30

【0011】

電子部品が電子機器にはんだ実装される場合、上記主面が電子機器と対向するため、接合強度に対する寄与度は、主面上に配置されている第一導体部の方が端面上に配置されている第二導体部よりも大きい。したがって、第一導体部の空隙率が第二導体部の空隙率より小さい場合、第一導体部の空隙率が第二導体部の空隙率より大きい場合に比べて、第一外部電極と電子機器とのはんだによる接合強度が高い。

【0012】

すなわち、第一導体部の空隙率が第二導体部の空隙率より小さい構成が採用されることで、第一外部電極と電子機器との接合強度の低下が抑制されると共に、素体におけるクラックの発生が抑制される。

40

【0013】

本発明に係る電子部品は、長手方向での長さ及び幅方向での長さに対して高さ方向での長さが小さい直方体形状を呈している素体と、素体の長手方向での両端に配置されている一对の第一外部電極と、を備え、素体は、高さ方向で互に対向する一对の主面と、長手方向で互に対向する一对の端面と、幅方向で互に対向する一对の側面とを有し、各第一外部電極は、一方の主面上に配置されている第一導体部と、端面上に配置されていると共に第一導体部と連結されている第二導体部と、を有しており、第一導体部の空隙率は、第二導体部の空隙率より小さい。

50

【0014】

本発明に係る電子部品では、第一導体部の空隙率が第二導体部の空隙率より小さいので、当該電子部品が実装される電子機器と第一外部電極との接合強度の低下が抑制されると共に、素体におけるクラックの発生が抑制される。

【0015】

素体の外表面における一对の第一外部電極の間に配置されている第二外部電極を更に備え、第二外部電極は、側面上に配置されている導体部を有しており、第二外部電極が有する導体部の空隙率は、第二導体部の空隙率より小さくてもよい。この場合、電子機器と第二外部電極との接合強度の低下が抑制される。

【0016】

素体の外表面における一对の第一外部電極の間に配置されている第二外部電極を更に備え、第二外部電極は、一方の主面上に配置されている導体部を有しており、第二外部電極が有する上記導体部の最大厚みは、第一導体部の最大厚みより小さくてもよい。この場合、電子部品が電子機器にはんだ実装される際に、電子部品の姿勢が安定する。

【発明の効果】

【0017】

本発明によれば、素体におけるクラックの発生が抑制されている電子部品を提供することができる。

【図面の簡単な説明】

【0018】

【図1】一実施形態に係る積層貫通コンデンサを示す概略斜視図である。

【図2】積層貫通コンデンサの断面構成を説明するための図である。

【図3】積層貫通コンデンサの断面構成を説明するための図である。

【図4】積層貫通コンデンサの断面構成を説明するための図である。

【図5】積層貫通コンデンサの断面構成を説明するための図である。

【図6】積層貫通コンデンサの平面図である。

【図7】積層貫通コンデンサの側面図である。

【図8】積層貫通コンデンサの側面図である。

【図9】本実施形態の変形例に係る積層貫通コンデンサの側面図である。

【発明を実施するための形態】

【0019】

以下、添付図面を参照して、本発明の実施形態について詳細に説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

【0020】

まず、図1～図3を参照して、本実施形態に係る積層貫通コンデンサ1の構成について説明する。図1は、本実施形態に係る積層貫通コンデンサを示す概略斜視図である。図2及び図3は、積層貫通コンデンサの断面構成を説明するための図である。本実施形態では、電子部品として積層貫通コンデンサ1を例に説明する。

【0021】

積層貫通コンデンサ1は、図1～3に示されているように、素体2と、素体2の外表面に配置された一对の外部電極5と、外表面に配置された一对の外部電極9と、素体2の内部に配置された複数の内部電極11と、素体2の内部に配置された複数の内部電極13と、を備えている。本実施形態において積層貫通コンデンサ1は、図2及び図3に示されているように、電子機器（たとえば、回路基板又は他の電子部品など）20にはんだ実装される。外部電極5及び外部電極9と電子機器20のパッド電極（不図示）との間には、はんだフィレット22が形成されている。

【0022】

素体2は、長手方向D1での長さに対して幅方向D2の長さが小さく、かつ、幅方向D2の長さに対して高さ方向D3の長さが小さい直方体形状を呈している。直方体形状には

10

20

30

40

50

、角部及び稜線部が面取りされている直方体の形状、及び、角部及び稜線部が丸められている直方体の形状が含まれる。本実施形態では、素体 2 の長手方向 D 1 の長さは 1.0 mm であり、幅方向 D 2 の長さは 0.5 mm であり、高さ方向 D 3 の長さは 0.2 mm である。

【0023】

素体 2 は、その外表面として、一对の主面 2 a と、一对の端面 2 c と、一对の側面 2 e と、を有している。一对の主面 2 a は、高さ方向 D 3 で互いに対向している。一对の端面 2 c は、長手方向 D 1 で互いに対向している。一对の側面 2 e は、幅方向 D 2 で互いに対向している。積層貫通コンデンサ 1 では、一方の主面 2 a が、電子機器 20 に対向する実装面である。

10

【0024】

素体 2 は、一对の主面 2 a が対向している高さ方向 D 3 に複数の誘電体層が積層されて構成されている。素体 2 では、複数の誘電体層の積層方向が、高さ方向 D 3 と一致する。各誘電体層は、たとえば誘電体材料 (BaTiO₃系、Ba(Ti, Zr)O₃系、又は (Ba, Ca)TiO₃系などの誘電体セラミック) を含むセラミックグリーンシートの焼結体から構成される。実際の素体 2 では、各誘電体層は、各誘電体層の間の境界が視認できない程度に一体化されている。

【0025】

一对の外部電極 5 は、図 1 に示されているように、素体 2 の長手方向での両端に配置されている。一对の外部電極 5 は、互いに離間しており、長手方向 D 1 で対向している。各外部電極 5 は、主面 2 a 上に配置されている一对の導体部 5 a と、端面 2 c 上に配置されている導体部 5 b と、側面 2 e 上に配置されている一对の導体部 5 c とを有している。各外部電極 5 において、導体部 5 a, 5 b, 5 c はそれぞれ互いに連結されている。一对の外部電極 5 は、たとえば、信号用端子電極として機能する。

20

【0026】

一对の外部電極 9 は、図 1 に示されているように、一对の外部電極 5 から離間し、素体 2 の外表面における一对の外部電極 5 の間に配置されている。一对の外部電極 9 は、素体 2 の長手方向 D 1 での中央部分に配置されている。一对の外部電極 9 は、互いに離間し、幅方向 D 2 で対向している。各外部電極 9 は、主面 2 a 上に配置されている一对の導体部 9 a と、側面 2 e 上に配置されている導体部 9 b とを有している。各外部電極 9 において、導体部 9 a, 9 b は互いに連結されている。一对の外部電極 9 は、たとえば、接地用端子電極として機能する。

30

【0027】

内部電極 11 と内部電極 13 とは、素体 2 の高さ方向において異なる位置 (層) に配置されている。すなわち、内部電極 11 と内部電極 13 とは、素体 2 内において、高さ方向 D 3 に間隔を有して対向するように交互に配置されている。内部電極 11 は、たとえば、信号用内部電極として機能し、内部電極 13 は、たとえば、接地用内部電極として機能する。

【0028】

各内部電極 11 は、長手方向 D 1 が長辺方向であると共に関幅方向 D 2 が短辺方向である矩形形状を呈している。各内部電極 11 は、一对の端面 2 c に露出し、一对の主面 2 a、及び、一对の側面 2 e には露出していない。各内部電極 11 は、一对の端面 2 c において、一对の外部電極 5 に接続されている。

40

【0029】

各内部電極 13 は、高さ方向 D 3 で素体 2 の一部 (誘電体層) を介して、内部電極 11 と対向している。各内部電極 13 は、長手方向 D 1 が長辺方向であると共に関幅方向 D 2 が短辺方向である矩形形状を呈している主電極部と、当該主電極部の長辺から延びて側面 2 e に露出している一对の接続部とを含んでいる。主電極部と各接続部とは、一体的に形成されている。各内部電極 13 は、一对の側面 2 e に露出し、一对の主面 2 a、及び、一对の端面 2 c には露出していない。各内部電極 13 は、一对の側面 2 e において、一对の外

50

部電極 9 に接続されている。

【 0 0 3 0 】

内部電極 1 1 及び内部電極 1 3 は、積層型の電気素子の内部電極として通常用いられる導電性材料（たとえば、Ni 又は Cu など）からなる。内部電極 1 1 及び内部電極 1 3 は、上記導電性材料を含む導電性ペーストの焼結体として構成される。

【 0 0 3 1 】

次に、図 4 ~ 図 8 を参照して、外部電極 5 及び外部電極 9 の詳細な構成について説明する。図 4 及び図 5 は、積層貫通コンデンサの断面構成を説明するための図である。図 6 は、積層貫通コンデンサの平面図である。図 7 及び図 8 は、積層貫通コンデンサの側面図である。図 4 は、たとえば、一对の側面 2 e に平行であり、かつ、一对の側面 2 e から等距離に位置している平面で積層貫通コンデンサ 1 を切断した断面図である。図 5 は、たとえば、一对の端面 2 c に平行であり、かつ、一对の端面 2 c から等距離に位置している平面で積層貫通コンデンサ 1 を切断した断面図である。

10

【 0 0 3 2 】

外部電極 5 及び外部電極 9 は、図 4 及び図 5 に示されているように、電極層 2 3 と、第一めっき層 2 5 と、第二めっき層 2 7 とを有している。具体的には、外部電極 5 及び外部電極 9 では、めっき処理（たとえば、電気めっき処理など）により、電極層 2 3 上に第一めっき層 2 5 が形成され、第一めっき層 2 5 上に第二めっき層 2 7 が形成されている。導体部 5 a , 5 b , 9 a , 9 b は、電極層 2 3 と、第一めっき層 2 5 と、第二めっき層 2 7 とを含んでいる。

20

【 0 0 3 3 】

電極層 2 3 は、導電性ペーストを素体 2 の表面に付与して焼き付けることにより形成されている。電極層 2 3 は、導電性ペーストに含まれる金属成分（金属粉末）が焼結して形成された焼結金属層である。本実施形態では、電極層 2 3 は、Cu からなる焼結金属層である。電極層 2 3 は、Ni からなる焼結金属層であってもよい。導電性ペーストには、Cu 又は Ni からなる粉末に、ガラス成分、有機バインダ、及び有機溶剤を混合したものが用いられている。

【 0 0 3 4 】

本実施形態では、第一めっき層 2 5 は、Ni めっきにより形成された Ni めっき層である。第一めっき層 2 5 は、Sn めっき層、Cu めっき層、又は Au めっき層であってもよい。第二めっき層 2 7 は、Sn めっきにより形成された Sn めっき層である。第二めっき層 2 7 は、Cu めっき層又は Au めっき層であってもよい。

30

【 0 0 3 5 】

一对の外部電極 5 の各導体部 5 b は、対応する端面 2 c の全体を覆っている。端面 2 c の全体とは、素体 2 の外表面のうち一对の主面 2 a 及び一对の側面 2 e により挟まれた全ての領域をいう。導体部 5 a 及び導体部 5 c は、素体 2 の両端において、図 4 に示されるように、各端面 2 c から長手方向 D 1 に長さ N 1 の部分の全ての領域を覆っている。本実施形態では、導体部 5 a 及び導体部 5 c の長手方向 D 1 での長さ N 1 は 0 . 1 5 mm である。

【 0 0 3 6 】

一对の外部電極 9 の導体部 9 b は、図 8 に示されるように、長手方向 D 1 における側面 2 e の中央部分において、長手方向 D 1 で長さ N 2 の幅を有し、かつ、一对の主面 2 a に挟まれた領域の全体を覆っている。各導体部 9 a は、長手方向 D 1 で長さ N 2 の幅を有する端部で導体部 9 b に連結され、図 5 に示されるように、側面 2 e から幅方向 D 2 に長さ N 3 の位置まで延在している。本実施形態では、導体部 9 b の長手方向 D 1 での長さ N 2 は 0 . 3 0 mm であり、導体部 9 a の幅方向 D 2 での長さ N 3 は 0 . 1 0 mm である。

40

【 0 0 3 7 】

一对の外部電極 9 の導体部 9 a は、図 6 で示されているように、主面 2 a 上において、幅方向 D 2 で対向している。主面 2 a 上における一对の外部電極 9 の導体部 9 a の間の最短距離を W 0 とし、素体 2 の幅方向 D 2 での長さを W 1 としたとき、 $1 . 1 8 \leq W 0 / W 1$

50

0.5.0が満たされている。本実施形態では、 W_0 は0.30mmであり、 W_1 は0.48mmであり、 W_1/W_0 は1.6である。

【0038】

外部電極9が有する導体部9aの最大厚み T_2 は、外部電極5が有する導体部5aの最大厚み T_1 より小さい。最大厚み T_1 、 T_2 は、主面2aから該主面2a上に配置された各導体部5a、9aの外表面までの高さ方向D3での距離のうち最大値である。本実施形態では、外部電極5の導体部5aの最大厚み T_1 は、0.015mmである。外部電極9の導体部9aの最大厚み T_2 は、0.01mmである。

【0039】

一对の外部電極5では、図7に示されているように、長手方向D1から見て、導体部5bの中央は素体2側(端面2c側)に窪んでいる。より詳細には、導体部5bは、図4に示されているように、導体部5bの端(導体部5bが導体部5a、5cと連結されている部分)から徐々に長手方向D1での厚みが大きくなり、厚みが最大となった後に導体部5bの中央にかけて徐々に厚みが小さくなる。導体部5bの厚みが極大である位置から導体部5bの中央にかけて窪んでいる部分が、窪み部6である。導体部5bにおける厚みが極大である位置が、窪み部6の外縁6aである。外縁6aは、端面2cと平行な仮想平面が導体部5bの表面と接する位置でもある。

【0040】

本実施形態における窪み部6の外縁6aは、図7に示されているように楕円形状である。楕円形状とは、長円形状も含む。窪み部6の外縁6aは、図9に示されているように、楕円形状の外縁6aに比べて、導体部5bの四隅(端面2cの四隅)に対応する部分が四隅に向かって延びた形状であってもよい。長手方向D1から見たとき、図9で示された窪み部6の面積は、図7で示された窪み部6の面積よりも大きい。図9は、本実施形態の変形例に係る積層貫通コンデンサの側面図である。

【0041】

本実施形態では、長手方向D1から見て、高さ方向D3における外部電極5の端から窪み部6の外縁6aまでの最短距離 L_1 は、0.09mmである。長手方向D1から見て、幅方向D2における外部電極5の端から窪み部6の外縁6aまでの最短距離 L_2 は、0.17mmである。導体部5bの最大厚み M_1 は、0.03mmである。導体部5bの中央付近において導体部5bの厚みが極小である位置での厚み M_2 は、0.02mmである。すなわち、窪み部6の深さは、0.01mmである。最大厚み M_1 は、端面2cから該端面2c上に配置された導体部5bの外表面までの長手方向D1での距離のうち最大値である。

【0042】

一对の外部電極9では、図8に示されているように、幅方向D2からみて、導体部9bの中央は素体2側(側面2e側)に窪んでいる。より詳細には、導体部9bは、図5に示されているように、導体部9bの端(導体部9bが導体部9aと連結されている部分)から徐々に幅方向D2での厚みが大きくなり、厚みが最大となった後に導体部9bの中央にかけて徐々に厚みが小さくなる。導体部9bの厚みが極大である位置から導体部9bの中央にかけて窪んでいる部分が、窪み部10である。導体部9bにおける厚みが極大である位置が、窪み部10の外縁10aである。外縁10aは、側面2eと平行な仮想平面が導体部9bの表面と接する位置でもある。本実施形態における窪み部10の外縁10aは、図8に示されているように楕円形状である。

【0043】

本実施形態では、幅方向D2から見て、高さ方向D3における外部電極9の端から窪み部10の外縁10aまでの最短距離 L_3 は、0.09mmである。幅方向D2から見て、幅方向における外部電極9の端から窪み部10の外縁10aまでの最短距離 L_4 は、0.08mmである。導体部9bの最大厚み M_3 は、0.02mmである。導体部9bの中央付近において導体部9bの厚みが極小である位置での厚み M_4 は、0.015mmである。すなわち、窪み部10の深さは、0.005mmである。最大厚み M_3 は、側面2eか

10

20

30

40

50

ら該側面 2 e 上に配置された導体部 9 b の外表面までの幅方向 D 2 での距離のうち最大値である。

【 0 0 4 4 】

各外部電極 5 の電極層 2 3 は、図 4 に示されたように、導電性部材の他に、導電性部材以外の物質（たとえば、ガラス及び空気など）からなる空隙 3 0 を含んでいる。すなわち、空隙 3 0 は、空気からなる領域だけでなく、ガラスからなる領域も含む。図 4 及び図 5 では、空隙 3 0 が、模式的に円で示されている。実際の空隙 3 0 の形状は、円（球）に限られない。

【 0 0 4 5 】

各外部電極 5 において、導体部 5 a の空隙率は、導体部 5 b の空隙率より小さい。本実施形態では、導体部 5 c の空隙率も、導体部 5 b の空隙率より小さい。導体部 5 a の空隙率は、導体部 5 c の空隙率と同等である。導体部 5 a の空隙率は、導体部 5 c の空隙率とは異なってもよい。本実施形態では、導体部 5 a , 5 c の空隙率は 1 . 5 % であり、導体部 5 b の空隙率は 2 . 5 % である。空隙率とは、各導体部 5 a , 5 b , 5 c の電極層 2 3 における空隙率をいう。

10

【 0 0 4 6 】

各導体部 5 a , 5 b , 5 c の空隙率は、たとえば、以下のようにして求めることができる。

【 0 0 4 7 】

外部電極 5 の導体部 5 a , 5 b , 5 c の電極層 2 3 を含む断面図を取得する。断面図は、たとえば、一对の側面 2 e に平行であり、かつ、一对の側面 2 e から等距離に位置している平面で切断したときの導体部 5 a 及び導体部 5 b の各電極層 2 3 の断面図、及び、一对の主面 2 a に平行であり、かつ、一对の主面 2 a から等距離に位置している平面で切断したときの導体部 5 c 及び導体部 5 b の各電極層 2 3 の断面図である。取得した断面図上での、導体部 5 a , 5 b , 5 c の電極層 2 3 の各面積と、各導体部 5 a , 5 b , 5 c の電極層 2 3 における導電性部材が存在していない領域の各面積を算出する。

20

【 0 0 4 8 】

導体部 5 a の電極層 2 3 における導電性部材が存在していない領域の面積を、導体部 5 a の電極層 2 3 の面積で除し、得られた商を百分率で表した値を導体部 5 a の空隙率とする。導体部 5 b の電極層 2 3 における導電性部材が存在していない領域の面積を、導体部 5 b の電極層 2 3 の面積で除し、得られた商を百分率で表した値を導体部 5 b の空隙率とする。導体部 5 c の電極層 2 3 における導電性部材が存在していない領域の面積を、導体部 5 c の電極層 2 3 の面積で除し、得られた商を百分率で表した値を導体部 5 c の空隙率とする。

30

【 0 0 4 9 】

各外部電極 9 の電極層 2 3 も、外部電極 5 の電極層 2 3 と同様に、導電性部材の他に、導電性部材以外の物質（たとえば、ガラス及び空気など）からなる空隙 3 0 を含んでいる。各外部電極 9 において、導体部 9 a の空隙率は、導体部 9 b の空隙率より小さい。導体部 9 a の空隙率は、外部電極 5 の導体部 5 a の空隙率より小さい。導体部 9 b の空隙率は、外部電極 5 の導体部 5 b の空隙率より小さい。本実施形態では、導体部 9 a の空隙率は 0 . 5 % であり、導体部 9 b の空隙率は 1 . 0 % である。空隙率とは、各導体部 9 a , 9 b の電極層 2 3 における空隙率をいう。

40

【 0 0 5 0 】

各導体部 9 a , 9 b の空隙率は、たとえば、以下のようにして求めることができる。

【 0 0 5 1 】

外部電極 9 の導体部 9 a , 9 b の電極層 2 3 を含む断面図を取得する。断面図は、たとえば、一对の端面 2 c に平行であり、かつ、一对の端面 2 c から等距離に位置している平面で切断したときの導体部 9 a 及び導体部 9 b の各電極層 2 3 の断面図である。取得した断面図上での、導体部 9 a , 9 b の電極層 2 3 の各面積と、各導体部 9 a , 9 b の電極層 2 3 における導電性部材が存在していない領域の各面積を算出する。

50

【0052】

導体部 9 a の電極層 2 3 における導電性部材が存在していない領域の面積を、導体部 9 a の電極層 2 3 の面積で除し、得られた商を百分率で表した値を導体部 9 a の空隙率とする。導体部 9 b の電極層 2 3 における導電性部材が存在していない領域の面積を、導体部 9 b の電極層 2 3 の面積で除し、得られた商を百分率で表した値を導体部 9 b の空隙率とする。

【0053】

以上説明したように、積層貫通コンデンサ 1 では、各外部電極 5 において、導体部 5 a の空隙率と導体部 5 b の空隙率が異なる。すなわち、外部電極 5 は、導体部 5 a と導体部 5 b とが連結されている位置に、構造的に不連続な部位を有する。このため、外力が外部電極 5 に作用する場合、各外部電極 5 では、導体部 5 a と導体部 5 b との境界にクラックが生じ易い。はんだフィレット 2 2 を介して外力が積層貫通コンデンサ 1 に作用することにより、導体部 5 a と導体部 5 b との境界にクラックが発生すると、導体部 5 a の端縁から素体 2 に作用する力が小さくなる。この結果、積層貫通コンデンサ 1 では、導体部 5 a の端縁から素体 2 に作用する力に起因して素体 2 の内部に生じる応力が小さく、素体 2 におけるクラックの発生が抑制されている。

【0054】

導体部 5 a と導体部 5 b との境界にクラックが発生した場合でも、導体部 5 b とはんだフィレット 2 2 との物理的な接続は維持される。したがって、電子機器 2 0 の電極と内部電極 1 1 との電氣的な接続が維持され、積層貫通コンデンサ 1 の機能が損なわれることはない。

【0055】

積層貫通コンデンサ 1 が電子機器 2 0 にはんだ実装される場合、一方の主面 2 a が電子機器 2 0 と対向する。このため、電子機器 2 0 と積層貫通コンデンサ 1 (外部電極 5) とのはんだ接合による接合強度に対する寄与度は、主面 2 a 上に配置されている導体部 5 a の方が端面 2 c 上に配置されている導体部 5 b よりも大きい。導体部 5 a の空隙率は導体部 5 b の空隙率より小さいため、導体部 5 a の空隙率が導体部 5 b の空隙率より大きい場合に比べて、導体部 5 a におけるめっき付き性が高く、外部電極 5 と電子機器 2 0 とのはんだ接合による接合強度が高い。

【0056】

したがって、積層貫通コンデンサ 1 では、導体部 5 a の空隙率が導体部 5 b の空隙率より小さいので、外部電極 5 と電子機器 2 0 との接合強度の低下が抑制されていると共に、素体 2 におけるクラックの発生が抑制されている。

【0057】

積層貫通コンデンサ 1 では、導体部 9 a の空隙率が導体部 9 b の空隙率より小さい。この構成により、外部電極 9 と電子機器 2 0 との接合強度の低下が抑制されていると共に、素体 2 におけるクラックの発生が抑制されている。

【0058】

外部電極 9 は、外部電極 5 に比べて表面積が小さい。このため、積層貫通コンデンサ 1 が電子機器 2 0 に実装される際に外部電極 9 に付着されるはんだ量は、外部電極 5 に付着されるはんだ量より少ない。したがって、導体部 5 b と導体部 9 b とにおけるめっき付き性が同等であれば、導体部 9 b と電子機器 2 0 との接合強度が、導体部 5 a と電子機器 2 0 との接合強度よりも低くなるおそれがある。

【0059】

導体部 9 b の空隙率は、導体部 5 b の空隙率より小さいため、導体部 9 b におけるめっき付き性は、導体部 5 b におけるめっき付き性よりも高い。したがって、導体部 9 b と電子機器 2 0 との接合強度が確保される。導体部 9 a の空隙率は、導体部 5 a の空隙率より小さいため、導体部 9 a におけるめっき付き性は、導体部 5 a におけるめっき付き性よりも高い。したがって、導体部 9 a と電子機器 2 0 との接合強度が確保される。

【0060】

10

20

30

40

50

外部電極 9 が有する導体部 9 a の最大厚み T 2 は、外部電極 5 が有する導体部 5 a の最大厚み T 1 より小さい。このため、積層貫通コンデンサ 1 が電子機器 2 0 にはんだ実装される際に、積層貫通コンデンサ 1 の姿勢が安定する。

【0061】

図 2 及び図 3 に示されているように、積層貫通コンデンサ 1 は、外部電極 5 及び外部電極 9 と電子機器 2 0 との間に形成されたはんだフィレット 2 2 によって、電子機器 2 0 に実装される。電子機器 2 0 が、たとえば、回路基板のように板状である場合、電子機器 2 0 に撓みが生じることがある。素体 2 の長手方向 D 1 での両端に配置されている一対の外部電極 5 だけでなく、素体 2 の外表面における一対の外部電極 5 の間に配置されている外部電極 9 が電子機器 2 0 にはんだ接合されているので、積層貫通コンデンサ 1 が実装されている電子機器 2 0 に撓みが生じると、電子機器 2 0 の撓みに起因する応力が、素体 2 における外部電極 9 が設けられている領域及びその近傍に集中し易い。

10

【0062】

電子機器 2 0 の撓みに起因する上記応力は、外部電極 9 がはんだフィレット 2 2 を介して電子機器 2 0 から受ける拘束力に応じて大きくなる。したがって、はんだフィレット 2 2 による外部電極 9 と電子機器 2 0 との接合強度が過度に大きい場合、電子機器 2 0 の撓みに起因して素体 2 に発生する応力により、素体 2 にクラックが発生するおそれがある。

【0063】

積層貫通コンデンサ 1 では、導体部 9 b が素体 2 側に窪んでいるので、はんだは、導体部 9 b に形成されている窪み部 1 0 を越えて濡れ上がり難い。すなわち、導体部 9 b に窪み部 1 0 が形成されていない積層貫通コンデンサに比して、積層貫通コンデンサ 1 では、はんだが導体部 9 b を濡れ上がる高さが低い。このため、積層貫通コンデンサ 1 が実装される際に形成されるはんだフィレットが小さく、導体部 9 b がはんだフィレット 2 2 を介して電子機器 2 0 から受ける拘束力が低減される。したがって、電子機器 2 0 の撓みに起因して素体 2 に発生する応力も低減されるため、素体 2 におけるクラックの発生が抑制されている。

20

【0064】

幅方向 D 2 から見て、導体部 9 b の中央が素体 2 側に窪んでいるので、幅方向 D 2 から見て、はんだは、導体部 9 b の中央を越えて濡れ上がり難く、導体部 9 b の中央から外れた領域（たとえば、導体部 9 b の幅方向 D 2 での両端）では濡れ上がり易い。このため、外部電極 9 と電子機器 2 0 との接合強度が確保されつつ、外部電極 9 がはんだフィレット 2 2 を介して電子機器 2 0 から受ける拘束力が抑制される。はんだが、導体部 9 b の幅方向 D 2 での両端で濡れ上がる場合、積層貫通コンデンサ 1 の位置が安定する。

30

【0065】

積層貫通コンデンサ 1 では、主面 2 a 上における一対の外部電極 9 の導体部 9 a の間の最短距離を W 0 とし、素体 2 の幅方向 D 2 での長さを W 1 としたとき、 $1.18 \leq W 1 / W 0 \leq 5.0$ が満たされている。このため、主面 2 a と電子機器 2 0 とが対向した状態で積層貫通コンデンサ 1 が電子機器 2 0 に実装される場合に、外部電極 9 と電子機器 2 0 との接合強度がより確実に確保されつつ、素体 2 におけるクラックの発生がより一層抑制される。W 1 / W 0 が 1.18 より小さい場合、W 1 / W 0 が 1.18 以上である場合に比して、導体部 9 a と電子機器 2 0 との接合強度が低いため、積層貫通コンデンサ 1 の実装強度が低下するおそれがある。W 1 / W 0 が 5.0 より大きい場合、W 1 / W 0 が 5.0 以下である場合に比して、導体部 9 a と電子機器 2 0 との接合強度が高く、導体部 9 a の端縁から素体 2 に作用する力が強い。このため、素体 2 における導体部 9 a の端縁と接している部分が起点となって、素体 2 にクラックが発生するおそれがある。

40

【0066】

以上、本発明の実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

【0067】

たとえば、本実施形態では、外部電極 5 が各主面 2 a 上に導体部 5 a を有しているが、

50

外部電極 5 は、実装面となる一方の主面 2 a 上のみ導体部 5 a を有していてもよい。同様に、本実施形態では、外部電極 9 が各主面 2 a 上に導体部 9 a を有しているが、外部電極 9 は、実装面となる一方の主面 2 a 上のみ導体部 9 a を有していてもよい。この場合、導体部 5 a と導体部 9 a とは、同じ主面 2 a 上に配置される。

【0068】

本実施形態では、積層貫通コンデンサ 1 が互いに離間した一対の外部電極 9 を備えているが、積層貫通コンデンサ 1 は、一方の側面 2 e 側のみ配置された一つの外部電極 9 のみを備えていてもよい。一対の外部電極 9 は、素体 2 の外表面上で物理的に接続されていてもよい。

【0069】

本実施形態では、本実施形態では、導体部 5 a 及び導体部 5 c の長さ N 1 は 0.15 mm であるが、これに限定されない。たとえば、外部電極 5 の電子機器 20 に対する接合強度の確保、及び、原材料費の削減などの観点から、素体 2 の長手方向 D 1 の長さに対する長さ N 1 の割合は、1 ~ 40 % であってもよい。

【0070】

本実施形態では、導体部 9 b の長手方向 D 1 での長さ N 2 は 0.30 mm であり、導体部 9 a の幅方向 D 2 での長さ N 3 は 0.10 mm であるが、これらに限定されない。たとえば、外部電極 9 の電子機器 20 に対する接合強度の確保、及び、原材料費の削減などの観点から、素体 2 の長手方向 D 1 の長さに対する長さ N 2 の割合は、15 ~ 50 % であってもよく、素体 2 の幅方向 D 2 の長さに対する長さ N 3 の割合は、1 ~ 50 % であってもよい。

【0071】

本実施形態では、外部電極 5 の導体部 5 a の最大厚み T 1 は 0.015 mm であり、外部電極 9 の導体部 9 a の最大厚み T 2 は 0.01 mm であるが、これらに限定されない。たとえば、製造容易、及び、原材料費の削減などの観点から、最大厚み T 1 は 0.01 ~ 0.05 mm であってもよく、最大厚み T 2 は 0.005 ~ 0.045 mm であってもよい。

【0072】

本実施形態では、外部電極 5 における最短距離 L 1 は 0.09 mm であるが、これに限定されない。外部電極 5 における最短距離 L 2 は 0.17 mm であるが、これに限定されない。たとえば、外部電極 5 と電子機器 20 との接合強度をより適切に調整する観点から、最短距離 L 1 は 0.01 ~ 0.095 mm であってもよく、最短距離 L 2 は 0.01 ~ 0.23 mm であってもよい。

【0073】

本実施形態では、外部電極 9 における最短距離 L 3 は 0.09 mm であるが、これに限定されない。外部電極 9 における最短距離 L 4 は 0.08 mm であるが、これに限定されない。たとえば、外部電極 9 と電子機器 20 との接合強度をより適切に調整する観点から、最短距離 L 3 は 0.01 ~ 0.095 mm であってもよく、最短距離 L 4 は 0.01 ~ 0.14 mm であってもよい。

【0074】

本実施形態では、導体部 5 b の最大厚み M 1 は 0.03 mm であり、導体部 5 b の厚み M 2 は 0.02 mm であるとしたが、これらに限定されない。導体部 9 b の最大厚み M 3 は 0.02 mm であり、導体部 9 b の厚み M 4 は 0.015 mm であるとしたが、これらに限定されない。たとえば、製造容易、及び、原材料費の削減などの観点から、最大厚み M 1 は 0.01 ~ 0.1 mm であってもよく、厚み M 2 は 0.005 ~ 0.095 mm であってもよく、最大厚み M 3 は 0.01 ~ 0.1 mm であってもよく、厚み M 4 は 0.005 ~ 0.095 mm であってもよい。たとえば、はんだの這い上がり抑制する効果の確保、及び、原材料費の削減などの観点から、窪み部 6, 10 の深さは、0.001 ~ 0.095 mm であってもよい。

【0075】

10

20

30

40

50

本実施形態では、導体部 5 a , 5 c の空隙率は 1 . 5 % であり、導体部 5 b の空隙率は 2 . 5 % であり、導体部 9 a の空隙率は 0 . 5 % であり、導体部 9 b の空隙率は 1 . 0 % であるが、これらに限定されない。たとえば、導体部 5 a , 5 c の空隙率は 0 . 1 ~ 9 . 5 % であってもよく、導体部 5 b の空隙率は 0 . 2 ~ 1 0 % であってもよく、導体部 9 a の空隙率は 0 . 1 ~ 9 . 5 % であってもよく、導体部 9 b の空隙率は 0 . 2 ~ 1 0 % であってもよい。導体部 5 b の空隙率が 1 0 % より大きい場合、及び、導体部 9 b の空隙率が 1 0 % より大きい場合、いずれも、めっき付きが低下するおそれがある。

【 0 0 7 6 】

たとえば、導体部 5 a と導体部 5 b との境界にクラックを発生し易くする観点から、導体部 5 a と導体部 5 b との空隙率の比は 1 . 1 以上であってもよい。たとえば、導体部 9 a と導体部 9 b との境界にクラックを発生し易くする観点から、導体部 9 a と導体部 9 b との空隙率の比は 1 . 1 以上であってもよい。

10

【 0 0 7 7 】

本実施形態では、電子部品として積層貫通コンデンサを例に説明したが、本発明はこれに限られることなく、積層コンデンサ、積層インダクタ、積層バリスタ、積層圧電アクチュエータ、積層サーミスタ、もしくは積層複合部品などの積層電子部品、又は、積層電子部品以外の電子部品にも適用できる。

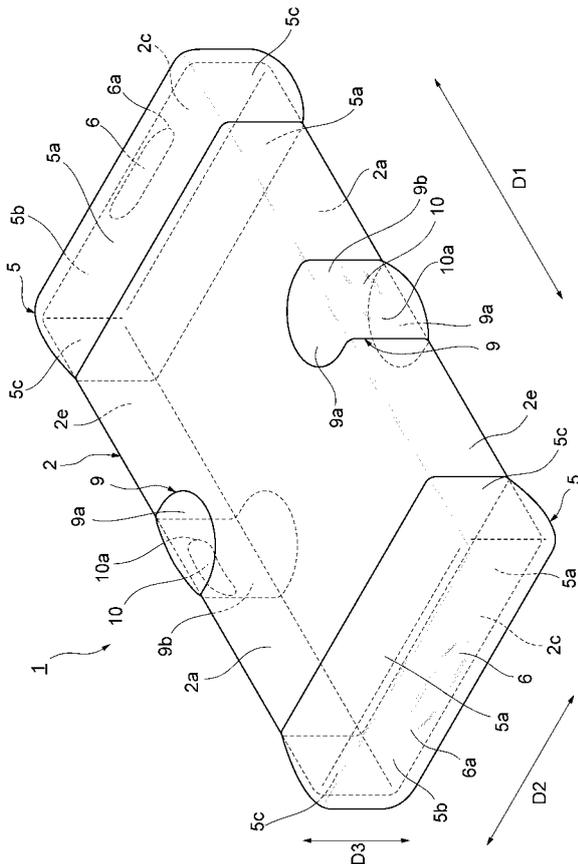
【 符号の説明 】

【 0 0 7 8 】

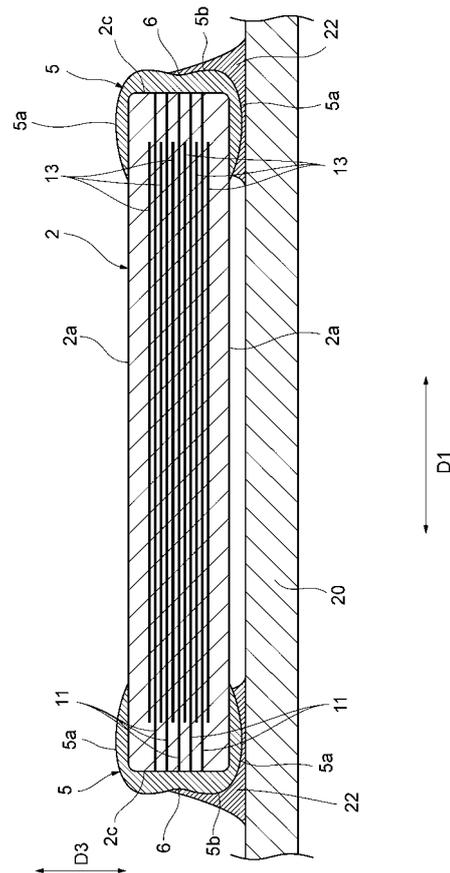
1 ... 積層貫通コンデンサ、 2 ... 素体、 2 a ... 主面、 2 c ... 端面、 2 e ... 側面、 5 , 9 ... 外部電極、 5 a , 5 b , 9 a , 9 b ... 導体部、 3 0 ... 空隙、 D 1 ... 長手方向、 D 2 ... 幅方向、 D 3 ... 高さ方向。

20

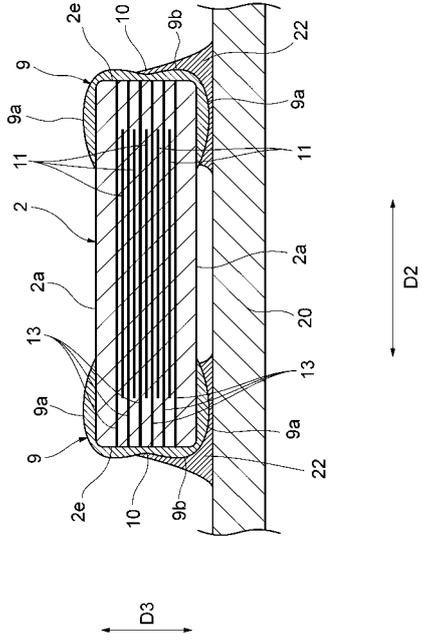
【 図 1 】



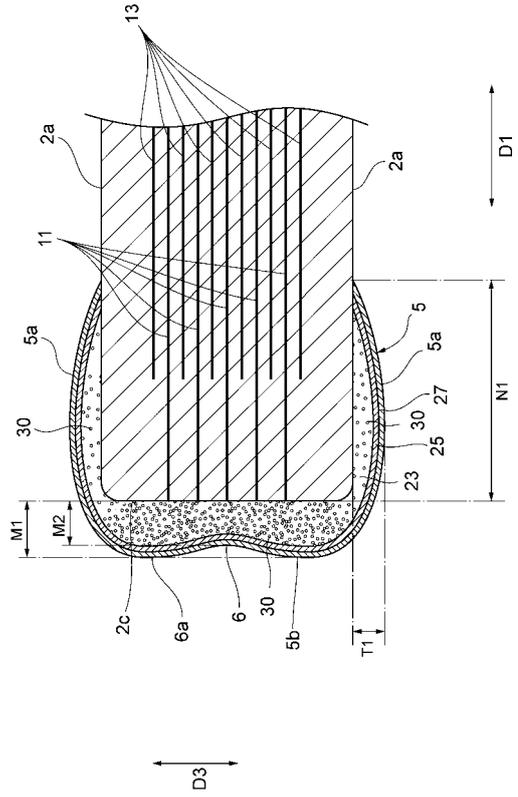
【 図 2 】



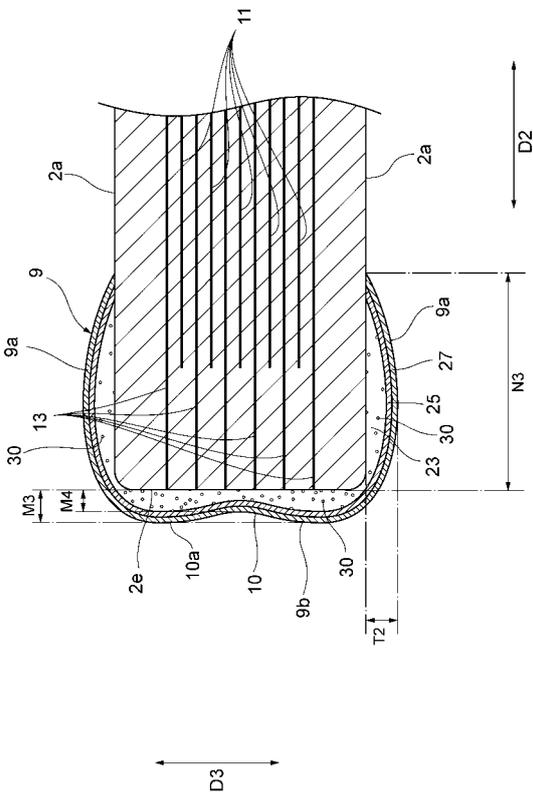
【 図 3 】



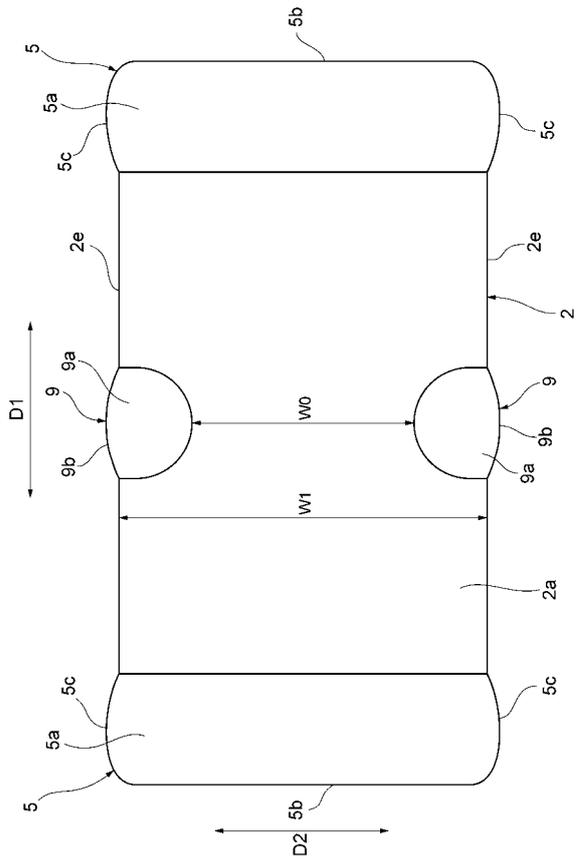
【 図 4 】



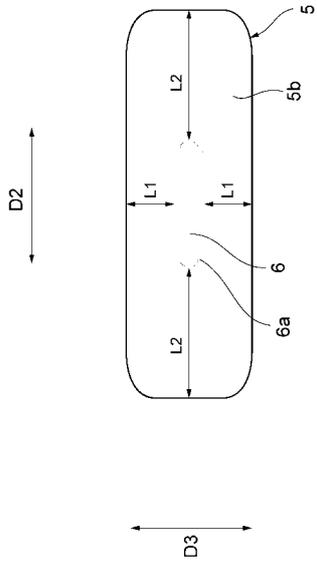
【 図 5 】



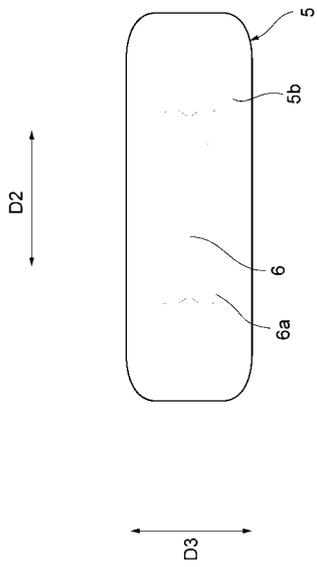
【 図 6 】



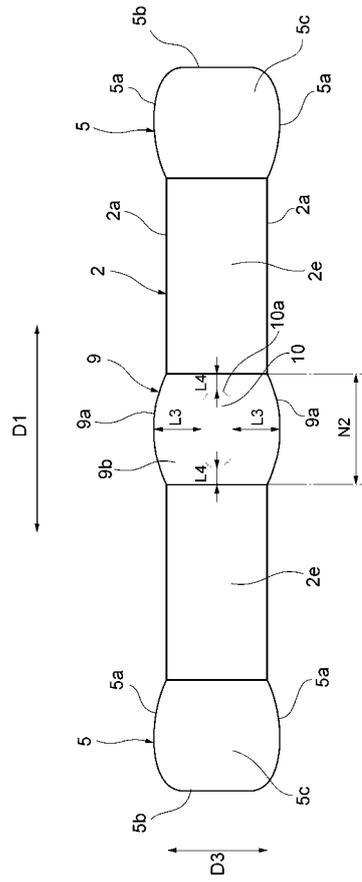
【 図 7 】



【 図 9 】



【 図 8 】



フロントページの続き

- (72)発明者 服部 祐磨
東京都港区芝浦三丁目9番1号 T D K株式会社内
- (72)発明者 尾上 通
東京都港区芝浦三丁目9番1号 T D K株式会社内
- (72)発明者 宮 崎 大資
東京都港区芝浦三丁目9番1号 T D K株式会社内
- (72)発明者 森田 健
東京都港区芝浦三丁目9番1号 T D K株式会社内
- (72)発明者 岡本 拓人
東京都港区芝浦三丁目9番1号 T D K株式会社内
- Fターム(参考) 5E001 AB03 AF06
5E082 AB03 FF05 FG26 GG10