

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6821776号
(P6821776)

(45) 発行日 令和3年1月27日(2021.1.27)

(24) 登録日 令和3年1月8日(2021.1.8)

(51) Int. Cl. F I
G 1 1 C 11/16 (2006.01) G 1 1 C 11/16 2 3 0

請求項の数 20 外国語出願 (全 20 頁)

<p>(21) 出願番号 特願2019-226928 (P2019-226928) (22) 出願日 令和1年12月17日 (2019.12.17) (65) 公開番号 特開2020-135917 (P2020-135917A) (43) 公開日 令和2年8月31日 (2020.8.31) 審査請求日 令和1年12月18日 (2019.12.18) (31) 優先権主張番号 16/281,699 (32) 優先日 平成31年2月21日 (2019.2.21) (33) 優先権主張国・地域又は機関 米国 (US)</p>	<p>(73) 特許権者 511242535 サンディスク テクノロジーズ エルエル シー アメリカ合衆国 75001、テキサス州 、アディソン、スペクトラム ドライブ 5080、スイート 1050ダブリュ 5080 Spectrum Drive , Suite 1050W, Addiso n, Texas 75001, Unite d States of America (74) 代理人 110002572 特許業務法人平木国際特許事務所</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 セレクタ電圧補償を用いる磁気ランダムアクセスメモリ

(57) 【特許請求の範囲】

【請求項 1】

回路であって、

セレクタ要素と直列の磁気トンネル接合 (magnetic tunnel junction、MTJ) 要素に結合された制御回路であって、前記セレクタ要素が導電状態にあるときに前記セレクタ要素を通る電流を調整するように構成された、制御回路と、

前記セレクタ要素を通る前記電流に対する調整に基づいて、前記導電状態における前記セレクタ要素にわたるオフセット電圧を補償するように構成された、補償回路と、

前記MTJ要素の磁化状態を報告するように構成された、出力回路と、を備える、回路。

10

【請求項 2】

前記セレクタ要素を通る電流上に異なる制限を含む少なくとも2つの電流調整を開始するように構成された、前記制御回路と、

前記オフセット電圧の影響を低減するために、前記少なくとも2つの電流調整上で演算された算術操作を用いて、前記セレクタ要素にわたる前記オフセット電圧を補償するように構成された、前記補償回路と、を備える、請求項1に記載の回路。

【請求項 3】

前記補償回路が、

前記セレクタ要素及び前記MTJ要素にわたる電圧降下の組み合わせに対応する検知電圧に第1の端子において結合された、コンデンサと、

20

前記検知電圧に従って前記コンデンサを充電するために、前記2つの電流調整のうちの第1の電流調整中に前記コンデンサの第2の端子を基準電位に結合するように構成されたスイッチング要素であって、

前記2つの電流調整のうちの第2の電流調整前に、前記基準電位から前記コンデンサを結合解除するように構成された、スイッチング要素と、

前記2つの電流調整のうちの前記第1の電流調整から前記検知電圧及び前記2つの電流調整のうちの前記第2の電流調整から前記検知電圧を減算して、前記セクタ要素にわたる前記オフセット電圧の前記影響を低減するように構成された、前記補償回路と、を備える、請求項2に記載の回路。

【請求項4】

前記補償回路が、

前記2つの電流調整のうちの第1の電流調整から得られた検知電圧で第1のコンデンサを充電するように構成された第1のスイッチング要素であって、前記検知電圧が、前記セクタ要素及び前記MTJ要素にわたる電圧降下の組み合わせに対応する、第1のスイッチング要素と、

前記2つの電流調整のうちの第2の電流調整から得られた前記検知電圧で第2のコンデンサを充電するように構成された、第2のスイッチング要素と、

前記第1のコンデンサ及び前記第2のコンデンサに結合された読み出し回路であって、前記第2のコンデンサ上に存在する電圧から前記第1のコンデンサ上に存在する電圧を減算して、前記セクタ要素にわたる前記オフセット電圧の前記影響を低減するように構成された、読み出し回路と、を備える、請求項2に記載の回路。

【請求項5】

前記電流調整が、前記MTJ要素及び前記セクタ要素を通して方向付けられた傾斜電流を含み、

前記傾斜電流の間に前記セクタ要素にわたる前記オフセット電圧の影響を減算することによって、前記セクタ要素にわたる前記オフセット電圧を補償するように構成された前記補償回路を備える、請求項1に記載の回路。

【請求項6】

前記補償回路が、

前記セクタ要素及び前記MTJ要素にわたる電圧降下の組み合わせに対応する検知電圧に結合された、コンデンサと、

前記傾斜電流の間に前記検知電圧によって前記コンデンサを介して誘導された電流に基づいて、前記MTJ要素の前記磁化状態を決定するように構成された、読み出し回路と、を備える、請求項5に記載の回路。

【請求項7】

前記読み出し回路が、

前記コンデンサと直列に結合され、前記コンデンサを介して誘導された前記電流を検知して前記MTJ要素の前記磁化状態を決定するように構成された電流ミラーを備える、請求項6に記載の回路。

【請求項8】

前記読み出し回路が、

前記コンデンサと直列に結合された抵抗器であって、前記コンデンサを介して誘導された前記電流を検知するために使用される電圧を確立して、前記MTJ要素の前記磁化状態を決定するように構成された抵抗器を備える、請求項6に記載の回路。

【請求項9】

前記MTJ要素が、スピン移行トルク (spin-transfer torque、STT) MTJ要素を含み、前記セクタ要素が、カルコゲナイド・オボニック閾値スイッチ又は揮発性導電性ブリッジを含む2端子デバイスである、請求項1に記載の回路。

【請求項10】

メモリ回路であって、

10

20

30

40

50

変更可能な磁化状態を有する磁気トンネル接合（MTJ）要素と、
前記MTJ要素と直列に結合され、アクティブにされたときにオフセット電圧を有するセクタ要素と、

前記セクタ要素に結合され、読み出し動作中に前記セクタ要素をアクティブにするために、前記セクタ要素及び前記MTJ要素にわたって電圧を生成するように構成された制御回路であって、

前記読み出し動作中の前記セクタ要素の前記オフセット電圧の影響を低減して、前記MTJ要素の現在の磁化状態の指示を出力するように構成された、制御回路と、を備える、メモリ回路。

【請求項11】

前記読み出し動作中に、前記MTJ要素及び前記セクタ要素を通る電流上に異なる制限を含む少なくとも2つの電流調整を開始するように構成された、前記制御回路であって、

前記少なくとも2つの電流調整から得られた前記オフセット電圧の影響を減算することによって、前記セクタ要素にわたる前記オフセット電圧を補償するように構成された、前記制御回路を備える、請求項10に記載のメモリ回路。

【請求項12】

前記制御回路が、

前記2つの電流調整のうちの第1の電流調整から得られた検知電圧で第1のコンデンサを充電するように構成された第1のスイッチング要素であって、前記検知電圧が、前記セクタ要素及び前記MTJ要素にわたる電圧降下の組み合わせに対応する、第1のスイッチング要素と、

前記2つの電流調整のうちの第2の電流調整から得られた前記検知電圧で第2のコンデンサを充電するように構成された、第2のスイッチング要素と、

前記第2のコンデンサ上に存在する電圧から前記第1のコンデンサ上に存在する電圧を減算して、前記セクタ要素にわたる前記オフセット電圧の前記影響を減算するように構成された、前記制御回路と、を備える、請求項11に記載のメモリ回路。

【請求項13】

前記制御回路が、

前記セクタ要素及び前記MTJ要素にわたる電圧降下の組み合わせに対応する検知電圧に第1の端子において結合された、コンデンサと、

前記検知電圧に従って前記コンデンサを充電するために、前記2つの電流調整のうちの第1の電流調整中に前記コンデンサの第2の端子を基準電位に結合するように構成されたスイッチング要素であって、

前記2つの電流調整のうちの第2の電流調整前に、前記基準電位から前記コンデンサを結合解除するように構成された、スイッチング要素と、

前記2つの電流調整のうちの前記第1の電流調整からの前記検知電圧と前記2つの電流調整のうちの前記第2の電流調整からの前記検知電圧との間の減算を含む、前記コンデンサの前記第1の端子に示される結果電圧において、前記セクタ要素にわたる前記オフセット電圧を補償するように構成された、前記制御回路と、を備える、請求項11に記載のメモリ回路。

【請求項14】

前記MTJ要素及び前記セクタ要素を通して前記傾斜電流を方向付けるように、かつ前記傾斜電流の間に前記セクタ要素にわたる前記オフセット電圧の影響を減算することによって、前記セクタ要素にわたる前記オフセット電圧を補償するように構成された、前記制御回路を備える、請求項10に記載のメモリ回路。

【請求項15】

前記制御回路が、

前記セクタ要素及び前記MTJ要素にわたる電圧降下の組み合わせに対応する検知電圧に結合された、コンデンサと、

10

20

30

40

50

前記傾斜電流の間に前記検知電圧によって前記コンデンサを介して誘導された電流に基づいて、前記MTJ要素の前記磁化状態を決定するように構成された、前記制御回路と、を備える、請求項14に記載のメモリ回路。

【請求項16】

前記MTJ要素が、スピン移行トルク(STT)MTJ要素を含み、前記セクタ要素が、カルコゲナイド・オボニック閾値スイッチ又は揮発性導電性ブリッジを含む2端子デバイスである、請求項10に記載のメモリ回路。

【請求項17】

メモリアレイであって、

列及び行を有するクロスポイント配置にある複数のメモリセルであって、前記メモリセルが、セクタ要素と直列の磁気トンネル接合(MTJ)要素をそれぞれ含む、複数のメモリセルと、

読み出し電流を通すために関連するセクタ要素をアクティブにする、選択されたメモリセルの読み出し電圧を確立するように構成された制御回路であって、

前記関連するセクタ要素の前記読み出し電流を1つ以上の所定の電流の大きさに制限するように構成された、制御回路と、

前記制御回路の検知出力に結合された出力回路であって、関連するMTJ要素の磁化状態を決定するために、少なくとも、前記関連するセクタ要素のオフセット電圧を補償することによって、前記選択されたメモリセルの状態を示すように構成された、出力回路と、を備える、メモリアレイ。

【請求項18】

前記関連するMTJ要素及び前記関連するセクタ要素を通る少なくとも2つの電流レベルを確立するように構成された、前記制御回路と、

前記少なくとも2つの電流レベルから得られた前記オフセット電圧の影響を減算することによって、前記関連するセクタ要素の前記オフセット電圧を補償するように構成された、前記出力回路と、を備える、請求項17に記載のメモリアレイ。

【請求項19】

前記出力回路が、

第1の端子によって前記検知出力に結合されたコンデンサと、

前記電流レベルのうちの第1の電流レベル中に前記コンデンサの第2の端子を基準電位に結合して、前記検知出力における電圧に従って前記コンデンサを充電するように構成されたスイッチング要素であって、

前記電流レベルのうちの第2の電流レベル前に、前記基準電位から前記コンデンサを結合解除するように構成された、スイッチング要素と、を備え、

前記出力回路が、前記第1の電流レベルからの前記検知出力における前記電圧と前記第2の電流レベルからの前記検知出力における前記電圧との間の減算を含む前記コンデンサの前記第1の端子において示される結果電圧を用いて、前記関連するセクタ要素の前記オフセット電圧を補償するように構成されている、請求項18に記載のメモリアレイ。

【請求項20】

前記MTJ要素が、スピン移行トルク(STT)MTJ要素を含み、前記セクタ要素が、カルコゲナイド・オボニック閾値スイッチ又は揮発性導電性ブリッジを含む2端子デバイスである、請求項17に記載のメモリアレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の態様は、磁気トンネル接合要素を利用する磁気ランダムアクセスメモリデバイスの分野に関する。

【背景技術】

【0002】

磁気ランダムアクセスメモリ(magnetic random-access memory、MRAM)は、スタ

10

20

30

40

50

ティック R A M (static random-access memory、S R A M) 及びダイナミック R A M (dynamic random-access memory、D R A M) のようなランダムアクセスメモリ (random-access memory、R A M) 技術に代わる、より低い電力及び不揮発性を提供する潜在性を有する新興メモリ/ストレージ技術である。M R A M はまた、ソリッドステートストレージドライブ (solid-state storage drive、S S D) などのバルクストレージ環境で利用することもできる。しかしながら、M R A M は、D R A M 競合デバイスに組み込むことが困難であることが証明されている。D R A M デバイスは、典型的には、大部分の他の競合メモリ技術をしのぐ密度及びビット当たりのコストを有する。

【 0 0 0 3 】

M R A M ベースのメモリのために、様々なアプローチを利用することができる。このよ 10
うなアプローチの 1 つは、抵抗 R A M 技術にも適用することができるクロスポイント構成を含む。クロスポイント構成では、メモリセルは、行及び列を介して結合された大型アレイに配置され、メモリセルは、行及び列の各接合部にある。しかしながら、M R A M のような、これらの新興メモリ技術を使用してクロスポイント構成を高密度構成に形成することは困難であり得る。メモリセルが、プログラミング動作中に各セルを分離する選択回路を用いて個々に配置されているときに、困難が生じる場合がある。いくつかの M R A M 実施態様は、各メモリセルに結合された 3 端子トランジスタを有し、これは、M R A M デバイスの目標密度を低減しながら、関連する部品数に著しく追加する。

【 発明の概要 】

【 0 0 0 4 】

磁気ランダムアクセスメモリ (M R A M) 回路が本明細書に提供される。1 つの例示的な実施態様では、M R A M 回路は、セクタ要素と直列の磁気トンネル接合 (magnetic tunnel junction、M T J) 要素に結合された制御回路を含む。この制御回路は、セクタ要素が導電状態にあるときに、セクタ要素を通る電流を調整するように構成されている。この回路はまた、セクタ要素を通る電流の調整に基づいて、導電状態にあるセクタ要素にわたるオフセット電圧を補償するように構成された補償回路も含む。また、出力回路は、M T J 要素の磁化状態を報告するように構成されている。

本開示の多くの態様は、以下の図面を参照してより良く理解することができる。いくつかの実施態様が、これらの図面に関連して記載されているが、本開示は、本明細書に開示される実施態様に限定されない。逆に、全ての代替物、修正物、及び等価物を含むことが 30
意図される。

【 図面の簡単な説明 】

【 0 0 0 5 】

【 図 1 】 一実施態様におけるメモリアレイ及び関連する回路を示す。

【 図 2 】 一実施態様におけるメモリセルを示す。

【 図 3 】 一実施態様におけるメモリセルの例示的な制御及び出力回路を示す。

【 図 4 】 一実施態様におけるメモリセルの例示的な制御及び出力回路を示す。

【 図 5 】 一実施態様におけるメモリセルの例示的なシグナリング及び性能を示す。

【 図 6 】 一実施態様におけるメモリセルの例示的な制御及び出力回路を示す。

【 図 7 】 一実施態様におけるメモリセルの例示的なシグナリング及び性能を示す。 40

【 図 8 】 一実施態様におけるメモリセルの例示的な動作を示す。

【 図 9 】 一実施態様におけるセクタ要素の例示的な特性を示す。

【 発明を実施するための形態 】

【 0 0 0 6 】

従来のトランジスタベースのメモリ及びストレージを置き換えることができるいくつかのメモリストレージ技術が出現している。これらには、抵抗性ランダムアクセスメモリ (random-access memory、R R A M (登録商標))、相変化メモリ (phase-change memory、P C M)、及び磁気ランダムアクセスメモリ (M R A M)、並びにその他が挙げられる。これらの中でも、M R A M は、埋め込み S R A M に代わるより低い電力を提供する潜在性があり、独立型 D R A M の費用効率の高い不揮発性の置き換えを提供する可能性がある。 50

DRAMと競合するか又は置き換えるために、MRAMは、密度の十分なアレイに形成されなければならない。これは、低コスト及び高密度のDRAMによる課題であり得、MRAMは、DRAMの低いエラーレベルを示すように作製されなければならない。クロスポイントアレイは、MRAMの高密度アレイを実装するための1つのアプローチである。MRAMセルは、典型的には、2ビットを表す2つの記憶状態を有し、各状態は、本質的に線形の電流 - 電圧関係を有する。したがって、別々又は別個の選択デバイスが、典型的には、アレイ内でMRAMセルを互いに電氣的に分離するために使用される。これらの選択デバイスは、負/正の金属酸化物半導体トランジスタなどの3端子トランジスタセクタを含んでもよい。しかしながら、各メモリセルのためのトランジスタセクタを含むことは、セルサイズに大幅に追加し得、大きいサイズのセクタ、並びに各メモリセルへのゲート制御線のルーティングの必要性に起因して、MRAMアレイの密度を低減することができる。また、前述の2つのMRAM状態のセル抵抗は、典型的には、抵抗値において2~3倍だけ離れているので、利用されるいかなるセクタも、非線形挙動を有するはずである。この非線形挙動は、低電圧での高抵抗、及び高電圧での低抵抗に対応する。また、所望のセクタは、閾値スイッチング挙動を有し得、閾値電圧などの閾値スイッチング条件が満たされると、セクタは、ある程度のヒステリシスで選択された状態に留まる。

10

【0007】

本明細書で論じられるように、MRAMセルは、1つ以上の磁気状態としてデータを記憶する1つ以上の磁気要素で形成することができる不揮発性メモリ(non-volatile memory、NVM)要素を含む。MTJデバイスは、典型的には、強磁性層の磁化状態を可逆的に切り替えるために、スピン分極電流を利用する。MTJは、磁気抵抗効果であるトンネル磁気抵抗(tunnel magnetoresistance、TMR)を使用して動作する。MTJは、典型的には、電子が一方の強磁性層から他方に量子力学的にトンネリングすることができる薄い絶縁体層によって分離された2層の強磁性材料からなる。MTJの一方の強磁性層は、固定された磁化状態を有するピン止め層と称することができ、一方で、MTJの別の強磁性層は、磁化状態を変化させることができる自由層を含む。2つの強磁性層を分離する薄い絶縁体を含む中間層は、酸化物材料又は他の好適な電気絶縁体から形成することができる。電気端子は、回路内の他の構成要素に、MTJの自由層及びピン止め層をインターフェース接続するように形成することができる。

20

【0008】

MTJ要素の垂直又は平行配置をMRAMセルに利用することができ、これは、対応する半導体基板の表面に対する、MTJ要素内の磁気モーメントにおける好適な方向に関連する磁気異方性の種類を指す。第1の種類MTJ構成は、均質な垂直なスピン移行トルク(spin-transfer torque、STT)配置を含み、これは典型的には、少なくとも3つの積み重ね材料層から形成された2端子デバイスを含む。これらの3つの層は、ピン止め層と自由層との間に配置されたトンネルバリア層を含む。自由層及びピン止め層は、STT MTJの2つの端子に結合されている。他の種類MTJとしては、3端子スピンホール効果(spin hall effect、SHE)MRAMセルに利用することができるスピン軌道トルク(spin orbit torque、SOT)MTJ要素が挙げられる。

30

【0009】

上述のSTT MTJ要素などのMTJ要素は、典型的には、その中に記憶された異なる論理値又はデータ値に対応し得る2つの異なる状態に配置することができる。これらの状態は、MTJ素子の磁化状態に依存し、これは、MTJ要素によって現在示されている磁気抵抗値に対応する。本明細書で論じられるMTJ要素の変更可能な磁化状態は、2つの状態、すなわち平行状態及び逆平行状態の間で変化し得る。平行状態は、MTJ要素の自由層及びピン止め層が同じ磁化状態にあるときに生じる。逆平行状態は、MTJ要素の自由層及びピン止め層が異なる磁化状態にあるときに生じる。データ値は、他の構成の中でもとりわけ、逆平行状態について論理的「0」及び平行状態について論理的「1」などの磁化状態に割り当てることができる。

40

【0010】

50

ここで、MTJ要素を利用するMRAMデバイスを実装するための強化された構造を検討すると、図1が提示される。図1は、メモリアレイ110及び様々な周辺回路を含むメモリシステム100を示すシステム図である。この周辺回路は、様々な制御、インターフェース、及び検知回路を含む。図1では、システム100は、行デコーダ回路120、列デコーダ回路130、検知回路140、出力回路150、及びバッファ回路160を更に含む。様々な通信リンク及び信号線が図1に示されているが、これらの線の特定の実施態様は変動し得る。典型的には、行信号線及び列信号線は、メモリアレイ110内に利用されて、クロスポイントメモリ配置を形成する。このクロスポイントメモリ配置は、行と列との各接合部にメモリセルを備える。したがって、メモリアレイ110は、「m」量の行及び「n」量の列を含むことができ、個々のメモリセルにそれぞれ対応する「m」×「n」アレイの接合部を生成する。MRAM型のメモリセルが図1で論じられているが、他のメモリ技術をクロスポイントメモリ配置に利用してもよい。

【0011】

図1はまた、例示的なメモリセルの詳細図101も含む。詳細図101は、メモリアレイ110の一部分の構成要素のレベル図を示すが、この図は、明確さのために簡略化されている。典型的には、詳細図101の関連する構成要素は、とりわけ、フォトリソグラフィ、拡散、堆積、エピタキシャル成長、エッチング、アニーリング、及びイオン注入などの半導体ウェハ処理及びマイクロファブ리케이션に見られる技術を使用して、半導体基板上に形成される。詳細図101は、行線114及び列線115を含む。選択可能なMRAMセル111は、行線114と列線115との間の物理的接合部に位置付けられている。選択可能なMRAMセル111は、MTJ要素112及びセレクト要素113を含む。これらの要素の更なる詳細を以下に論じる。詳細図101は、クロスポイントメモリ内のメモリセルの例示的な構成として提供される。メモリアレイ110などのクロスポイントメモリ内の行及び列の各接合部は、詳細図101に示されるように同様のMRAMセル配置を含むことができる。更に、メモリアレイ110の実装中に、様々な相互接続、金属化、絶縁体、端子、及び他の要素を含むことができる。

【0012】

行デコーダ120及び列デコーダ130は、典型的には、他の動作の中でも、読み出し、書き込み、及び消去動作を制御するように構成された制御回路に結合されている。行デコーダ120及び列デコーダ130はそれぞれ、制御回路によって指示されるように、メモリアレイ110の特定の行及び列を有効化/無効化するための線選択回路及び論理を備える。線選択回路は、選択トランジスタ、バッファ、インバータ、電流及び電圧リミッタ回路、伝送ゲート、並びに他の同様の回路を備えることができる。このようにして、メモリアレイ110内のメモリセルは、読み出す、書き込む、又は消去することができる。

【0013】

読み出し動作中、検知回路140は、選択されたメモリセルの出力を検知する。検知回路140は、検知増幅器、コンパレータ、レベルシフタ、並びに様々な他のサポート回路を含むことができる。検知回路140は、選択されたメモリセルの出力の表現を出力回路150に提供する。出力回路150は、その表現をデータ値に解釈する出力回路を備え、これは、図2、図3、図4、及び図6において以下に記載される様々な強化された回路を含むことができる。これらのデータ値は、所望の論理表現に対応する電圧レベルを有する二値を含むことができる。以下で論じるように、出力回路150は、メモリアレイ110からデータビットを読み出す際に、セレクト要素が検知された電圧を有する影響を低減又は排除することができる。バッファ160は、データリンク161上で1つ以上の外部システムに転送する前に出力回路150によって決定されたデータビットを記憶するために含まれるデジタルメモリ要素を含むことができる。いくつかの実施例では、列デコーダ130、検知回路140、出力回路150、及びバッファ160の部分は、回路ブロックに組み合わせるか、又は同様の回路構成要素上で共有することができる。

【0014】

ここで、図1からの選択可能なメモリセル111の詳細な実施態様、並びに様々なサポ

10

20

30

40

50

ート回路を検討すると、図2が提供される。図2は、関連する行/列ドライバ回路及びメモリセルを有する、クロスポイントメモリアレイ内の単一の「接合部」を表す。具体的には、図2は、電流制御回路210、電流ミラー212、出力回路220、選択可能なMRAMセル230、行ドライバ240、及び列ドライバ241を備える回路200を含む。選択可能なMRAMセル230は、MRAM要素231及びセクタ238によってそれぞれ表される、図1のMTJ要素112及びセクタ要素113を有する、図1からの選択可能なメモリセル111の例示的な実施態様を含み得る。選択可能なMRAMセル230は、単一セクタ(S)及び単一MTJ要素によって形成された「1S-1MTJ」型のMRAMセルと称することができる。選択可能なMRAMセル230は、図1の行線114及び列線115について見られるような、クロスポイントメモリアレイの行/列接合部に形成され得る。したがって、行線251は、図1の行線114に対応することができ、列線252は、図1の列線115に対応することができる。図1の行/列接合部における他のメモリセルは、図2に見られるような同様の配置を有することができるが、変形が可能である。

10

【0015】

MRAM要素231は、本実施例ではSTT型のMTJ要素である、MTJ要素232を含む。対応する電気パルスを使用して、MTJ 232は、消去され、書き込まれ、読み出される。しかしながら、これらの電気パルスは、典型的には性質上、双極性であり、これは、列ドライバ242及び行ドライバ241によってMRAM要素231にわたって第1の極性又は第2の極性のいずれかに印加され得る制御電圧又は制御電流を指す。対応する電気パルスが生成されたときに選択された行又は列の他のMRAM要素が不注意に消去され、書き込まれ、及び読み出されることを防止するために、セクタ238が、MRAM要素231と直列に含まれる。

20

【0016】

セクタ238は、図2の双極性セクタを備える2端子セクタ要素である。セクタ238は、カルコゲニドオボニック閾値スイッチ又は揮発性導電性ブリッジを含み得るが、他の技術を利用することもできる。セクタ238は、閾値電圧(V_t)などの閾値条件が超えられると、セクタ238の2つの端子間に導電性(例えば、低い相対抵抗)ブリッジを形成し、セクタ238は、導電状態に置かれる。閾値条件を超えることによるセクタ238のアクティブ化後、十分な電流又は電圧がセクタ238上に存在する限り、セクタ238は、非アクティブ状態に対して低い抵抗を有するアクティブ状態に留まる。ヒステリシス閾値を下回るなどの、十分な電流又は電圧が存在しないと、セクタ238は、非アクティブ状態(高い相対抵抗)に変化する。次いで、セクタ238の2つの端子間の導電経路は、崩壊するか又は非アクティブ化する。ヒステリシス挙動は、セクタ238内で制御され得る。セクタ238によって呈されるヒステリシスの量は、MRAM要素231に印加される電圧に直接関連する。具体的には、「オン」になると、セクタ238は、MRAM要素231を含むMTJ 232と直列の電圧源として機能する。この電圧源の大きさは、本明細書では $V_{\text{オフセット}}$ とも称されるオフセット電圧と本明細書で称される、保持電圧に対応する。このオフセット電圧は、MTJ 232の現在の磁化状態を正確に読み取ることを妨げることがある。

30

40

【0017】

セクタ238の例示的な特性を図9に示す。図9は、様々な電圧及び電流に対するセクタ238の挙動を示すグラフ900を含む。グラフ900の垂直軸は、セクタ電流、又はセクタ238を現在通過している電流に対応する。グラフ900の水平軸は、セクタ電圧、又はセクタ238を現在横切っている電圧に対応する。グラフ900の左下象限及び右上象限は、双極的にセクタ238の挙動を示す。左下象限は、負のセクタ電流($-I_{\text{セクタ}}$)を有する負極性を示し、一方で、右上象限は、正のセクタ電流($+I_{\text{セクタ}}$)を有する正極性を示す。関連する極性は、他の実施例では反対にすることができ、セクタ238の双極性質は、典型的には極性に関して対称的である。

【0018】

50

グラフ900は、負極性及び正極性の両方におけるセクタ238の電流電圧（current-voltage、 $I V$ ）曲線を示す。この $I V$ 曲線は、図9のプロット部分901～904によって表される。セクタ238は、グラフ900において非線形応答を示す。セクタ238の「オフ」状態は、低い印加電圧における高いデバイス抵抗及び低い漏れ電流（ I_{1k} ）に対応する。この「オフ」状態は、グラフ900におけるプロット部分903～904によって表される。セクタ238の「オン」状態は、（ V_t を上回る）高い印加電圧における低いデバイス抵抗に対応し、グラフ900におけるプロット部分901～902によって表される。 $R_{s.o.n}$ は、対応するプロット部分の勾配に対応し、これは、各極性についてのセクタ238に対する「オン」抵抗を含む。セクタ238は閾値スイッチング挙動を呈し、閾値電圧（ V_t ）を一旦超える（ V_t を上回る）と、セクタ238は、高い抵抗「オフ」状態（プロット部分903～904）から低い抵抗「オン」状態（プロット部分901～902）へと変化する。

10

【0019】

セクタ238のヒステリシス挙動もグラフ900に示されている。グラフ900におけるヒステリシス挙動は、セクタ「オン」状態の電流 - 電圧（ $I V$ ）曲線を外挿することによって得られる電圧軸上の点に対応する。具体的には、このヒステリシスは、印加電圧が、 V_t を下回る V_h に落ち得る部分、及び V_t を超えた後に対応する。また、このヒステリシス挙動は、セクタが状態を「オフ」状態に切り替えることができる対応する電流制限（ I_h ）を有する。セクタ238の実際の性能、並びに「オン」及び「オフ」抵抗値は、製造のばらつき、デバイスサイズ決定、及び他の実装固有の詳細に基づいて変動する。したがって、「オン」状態にあるときにセクタ238によって呈されるオフセット電圧も変動し得る。本明細書における実施例は、セクタ238のオフセット電圧の影響を低減するための強化した補償技術、並びにアレイ内の異なるセクタ間のオフセット電圧の変動の補償を提供する。

20

【0020】

図2に戻ると、例示的な回路200が示されている。動作中、電流（ $I_{制限}$ ）は、回路200の「低」電位側に位置付けられた電流ミラー212によって回路200の部分を通じて制限される。図2において $V_{低}$ と称される回路200の低電位側は、低電位又は低電圧、すなわち典型的な場合には0Vに結合される回路の端部に対応する。電流ミラー212によって引き込まれる電流は、電流制御回路210によって設定される電流制限に基づいて変動し、この制限の制御は、以下で更に詳細に論じられる。したがって、電流制御回路210は、選択可能なMRAMセル230を通る電流を制限するように構成される。一実施形態では、制御回路210は、選択可能なMRAMセル230の読み出し動作中に利用される読み出し電流を制限する。動作中、電流ミラー212は、トランジスタ213及び214のゲートの特定の結合に起因して、電流ミラー212の左側から電流ミラー212の右側まで電流制御回路210によって設定されるいかなる電流制限もミラーリングする。この電流は、選択可能なMRAMセル230並びに他の直列に接続された回路及び相互接続、例えば非選択行線及び非選択列線などを介して引き込まれる。行ドライバ241及び列ドライバ242は、関連する行線251及び列線252に結合され、これらは、選択可能なMRAMセル230を有する直列回路を形成する。

30

40

【0021】

電流（ $I_{制限}$ ）の印加中、検知電圧（本明細書では $V_{検知}$ と称される）が、電流ミラー212において提示され、これは、MTJ 232の状態を検知するために使用される。この検知電圧は、以下のように表すことができ、 $V_{検知} = V_{読み出し} - V_{オフセット} - I_{制限} (R_S + R_{MRAM})$ 、これは図2の式203として示される。 $V_{読み出し}$ は、供給電圧として列ドライバ242に印加され、 $V_{オフセット}$ は、セクタ238にわたる電圧であり、 R_S は、MTJ 232と直列の線及び構成要素の直列抵抗であり、 R_{MRAM} は、MRAM要素231の現在示されている抵抗である。MRAM要素231の現在示されている抵抗（ R_{MRAM} ）は、MTJ 232の磁化状態を反映し、したがってMRAM要素231内に記憶されたデータ又はビット値を表す。

50

【 0 0 2 2 】

選択可能なM R A Mセル2 3 0にわたる電圧（ $V_{\text{組み合わせ}}$ ）は、 $I_{\text{制限}} \cdot R_{\text{M R A M}}$ に対応する。 $I_{\text{制限}}$ は、典型的には、 $V_{\text{組み合わせ}}$ が約0.1～0.3Vであるように設定され、読み出し妨害（読み出し動作中の意図しない書き込み/プログラミング）から保護する。したがって、 $V_{\text{オフセット}}$ の変動は、約10～30mV未満であるべきである。実際には、このような特定の $V_{\text{オフセット}}$ 範囲内にセレクトアを製造することは困難である。例えば、セレクトアが1.3Vのオフセット電圧を有する場合、 $V_{\text{オフセット}}$ を10～30mVに制御することは、 $V_{\text{オフセット}}$ を2.5%未満以内に制御することを示唆する。有利には、本明細書における実施例は、図2に示されるセレクトア238などのセレクトアのオフセット電圧の変動を補償する。これらの実施例としては、他の実施例の中でも、図3の補償回路320、図4の補償回路420、及び図6の補償620が挙げられる。本明細書に提示される実施例は、セレクトアの $V_{\text{オフセット}}$ の変動を実質的に打ち消す。この拡大されたマージンは、他の変動源、例えばM R A M直径の変動に使用することができる。本明細書に提示される実施例は、D R A Mの置き換えのために、16～64Gb範囲での独立型M R A M製品の生産に有用となる。

10

【 0 0 2 3 】

選択可能なM R A Mセル2 3 0のM T J 2 3 2の磁化状態を検知するための3つの例示的な実施態様を以下に示す。例示的な各実施態様では、出力回路220は、 $V_{\text{検知}}$ での電圧又は複数電圧を検知するための対応する構成を有し、一方、電流制御回路210は、対応する $I_{\text{制限}}$ の大きさのために電流ミラー212を制御する。具体的には、以下の実施例は、複数の電流制限（ $I_{\text{制限}}$ ）を適用し、 $I_{\text{制限}}$ が変化する場合にどのように $V_{\text{検知}}$ が変化するかを検知する。 $V_{\text{オフセット}}$ は $I_{\text{制限}}$ で一定であるため、最終結果において $V_{\text{オフセット}}$ を補償することができる。多くの場合、この補償は、 $V_{\text{検知}}$ への $V_{\text{オフセット}}$ の影響の減算を指す。これは、上述の式における $I_{\text{制限}}$ に対する $V_{\text{検知}}$ の数学的導関数、すなわち、式203の導関数に対応する。

20

【 0 0 2 4 】

図3は、第1の例示的な実施態様300を示すために提示される。図3では、出力回路220は補償回路320を含む。補償回路320は、コンデンサ321及び電流検知回路322を含み、これは、低電位（例えば、接地）に結合される。この実施例では、 C_a の容量値を有するコンデンサ321が、図2の $V_{\text{検知}}$ 電気ノードに結合される。更に、電流制御回路210は、回路200に傾斜電流301を印加するように構成されている。この傾斜電流301は、図3の $I_{\text{制限}} _ \text{傾斜}$ によって示される、一定率の $d I_{\text{制限}} / d t$ で $I_{\text{制限}}$ を傾斜させる。 $V_{\text{検知}}$ からコンデンサ331を介して接地へと通過するコンデンサ電流（ I_{CAP} ）は、 $V_{\text{検知}}$ の導関数に対応する。具体的には、 $I_{\text{CAP}} = d V_{\text{検知}} / d t = C_a \cdot d I_{\text{制限}} / d t \cdot (R_S + R_{\text{M R A M}})$ 。 I_{CAP} が決定されると、M R A Mセル231の磁化状態は、 $R_{\text{M R A M}}$ について決定された値に基づいて決定することができる。有利には、 $V_{\text{検知}}$ ではなく I_{CAP} を検知することにより、式203における $V_{\text{オフセット}}$ （及び関連するセレクトアデバイス間の変動）の影響を低減又は排除する。

30

【 0 0 2 5 】

図2では、電流検知回路322を利用して、 I_{CAP} を検知することができる。一実施例では、電流検知回路322は、電流ミラー212について示したものと同様の電流ミラーを備えることができる。電流ミラーの基準電流を使用して、 I_{CAP} の状態を検知することができる。別の実施例では、電流検知回路322は、コンデンサ321の端子に結合された、50～100キロオームなどの特定の抵抗の抵抗器を備えることができる。次いで、電流検知回路322は、コンパレータ又は他の類似回路を用いて、その抵抗器上の電圧降下を検知することができる。この電圧降下を使用して、 I_{CAP} を決定することができる。

40

【 0 0 2 6 】

しかしながら、図3に示される実施態様は、 I_{CAP} の検知における相対的複雑性に部分的に起因する課題を有する。出力回路220の別の例示的な実施態様400を図4に提

50

示する。図4では、 $V_{\text{検知}}$ のサンプルは、 $I_{\text{制限}}$ についての2つの異なる値に対して決定される。次いで、 $V_{\text{検知}}$ の2つのサンプルを減算して結果を得る。この結果は、式203の離散微分の型に対応し、次いで、MRAMセル231の磁化状態を決定するために使用される。図3の回路及び技術と同様に、図4の回路によって決定された結果はまた、式203における $V_{\text{オフセット}}$ （及び関連するセクタデバイス間の変動）の影響を低減又は排除する。

【0027】

図4では、出力回路220は補償回路420を含む。補償回路420は、 $V_{\text{検知}}$ 上に存在する電圧をコンデンサ425及び426に選択的に提供するいくつかのトランジスタベースのスイッチング要素を含む。図4では、図3で行われるような、静電容量要素を通る電流の直接測定は行われぬ。代わりに、 $V_{\text{オフセット}}$ の影響を低減又は排除する V_{OUT} を生成するために、コンデンサ425及び426を使用して、 $V_{\text{検知}}$ についての2つの異なる値を減算する。

10

【0028】

第1のスイッチング要素（トランジスタ421）は、第1の選択信号（S1）に結合されたゲート端子を有し、第2のスイッチング要素（トランジスタ422）は、第2の選択信号（S2）に結合されたゲート端子を有する。トランジスタ421～422のドレイン端子は、 $V_{\text{検知}}$ に結合される。コンデンサ425及び426はそれぞれ、図4の対応する静電容量値、すなわち C_b 及び C_c を有する。特定の静電容量値は、実施態様に基づいて変動するが、この実施例では、 C_b 及び C_c は、互いに同じ値を含む。読み出しトランジスタ423及び424は、 C_b 及び C_c によって蓄積された電圧間で減算操作を実行すると共に、得られた電圧を V_{OUT} 上に提示する読み出し回路を備える。具体的には、トランジスタ423のゲート端子は、第1の読み出し制御信号（読み出しA）に結合され、トランジスタ424のゲート端子は、第2の読み出し制御信号（読み出しB）に結合される。トランジスタ421のソース端子は、コンデンサ425の第1の端子及びトランジスタ424のドレイン端子に結合される。トランジスタ424のソース端子は、コンデンサ426及びトランジスタ422のソース端子に結合される。トランジスタ423のソース端子及びコンデンサ426の第2の端子は、接地又は0Vなどの低電位に結合される。補償回路420からの結果を提示する V_{OUT} は、トランジスタ423のドレイン端子に結合される。

20

30

【0029】

動作中、電流制御回路210は、階段状電流401を回路200に印加するように構成される。この階段状電流は、 $I_{\text{制限}}$ の第1の一定値、すなわち $I_{\text{制限}_1}$ 、続いて $I_{\text{制限}}$ の第2の一定値、すなわち $I_{\text{制限}_2}$ に対応する。この実施例では、 $I_{\text{制限}_1}$ は、 $I_{\text{制限}_2}$ よりも大きい。他の構成が可能である。例示的な電流制限は、 $I_{\text{制限}_1}$ について11マイクロアンペア（ μA ）、 $I_{\text{制限}_2}$ について2 μA である。これらの電流制限は、電流制御回路210によって選択され、電流ミラー212によってミラー電流を生成し、この電流ミラー212は、回路200内の少なくともMRAM要素231及びセクタ238並びに関連する行線及び列線を通して電流を引き込む。

【0030】

図5は、補償回路420のための制御シグナリングを詳細に示すタイミングダイアグラム500を示す。ダイアグラム500では、セクタ238は、閾値電圧又は閾値電流などの閾値条件を超えることによって、「オン」状態に変更される。電圧は、選択可能なMRAMセル230にわたって確立することができ、これは、ダイアグラム500のプロット501に見られるように、セクタ238のための閾値電圧（ V_t ）を上回る電圧を生成する。具体的には、電圧は、 $V_{\text{ビット線}}$ と $V_{\text{ワード線}}$ の差として確立されるか、又は本実施例では2.3Vである。 $V_{\text{ビット線}}$ は、列ドライバ242によって列線252に印加される電圧に対応する。 $V_{\text{ワード線}}$ は、行ドライバ241によって行線251に印加される電圧に対応する。セクタ238が「オン」状態に置かれると、電流がセクタ238を通過できる。その電流がヒステリシス電流値を上回ったままである限り、セクタ23

40

50

8は、「オン」状態又は低抵抗状態に留まる。電流がヒステリシス電流値を下回る場合、セクタは「オフ」状態に変化し、高抵抗状態に起因して感知可能な電流を通さなくなる。

【0031】

第1の電流制限は、選択可能なMRAMセル230、すなわち $11\mu\text{A}$ における $I_{\text{制限}_1}$ を通る電流に印加される。この第1の電流制限は、ダイアグラム500のプロット503に見ることができる。第1の選択信号(S1)及び第2の選択信号(S2)が高電圧に留まることにより、関連するトランジスタ(421、422)をアクティブ状態に制御し、対応するコンデンサ(425、426)が、様々な電流制限にわたって $V_{\text{検知}}$ 上に提示される電圧を追跡することを可能にする。具体的には、 $I_{\text{制限}_1}$ が印加されている間、第1の選択信号(S1)は、プロット502に見られるように高電圧(アクティブ状態)に駆動され、これは、トランジスタ421を制御して、 $V_{\text{検知}}$ 上に提示される電圧をノード432及びコンデンサ425に渡す。コンデンサ425は、 $I_{\text{制限}_1}$ における $V_{\text{検知}}$ のこの値を蓄積し、次いで、ゲート端子を低電圧(非アクティブ状態)に駆動して、コンデンサ425を $V_{\text{検知}}$ から分離することによって、S1は無効化される。第2の電流制限は、選択可能なMRAMセル230、すなわち $2\mu\text{A}$ における $I_{\text{制限}_2}$ を通る電流に印加される。この第2の電流制限は、ダイアグラム500のプロット503に見ることができる。 $I_{\text{制限}_1}$ から $I_{\text{制限}_2}$ への遷移は、電磁干渉及び標的レベル未満のリングングを維持しながら補償回路420の動作の所望のタイミングを確実にするように選択された速度の傾斜であり得る。 $I_{\text{制限}_2}$ が印加されている間、第2の選択信号(S2)は、プロット504に見られるように高電圧(アクティブ状態)に駆動され、これは、トランジスタ422を制御して、 $V_{\text{検知}}$ 上に提示される電圧をノード431及びコンデンサ426に渡す。コンデンサ426は、 $I_{\text{制限}_2}$ における $V_{\text{検知}}$ のこの値を蓄積し、次いで、ゲート端子を低電圧(非アクティブ状態)に駆動して、コンデンサ426を $V_{\text{検知}}$ から分離することによって、S2は無効化される。

【0032】

コンデンサ425及び426の両方が、特定の電流制限のための $V_{\text{検知}}$ の特定のサンプルを使用して充電されると、コンデンサ425及び426に蓄積された電圧間で減算を行うことができる。まず、読み出しA信号を低電圧にしてトランジスタ423を無効化し(プロット505)、一方、読み出しB信号を高い値にしてトランジスタ424を有効化する(プロット506)。読み出しA信号及び読み出しB信号のこの構成により、コンデンサ425及び426に蓄積された電圧がトランジスタ424上で互いに減算されることが可能になり、結果として得られた電圧が V_{OUT} に提示される。補償回路420からの出力又は結果は、次に、ダイアグラム500(検知)におけるおよそのタイミングに従って示されるように、 V_{OUT} において検知することができる。 V_{OUT} におけるこの結果は、式203の離散微分の計算に対応し、次いで、MRAMセル231の磁化状態を決定するために使用される。

【0033】

図5のダイアグラム510は、補償回路420及びダイアグラム500について上述したこのプロセスを使用してシミュレーションした結果を示す。ダイアグラム510のシミュレーションにおいてセクタ238として使用される特定のセクタは、85の周囲温度において 1.7V の閾値電圧(V_t)を有するオボニック閾値スイッチ(ovonic threshold switch、OTS)である。 C_b 及び C_c の例示的な静電容量値も示されており、例示的な値は、ダイアグラム510の関連曲線について 10フェムトファラッド (femtofarad、fF)及び 30fF である。更に、対応するMTJ要素の平行(parallel、P)及び逆平行(antiparallel、AP)磁化状態によって示される、関連するMRAM要素に記憶された各バイナリ値について曲線が示される。

【0034】

ダイアグラム510では、曲線511及び512は、セクタ238の $V_{\text{オフセット}}$ の関数として、図4及びダイアグラム500について上述したプロセスを使用することなく

10

20

30

40

50

、 $V_{\text{検知}}$ 検知窓を示す。 $V_{\text{オフセット}}$ による $V_{\text{検知}}$ の大きな変動が示されていることが分かる。曲線 5 1 3 ~ 5 1 6 は、容量減算方法を使用した補償回路 4 2 0 の電圧 V_{OUT} を示す。 $V_{\text{オフセット}}$ によるこの電圧 V_{OUT} の変動は、曲線 5 1 1 ~ 5 1 2 についてははるかに小さく、 $+/- 0.2 \text{ V}$ を超える $V_{\text{オフセット}}$ についてのマージンは、容量減算回路なしの曲線 5 1 1 及び 5 1 2 に示される $+/- 1.2 \text{ V}$ 未満のマージンと比較して、得ることができる。このシミュレーションに使用された特定のセクタよりも漏れが少ないセクタ 2 3 8 用のセクタを使用して、より良好な結果が得られるであろう。

【 0 0 3 5 】

図 4 及び図 5 に見られる回路、構成、及び動作は、別の例示的な実施態様において更に簡略化することができる。図 6 は、この例示的な実施態様 6 0 0 を提示する。実施態様 6 0 0 は、単一のコンデンサ 6 2 2 及び単一のスイッチング要素（トランジスタ 6 2 1）を利用する補償回路 6 2 0 を備える。図 6 では、 $V_{\text{検知}}$ のサンプルは、 $I_{\text{制限}}$ についての 2 つの異なる値に対して決定される。結果を得るためにコンデンサ 6 2 2 を使用して、 $V_{\text{検知}}$ の 2 つのサンプルを減算する。この結果は、式 2 0 3 の離散微分の型に対応し、次いで、MRAMセル 2 3 1 の磁化状態を決定するために使用される。図 3 及び図 4 の回路及び技術と同様に、図 6 の回路によって決定された結果はまた、式 2 0 3 における $V_{\text{オフセット}}$ （及び関連するセクタデバイス間の変動）の影響を低減又は排除する。図 6 では、図 3 で行われるような、静電容量要素を通る電流の直接測定は行われぬ。代わりに、 $V_{\text{検知}}$ についての 2 つの異なる値をコンデンサ 6 2 2 内で減算して、 $V_{\text{オフセット}}$ の影響を低減又は排除する V_{OUT} を生成する。

【 0 0 3 6 】

図 6 では、出力回路 2 2 0 は補償回路 6 2 0 を含む。 $V_{\text{検知}}$ 上に存在する電圧は、コンデンサ 6 2 2 の第 1 の端子に結合される。補償回路 6 2 0 は、コンデンサ 6 2 2 の第 2 の端子を接地又は 0 V などの低電位に選択的に結合又は結合解除する単一のトランジスタベースのスイッチング要素（6 2 1）を含む。トランジスタ 6 2 1 は、第 1 の選択信号（S 1）に結合されたゲート端子を有する。トランジスタ 6 2 1 のドレイン端子は、コンデンサ 6 2 2 の第 2 の端子及び V_{OUT} に結合され、トランジスタ 6 2 1 のソース端子は、低電位に結合される。コンデンサ 6 2 2 は、対応する静電容量値、すなわち図 6 の C_d を有する。特定の静電容量値は、実施態様に基づいて変動する。補償回路 6 2 0 からの結果を提示する V_{OUT} は、トランジスタ 6 2 1 のドレイン端子に結合される。トランジスタ 4 2 3 及び 4 2 4 などの別個の読み出し回路は、補償回路 6 2 0 において必要とされない。代わりに、トランジスタ 6 2 1 及びコンデンサ 6 2 2 は、読み出し回路を含み、並びに補償回路を含む。

【 0 0 3 7 】

動作中、電流制御回路 2 1 0 は、階段状電流 6 0 1 を回路 2 0 0 に印加するように構成される。この階段状電流は、 $I_{\text{制限}}$ の第 1 の一定値、すなわち $I_{\text{制限}_1}$ 、続いて $I_{\text{制限}}$ の第 2 の一定値、すなわち $I_{\text{制限}_2}$ に対応する。この実施例では、 $I_{\text{制限}_1}$ は、 $I_{\text{制限}_2}$ よりも大きい、他の構成が可能である。電流制限の実施例は、 $I_{\text{制限}_1}$ について 1 1 マイクロアンペア (μA)、 $I_{\text{制限}_2}$ について 2 μA である。これらの電流制限は、電流制御回路 2 1 0 によって選択され、電流ミラー 2 1 2 によってミラー電流を生成し、この電流ミラー 2 1 2 は、回路 2 0 0 内の少なくとも MRAM 要素 2 3 1 及びセクタ 2 3 8 並びに関連する行線及び列線を通して電流を引き込む。

【 0 0 3 8 】

図 7 は、補償回路 6 2 0 のための制御シグナリングを詳細に示すタイミングダイアグラム 7 0 0 を示す。ダイアグラム 7 0 0 では、セクタ 2 3 8 は、閾値電圧又は閾値電流などの閾値条件を超えることによって、「オン」状態に変更される。電圧は、ダイアグラム 7 0 0 のプロット 7 0 1 に見られるように、選択可能な MRAM セル 2 3 0 にわたって電圧を確立することができ、これは、セクタ 2 3 8 について閾値電圧 (V_t) を上回る電圧を生成する。具体的には、電圧は、 $V_{\text{ヒット線}}$ と $V_{\text{ワード線}}$ の差として確立されるか、又は本実施例では 2.3 V である。 $V_{\text{ヒット線}}$ は、列ドライバ 2 4 2 によって列線 2 5 2

10

20

30

40

50

に印加される電圧に対応する。 $V_{\text{ワード線}}$ は、行ドライバ241によって行線251に印加される電圧に対応する。セクタ238が「オン」状態に置かれると、電流がセクタ238を通過できる。その電流がヒステリシス電流値を上回ったままである限り、セクタ238は、「オン」状態又は低抵抗状態に留まる。電流がヒステリシス電流値を下回る場合、セクタは「オフ」状態に変化し、高抵抗状態に起因して感知可能な電流を通さなくなる。

【0039】

第1の電流制限は、選択可能なMRAMセル230、すなわち $11\mu\text{A}$ における $I_{\text{制限}_1}$ を通る電流に印加される。この第1の電流制限は、ダイアグラム700のプロット703に見ることができる。第1の選択信号(S1)が、関連するトランジスタ621をアクティブ状態に制御する第1の電流制限の間に高電圧に留まることにより、対応するコンデンサ622が、第1の電流制限にわたって $V_{\text{検知}}$ 上に提示される電圧を追跡することを可能にする。具体的には、 $I_{\text{制限}_1}$ が印加されている間、第1の選択信号(S1)は、プロット702に見られるように、高電圧(アクティブ状態)に駆動され、これは、低電位に結合するようにトランジスタ621を制御する。コンデンサ622は、 $I_{\text{制限}_1}$ の間に $V_{\text{検知}}$ 上に存在する電圧へと充電することができる。電流制御回路210が第2の電流制限($I_{\text{制限}_2}$)を印加する前に、第1の選択信号(S1)は、プロット703に見られるように低く駆動され、トランジスタ621を非アクティブ状態に置き、かつ低電位に対してコンデンサ622の第2の端子を浮遊させる。しかしながら、コンデンサ622の第1の端子は、依然として $V_{\text{検知}}$ に結合されている。電流制御回路210が第2の電流制限($I_{\text{制限}_2}$)を印加すると、 $V_{\text{検知}}$ において存在する電圧は、第1の電流制限($I_{\text{制限}_1}$)の間に、最初にサンプリングされた $V_{\text{検知}}$ の値から連続的に減算される。 $I_{\text{制限}_1}$ から $I_{\text{制限}_2}$ への電流の遷移後、 V_{OUT} におけるコンデンサ622の第2の端子における電圧は、補償回路620の結果に対応する。補償回路620からの出力又は結果は、次に、ダイアグラム700(検知)におけるおよそのタイミングに従って示されるように、 V_{OUT} で検知することができる。 V_{OUT} におけるこの結果は、式203の離散微分の計算に対応し、次いで、MRAMセル231の磁化状態を決定するために使用される。

【0040】

図7のダイアグラム710は、補償回路620及びダイアグラム700について上述したこのプロセスを使用してシミュレーションした結果を示す。ダイアグラム510のシミュレーションにおいてセクタ238として使用される特定のセクタは、85の周囲温度において 1.7V の閾値電圧(V_t)を有するオポニック閾値スイッチ(OTS)である。ダイアグラム710における C_d の例示的な静電容量値は、 10fF に設定されるが、他の値を利用することができる。更に、ダイアグラム710は、2つのコンデンサを利用する補償回路420と1つのコンデンサを利用する補償回路620の間の比較を示す。補償回路620の単一のコンデンサベースの回路は、補償回路420の2つのコンデンサ回路よりも、 $V_{\text{オフセット}}$ にもそれほど依存しない結果を与える。有利には、補償回路620は、より少ない複雑さの構成、より小さい部品数を有し、 $V_{\text{検知}}$ 及び V_{OUT} に対してより少ない総静電容量を提示し、補償回路420よりも速い結果を生成することができる。

【0041】

ダイアグラム710では、曲線711及び713は、セクタ238の $V_{\text{オフセット}}$ の関数として、補償回路420を使用する $V_{\text{検知}}$ 検知窓を示す。曲線712及び714は、セクタ238の $V_{\text{オフセット}}$ の関数として、補償回路620を使用する $V_{\text{検知}}$ 検知窓を示す。見られるように、 $V_{\text{オフセット}}$ による $V_{\text{検知}}$ のより大きな変動が、曲線712及び714よりも曲線711及び713について示されている。 $V_{\text{オフセット}}$ による、この電圧 V_{OUT} の変動の低減は、曲線712及び714に対してはるかに小さく、 $+/-0.1\text{V}$ より大きな $V_{\text{オフセット}}$ のマージンは、補償回路420の2つのコンデンサ減算回路を使用する曲線711及び713に示される $+/-0.2\text{V}$ より小さいマージンと比較し

10

20

30

40

50

て、補償回路620の単一のコンデンサ回路を使用して得ることができる。このシミュレーションに使用された特定のセクタよりも漏れが少ないセクタ238用のセクタを使用して、より良好な結果が得られるであろう。

【0042】

図8は、本明細書で論じる様々な回路及びシステムの動作を示すために提示される。図8の動作は、図2の要素の文脈で論じられているが、代わりに異なる要素が利用され得る。図8では、選択可能なMRAMセル230から読み出された電圧に対する補償が行われる。この補償は、セクタ238が選択可能なMRAMセル230電流を通過させた結果として生じる電圧に与える影響を低減する。具体的には、有効にされると、セクタ238は、デバイス間で、並びにセクタ238を通過する電流に基づいて、変動し得る特定のV_{offset}特性を有する。したがって、MTJ₂₃₂から構成されるMRAM要素231の電圧を読み取ることは困難であり得る。

10

【0043】

要求されないが、いくつかの実施例は、読み出し動作前に消去動作又は書き込み動作を実行することができる。具体的には、MRAM要素321は、任意選択的に初期状態に消去することができ、次いで、所望のデータ値をMRAM要素321に書き込むか、又はプログラムすることができる。別の実施例では、動作803~805で論じられるような読み出し動作は、MRAM要素321の現在の状態を決定するために消去又は書き込み動作の前に実行され得る。MRAM要素321が所望の状態にある場合、消去又は書き込み動作を省略することができる。なお更なる実施例では、MRAM要素321は、初期状態に消去することなく、又は読み出し動作を介して以前にプログラムされた状態をチェックすることなく、書き込むか、又はプログラムすることができる。

20

【0044】

消去動作が所望される場合、任意選択的な動作801を実行することができる。動作801では、まず、選択可能なMRAMセル230からデータを消去する。これは、選択可能なMRAMセル230にわたる電圧であって、セクタ238をアクティブ又は導電状態に切り替えるために必要な閾値電圧(V_t)を超える電圧を駆動することによって達成することができる。導電状態になったら、セクタ238は、選択可能なMRAMセル230内の直列接続されたMTJ₂₃₂を消去するために使用される電流を通すことができる。この消去動作は、所望の初期状態へと、MTJ₂₃₂の磁化状態を置き、これは、数ある値の中でも、2値の「1」又は「0」を表し得る。この状態は、MTJ₂₃₂の平行(P)又は逆平行(AP)状態に対応し、相対的に大きい電流が、電流極性に依りて、MTJ₂₃₂を初期状態(例えばP又はAP)に強いるための好ましい方向又は極性で、MTJ₂₃₂を通過することができる。セクタ238は、双方向又は双極性セクタ要素を含むので、セクタ238は、MTJ₂₃₂のいずれかの極性で電流を通すことができる。

30

【0045】

図1に示されるようなMRAMセルのアレイに利用される場合、特定の列及び行線が、消去のために標的MRAMセルに到達するように選択され得る。図1に示されるような、クロスポイントメモリアレイでは、各メモリセルは、典型的には、列及び行線の各接合部で個々に選択可能である。選択動作を制御するために、様々な列及び行選択回路を利用することができる。

40

【0046】

書き込み動作が所望される場合、任意選択的な動作802を実行することができる。選択可能なMRAMセル230は、MRAM要素321に書き込まれるか又はプログラムされるデータ値を有することができる。任意選択的な動作802では、データは、選択可能なMRAMセル230にわたる電圧であって、セクタ238をアクティブ又は導電状態に切り替えるために必要な閾値電圧(V_t)を超える電圧を駆動することによって書き込まれる。導電状態になったら、セクタ238は、選択可能なMRAMセル230内の直列接続されたMTJ₂₃₂をプログラムするために使用される電流を通すことができる

50

。この書き込み動作は、数ある値の中でも、2値の「1」又は「0」を含み得るデータ値を表すために所望の状態へと、MTJ 232の磁化状態を置く。これらのデータ値又はデータ状態は、MTJ 232の平行(P)又は逆平行(AP)状態に対応し、電流が、電流極性に応じて、MTJ 232を所望の状態(例えばP又はAP)に強いるための好ましい方向又は極性で、MTJ 232を通過することができる。セクタ238は、双方向又は双極性セクタ要素を含むので、セクタ238は、MTJ 232のいずれかの極性で電流を通すことができる。

【0047】

ここで、強化された読み出し動作の論述を検討すると、選択可能なMRAMセル230は、MRAM要素321から読み出されたデータ値を有することができる。動作803では、選択可能なMRAMセル230にわたる電圧であって、セクタ238をアクティブ又は導電状態に切り替えるために必要な閾値電圧(V_t)を超える電圧を駆動することによって、選択可能なMRAMセル230からデータを読み出す。導電状態になったら、セクタ238は、選択可能なMRAMセル230内の直列接続されたMTJ 232の現在の磁化状態を読み出すために使用される電流を通すことができる。この読み出し動作は、数ある値の中でも、2値の「1」又は「0」を含み得るデータ値を表す、以前にプログラムされた磁化状態に依存する、MTJ 232にわたる電圧を生成する。これらのデータ値又はデータ状態は、MTJ 232の平行(P)又は逆平行(AP)状態に対応し、電流は、現在の磁化状態を反映しているMTJ 232にわたる電圧を生成するための好ましい方向又は極性で、MTJ 232を通過することができる。セクタ238は、双方向又は双極性セクタ要素を含むので、セクタ238は、MTJ 232のいずれかの極性で電流を通すことができる。

【0048】

しかしながら、図2の実施態様では、読み出し電流は、 $I_{制限}$ について示される極性で、すなわち列ドライバ242から列線252を通過して、直列接続されたセクタ238及びMRAM要素231を通過して、行線251及び行ドライバ241を通過して流れる。動作中、電圧は、セクタ238を導電状態に変更するために利用され得るが、次に、セクタ238及びMRAM要素231を通過した電流は、電流ミラー212と併せて電流制御回路210を使用して、大きさを制限される。この電流は、 $V_{検知}$ で1つ以上の電圧を生成するために様々な方法で制限される。図3に示される第1の実施例では、 $V_{検知}$ で傾斜電圧を生成する傾斜電流制限301が利用される。補償回路320は、 $V_{検知}$ を受信し、セクタ238の $V_{オフセット}$ 特性を補償するために利用され得る。この補償は、有利には、印加された読み出し電流によってMTJ 232にわたって生成される電圧に対する $V_{オフセット}$ の影響を有利に低減し、並びに、セクタ238におけるデバイス間変動性の作用を低減する。

【0049】

図4に示される第2の実施例では、 $V_{検知}$ で2つの後続電圧を生成する階段状電流制限401が利用される。補償回路420を利用して $V_{検知}$ を受信し、 $V_{検知}$ の各値を一時的に記憶することができる。第1の電流制限から記憶された $V_{検知}$ の第1の値は、第2の電流制限から記憶された $V_{検知}$ の第2の値を減算することによって低減される。したがって、補償回路420は、この減算された結果を用いてセクタ238の $V_{オフセット}$ 特性を補償することができる。図3のものと同様に、図4で実行される補償は、適用された読み出し電流によって、MTJ 232にわたって生成された電圧に対する $V_{オフセット}$ の影響を有利に低減し、並びに、セクタ238におけるデバイス間変動性の作用を低減する。しかしながら、補償回路420は、補償回路320のものよりも少ない回路の複雑さでこの補償を達成する。

【0050】

図6に示される第3の実施例では、 $V_{検知}$ で2つの後続電圧を生成する階段状電流制限601が利用される。補償回路620は、 $V_{検知}$ を受信し、第1の電流制限中に $V_{検知}$ の第1の値を一時的に記憶し、単一のコンデンサ内に、第2の電流制限中の $V_{検知}$ の第1の

10

20

30

40

50

(記憶された)値から $V_{\text{検知}}$ の第2の値を減算するために利用することができる。したがって、補償回路620は、この減算された結果を用いてセクタ238の $V_{\text{オフセット}}$ 特性を補償することができる。図4のものと同様に、図6で実行される補償は、適用された読み出し電流によって、MTJ 232にわたって生成された電圧に対する $V_{\text{オフセット}}$ の影響を有利に低減し、並びに、セクタ238におけるデバイス間変動性の作用を低減する。しかしながら、補償回路620は、補償回路420のものよりも少ない回路の複雑さでこの補償を達成する。

【0051】

上述したように、様々な電流制限から得られた検知電圧に基づいて、出力回路220は、出力電圧(V_{OUT})を決定する(804)。様々な補償回路が、MTJ 232にわたって生成された電圧に対する $V_{\text{オフセット}}$ の影響を補償するために含まれ得る。しかしながら、上述の補償回路の結果は、典型的には、減算された又はさもなければ排除された $V_{\text{オフセット}}$ の影響を伴う、 $V_{\text{検知}}$ の導関数又は微分版を含む。これは、図2の式203の導関数又は微分版によって表すことができる。

10

【0052】

次いで、出力回路220は、補償回路からの出力電圧に基づいて、選択可能なMRAMセル230内のMRAM要素231におけるデータの値を決定する(805)。いくつかの実施例では、出力回路220は、 V_{OUT} への不定積分、積分、又は他の数学的操作を計算して、MRAM要素231内のMTJ 232の磁化状態を決定する。更なる実施例では、出力回路220は、 V_{OUT} を直接解釈して、MRAM要素231内のMTJ 232の磁化状態を決定することができる。例えば、MRAM要素231内のMTJ 232の磁化状態が、2つの可能な値(例えば、一例では、平行状態及び逆平行状態に対応する「1」及び「0」)を有する場合、出力回路220は、 $V_{\text{オフセット}}$ が V_{OUT} から低減又は除去されると、2つの状態間の電圧差を決定することができる。したがって、 V_{OUT} の2つの異なる電圧は、MRAM要素231内のMTJ 232の特定の磁化状態、したがって異なるデータ値にそれぞれ対応するであろう。次いで、データ値は、1つ以上の外部システムに示される異なる論理レベル、電圧レベル、又は他の表現に相関させることができる。更なる実施例では、バッファ160が、1つ以上の外部システムへの転送前に、データ値を記憶するために利用されてもよい。

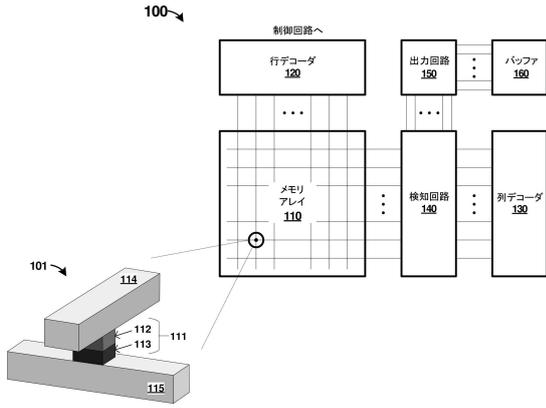
20

【0053】

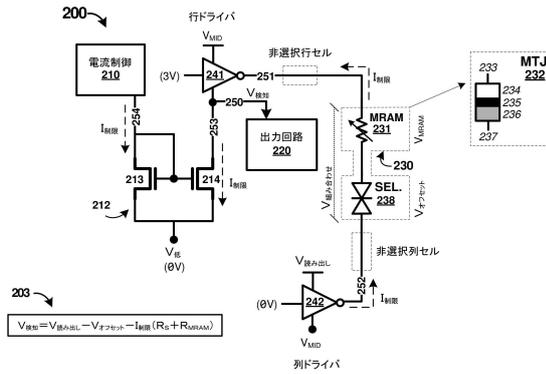
含まれる説明及び図は、当業者に最良の形態を作製及び使用する方法を教示するための特定の実施形態を描写する。本発明の原理を教示する目的で、いくつかの従来の様子は、簡略化又は省略されている。当業者は、本開示の範囲内に含まれるこれらの実施形態からの変形を理解するであろう。当業者であれば、上記の特徴を様々な手法で組み合わせて、複数の実施形態を形成することができることも理解するであろう。その結果、本開示は、上述の特定の実施形態に限定されるものではなく、特許請求の範囲及びそれらの均等物によってのみ限定される。

30

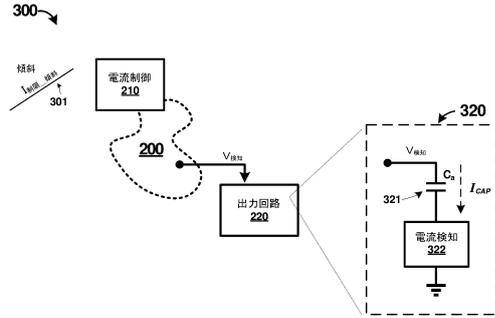
【図1】



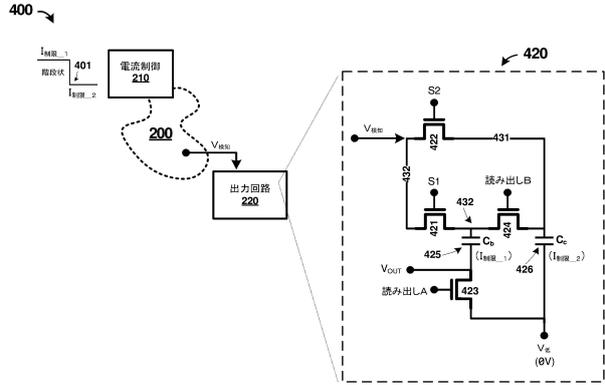
【図2】



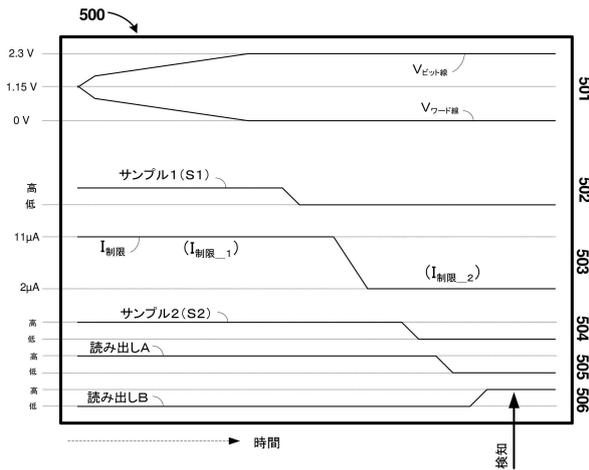
【図3】



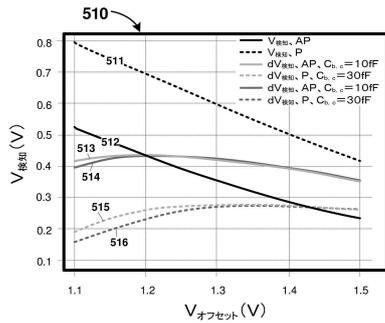
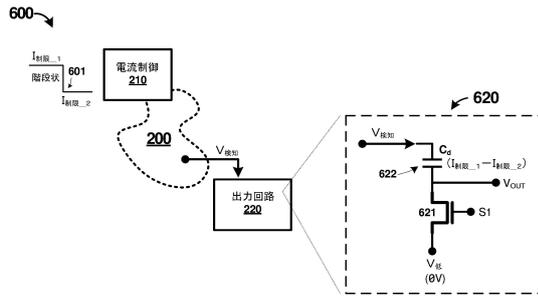
【図4】



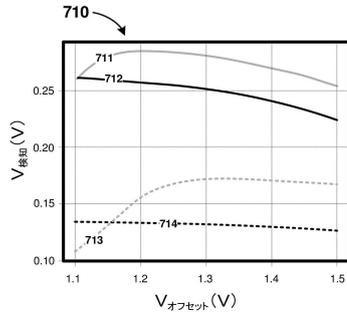
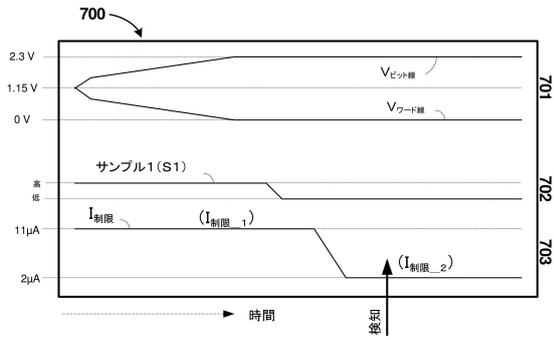
【図5】



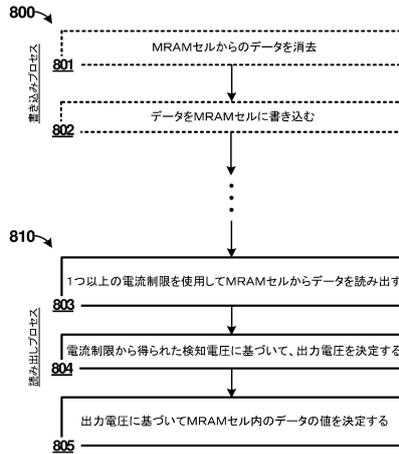
【図6】



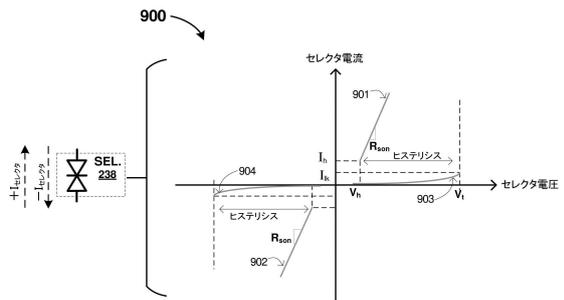
【図7】



【図8】



【図9】



フロントページの続き

- (72)発明者 クリストファー ジェイ・ペッティ
アメリカ合衆国 75001 テキサス州, アディソン, スペクトラム ドライブ 5080, ス
イート 1050ダブリュ, サンディスク テクノロジーズ エルエルシー
- (72)発明者 ティズ-イ リウ
アメリカ合衆国 75001 テキサス州, アディソン, スペクトラム ドライブ 5080, ス
イート 1050ダブリュ, サンディスク テクノロジーズ エルエルシー
- (72)発明者 アリ アル-シャンマ
アメリカ合衆国 75001 テキサス州, アディソン, スペクトラム ドライブ 5080, ス
イート 1050ダブリュ, サンディスク テクノロジーズ エルエルシー
- (72)発明者 ヨーチャーン ジョン
アメリカ合衆国 75001 テキサス州, アディソン, スペクトラム ドライブ 5080, ス
イート 1050ダブリュ, サンディスク テクノロジーズ エルエルシー

審査官 後藤 彰

- (56)参考文献 特表2016-511502(JP, A)
特表2013-532344(JP, A)
特開2010-86638(JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/16
G11C 13/00