



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년06월09일
 (11) 등록번호 10-1039946
 (24) 등록일자 2011년06월01일

(51) Int. Cl.
H01L 33/36 (2010.01)
 (21) 출원번호 10-2009-0128393
 (22) 출원일자 2009년12월21일
 심사청구일자 2009년12월21일
 (56) 선행기술조사문헌
 JP2008060331 A*
 KR1020090053233 A*
 KR1020080033721 A
 JP2008211019 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지이노텍 주식회사
 서울특별시 중구 남대문로5가 541 서울스퀘어
 (72) 발명자
정환희
 울산 남구 야음동 신정현대홈타운아파트 204동 602호
문지형
 부산광역시 연제구 연산4동 한일유엔아이 아파트 102동 205호
 (뒷면에 계속)
 (74) 대리인
서교준

전체 청구항 수 : 총 11 항

심사관 : 진수영

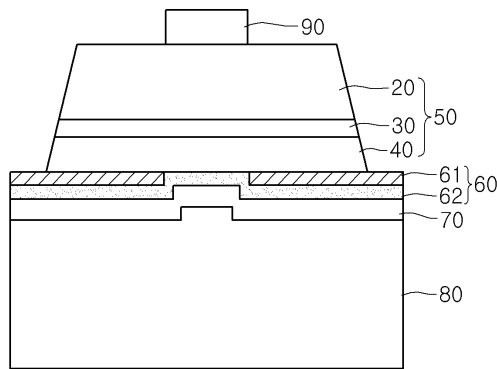
(54) 발광 소자, 발광 소자 패키지 및 발광 소자 제조방법

(57) 요약

실시예는 발광 소자, 발광 소자 패키지 및 발광 소자 제조방법에 관한 것이다.

실시예에 따른 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 제1 전기 전도성을 갖는 제1 영역과, 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 갖는 제2 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 제2 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.

대표도 - 도1



(72) 발명자

김소정

서울특별시 영등포구 신길동 4937 신길뉴타운 한화
꿈에그린아파트 105동 501호

송준오

경기도 용인시 기흥구 중동 어은목마을한라비발디
4004동 1004호

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

도전성 지지층;

상기 도전성 지지층 상에 오믹 접촉 영역과 쇼트키 접촉 영역을 포함하는 투명 전도층;

상기 투명 전도층 상에 발광 구조층; 및

상기 발광 구조층 상에 상기 투명 전도층의 쇼트키 접촉 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부 부분이 배치되는 전극을 포함하고,

상기 오믹 접촉 영역은 상기 쇼트키 접촉 영역과 이격되며,

상기 투명 전도층은 제1 전기 전도성을 갖는 제1 투명 전도층과, 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 갖는 제2 투명 전도층을 포함하고,

상기 제1 투명 전도층과 상기 제2 투명 전도층은 동일한 물질로 형성되며,

상기 제2 투명 전도층이 쇼트키 접촉 영역에 형성되고, 상기 제1 투명 전극층이 오믹 접촉 영역에 형성되는 발광 소자.

청구항 4

제 3항에 있어서,

상기 투명 전도층과 상기 도전성 지지층 사이에 반사층을 포함하는 발광 소자.

청구항 5

제 3항에 있어서,

상기 투명 전도층은 50% 이상의 광 투과율을 갖고, $10\Omega/\text{sq}$ 이하의 면저항을 갖는 물질을 포함하는 발광 소자.

청구항 6

제 3항에 있어서,

상기 투명 전도층은 투명 전도 산화물, 투명 전도 질화물, 투명 전도 산화 질화물 중 적어도 어느 하나를 포함하는 발광 소자.

청구항 7

제 6항에 있어서,

상기 투명 전도 산화물은 ITO, ZnO, AZO, IZO, ATO, ZITO, Sn-O, In-O, Ga-O 중 어느 하나이고, 상기 투명 전도 질화물은 TiN, CrN, TaN, In-N 중 적어도 어느 하나이며, 상기 투명 전도 산화 질화물은 ITON, ZnON, O-In-N, IZON 중 어느 하나인 발광 소자.

청구항 8

삭제

청구항 9

제 3항에 있어서,

상기 제1 투명 전도층은 제1 일함수를 가지고, 상기 제2 투명 전도층은 상기 제1 일함수보다 작은 제2 일함수를 가지는 발광 소자.

청구항 10

삭제

청구항 11

성장 기관 상에 발광 구조층을 형성하는 단계;

상기 발광 구조층 상의 제1 영역에 접하는 제1 투명 전도층 및 상기 발광 구조층 상의 제2 영역에 접하는 제2 투명 전도층을 포함하는 투명 전도층을 형성하는 단계;

상기 투명 전도층 상에 도전성 지지층을 형성하는 단계;

상기 성장 기관을 제거하는 단계;

상기 성장 기관이 제거됨에 따라 노출된 상기 발광 구조층을 칩 단위로 분리하는 아이솔레이션 에칭을 수행하여 상기 제1 투명 전도층의 일부가 상측 방향으로 노출되도록 하는 단계; 및

상기 발광 구조층 상에 상기 제2 투명 전도층에 적어도 일부분이 수직 방향으로 오버랩되도록 전극을 형성하는 단계를 포함하고,

상기 제1 투명 전도층과 제2 투명 전도층은 증착 방법 또는 증착 공정 조건을 다르게 하여 동일한 물질로 형성하며,

상기 제1 투명 전도층은 제1 전기 전도성을 가지고, 상기 제2 투명 전도층은 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 가지며,

상기 제1 투명 전도층은 상기 발광 구조층과 오믹 접촉을 하고, 상기 제2 투명 전도층은 상기 발광 구조층과 쇼트키 접촉을 하며,

상기 제1 투명 전도층과 상기 제2 투명 전도층이 이격되는 발광 소자 제조방법.

청구항 12

삭제

청구항 13

제 11항에 있어서,

상기 제1 투명 전도층은 제1 일함수를 갖고, 상기 제2 투명 전도층은 상기 제1 일함수 보다 작은 제2 일함수를 갖는 발광 소자 제조방법.

청구항 14

삭제

청구항 15

제 11항에 있어서,

상기 투명 전도층을 형성하는 단계는 스퍼터링 방법을 포함하고,

상기 제1 투명 전도층을 형성할 때보다 상기 제2 투명 전도층을 형성할 때 플라즈마 생성 파워를 더 높게 설정하는 발광 소자 제조방법.

청구항 16

제 11항에 있어서,

상기 투명 전도층 상에 도전성 지지층을 형성하기 전에 상기 투명 전도층 상에 반사층을 형성하는 단계를 더 포함하는 발광 소자 제조방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

몸체부;

상기 몸체부 상에 제1 전극층 및 제2 전극층;

상기 몸체부 상에 상기 제1 전극층 및 제2 전극층과 전기적으로 연결되는 발광 소자; 및

상기 몸체부 상에 발광 소자를 포위하는 몰딩부재를 포함하고,

상기 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 오믹 접촉 영역과 쇼트키 접촉 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 투명 전도층의 쇼트키 접촉 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함하고, 상기 오믹 접촉 영역은 상기 쇼트키 접촉 영역과 이격되며,

상기 투명 전도층은 제1 전기 전도성을 갖는 제1 투명 전도층과, 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 갖는 제2 투명 전도층을 포함하고,

상기 제1 투명 전도층과 상기 제2 투명 전도층은 동일한 물질로 형성되며,

상기 제2 투명 전도층이 쇼트키 접촉 영역에 형성되고, 상기 제1 투명 전도층이 오믹 접촉 영역에 형성되는 발광 소자 패키지.

명세서

발명의 상세한 설명

기술분야

[0001] 실시예는 발광 소자, 발광 소자 패키지 및 발광 소자 제조방법에 관한 것이다.

배경기술

[0002] 발광 다이오드(Light Emitting Diode: LED)는 전류를 빛으로 변환시키는 반도체 발광 소자이다.

[0003] 상기 발광 다이오드에 의해 방출되는 빛의 파장은 발광 다이오드를 제조하는데 사용되는 반도체 재료에 따른다. 이는 방출된 빛의 파장이 가전자대(valence band) 전자들과 전도대(conduction band) 전자들 사이의 에너지를 나타내는 반도체 재료의 밴드갭(band-gap)에 따르기 때문이다.

[0004] 최근 발광 다이오드는 휘도가 점차 증가하게 되어 디스플레이용 광원, 자동차용 광원 및 조명용 광원으로 사용되고 있으며, 형광 물질을 이용하거나 다양한 색의 발광 다이오드를 조합함으로써 효율이 우수한 백색 광을 발광하는 발광 다이오드도 구현이 가능하다.

발명의 내용

해결하고자하는 과제

[0005] 실시예는 새로운 구조를 갖는 발광 소자, 발광 소자 패키지, 발광 소자 제조방법을 제공한다.

[0006] 실시예는 광 효율이 향상된 발광 소자, 발광 소자 패키지, 발광 소자 제조방법을 제공한다.

[0007] 실시예는 전류가 넓은 영역으로 퍼져 흐를 수 있는 발광 소자, 발광 소자 패키지, 발광 소자 제조방법을 제공한다.

다.

과제 해결수단

- [0008] 실시예에 따른 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 제1 전기 전도성을 갖는 제1 영역과, 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 갖는 제2 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 제2 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.
- [0009] 실시예에 따른 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 제1 일함수를 갖는 제1 영역과, 상기 제1 일함수보다 작은 제2 일함수를 갖는 제2 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 제2 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.
- [0010] 실시예에 따른 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 오믹 접촉 영역과 쇼트키 접촉 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 투명 전도층의 쇼트키 접촉 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.
- [0011] 실시예에 따른 발광 소자 제조방법은 성장 기관 상에 발광 구조층을 형성하는 단계; 상기 발광 구조층 상의 제1 영역에 접하는 제1 투명 전도층 및 상기 발광 구조층 상의 제2 영역에 접하는 제2 투명 전도층을 포함하는 투명 전도층을 형성하는 단계; 상기 투명 전도층 상에 도전성 지지층을 형성하는 단계; 상기 성장 기관을 제거하는 단계; 및 상기 성장 기관이 제거됨에 따라 노출된 상기 발광 구조층 상에 상기 제2 투명 전도층에 적어도 일부분이 수직 방향으로 오버랩되도록 전극을 형성하는 단계를 포함하고, 상기 제1 투명 전도층과 제2 투명 전도층은 증착 방법 또는 증착 공정 조건을 다르게 하여 동일한 물질로 형성한다.
- [0012] 실시예에 따른 발광 소자 패키지는 몸체부; 상기 몸체부 상에 제1 전극층 및 제2 전극층; 상기 몸체부 상에 상기 제1 전극층 및 제2 전극층과 전기적으로 연결되는 발광 소자; 및 상기 몸체부 상에 발광 소자를 포위하는 몰딩부재를 포함하고, 상기 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 제1 전기 전도성을 갖는 제1 영역과, 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 갖는 제2 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 제2 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.
- [0013] 실시예에 따른 발광 소자 패키지는 몸체부; 상기 몸체부 상에 제1 전극층 및 제2 전극층; 상기 몸체부 상에 상기 제1 전극층 및 제2 전극층과 전기적으로 연결되는 발광 소자; 및 상기 몸체부 상에 발광 소자를 포위하는 몰딩부재를 포함하고, 상기 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 제1 일함수를 갖는 제1 영역과, 상기 제1 일함수보다 작은 제2 일함수를 갖는 제2 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 제2 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.
- [0014] 실시예에 따른 발광 소자 패키지는 몸체부; 상기 몸체부 상에 제1 전극층 및 제2 전극층; 상기 몸체부 상에 상기 제1 전극층 및 제2 전극층과 전기적으로 연결되는 발광 소자; 및 상기 몸체부 상에 발광 소자를 포위하는 몰딩부재를 포함하고, 상기 발광 소자는 도전성 지지층; 상기 도전성 지지층 상에 오믹 접촉 영역과 쇼트키 접촉 영역을 포함하는 투명 전도층; 상기 투명 전도층 상에 발광 구조층; 및 상기 발광 구조층 상에 상기 투명 전도층의 쇼트키 접촉 영역과 수직 방향으로 오버랩되는 영역에 적어도 일부분이 배치되는 전극을 포함한다.

효과

- [0015] 실시예는 새로운 구조를 갖는 발광 소자, 발광 소자 패키지, 발광 소자 제조방법을 제공할 수 있다.
- [0016] 실시예는 광 효율이 향상된 발광 소자, 발광 소자 패키지, 발광 소자 제조방법을 제공할 수 있다.
- [0017] 실시예는 전류가 넓은 영역으로 퍼져 흐를 수 있는 발광 소자, 발광 소자 패키지, 발광 소자 제조방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기관, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래

(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

- [0019] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시되었다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- [0020] 이하, 첨부된 도면을 참조하여 실시예들에 따른 발광 소자, 발광 소자 패키지, 발광 소자 제조방법에 대해 상세히 설명하도록 한다.
- [0021] 도 1은 제1 실시예에 따른 발광 소자를 설명하는 도면이다.
- [0022] 도 1을 참조하면, 제1 실시예에 따른 발광 소자는 도전성 지지층(80)과, 상기 도전성 지지층(80) 상에 반사층(70)과, 상기 반사층(70) 상에 제1 투명 전도층(TCL: Transparent Conducting Layer)(61)과 제2 투명 전도층(62)을 포함하는 투명 전도층(60)과, 상기 투명 전도층(60) 상에 제1 도전형의 반도체층(20), 활성층(30), 및 제2 도전형의 반도체층(40)을 포함하는 발광 구조층(50)과, 상기 발광 구조층(50) 상에 전극(90)을 포함한다.
- [0023] 상기 도전성 지지층(80)은 구리(Cu), 티탄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 또는 도전성 반도체 물질 중 적어도 어느 하나를 포함하여 형성될 수도 있고, 상기 반사층(70)은 광 반사율이 높은 은(Ag), 알루미늄(Al), 구리(Cu), 또는 니켈(Ni) 중 적어도 어느 하나를 포함하는 금속으로 형성될 수도 있다. 상기 반사층(70)은 선택적으로 형성될 수 있으며, 반드시 상기 도전성 지지층(80)과 상기 투명 전도층(60) 사이에 형성되어야 하는 것은 아니다.
- [0024] 상기 투명 전도층(60)은 투명 전도 산화물(TCO: Transparent Conducting Oxide), 투명 전도 질화물(TCN: Transparent Conducting Nitride), 투명 전도 산화 질화물(Transparent Conducting Oxide Nitride) 중 적어도 어느 하나로 형성될 수 있다.
- [0025] 상기 투명 전도층(60)은 50% 이상의 광 투과율을 갖고, 10Ω/sq 이하의 면저항을 갖는 물질로 형성될 수 있다. 상기 투명 전도층(60)은 In, Sn, Zn, Cd, Ga, Al, Mg, Ti, Mo, Ni, Cu, Ag, Au, Sb, Pt, Rh, Ir, Ru, Pd 중 적어도 어느 하나의 물질이 O 및 N 중 적어도 어느 하나와 결합되어 형성될 수 있다.
- [0026] 예를 들어, 상기 투명 전도 산화물은 ITO(Indium-Tin Oxide), ZnO, AZO(Aluminum doped Zinc Oxide), IZO(Indium Zinc Oxide), ATO(Antimony Tin Oxide), ZITO(Zinc Indium-Tin Oxide), Sn-O, In-O, Ga-O 중 어느 하나가 될 수 있고, 상기 투명 전도 질화물은 TiN, CrN, TaN, In-N 중 적어도 어느 하나가 될 수 있으며, 상기 투명 전도 산화 질화물은 ITON(Indium-Tin Oxide Nitride), ZnON, O-In-N, IZON(Indium Zinc Oxide Nitride) 중 어느 하나가 될 수 있다.
- [0027] 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)은 동일한 물질로 형성되며, 서로 다른 증착 방법으로 형성된다.
- [0028] 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)을 형성하기 위한 증착 방법은 Evaporation, Sputtering, Spray Prolysis, CVD, Dip coating, Reactive Ion plating, Wet coating, Screen printing, Laser Techniques 중 적어도 어느 하나의 방법이 사용될 수 있다.
- [0029] 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)은 증착 방법에 따라 동일한 물질로 형성되어도 다른 전기적 특성을 가질 수 있다. 또한, 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)은 동일한 증착 방법 및 동일한 물질로 형성되어도 증착 방법의 공정 조건에 따라 다른 전기적 특성을 가질 수 있다.
- [0030] 예를 들어, 상기 제1 투명 전도층(61)은 Sputtering 방법으로 형성할 수 있고, 상기 제2 투명 전도층(62)은 상기 제1 투명 전도층(61)과 동일한 물질을 Evaporation 방법으로 형성할 수 있다. 이 경우 상기 제1 투명 전도층(61)은 상기 제2 투명 전도층(62) 보다 큰 일함수를 갖는다.
- [0031] 예를 들어, 상기 제1 투명 전도층(61)을 Sputtering 방법으로 형성할 때 플라즈마 파워를 낮게 설정하고, 상기 제2 투명 전도층(62)을 Sputtering 방법으로 형성할 때 플라즈마 파워를 낮게 높게 설정할 수 있다. 이 경우 상기 제1 투명 전도층(61)은 상기 제2 투명 전도층(62)보다 큰 일함수를 갖는다.
- [0032] 제1 실시예에 따른 발광 소자에서 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)은 상기 발광 구조층(50)의 제2 도전형의 반도체층(40)에 대해 다른 전기적 특성을 갖는다. 즉, 상기 제2 투명 전도층(62)은 상기 제1 투명 전도층(61)에 비하여 상기 제2 도전형의 반도체층(40)에 대한 전류 주입 능력이 떨어진다. 다시 말해서, 상기 제2 투명 전도층(62)은 상기 제1 투명 전도층(61)에 비하여 열화된 전기 전도성을 갖는다.

- [0033] 상기 제1 투명 전도층(61)은 상기 제2 도전형의 반도체층(40)과 오믹 접촉을 하고, 상기 제2 투명 전도층(62)은 상기 제2 도전형의 반도체층(40)과 쇼트키 접촉을 한다.
- [0034] 따라서, 상기 전극(90)과 상기 도전성 지지층(80) 사이에 흐르는 전류는 상기 제1 투명 전도층(61)과 상기 제2 도전형의 반도체층(40)이 접하는 영역으로 대부분 흐르게 된다.
- [0035] 상기 제2 투명 전도층(62)과 상기 제2 도전형의 반도체층(40)이 접하는 영역의 적어도 일부분은 상기 전극(90)과 수직 방향에서 오버랩된다. 따라서, 상기 전극(90)과 상기 도전성 지지층(80) 사이에 흐르는 전류는 상기 제1 투명 전도층(61)과 상기 제2 도전형의 반도체층(40)이 접하는 영역을 통해 상기 발광 구조층(50)에 넓게 퍼져 흐르기 때문에 발광 소자의 광 효율이 증가된다.
- [0036] 한편, 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)은 동일한 물질로 형성되기 때문에, 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)이 명확하게 구분되지 않을 수도 있다. 그러나, 상기 투명 전도층(60), 즉 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)이 하나의 물질로 형성되는 경우에 영역에 따라 전기 전도성이 다를 수 있으며, 특히 상기 전극(90)과 수직 방향으로 오버랩되는 부분의 전기 전도성이 오버랩되지 않는 부분에 비해 낮을 수 있다.
- [0037] 상기 발광 구조층(50)은 GaN 기반 반도체층으로 형성될 수 있다. 상기 발광 구조층(50)은 GaN, InGaN, AlGaIn, 또는 InAlGaIn과 같은 물질로 형성될 수 있다.
- [0038] 상기 제1 도전형의 반도체층(20)은 n형 불순물, 예를 들어 Si를 포함하는 GaN층으로 형성될 수 있고, 상기 제2 도전형의 반도체층(40)은 p형 불순물, 예를 들어 Mg를 포함하는 GaN층으로 형성될 수 있다. 상기 활성층(30)은 단일 양자 우물구조 또는 다중 양자 우물 구조로 형성될 수 있으며, 예를 들어 InGaN/InGaIn 적층구조 또는 InGaIn/GaN 적층 구조로 형성될 수 있다.
- [0039] 상기 발광 구조층(50)은 다양한 구조로 설계될 수 있으며, 반드시 도면에 도시된 구조에 한정되는 것은 아니다.
- [0040] 상기 전극(90)은 상기 제1 도전형의 반도체층(20) 상에 형성되며, 와이어 본딩이 원활하게 수행될 수 있도록 Au, Al, 또는 Pt 중 적어도 어느 하나의 금속을 포함할 수도 있다.
- [0041] 제1 실시예에 따른 발광 소자는 상기 투명 전도층(60)을 통해 상기 발광 구조층(50)에 흐르는 전류의 흐름을 제어한다. 상기 투명 전도층(60)은 광 투과율이 50% 이상이므로 상기 활성층(30)에서 발생된 광은 대부분 상기 투명 전도층(60)에서 흡수되지 않고 상기 반사층(70)에서 반사되어 외부로 방출되기 때문에 발광 소자의 광 효율이 향상될 수 있다.
- [0042] 도 2는 제2 실시예에 따른 발광 소자를 설명하는 도면이다. 제2 실시예에 따른 발광 소자를 설명함에 있어서 제1 실시예에 따른 발광 소자에 대한 설명과 중복되는 설명은 생략하도록 한다.
- [0043] 제2 실시예에 따른 발광 소자는 제1 실시예에 따른 발광 소자와 투명 전도층(60)의 구조에 있어서 차이를 가진다.
- [0044] 제1 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이의 전체 영역에 상기 제2 투명 전도층(62)이 형성되나, 제2 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이에 부분적으로 상기 제2 투명 전도층(62)이 형성된다.
- [0045] 따라서, 상기 반사층(70)의 일부는 상기 제1 투명 전도층(61)과 직접 접촉할 수도 있다.
- [0046] 물론, 상기 반사층(70)은 반드시 형성되어야 하는 것은 아니며, 상기 반사층(70)이 형성되지 않는 경우에 상기 도전성 지지층(80)의 일부가 상기 제1 투명 전도층(61)과 직접 접촉할 수도 있다.
- [0047] 도 3은 제3 실시예에 따른 발광 소자를 설명하는 도면이다. 제3 실시예에 따른 발광 소자를 설명함에 있어서 제1 실시예에 따른 발광 소자에 대한 설명과 중복되는 설명은 생략하도록 한다.
- [0048] 제3 실시예에 따른 발광 소자는 제1 실시예에 따른 발광 소자와 투명 전도층(60)의 구조에 있어서 차이를 가진다.
- [0049] 제1 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이의 전체 영역에 상기 제2 투명 전도층(62)이 형성되나, 제3 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이에 상기 제2 투명 전도층(62)이 형성되지 않는다.

- [0050] 즉, 상기 제1 투명 전도층(61)과 상기 제2 투명 전도층(62)은 동일 수평면 상에 배치되고, 수직 방향으로 오버랩되지 않는다.
- [0051] 따라서, 상기 반사층(70)의 일부는 상기 제1 투명 전도층(61)과 직접 접촉하고, 상기 반사층(70)의 나머지는 상기 제2 투명 전도층(62)과 직접 접촉할 수도 있다.
- [0052] 물론, 상기 반사층(70)은 반드시 형성되어야 하는 것은 아니며, 상기 반사층(70)이 형성되지 않는 경우에 상기 도전성 지지층(80)의 일부는 상기 제1 투명 전도층(61)과 직접 접촉하고, 상기 도전성 지지층(80)의 나머지는 상기 제2 투명 전도층(62)과 직접 접촉할 수도 있다.
- [0053] 도 4는 제4 실시예에 따른 발광 소자를 설명하는 도면이다. 제4 실시예에 따른 발광 소자를 설명함에 있어서 제1 실시예에 따른 발광 소자에 대한 설명과 중복되는 설명은 생략하도록 한다.
- [0054] 제4 실시예에 따른 발광 소자는 제1 실시예에 따른 발광 소자와 투명 전도층(60)의 구조에 있어서 차이를 가진다.
- [0055] 제1 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이의 전체 영역에 상기 제2 투명 전도층(62)이 형성되나, 제4 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이에 상기 제2 투명 전도층(62)이 형성되지 않는다. 오히려, 상기 제2 투명 전도층(62)과 상기 반사층(70) 사이에 부분적으로 상기 제1 투명 전도층(61)이 형성된다.
- [0056] 따라서, 상기 반사층(70)의 일부는 상기 제1 투명 전도층(61)과 직접 접촉하고, 상기 반사층(70)의 나머지는 상기 제2 투명 전도층(62)과 직접 접촉할 수도 있다.
- [0057] 물론, 상기 반사층(70)은 반드시 형성되어야 하는 것은 아니며, 상기 반사층(70)이 형성되지 않는 경우에 상기 도전성 지지층(80)의 일부는 상기 제1 투명 전도층(61)과 직접 접촉하고, 상기 도전성 지지층(80)의 나머지는 상기 제2 투명 전도층(62)과 직접 접촉할 수도 있다.
- [0058] 도 5는 제5 실시예에 따른 발광 소자를 설명하는 도면이다. 제5 실시예에 따른 발광 소자를 설명함에 있어서 제1 실시예에 따른 발광 소자에 대한 설명과 중복되는 설명은 생략하도록 한다.
- [0059] 제5 실시예에 따른 발광 소자는 제1 실시예에 따른 발광 소자와 투명 전도층(60)의 구조에 있어서 차이를 가진다.
- [0060] 제1 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이의 전체 영역에 상기 제2 투명 전도층(62)이 형성되나, 제5 실시예에 따른 발광 소자에서는 상기 제1 투명 전도층(61)과 상기 반사층(70) 사이에 상기 제2 투명 전도층(62)이 형성되지 않는다.
- [0061] 상기 제1 투명 전도층(61)과 상기 제2 투명 전도층(62)은 서로 이격되어 배치되고, 상기 제1 투명 전도층(61)과 상기 제2 투명 전도층(62) 사이에 상기 반사층(90)이 배치된다. 또한, 상기 반사층(90)의 일부는 상기 발광 구조층(50)과 직접 접촉할 수도 있다.
- [0062] 물론, 상기 반사층(70)은 반드시 형성되어야 하는 것은 아니며, 상기 반사층(70)이 형성되지 않는 경우에 상기 도전성 지지층(80)의 일부는 상기 제1 투명 전도층(61) 및 상기 제2 투명 전도층(62)과 직접 접촉하고, 상기 도전성 지지층(80)의 나머지는 상기 발광 구조층(50)과 직접 접촉할 수도 있다.
- [0063] 도 6 내지 도 11은 실시예에 따른 발광 소자 제조방법을 설명하는 도면이다.
- [0064] 도 6을 참조하면, 성장 기관(10) 상에 제1 도전형의 반도체층(20), 활성층(30), 제2 도전형의 반도체층(40)을 포함하는 발광 구조층(50)을 형성하고, 상기 발광 구조층(50) 상에 제1 투명 전도층(61)을 형성한다.
- [0065] 비록 도시되지는 않았지만, 상기 성장 기관(10) 상에 버퍼층(미도시)을 포함하는 언도프트(Un-doped) 질화물층(미도시)을 형성한 후, 상기 언도프트 질화물층 상에 상기 제1 도전형의 반도체층(20)을 형성할 수 있다.
- [0066] 상기 성장 기관(10)은 사파이어(Al_2O_3), Si, SiC, GaAs, ZnO, MgO 중 어느 하나로 형성될 수 있고, 예를 들어, 상기 성장 기관(10)으로서 사파이어 기관을 사용할 수 있다.
- [0067] 상기 언도프트 질화물층(미도시)은 GaN계 반도체층으로 형성될 수 있고, 예를 들어, 트리메틸 갈륨(TMGa)을 수소 가스 및 암모니아 가스와 함께 챔버에 주입하여 성장시킨 언도프트 GaN층을 사용할 수 있다.
- [0068] 상기 제1 도전형의 반도체층(20)은 트리메틸 갈륨(TMGa), n형 불순물(예를 들어, Si)을 포함하는 실란 가스

(SiH₄)를 수소 가스 및 암모니아 gas와 함께 상기 챔버에 주입하여 성장시킬 수 있다. 그리고, 상기 제1 도전형의 반도체층(20) 상에 활성층(30) 및 제2 도전형의 반도체층(40)을 형성한다.

- [0069] 상기 활성층(30)은 단일 양자 우물 구조 또는 다중 양자 우물 구조로 형성될 수 있고, 예를 들어, InGaN 우물층/GaN 장벽층의 적층 구조로 형성될 수도 있다.
- [0070] 상기 제2 도전형의 반도체층(40)은 트리메틸 갈륨(TMGa), p형 불순물(예를 들어, Mg)을 포함하는 비세틸 사이클로 펜타니에닐 마그네슘(EtCp₂Mg){Mg(C₂H₅C₅H₄)₂}을 수소 가스 및 암모니아 gas와 함께 상기 챔버에 주입하여 성장시킬 수 있다.
- [0071] 상기 제1 투명 전도층(61)은 상기 제2 도전형의 반도체층(40)의 일부 영역을 제외한 부분에 형성된다. 여기서, 상기 제1 투명 전도층(61)이 형성되지 않은 영역은 이후 설명될 전극(90)의 적어도 일부분과 수직 방향에서 오버랩되는 영역이다. 예를 들어, 상기 제1 투명 전도층(61)은 sputtering 방법으로 형성될 수 있다.
- [0072] 도 7을 참조하면, 상기 제2 도전형의 반도체층(40)의 일부 영역 및 상기 제1 투명 전도층(61) 상에 제2 투명 전도층(62)을 형성한다. 예를 들어, 상기 제2 투명 전도층(62)은 Evaporation 방법으로 형성될 수 있다.
- [0073] 상기 제1 투명 전도층(61) 및 제2 투명 전도층(62)은 투명 전도 산화막, 투명 전도 질화막, 투명 전도 산화 질화막 중 어느 하나로 형성될 수 있고, 상기 제1 투명 전도층(61) 및 제2 투명 전도층(62)은 동일한 물질로 형성될 수 있다.
- [0074] 상기 제1 투명 전도층(61)은 상기 제2 도전형의 반도체층(40)에 대하여 제1 전기 전도성을 갖도록 형성되고, 상기 제2 투명 전도층(62)은 상기 제2 도전형의 반도체층(40)에 대하여 상기 제1 전기 전도성보다 낮은 제2 전기 전도성을 갖도록 형성될 수 있다.
- [0075] 또는, 상기 제1 투명 전도층(61)은 제1 일함수를 갖도록 형성되고, 상기 제2 투명 전도층(62)은 상기 제1 일함수보다 작은 제2 일함수를 갖도록 형성될 수 있다.
- [0076] 또는, 상기 제1 투명 전도층(61)은 상기 제2 도전형의 반도체층(62)과의 접촉면에서 제1 비접촉저항(specific contact resistivity)을 갖도록 형성될 수 있고, 상기 제2 투명 전도층(62)은 상기 제2 도전형의 반도체층(62)과의 접촉면에서 상기 제1 비접촉저항보다 큰 제2 비접촉저항을 갖도록 형성될 수 있다.
- [0077] 또는, 상기 제1 투명 전도층(61)은 상기 제2 도전형의 반도체층(40)과 오믹 접촉을 하도록 형성되고, 상기 제2 투명 전도층(62)은 상기 제2 도전형의 반도체층(40)과 쇼트키 접촉을 하도록 형성될 수 있다.
- [0078] 한편, 상기 제1 투명 전도층(61)과 제2 투명 전도층(62)을 형성하는 방법은 도 1 내지 도 5에 도시된 실시예들에 따라 변경될 수 있다.
- [0079] 도 1에 도시된 제1 실시예의 경우, 상기 제2 도전형의 반도체층(40) 상에 중앙부가 노출되도록 상기 제1 투명 전도층(61)을 형성하고, 상기 제2 도전형의 반도체층(40) 상의 중앙부와 상기 제1 투명 전도층(61)의 전체 영역에 상기 제2 투명 전도층(62)을 형성한다.
- [0080] 도 2에 도시된 제2 실시예의 경우, 상기 제2 도전형의 반도체층(40) 상에 중앙부가 노출되도록 상기 제1 투명 전도층(61)을 형성하고, 상기 제2 도전형의 반도체층(40) 상의 중앙부와 상기 제1 투명 전도층(61)의 일부 영역에 상기 제2 투명 전도층(62)을 형성한다.
- [0081] 도 3에 도시된 제3 실시예의 경우, 상기 제2 도전형의 반도체층(40) 상에 중앙부가 노출되도록 상기 제1 투명 전도층(61)을 형성하고, 상기 제2 도전형의 반도체층(40) 상의 중앙부에 상기 제2 투명 전도층(62)을 형성한다.
- [0082] 도 4에 도시된 제4 실시예의 경우, 상기 제2 도전형의 반도체층(40) 상의 중앙부에 상기 제2 투명 전도층(62)을 형성하고, 상기 제2 도전형의 반도체층(40) 및 상기 제2 투명 전도층(62)의 일부 영역에 상기 제1 투명 전도층(61)을 형성한다.
- [0083] 도 5에 도시된 제5 실시예의 경우, 상기 제2 도전형의 반도체층(40) 상의 중앙부에 상기 제1 투명 전도층(61)을 형성하고, 상기 제2 도전형의 반도체층(40) 상에 상기 제1 투명 전도층(61)과 이격되도록 상기 제2 투명 전도층(62)을 형성한다.
- [0084] 도 8 및 도 9를 참조하면, 상기 투명 전도층(60) 상에 반사층(70)을 형성하고, 상기 반사층(70) 상에 도전성 지지층(80)을 형성한다.

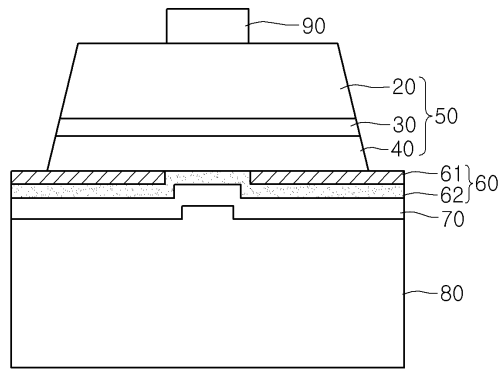
- [0085] 도 10 및 도 11을 참조하면, 상기 성장 기관(10)을 제거한다. 비록 상세히 도시되지는 않았지만, 상기 성장 기관(10)을 제거한 후, 발광 소자를 칩 단위로 분리하기 위한 아이솔레이션 에칭을 수행하며, 이때, 도 1 내지 도 5에 도시된 바와 같이 상기 제1 투명 전도층(61)의 일부분이 상측 방향으로 노출될 수도 있다.
- [0086] 그리고, 상기 제1 도전형의 반도체층(20) 상에 전극(90)을 형성한다. 상기 전극(90)은 상기 제2 투명 전도층(62)이 상기 제2 도전형의 반도체층(40)과 접하는 영역과 적어도 일부분이 수직 방향에서 오버랩되도록 배치할 수 있다.
- [0087] 도 12는 실시예들에 따른 발광 소자가 설치된 발광 소자 패키지를 설명하는 도면이다.
- [0088] 도 12를 참조하면, 실시예에 따른 발광 소자 패키지는 몸체부(200)와, 상기 몸체부(200)에 설치된 제1 전극층(210) 및 제2 전극층(220)과, 상기 몸체부(200)에 설치되어 상기 제1 전극층(210) 및 제2 전극층(220)과 전기적으로 연결되는 발광 소자(100)와, 상기 발광 소자(100)를 포위하는 몰딩부재(400)가 포함된다.
- [0089] 상기 몸체부(200)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광 소자(100)의 주위에 경사면이 형성될 수 있다.
- [0090] 상기 제1 전극층(210) 및 제2 전극층(220)은 서로 전기적으로 분리되며, 상기 발광 소자(100)에 전원을 제공하는 역할을 한다. 또한, 상기 제1 전극층(210) 및 제2 전극층(220)은 상기 발광 소자(100)에서 발생된 빛을 반사시켜 광 효율을 증가시키는 역할을 할 수 있으며, 상기 발광 소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0091] 상기 발광 소자(100)는 도 1 내지 도 5에 예시된 발광 소자가 적용될 수 있으며, 상기 발광 소자(100)는 상기 몸체부(200) 상에 설치되거나 상기 제1 전극층(210) 또는 제2 전극층(220) 상에 설치될 수 있다.
- [0092] 상기 발광 소자(100)는 와이어(300)를 통해 상기 제1 전극층(210) 및/또는 제2 전극층(220)과 전기적으로 연결될 수 있으며, 실시예에서는 수직형 타입의 발광 소자(100)가 예시되어 있기 때문에, 하나의 와이어(300)가 사용된 것이 예시되어 있다.
- [0093] 상기 몰딩부재(400)는 상기 발광 소자(100)를 포위하여 상기 발광 소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(400)에는 형광체가 포함되어 상기 발광 소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0094] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0095] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

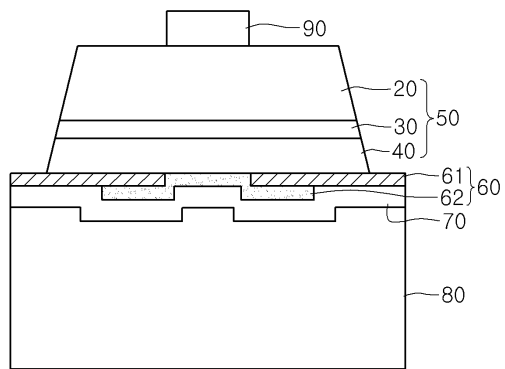
- [0096] 도 1은 제1 실시예에 따른 발광 소자를 설명하는 도면.
- [0097] 도 2는 제2 실시예에 따른 발광 소자를 설명하는 도면.
- [0098] 도 3은 제3 실시예에 따른 발광 소자를 설명하는 도면.
- [0099] 도 4는 제4 실시예에 따른 발광 소자를 설명하는 도면.
- [0100] 도 5는 제5 실시예에 따른 발광 소자를 설명하는 도면.
- [0101] 도 6 내지 도 11은 실시예에 따른 발광 소자 제조방법을 설명하는 도면.
- [0102] 도 12는 실시예들에 따른 발광 소자가 설치된 발광 소자 패키지를 설명하는 도면.

도면

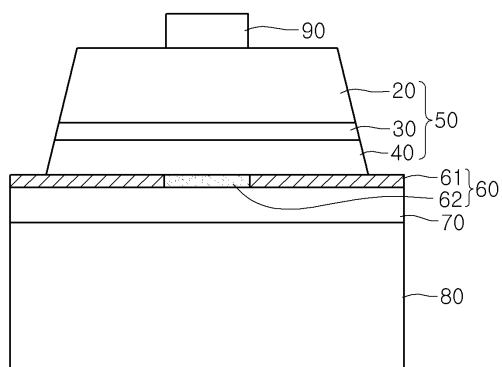
도면1



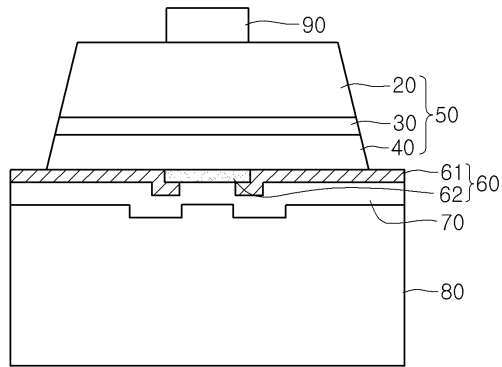
도면2



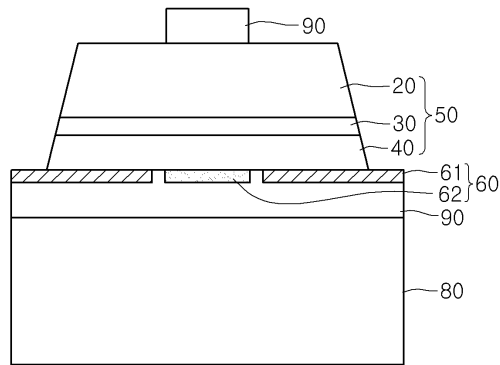
도면3



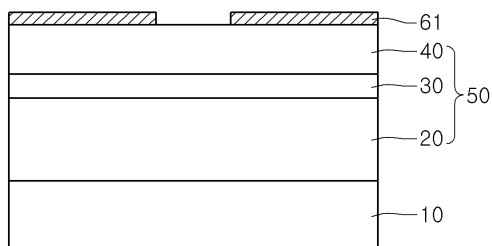
도면4



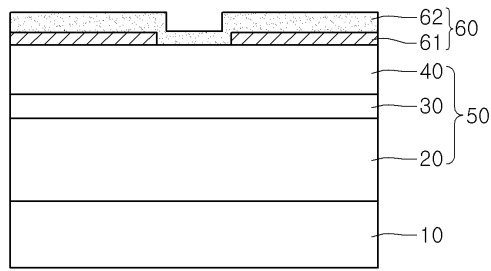
도면5



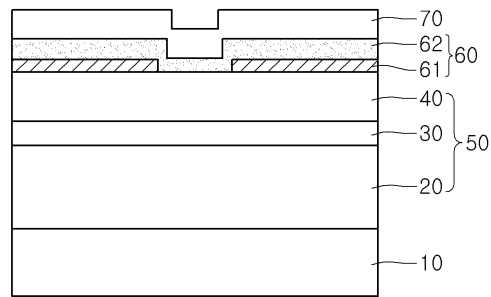
도면6



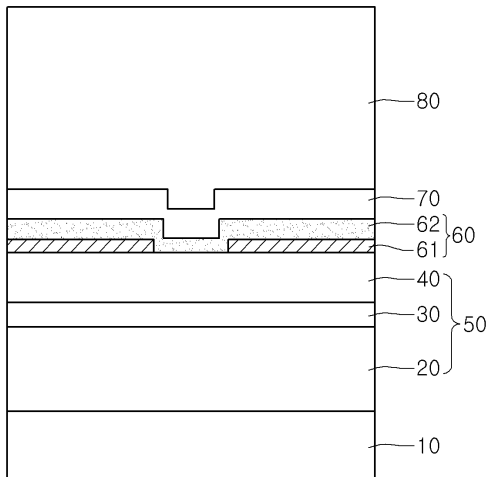
도면7



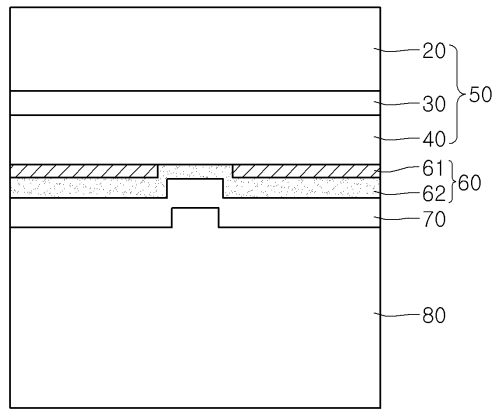
도면8



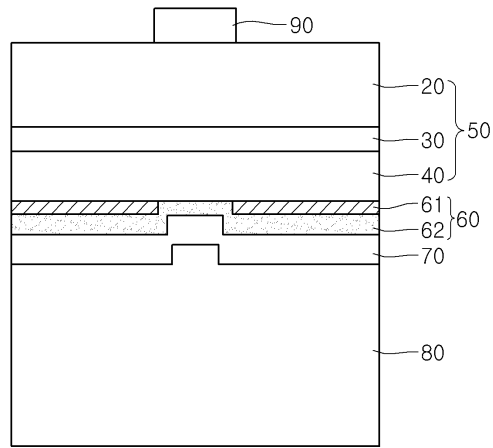
도면9



도면10



도면11



도면12

