(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4575118号
(P4575118)

(45)発行日　平成22年11月4日(2010.11.4)　(24)登録日　平成22年8月27日(2010.8.27)

(51)Int.Cl.		F I		
G11C 16/06	(2006.01)	G11C	17/00	634A
H01L 21/8247	(2006.01)	G11C	17/00	634Z
H01L 27/115	(2006.01)	H01L	27/10	434
H01L 29/788	(2006.01)	H01L	29/78	371
H01L 29/792	(2006.01)			

請求項の数 3　(全 21 頁)

(21)出願番号　特願2004-339633(P2004-339633)
(22)出願日　平成16年11月24日(2004.11.24)
(65)公開番号　特開2006-147111(P2006-147111A)
(43)公開日　平成18年6月8日(2006.6.8)
審査請求日　平成19年7月27日(2007.7.27)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100083806
弁理士　三好　秀和
(74)代理人　100100712
弁理士　岩▲崎▼　幸邦
(74)代理人　100100929
弁理士　川又　澄雄
(74)代理人　100108707
弁理士　中村　友之
(74)代理人　100095500
弁理士　伊藤　正和
(74)代理人　100101247
弁理士　高橋　俊一
最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

複数のメモリセルが配置されたセルアレイと、

前記複数のメモリセルの一方向に走行する複数のビット線と、

前記メモリセルから前記ビット線を介して読み出されたデータを増幅するセンスアンプと、

奇数番目の前記ビット線間又は偶数番目の前記ビット線間をシールドする電位を供給するためのシールド電源と、

前記奇数番目のビット線を前記センスアンプに導通させるとき、前記偶数番目のビット線を前記シールド電源に導通させ、前記偶数番目のビット線を前記センスアンプに導通させるとき、前記奇数番目のビット線を前記シールド電源に導通させるビット線選択回路と、

前記メモリセルに電圧を供給するためのパッド列と

を備え、

前記セルアレイと前記パッド列との間に前記ビット線選択回路が配置され、

前記ビット線選択回路は、

前記偶数番目のビット線を前記センスアンプに導通させるとき、前記奇数番目のビット線を前記シールド電源に導通させる奇数ビット線選択部と、

前記奇数番目のビット線を前記センスアンプに導通させるとき、前記偶数番目のビット線を前記シールド電源に導通させる偶数ビット線選択部とを備え、

前記奇数ビット線選択部は、
前記奇数番目のビット線に第１主電極領域が接続され、前記シールド電源に第２主電極領域が接続された奇数ビット線シールドトランジスタと、
前記奇数ビット線シールドトランジスタの第１主電極領域に互いに共通領域となるように第１主電極領域が接続され、前記センスアンプに第２主電極領域が接続された奇数ビット線選択トランジスタとを備え、
前記偶数ビット線選択部は、
前記偶数番目のビット線に第１主電極領域が接続され、前記奇数ビット線シールドトランジスタの第２主電極領域に互いに共通領域となるように第２主電極領域が接続された偶数ビット線シールドトランジスタと、
前記偶数ビット線シールドトランジスタの第１主電極領域に互いに共通領域となるように第１主電極領域が接続され、前記センスアンプに第２主電極領域が接続された偶数ビット線選択トランジスタとを備えることを特徴とする不揮発性半導体記憶装置。
【請求項２】
矩形状の前記セルアレイの第１の辺に隣接して設けられた第１ロウデコーダと、
前記セルアレイの前記第１の辺に対向する第２の辺に隣接して設けられた第２ロウデコーダと、
前記第１及び第２の辺に挟まれた前記矩形状のセルアレイの残りの辺の一方である第3の辺から離間して、前記第３の辺方向に沿って配置されたカラムデコーダとをさらに備え、
前記ビット線選択回路は、前記第３の辺に隣接し、前記カラムデコーダと前記セルアレイとの間に設けられたことを特徴とする請求項１に記載の不揮発性半導体記憶装置。
【請求項３】
前記奇数ビット線シールドトランジスタ及び前記偶数ビット線シールドトランジスタの第２主電極領域に互いに共通領域となるように第１主電極領域が接続され、前記シールド電源の接地電位を供給する接地電位出力ノードに第２主電極領域が接続され、前記奇数ビット線シールドトランジスタ及び前記偶数ビット線シールドトランジスタと前記接地電位出力ノードを導通させる接地電位トランジスタを更に備えることを特徴とする請求項１又は請求項２に記載の不揮発性半導体記憶装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、不揮発性半導体記憶装置に関し、特にビット線シールド方式を用いた読み出し動作を行う不揮発性半導体記憶装置に関する。
【背景技術】
【０００２】
不揮発性半導体記憶装置としては、データの書き込み及び消去を電気的に行うプログラム可能なリード・オンリ・メモリ（ＥＥＰＲＯＭ）が知られている。ＥＥＰＲＯＭにおいて、セルアレイの複数のメモリセルが直列接続されてセルユニットを構成するＮＡＮＤ型フラッシュＥＥＰＲＯＭが良く利用される。
【０００３】
ＮＡＮＤ型フラッシュＥＥＰＲＯＭにおいては、より多くのデータを記録できるように、記憶容量が増大してきている。記憶容量の増大に伴いメモリセルが微細化されてくると、セルアレイのセルユニットに接続されたビット線と接地点間の寄生容量に比べて、互いに隣接するビット線間の寄生容量が大きくなってくる。例えば、読み出し動作時にプリチャージ電位を維持すべきビット線に隣接するビット線が放電すると、プリチャージ電位を維持すべきビット線の電位が隣接するビット線の放電につられて低下して、誤読み出しを引き起こす場合がある。
【０００４】
誤読み出しを防止するために、ＮＡＮＤ型フラッシュＥＥＰＲＯＭでは、「ビット線シ

ールド方式」が提案されている（例えば、特許文献１及び２参照。）。ビット線シールド方式を用いた読み出し動作では、セルアレイのセルユニットに接続されたビット線の一端が、ビット線シールドトランジスタを介して、ビット線をシールドするための電位を供給する共通のシールド電源に接続される。一方、ビット線の他端は、ビット線選択トランジスタを介して、ビット線の電位を保持するセンスアンプに接続される。

【０００５】

ビット線シールド方式を用いた読み出し動作を行うＮＡＮＤ型フラッシュＥＥＰＲＯＭでは、一本のワード線に接続されるメモリセル群（ページ）のデータの読み出し動作を２回に分けて行う。例えば、一回目の読み出し動作では、奇数番目のビット線に接続されたビット線シールドトランジスタをオン状態として、シールド電源から接地電位を奇数番目のビット線に供給し、奇数番目のビット線をシールドする。同時に、偶数番目のビット線に接続されたビット線選択トランジスタをオン状態として、偶数番目のビット線のデータをセンスアンプを介して読み出す。二回目の読み出し動作では、偶数番目のビット線に接続されたビット線シールドトランジスタをオン状態として、シールド電源から接地電位を偶数番目のビット線に供給し、偶数番目のビット線をシールドする。同時に、奇数番目のビット線に接続されたビット線選択トランジスタをオン状態として、奇数番目のビット線のデータをセンスアンプを介して読み出す。

【０００６】

しかし、ビット線の一端に接続されるビット線選択トランジスタの領域と、ビット線の他端に接続されるビット線シールドトランジスタの領域は、セルアレイを挟んで分かれて配置される。このため、ビット線選択トランジスタ及びビット線シールドトランジスタの領域の集積度が低下して、回路面積が増加する問題がある。

【特許文献１】特開平９－３３９７９６号公報

【特許文献２】特開平９－３４３０６９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

本発明の目的は、回路面積を縮小可能な不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

【０００８】

本発明の特徴は、（イ）複数のメモリセルが配置されたセルアレイと、（ロ）複数のメモリセルの一方向に走行する複数のビット線と、（ハ）メモリセルからビット線を介して読み出されたデータを増幅するセンスアンプと、（ニ）奇数番目のビット線間又は偶数番目のビット線間をシールドする電位を供給するためのシールド電源と、（ホ）奇数番目のビット線をセンスアンプに導通させるとき、偶数番目のビット線をシールド電源に導通させ、偶数番目のビット線をセンスアンプに導通させるとき、奇数番目のビット線をシールド電源に導通させるビット線選択回路と、（ヘ）メモリセルに電圧を供給するためのパッド列とを備え、セルアレイとパッド列との間にビット線選択回路が配置され、ビット線選択回路は、偶数番目のビット線をセンスアンプに導通させるとき、奇数番目のビット線をシールド電源に導通させる奇数ビット線選択部と、奇数番目のビット線をセンスアンプに導通させるとき、偶数番目のビット線をシールド電源に導通させる偶数ビット線選択部とを備え、奇数ビット線選択部は、奇数番目のビット線に第１主電極領域が接続され、シールド電源に第２主電極領域が接続された奇数ビット線シールドトランジスタと、奇数ビット線シールドトランジスタの第１主電極領域に互いに共通領域となるように第１主電極領域が接続され、センスアンプに第２主電極領域が接続された奇数ビット線選択トランジスタとを備え、偶数ビット線選択部は、偶数番目のビット線に第１主電極領域が接続され、奇数ビット線シールドトランジスタの第２主電極領域に互いに共通領域となるように第２主電極領域が接続された偶数ビット線シールドトランジスタと、偶数ビット線シールドトランジスタの第１主電極領域に互いに共通領域となるように第１主電極領域が接続され

、センスアンプに第２主電極領域が接続された偶数ビット線選択トランジスタとを備えることを特徴とする不揮発性半導体記憶装置であることを要旨とする。
【発明の効果】
【０００９】
本発明によれば、回路面積を縮小可能な不揮発性半導体記憶装置を提供することができる。
【発明を実施するための最良の形態】
【００１０】
本発明の実施の形態において、「第１主電極領域」とは、電界効果トランジスタ（ＦＥＴ）や静電誘導トランジスタ（ＳＩＴ）においてはソース領域又はドレイン領域のいずれか一方の主電極となる半導体領域を意味する。また、「第２主電極領域」とは、ＦＥＴ，ＳＩＴにおいては上記第１主電極領域とはならないソース領域又はドレイン領域のいずれか一方の主電極となる半導体領域を意味する。
【００１１】
次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。
【００１２】
また、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。
【００１３】
本発明の実施の形態に係る半導体記憶装置は、図１に示すように、複数のメモリセルをマトリクス状に配置したセルアレイ１０１と、マトリクスの列方向に走行する複数のビット線ＢＬ１，ＢＬ２，ＢＬ３，ＢＬ４，・・・・・，ＢＬｍ，ＢＬ（ｍ＋１）と、メモリセルからビット線ＢＬ１，ＢＬ２，ＢＬ３，ＢＬ４，・・・・・，ＢＬｍ，ＢＬ（ｍ＋１）を介して読み出されたデータを増幅するセンスアンプ１０３と、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍ間及び偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）間をシールドする電位を供給するシールド電源１０７と、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍがセンスアンプ１０３に導通するときは、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）をシールド電源１０７に導通させ、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）がセンスアンプ１０３に導通するときは、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍをシールド電源１０７に導通させるビット線選択回路１０２とを備える（ｍは奇数）。
【００１４】
ビット線選択回路１０２のセンスアンプノードＳＡ１，ＳＡ２，・・・・・ＳＡｉがセンスアンプ及びラッチ回路１０３に接続され、ビット線選択回路１０２のシールドノードＣＲＬがシールド電源１０７に接続される。シールド電源１０７は、ドライバ１０５に含まれる。センスアンプ及びラッチ回路１０３には、カラムデコーダ１０４が接続される。ビット線選択回路１０２、センスアンプ及びラッチ回路１０３、カラムデコーダ１０４にはドライバ１０５が接続される。ドライバ１０５及びセルアレイ１０１にはロウデコーダ１０６が接続される。ドライバ１０５、カラムデコーダ１０４及びロウデコーダ１０６には周辺回路１１０が接続される。
【００１５】
セルアレイ１０１は、複数（（ｍ＋１）×ｎ）個のメモリセルユニットＭＵ１１～ＭＵ（ｍ＋１）ｎを備える（ｎは整数）。セルアレイ１０１のマトリクスの行方向に配列され

たメモリセルユニットＭＵ１１，ＭＵ２１，ＭＵ３１，ＭＵ４１，・・・・・，ＭＵ（ｍ＋１）１、・・・・・、メモリセルユニットＭＵ１ｎ，ＭＵ２ｎ，ＭＵ３ｎ，ＭＵ４ｎ，・・・・・，ＭＵ（ｍ＋１）はそれぞれブロックＢＬＫ１，・・・・・，ＢＬＫｎを構成する。例えばメモリセルユニットＭＵ１１は、図２に示すように、直列接続された複数のメモリセルＭＴ１１～ＭＴ１ｋと、複数のメモリセルＭＴ１１～ＭＴ１ｋの両端にそれぞれ接続された２つの選択トランジスタＳＴＳ，ＳＴＤを備える。複数のメモリセルＭＴ１１～ＭＴ１ｋのゲート電極がそれぞれワード線ＷＬ１１～ＷＬ１ｋの一部となる。メモリセルユニットＭＵ１１の他の図１に示したメモリセルユニットＭＵ１２～ＭＵ（ｍ＋１）ｎも、図２に示したメモリセルユニットＭＵ１１と同様な構造である。セルユニットＭＵ１１～ＭＵ（ｍ＋１）ｎには、共通のソース線ＳＬが接続される。セルユニットＭＵ１１～ＭＵ（ｍ＋１）ｎには、列方向のセルユニットＭＵ１１～ＭＵ（ｍ＋１）ｎに共通の複数のビット線ＢＬ１～ＢＬ（ｍ＋１）がそれぞれ接続される。

【００１６】

図１に示したロウデコーダ１０６は、周辺回路１１０のアドレスバッファ１０９からのブロックアドレス信号及びロウアドレス信号に基づいて、セルアレイ１０１のブロックＢＬＫ１～ＢＬＫｎのうちひとつとワード線ＷＬ１１～１ｋ，・・・・・ＷＬｎ１～ＷＬｎｋのうち一本を選択する。ドライバ１０５は、ロウデコーダ１０６を介して、選択された例えばブロックＢＬＫ１内の選択ゲート電極ＳＧＳ，ＳＧＤに電位Vsg（例えば３．５Ｖ）を与え、非選択のブロックＢＬＫ２～ＢＬＫｎ内の選択ゲート電極ＳＧＳ，ＳＧＤに接地電位ＧＮＤを与える。更にドライバ１０５は、読み出し動作時には、ロウデコーダ１０６を介して選択された例えばワード線ＷＬ１１に接地電位ＧＮＤを与え、非選択のワード線ＷＬ１２～ＷＬ１ｋ，・・・・・ＷＬｎ１～ＷＬｎｋに電圧Ｖｓ（例えば３．５Ｖ）を与える。

【００１７】

カラムデコーダ１０４は、周辺回路１１０のアドレスバッファ１０９からのカラムアドレス信号に基づいて、複数のビット線ＢＬ１～ＢＬ（ｍ＋１）のうち一本を選択する。センスアンプ及びラッチ回路１０３は、選択された例えばビット線ＢＬ１から読み出され、ビット線選択回路１０２を介して入力されたデータを増幅して保持する。センスアンプ及びラッチ回路１０３に保持されたデータはカラムデコーダ１０４を介して周辺回路１１０のＩ／Ｏバッファ１０８に出力される。シールド電源１０７は、読み出し動作時には接地電位ＧＮＤをシールドノードＣＲＬを介してビット線選択回路１０２に供給する。なお、シールド電源１０７は、書き込み動作時には電源電位ＶＤＤ（例えば２．５Ｖ）をシールドノードＣＲＬを介してビット線選択回路１０２に供給する。

【００１８】

ビット線選択回路１０２は、図３に示すように、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍとセンスアンプ１０３間、及び奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍとシールド電源１０７間に接続された奇数ビット線選択部１１，１２，・・・・・，１ｉと、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）とセンスアンプ１０３間に接続され、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）とシールド電源１０７間に接続された偶数ビット線選択部２１，２２，・・・・・，２ｉとを備える（ｉは（ｍ＋１）の半数）。

【００１９】

奇数ビット線選択部１１，１２，・・・・・，１ｉは、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）がセンスアンプ１０３に導通するときは、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍをシールド電源１０７に導通させる。また、奇数ビット線選択部１１，１２，・・・・・，１ｉは、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）がシールド電源１０７に導通するときは、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍをセンスアンプ１０３に導通させる。

【００２０】

奇数ビット線選択部１１は、奇数番目のビット線ＢＬ１に第１主電極領域（ソース領域

）が接続され、シールド電源１０７にシールドノードＣＲＬを介して第２主電極領域（ドレイン領域）が接続された奇数ビット線シールドトランジスタＱｓ１と、奇数ビット線シールドトランジスタＱｓ１のソース領域にソース領域が接続され、センスアンプ１０３にセンスアンプノードＳＡ１を介してドレイン領域が接続される奇数ビット線選択トランジスタＱｂ１とを備える。奇数ビット線シールドトランジスタＱｓ１のゲート電極ＳＨＯ、奇数ビット線選択トランジスタＱｂ２のゲート電極ＢＬＯには、図１に示したドライバ１０５がそれぞれ接続される。

【００２１】

図３に示した奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍは、ドライバ１０５から電源電位ＶＤＤがゲート電極ＳＨＯ供給されたときに、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍをシールドノードＣＲＬを介してシールド電源１０７に導通させる。奇数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）は、ドライバ１０５から電源電位ＶＤＤがゲート電極ＢＬＯ供給されたときに、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍをセンスアンプノードＣＲＬを介してセンスアンプ１０３に導通させる。

【００２２】

図３に示した偶数ビット線選択部２１は、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍがセンスアンプ１０３に導通するときは、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）をシールド電源１０７に導通させる。また、偶数ビット線選択部２１は、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍがシールド電源１０７に導通するときは、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）をセンスアンプ１０３に導通させる。

【００２３】

偶数ビット線選択部２１は、偶数番目のビット線ＢＬ２にソース領域が接続され、奇数ビット線選択トランジスタＱｂ１のドレイン領域にドレイン領域が接続された偶数ビット線選択トランジスタＱｂ２と、偶数ビット線選択トランジスタＱｂ２のソース領域にソース領域が接続され、シールド電源１０７にシールドノードＣＲＬを介してドレイン領域が接続される偶数ビット線シールドトランジスタＱｓ２とを備える。偶数ビット線シールドトランジスタＱｓ２のゲート電極ＳＨＥ、及び偶数ビット線選択トランジスタＱｂ２のゲート電極ＢＬＥには、図１に示したドライバ１０５がそれぞれ接続される。

【００２４】

偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）は、図１に示したドライバ１０５から電源電位ＶＤＤがゲート電極ＢＬＥに供給されたときに、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）をセンスアンプノードＣＲＬを介してセンスアンプ１０３に導通する。偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）は、ドライバ１０５から電源電位ＶＤＤがゲート電極ＳＨＥに供給されたときに、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）をシールドノードＣＲＬを介してシールド電源１０７に導通させる。

【００２５】

図３に示したビット線選択回路１０２において、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍ、奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍをそれぞれ含む奇数ビット線選択部１２,・・・・・１ｉと、偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）、偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）をそれぞれ含む偶数ビット線選択部２１，２２，・・・・・，２ｉが互いに交互に複数接続される。奇数ビット線シールドトランジスタＱｓ３，・・・・・，Ｑｓｍのゲート電極ＳＨＯ、奇数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂｍのゲート電極ＢＬＯ、偶数ビット線シールドトランジスタＱｓ４，・・・・・，Ｑｓ（ｍ＋１）のゲート電極ＳＨＥ、及び偶数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）のゲート電極ＢＬＥにも、図１に示したドライバ１０５がそれぞれ接続される。

【００２６】
　図１に示した不揮発性半導体記憶装置（半導体集積回路）は、図４に示すように半導体チップ１００上にモノシリックに集積される。ビット線選択回路１０２がセルアレイ１０１に列方向に隣接して配置される。平面としてみたときに、ビット線選択回路１０２のセルアレイ１０１とは反対側の列方向に隣接してセンスアンプ及びラッチ回路１０３、及びカラムデコーダ１０４が配置される。セルアレイ１０１の行方向に隣接してロウデコーダ１０６が配置される。ロウデコーダ１０６の列方向に隣接し、且つビット線選択回路１０２、センスアンプ及びラッチ回路１０３及びカラムデコーダ１０４の行方向に隣接してドライバ１０５が配置される。ドライバ１０５及びカラムデコーダ１０４の列方向に隣接して周辺回路１１０が配置される。

【００２７】
　図５に示すように、奇数ビット線シールドトランジスタＱｓ１、奇数ビット線選択トランジスタＱｂ２、偶数ビット線シールドトランジスタＱｓ２、及び偶数ビット線選択トランジスタＱｂ２は、セルアレイ１０１の列方向に並べて配置される。奇数ビット線シールドトランジスタＱｓ１、奇数ビット線選択トランジスタＱｂ２、偶数ビット線シールドトランジスタＱｓ２、及び偶数ビット線選択トランジスタＱｂ２上には、複数のビット線ＢＬ１～ＢＬ（ｍ＋１）が列方向に延伸して配列される。奇数ビット線シールドトランジスタＱｓ１、奇数ビット線選択トランジスタＱｂ２、偶数ビット線選択トランジスタＱｂ２、及び偶数ビット線シールドトランジスタＱｓ２の幅Ｗｑは、複数のビット線ＢＬ１～ＢＬ（ｍ＋１）の幅に略相当する。なお、図５では図示を省略するが、図３に示した奇数ビット線シールドトランジスタＱｓ３，・・・・・，Ｑｓｍ、奇数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）、偶数ビット線シールドトランジスタＱｓ４，・・・・・，Ｑｓ（ｍ＋１）、及び偶数ビット線選択トランジスタＳＱｂ４，・・・・・，Ｑｂ（ｍ＋１）も、偶数ビット線選択トランジスタＱｂ２に引き続き連続して配置される。

【００２８】
　ビット線選択回路１０２の奇数ビット線シールドトランジスタＱｓ１は、図６に示すように、半導体基板１の上部に配置されたドレイン領域４１と、ドレイン領域４１と隣接して配置されたソース領域４２と、ドレイン領域４１及びソース領域４２に挟まれたチャネル領域上にゲート絶縁膜３を介して配置された選択ゲート電極ＳＨＯを備える。奇数ビット線選択トランジスタＱｂ２は、ソース領域４２と、ソース領域４２に隣接して配置されたドレイン領域４３と、ソース領域４２及びドレイン領域４３に挟まれたチャネル領域上にゲート絶縁膜３を介して配置された選択ゲート電極ＢＬＯを備える。偶数ビット線選択トランジスタＱｂ２は、ドレイン領域４３と、ドレイン領域４３と隣接して配置されたソース領域４４と、ドレイン領域４３及びソース領域４４に挟まれたチャネル領域上にゲート絶縁膜３を介して配置された選択ゲート電極ＢＬＥを備える。奇数ビット線選択トランジスタＱｂ２は、ソース領域４４と、ソース領域４４に隣接して配置されたドレイン領域４５と、ソース領域４４及びドレイン領域４５に挟まれたチャネル領域上にゲート絶縁膜３を介して配置された選択ゲート電極ＳＨＥを備える。

【００２９】
　ドレイン領域４１上には、シールド電源１０７にシールドノードＣＲＬを介して接続されるシールドノードコンタクト２１１が配置される。ソース領域４２上には、奇数番目のビット線ＢＬ１に接続されるビット線コンタクト２１２が配置される。ドレイン領域４３上には、センスアンプ１０３にセンスアンプノードＳＡ１を介して接続されるセンスアンプコンタクト２１３が配置される。ソース領域４４には、偶数番目のビット線ＢＬ２に接続されるビット線コンタクト２１４が配置される。ドレイン領域４５上には、センスアンプ１０３にセンスアンプノードＳＡ２を介して接続されるセンスアンプコンタクト２１５が配置される。

【００３０】
　ここで、奇数ビット線シールドトランジスタＱｓ１のソース領域４２と奇数ビット線選

択トランジスタＱｂ２のソース領域４２が共通領域となる。奇数ビット線選択トランジスタＱｂ２のドレイン領域４３と、偶数ビット線選択トランジスタＱｂ２のドレイン領域４３が共通領域となる。偶数ビット線選択トランジスタＱｂ２のソース領域４４と、偶数ビット線シールドトランジスタＱｓ２のソース領域４４と共通領域となる。更に、偶数ビット線シールドトランジスタＱｓ２のドレイン領域４５が、奇数ビット線シールドトランジスタＱｓ３のドレイン領域４５と共通領域となる。

【００３１】

図３に示した奇数ビット線シールドトランジスタＱｓ３，・・・・・，Ｑｓｍ、奇数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）、偶数ビット線シールドトランジスタＱｓ４，・・・・・，Ｑｓ（ｍ＋１）、及び偶数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）も、図６に示した奇数ビット線シールドトランジスタＱｓ１、奇数ビット線選択トランジスタＱｂ２、偶数ビット線シールドトランジスタＱｓ２、及び偶数ビット線選択トランジスタＱｂ２と実質的に同様である。即ち、奇数ビット線シールドトランジスタＱｓ３，・・・・・，Ｑｓｍのソース領域と奇数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）のソース領域が共通領域となる。奇数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）のドレイン領域と偶数ビット線シールドトランジスタＱｓ４，・・・・・，Ｑｓ（ｍ＋１）のドレイン領域が共通領域となる。偶数ビット線シールドトランジスタＱｓ４，・・・・・，Ｑｓ（ｍ＋１）のソース領域と偶数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ＋１）のソース領域が共通領域となる。偶数ビット線選択トランジスタＱｂ４，・・・・・，Ｑｂ（ｍ－１）のドレイン領域と奇数ビット線シールドトランジスタＱｓ３，・・・・・，Ｑｓｍのドレイン領域が共通領域となる。

【００３２】

次に、ビット線シールド方式を用いた実施の形態に係る不揮発性半導体記憶装置の読み出し動作の一例を説明する。ここで、図３に示した複数のビット線ＢＬ１～ＢＬ（ｍ＋１）を、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）と、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍの２回に分けてデータを読み出す。

【００３３】

まず、図１に示したドライバ１０５から、図３に示したビット線選択回路１０２の奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓのゲート電極ＳＨＯ、奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍのゲート電極ＢＬＯ、偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）のゲート電極ＢＬＥ、及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）のゲート電極ＳＨＥに接地電位ＧＮＤを印加して、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓ、奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍ、偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）、及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）をすべてオフ状態とする。

【００３４】

例えば偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）を選択するときには、図１に示したシールド電源１０７から電源電位ＶＤＤ（例えば２．５Ｖ）が供給される。ドライバ１０５から偶数ビット線シールド選択トランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）のゲート電極ＳＨＥに電源電位ＶＤＤが印加されて偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）がオン状態となり、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）がシールドノードＣＲＬを介してシールド電源１０７に導通する。この結果、シールド電源１０７からシールドノードＣＲＬを介して電源電位ＶＤＤが供給され、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）が電源電位ＶＤＤにプリチャージされる。その後、偶数ビット線シールド選択トランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）のゲート電極ＳＨＥに接地電位ＧＮＤが印加されて偶数ビット線シールド選択トランジスタＱｓ２

，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）がオフ状態となる。
【００３５】
そして、シールド電源１０７から接地電位ＧＮＤが供給される。図７に示すように、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍのゲート電極ＳＨＯにドライバ１０５から電源電位ＶＤＤが印加されて奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍがオン状態となり、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍがシールドノードＣＲＬを介してシールド電源１０７に導通する。この結果、シールド電源１０７からシールドノードＣＲＬを介して電源電位ＧＮＤが供給され、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍが接地電位ＧＮＤに固定されシールドされる。
【００３６】
引き続き、ソース線ＳＬに、例えば３．３Ｖが印加される。ロウデコーダ１０６は、アドレスバッファ１０９からのブロックアドレス信号及びロウアドレス信号に基づいて、読み出し動作の対象となる例えば１つのブロックＢＬＫ１と一本のワード線ＷＬ１１を選択する。ドライバ１０５は、選択されたブロックＢＬＫ１の選択ゲート電極ＳＧＳ，ＳＧＤに選択電圧Vsg（例えば３．５Ｖ）を与え、非選択のブロックＢＬＫ２～ＢＬＫｎの選択ゲート電極ＳＧＳ，ＳＧＤに接地電位ＧＮＤを与える。更にドライバ１０５は、非選択のワード線ＷＬ１２～１ｋ，・・・・・，ＷＬｎ１～ＷＬｎｋに非選択電圧Vcg（例えば３．５Ｖ）を与え、選択されたワード線ＷＬ１１に接地電位ＧＮＤを与える。
【００３７】
選択されたワード線ＷＬ１１に接続されたメモリセル群（ページ）において、メモリセルデータが０の場合には、メモリセルの閾値が０Ｖを越えるのでメモリセルがオフ状態となる。このため、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）は、プリチャージされた電源電位ＶＤＤを維持する。一方、メモリセルのデータが１の場合には、メモリセルの閾値が０Ｖ未満であるからメモリセルがオン状態となる。このため、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）は電荷を放電して、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）の電位が低下する。
【００３８】
偶数ビット線選択トランジスタＱｂｅのゲート電極ＢＬＥに電源電位ＶＤＤが印加されて偶数ビット線選択トランジスタＱｂｅがオン状態となり、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）がセンスアンプノードＳＡ１，ＳＡ２，・・・・・，ＳＡｉを介してセンスアンプ１０３に導通する。偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）の電位がセンスアンプ１０３により増幅してラッチ回路１０３により保持されることで、データの読み出しが完了する。ラッチ回路１０３のデータは、カラムデコーダ１０４を介して周辺回路１１０のＩ／Ｏバッファ１０８に入力され、半導体チップ１００の外部に転送される。
【００３９】
この後、図８に示すように、選択されたビット線とシールドビット線を入れ換える。即ち、偶数番目のビット線ＢＬ２，ＢＬ４，・・・・・，ＢＬ（ｍ＋１）をシールドビット線とし、奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍを選択されたビット線として、上述の手順と同様に奇数番目のビット線ＢＬ１，ＢＬ３，・・・・・，ＢＬｍからデータが読み出される。
【００４０】
ビット線シールド方式を用いた読み出し動作によれば、選択されたビット線の両側に隣接する非選択のビット線が接地電位ＧＮＤに固定されシールドされるので、選択されたビット線の電位が両側に隣接する非選択のビット線の電位につられて変動することを防止でき、誤読み出しを低減可能である。
【００４１】
図１に示した不揮発性半導体記憶装置に対する比較例としてのＮＡＮＤ型フラッシュＥＥＰＲＯＭを図１７～図１９に示す。図１７において、セルアレイ２０１のメモリセルに

接続された複数のビット線ＢＬ１，ＢＬ２，・・・・・の一端には、ビット線シールドトランジスタＱｓｏ，Ｑｓｅ，・・・・・を介してシールド電源２０７が接続される。複数のビット線ＢＬ１，ＢＬ２，・・・・・の他端には、ビット線選択トランジスタＱｂｏ，Ｑｂｅ，・・・・・を介してセンスアンプ及びラッチ回路２０３が接続される。

【００４２】

図１８に示すように、比較例に係る半導体チップ２００上では、セルアレイ２０１を行方向に挟んで図１７に示したビット線シールドトランジスタＱｓｏ，Ｑｓｅ，・・・・・を含むビット線シールド回路２０２ｘ、及び図１７に示したビット線選択トランジスタＱｂｏ，Ｑｂｅ，・・・・・を含むビット線選択回路２０２ｙが配置される。ビット線選択回路２０２ｙのセルアレイ２０１とは反対側の行方向に隣接してセンスアンプ及びラッチ回路２０３及びカラムデコーダ２０４が配置される。セルアレイ２０１の列方向に隣接してロウデコーダ２０６が配置される。ビット線シールド回路２０２ｘと行方向に隣接し、且つロウデコーダ２０６と列方向に隣接して第１ドライバ２０５ｘが配置される。ビット線選択回路２０２ｙ、センスアンプ及びラッチ回路２０３、カラムデコーダ２０４と行方向に隣接し、且つロウデコーダ２０６と列方向に隣接して第２ドライバ２０５ｙが配置される。

【００４３】

図１８に示した比較例では、ビット線シールド回路２０２ｘと、ビット線選択回路２０２ｙが分かれて配置されるので、集積度が低下して回路規模が増加する。これに対して、実施の形態によれば、図１に示すように、図１８に示したビット線シールド回路２０２ｘ及びビット線選択回路２０２ｙの機能を兼ねたビット線選択回路１０２が、複数のビット線ＢＬ１～ＢＬ（ｍ＋１）とシールド電源１０７間、及び複数のビット線ＢＬ１～ＢＬ（ｍ＋１）とセンスアンプ１０３間に接続される。このため、図４に示すように、図３に示したビット線選択回路１０２が半導体チップ１００上のセルアレイ１０１に列方向に隣接して配置される。したがって、ビット線選択回路１０２に含まれる奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓ、及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）、及び奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍ、及び偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）が一箇所に集約されるので、集積度が向上して回路規模を削減可能となる。

【００４４】

更に、図１８に示した比較例では、第１ドライバ２０５ｘ及び第２ドライバ２０５ｙが分散して配置されるので、集積度が低下する。これに対して実施の形態によれば、図４に示すようにビット線選択回路１０２を駆動するドライバ１０５も一箇所に集約されるので、集積度が向上して回路規模を削減可能となる。

【００４５】

また、比較例では、図１９に示すようにビット線シールド回路２０２ｘでは、ビット線シールドトランジスタＱｓｏ，Ｑｓｅは、ビット線ＢＬ１～ＢＬ（ｍ＋１）の半数だけ、列方向に配列される。ビット線シールドトランジスタＱｓｏ，Ｑｓｅのそれぞれは、ソース領域３２１，３２３と、ドレイン領域３２３と、ソース領域３２１，３２３及びドレイン領域３２３間のチャネル領域上に配置されたゲート電極ＢＬＯ，ＢＬＥを備える。互いに隣接するビット線シールドトランジスタＱｓｏ，Ｑｓｅが、ドレイン領域３２２を互いに共有してペアで配置される。互いに隣接するビット線シールドトランジスタＱｓｏ，Ｑｓｅのペアは、素子分離領域（ＳＴＩ）２１０により互いに分離される。

【００４６】

ここで、データ消去のためセルアレイ２０１のｐ型ウェルには高電圧が印加され、ｐ型ウェル表面に形成されたソース領域３２１を介してビット線ＢＬ１～ＢＬ（ｍ＋１）も高電圧となる。このため、ビット線シールドトランジスタＱｓｏ，Ｑｓｅのペア間にかかる電位差で壊れないように、ビット線シールドトランジスタＱｓｏ，Ｑｓｅのペア間の素子分離領域２１０の幅Ｗｓを大きく取らなくてはならず、回路面積が増大する。更に、ビッ

ト線ＢＬ１～ＢＬ（ｍ＋１）ピッチの縮小化に伴い、ビット線シールドトランジスタの数は増加する。このため、ビット線シールドトランジスタＱｓｏ，Ｑｓｅのペア間の素子分離領域２１０の数は世代ごとに増える。また図１７に示したビット線選択回路２０２ｙにおいても、ビット線シールド回路２０２ｘと同様に、ビット線選択トランジスタＱｂｏ，Ｑｂｅのペア間には素子分離領域が配置される。

【００４７】

これに対して、実施の形態によれば、図５及び図６に示すように、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓ、偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）、奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍ、及び偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）が互いにソース領域４２，４３，・・・・・及びドレイン領域４１，４３，４５，・・・・・を共有することで、図１９に示すような素子分離領域２１０が不要となり、面積を大幅に縮小することが可能となる。

【００４８】

（第１の変形例）

本発明の実施の形態の第１の変形例に係る不揮発性半導体記憶装置は、図９に示すように、ビット線選択回路１０２が、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍ及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）のドレイン領域にソース領域が接続され、シールド電源１０７の接地電位出力ノード１０７ａにシールドノードＣＲＬを介してドレイン領域が接続された接地電位トランジスタＱｒを更に備える点が、図３に示したビット線選択回路１０２と異なる。

【００４９】

図１０に示すように、奇数ビット線シールドドランジスタＱｓｍ、奇数ビット線選択トランジスタＱｂｍ、偶数ビット線選択トランジスタＱｂ（ｍ＋１）、偶数ビット線シールドトランジスタＱｓ（ｍ＋１）、及び接地電位トランジスタＱｒが配列される。接地電位トランジスタＱｒは、ソース領域５５と、ソース領域５５と離間して配置されたドレイン領域５６と、ソース領域５５及びドレイン領域５６に挟まれたチャネル領域上に配置されたゲート電極ＳＨＲを備える。ソース領域５５上には、シールド電源１０７にシールドノードＣＲＬを介して接続されるシールドノードコンタクト２２５が配置される。ドレイン領域５６上には、シールド電源１０７に接地電位出力ノード１０７ａを介して接続される接地電位コンタクト２２６が配置される。接地電位出力ノード１０７ａは、接地電位トランジスタＱｒのバックゲート電位としてｐ型ウェルに導通するために配線されているので、配線を増加しなくて良い。

【００５０】

ここで、奇数ビット線シールドドランジスタＱｓｍのソース領域５２と、奇数ビット線選択トランジスタＱｂｍのソース領域５２が共通領域となる。奇数ビット線選択トランジスタＱｂｍのドレイン領域５３と、偶数ビット線選択トランジスタＱｂ（ｍ＋１）のドレイン領域５３が共通領域となる。偶数ビット線選択トランジスタＱｂ（ｍ＋１）のソース領域５４と、偶数ビット線シールドトランジスタＱｓ（ｍ＋１）のソース領域５４が共通領域となる。更に、偶数ビット線シールドトランジスタＱｓ（ｍ＋１）のドレイン領域５５と、接地電位トランジスタＱｒのソース領域５５が共通領域となる。

【００５１】

接地電位トランジスタＱｒは、読み出し動作時にゲート電極ＳＨＲに電源電圧ＶＤＤが印加されると、ビット線ＢＬ１～ＢＬ（ｍ＋１）のうちシールドするビット線をシールドノードＣＲＬ及び接地電位出力ノード１０７ａを介してシールド電源１０７に導通させる。シールド電源１０７からは接地電位ＧＮＤが供給される。

【００５２】

図３に示した不揮発性半導体記憶装置において、図４に示したドライバ１０５には、ロウデコーダ１０６やセンスアンプ及びラッチ回路１０３を駆動する多くの回路が配置される。また、ロウデコーダ１０６やセンスアンプ及びラッチ回路１０３を駆動するサイズの

大きなトランジスタを必要とし、トランジスタからの配線をロウデコーダ１０６やセンスアンプ及びラッチ回路１０３に接続するため、配線が非常に密集する。
【００５３】
第１の変形例によれば、接地電位トランジスタＱｒを図４に示したドライバ１０５に配置する代わりに図１０に示すようにビット線選択回路１０２に、接地電位トランジスタＱｒのソース領域５５を接地電位トランジスタＱｒのドレイン領域５５と共有して配置するので、全体としてトランジスタサイズも減らすことができ、回路面積を縮小可能となる。
【００５４】
また、接地電位トランジスタＱｒは必ずしもソース及びドレイン領域２を共有して高電圧トランジスタで構成する必要はなく、通常のドライバ１０５等の低電圧トランジスタ領域に低電圧トランジスタとして配置することで面積の縮小可能である。
【００５５】
（第２の変形例）
本発明の実施の形態の第２の変形例に係る不揮発性半導体記憶装置は、図１１に示すように、ビット線選択回路１０２が、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍ及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）のドレイン領域及び接地電位トランジスタＱｒのソース領域にソース領域が接続され、シールド電源１０７の電源電位出力ノード１０７ｂにドレイン領域が接続された電源電位トランジスタＱｐを更に備える点が、図９に示したビット線選択回路１０２と異なる。
【００５６】
電源電位トランジスタＱｐは、図１２に示すように、接地電位トランジスタＱｒと素子分離領域２９を介して並列に高電圧トランジスタとして配置される。電源電位トランジスタＱｐは、ソース領域５７と、ソース領域５７と離間して配置されたドレイン領域５８と、ソース領域５７及びドレイン領域５８に挟まれたチャネル領域上に配置されたゲート電極ＳＨＰを備える。ソース領域５７上には、シールド電源１０７に電源電位出力ノード１０７ｂ及びシールドノードＣＲＬを介して接続されるシールドノードコンタクト２２７が配置される。ドレイン領域５８上には、電源電位ＶＤＤに接続される電源電位コンタクト２２８が配置される。
【００５７】
電源電位トランジスタＱｐは、書き込み動作時にゲート電極ＳＨＰに電源電圧ＶＤＤが印加されると、ビット線ＢＬ１～ＢＬ（ｍ＋１）のうちシールドするビット線を、シールドノードＣＲＬ及び電源電位出力ノード１０７ｂを介してシールド電源１０７に導通させる。シールド電源１０７からは、電源電位ＶＤＤが供給される。
【００５８】
第２の変形例によれば、シールドノードＣＲＬは、ビット線選択回路１０２のローカル配線となるため、配線容量が減り、全体としてトランジスタサイズを縮小可能となる。なお、電源電位トランジスタＱｐは必ずしもビット線選択回路１０２内に配置する必要はなく、図４に示したドライバ１０５等の低電圧トランジスタ領域に高電圧トランジスタよりも幅の狭い低電圧トランジスタとして配置することで回路面積を縮小可能となる。
【００５９】
（第３の変形例）
本発明の実施の形態の第３の変形例に係る不揮発性半導体記憶装置は、図１３に示すように、半導体チップ１００ｘ上にセルアレイ１０１が配置される。セルアレイ１０１を行方向に挟むように第１及び第２ロウデコーダ１０６ｘ，１０６ｙが配置される。セルアレイ１０１の列方向に隣接してビット線選択回路１０２、センスアンプ及びラッチ回路１０３、及びカラムデコーダ１０４が配置される。第１ロウデコーダ１０６ｘと列方向に隣接し、且つビット線選択回路１０２、センスアンプ及びラッチ回路１０３及びカラムデコーダ１０４と行方向に隣接してドライバ１０５が配置される。ドライバ１０５はシールド電源を含む。カラムデコーダ１０４及びドライバ１０５の列方向に隣接して、周辺回路１１

０及びパッド列１１１が配置される。
【００６０】
第１ロウデコーダ１０６ｘは、例えばセルアレイ１０１内の選択トランジスタを選択する。第２ロウデコーダ１０６ｙは、例えばセルアレイ１０１内のブロック及びワード線を選択する。周辺回路１１０は、図１に示すようにアドレスバッファ１０９はＩ／Ｏバッファ１０８等の不揮発性半導体記憶装置の動作に必要な回路を備える。パッド列１１１は、例えば図９に示した接地電位トランジスタＱｒ等の、不揮発性半導体記憶装置の動作に必要な回路に電源を供給する電源パッド群を含む。
【００６１】
図１８に示した比較例において、セルアレイ２０１を挟んで両側にパッド列を配置する場合には回路面積が増大する。セルアレイ２０１の片側、例えばセルアレイ２０１のビット線選択回路２０２ｙ側にパッド列を配置する場合には、接地電位トランジスタや電源電位トランジスタ等の大きな駆動能力の必要な回路が第１ドライバ２０５ｘに配置されるので、パッド列からセルアレイ２０１とロウデコーダ２０６上を通って電源配線を設ける必要がある。このとき、ノイズを押さえるために低抵抗となるように両側パッドを配置するときには不要の太い配線を配置する必要がある。また、配線をセルアレイ２０１及びロウデコーダ２０６の外側に通さなければならない場合もある。このため、チップサイズが増加する。
【００６２】
これに対して、第３の変形例によれば、図１３に示すようにセルアレイ１０１の片側にパッド列１１１を配置したときに、大きな駆動を必要とする接地電位トランジスタＱｒや電源電位トランジスタＱｐがセルアレイ１０１の片側に集約して配置されるので、セルアレイ１０１上を通る配線が不要となり、回路面積を削減できる。また、図１４に示すように、シールド電源１０７がドライバ１０５と分割して配置されていても良い。シールド電源１０７は、例えばビット線選択回路１０２とセンスアンプ及びラッチ回路１０７の間に配置される。
【００６３】
（第４の変形例）
本発明の実施の形態の第４の変形例においては、図３に示した奇数ビット線選択部１１，１２，・・・・・，１ｉの奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍと、偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）の位置を入れ換えて配置しても良い。即ち、図１５に示すように、ビット線選択回路１０２ａは、奇数ビット線選択部１１ａ，１２ａ，・・・・・，１ｉａ及び偶数ビット線選択部２１ａ，２２ａ，・・・・・２ｉａを備える。
【００６４】
奇数ビット線選択部１１ａは、奇数番目のビット線ＢＬ１にソース領域が接続され、センスアンプ１０３にセンスアンプノードＳＡ１を介してドレイン領域が接続された奇数ビット線選択トランジスタＱｂ１と、奇数ビット線選択トランジスタＱｂ１のソース領域にソース領域が接続され、シールド電源１０７にシールドノードＣＲＬを介してドレイン領域が接続された奇数ビット線シールドトランジスタＱｓ１を備える。偶数ビット線選択部２１ａは、奇数ビット線シールドトランジスタＱｓ１のドレイン領域にドレイン領域が接続され、偶数番目のビット線ＢＬ２にソース領域が接続された偶数ビット線シールドトランジスタＱｓ２と、偶数ビット線シールドトランジスタＱｓ２のソース領域にソース領域が接続され、センスアンプ１０３にセンスアンプノードＳＡ２を介してドレイン領域が接続された偶数ビット線選択トランジスタＱｂ２を備える。
【００６５】
ここで、図１６に示すように、奇数ビット線選択トランジスタＱｂ１のソース領域４２と奇数ビット線シールドトランジスタＱｓ１のソース領域４２は共通領域となる。奇数ビット線シールドトランジスタＱｓ１のドレイン領域４３と、偶数ビット線シールドトランジスタＱｓ２のドレイン領域４３が共通領域となる。偶数ビット線シールドトランジスタ

Ｑｓ２のソース領域４４と、偶数ビット線選択トランジスタＱｂ２のソース領域４４が共通領域となる。偶数ビット線選択トランジスタＱｂ２のドレイン領域４５と、奇数ビット線選択部１２ａの奇数ビット線選択トランジスタＱｂ３のドレイン領域４５が共通領域となる。

【００６６】

なお、奇数ビット線選択部１２ａ，・・・・・，１ｉａ及び偶数ビット線選択部２２ａ，・・・・・2ｉａも、奇数ビット線選択部１１ａ及び偶数ビット線選択部２１ａの接続・配置と実質的に同様であるので、重複した説明を省略する。

【００６７】

第４の変形例によれば、デザインルールや、周辺パターンの影響を考慮して、図３に示した奇数ビット線選択部１１，１２，・・・・・，１ｉの奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓｍと、偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）の接続・配置位置を入れ換えても良い。

【００６８】

（その他の実施の形態）

本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。例えば、ビット線選択回路１０２の一列に配列された奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓ、及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）と奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍ、及び偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）を示したが、セルアレイ１０１の行方向のセルユニット及びビット線の数に応じて、奇数ビット線シールドトランジスタＱｓ１，Ｑｓ３，・・・・・，Ｑｓ、及び偶数ビット線シールドトランジスタＱｓ２，Ｑｓ４，・・・・・，Ｑｓ（ｍ＋１）と奇数ビット線選択トランジスタＱｂ１，Ｑｂ３，・・・・・，Ｑｂｍ、及び偶数ビット線選択トランジスタＱｂ２，Ｑｂ４，・・・・・，Ｑｂ（ｍ＋１）と同様のビット線シールドトランジスタ及びビット線選択トランジスタが複数本配列されていても良い。このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【００６９】

【図１】本発明の実施の形態に係る不揮発性半導体記憶装置のブロック図である。

【図２】本発明の実施の形態に係る不揮発性半導体記憶装置のセルユニットの等価回路図である。

【図３】本発明の実施の形態に係る不揮発性半導体記憶装置のビット線選択回路の等価回路図である。

【図４】本発明の実施の形態に係る不揮発性半導体記憶装置のレイアウトを示す概略平面図である。

【図５】本発明の実施の形態に係る不揮発性半導体記憶装置のビット線選択回路の平面図である。

【図６】本発明の実施の形態に係る不揮発性半導体記憶装置のビット線選択回路の断面図（図５のＡ－Ａ方向の断面図）である。

【図７】本発明の実施の形態に係る不揮発性半導体記憶装置の奇数番目のビット線の読み出し動作を説明するための等価回路図である。

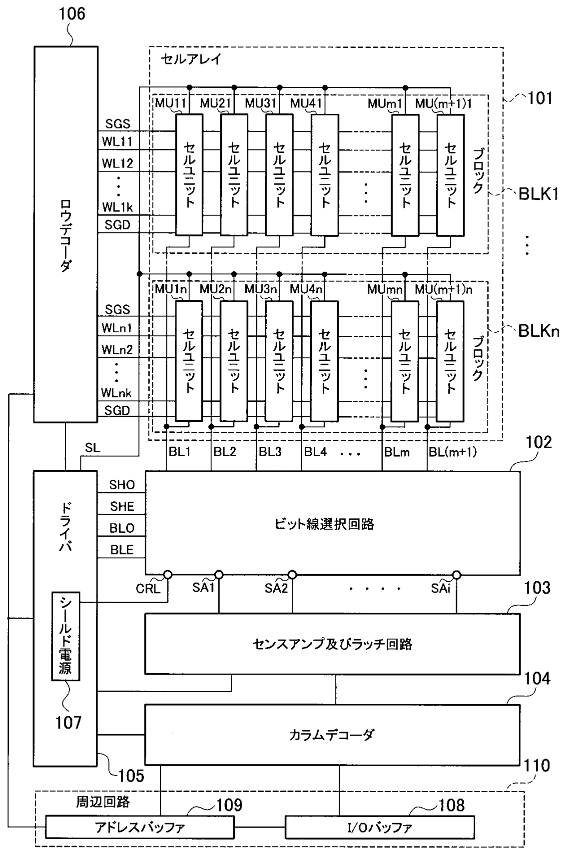
【図８】本発明の実施の形態に係る不揮発性半導体記憶装置の偶数番目のビット線の読み出し動作を説明するための等価回路図である。

【図９】本発明の実施の形態の第１の変形例に係る不揮発性半導体記憶装置のビット線選択回路の等価回路図である。

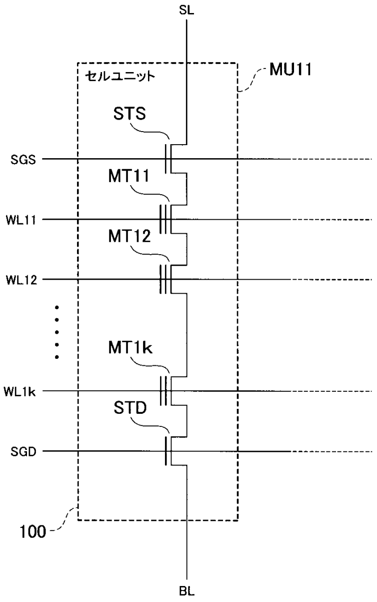
【図１０】本発明の実施の形態の第１の変形例に係る不揮発性半導体記憶装置のビット線

選択回路の平面図である。
【図１１】本発明の実施の形態の第２の変形例に係る不揮発性半導体記憶装置のビット線選択回路の等価回路図である。
【図１２】本発明の実施の形態の第２の変形例に係る不揮発性半導体記憶装置のビット線選択回路の平面図である。
【図１３】本発明の実施の形態の第３の変形例に係る不揮発性半導体記憶装置の概略平面図である。
【図１４】本発明の実施の形態の第３の変形例に係る不揮発性半導体記憶装置の他の概略平面図である。
【図１５】本発明の実施の形態の第４の変形例に係る不揮発性半導体記憶装置のビット線選択回路の等価回路図である。
【図１６】本発明の実施の形態の第４の変形例に係る不揮発性半導体記憶装置のビット線選択回路の断面図である。
【図１７】比較例に係る不揮発性半導体記憶装置のブロック図である。
【図１８】比較例に係る不揮発性半導体記憶装置の概略平面図である。
【図１９】比較例に係る不揮発性半導体記憶装置のビット線選択回路の平面図である。
【符号の説明】
【００７０】
　１…半導体基板
　１１，１２，・・・・・，１ｉ…奇数ビット線選択部
　２１，２２，・・・・・，２ｉ…偶数ビット線選択部
　４１，４３，４５…第２主電極領域（ドレイン領域）
　４２，４４…第１主電極領域（ソース領域）
　１００，１００ｘ…半導体チップ
　１０１…セルアレイ
　１０２…ビット線選択回路
　１０３…センスアンプ及びラッチ回路
　１０４…カラムデコーダ
　１０５…ドライバ
　１０６…ロウデコーダ
　１０６ｘ…第１ロウデコーダ
　１０６ｙ…第２ロウデコーダ
　１０７…シールド電源
　１０８…Ｉ／Ｏバッファ
　１０９…アドレスバッファ
　１１０…周辺回路
　１１１…パッド列

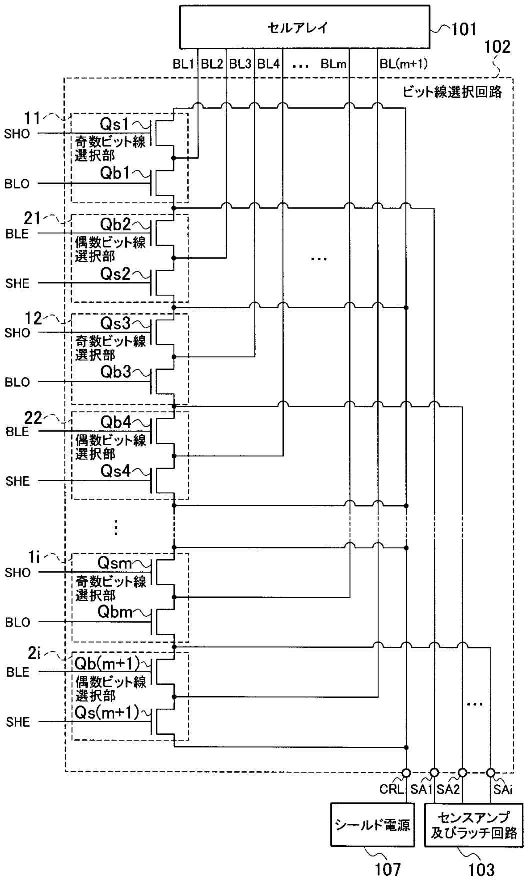
【図１】


106
セルアレイ
101
MU11 MU21 MU31 MU41 MUm1 MU(m+1)1
SGS
WL11
WL12
WL1k
SGD
ロウデコーダ
セルユニット
ブロック
BLK1
MU1n MU2n MU3n MU4n MUmn MU(m+1)n
SGS
WLn1
WLn2
WLnk
SGD
BLKn
SL
BL1 BL2 BL3 BL4 ... BLm BL(m+1)
102
SHO
SHE
BLO
BLE
ドライバ
ビット線選択回路
CRL SA1 SA2 SAi
103
シールド電源
センスアンプ及びラッチ回路
104
107
カラムデコーダ
105
110
周辺回路
109
108
アドレスバッファ
I/Oバッファ

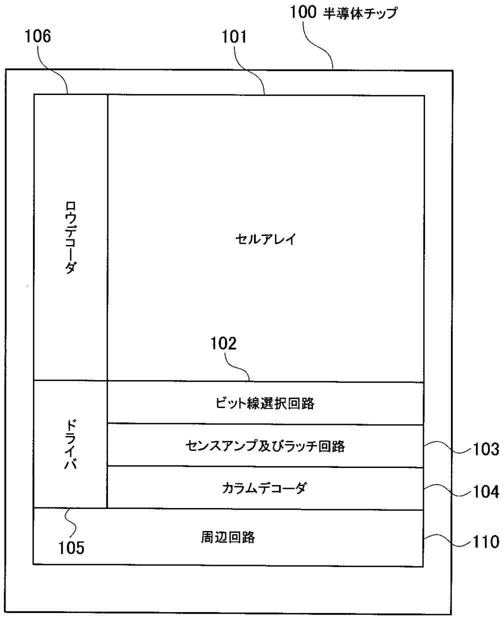
【図２】


SL
セルユニット
MU11
STS
SGS
MT11
WL11
MT12
WL12
MT1k
WL1k
STD
SGD
100
BL

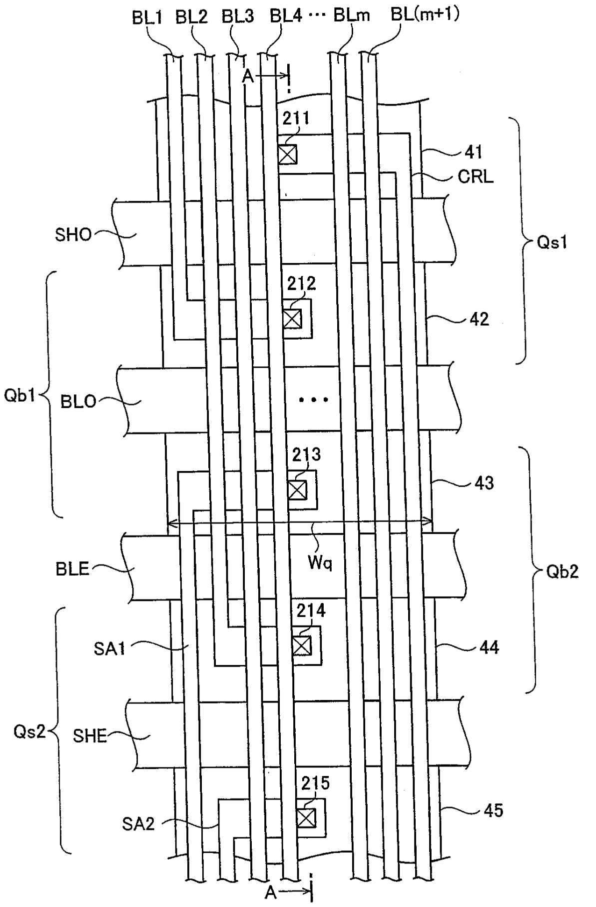
【図３】


セルアレイ
101
BL1 BL2 BL3 BL4 ... BLm BL(m+1)
102
ビット線選択回路
11
Qs1
SHO
奇数ビット線選択部
Qb1
BLO
21
Qb2
BLE
偶数ビット線選択部
Qs2
SHE
12
Qs3
SHO
奇数ビット線選択部
Qb3
BLO
22
Qb4
BLE
偶数ビット線選択部
Qs4
SHE
1i
Qsm
SHO
奇数ビット線選択部
Qbm
BLO
2i
Qb(m+1)
BLE
偶数ビット線選択部
Qs(m+1)
SHE
CRL SA1 SA2 SAi
シールド電源
センスアンプ及びラッチ回路
107
103

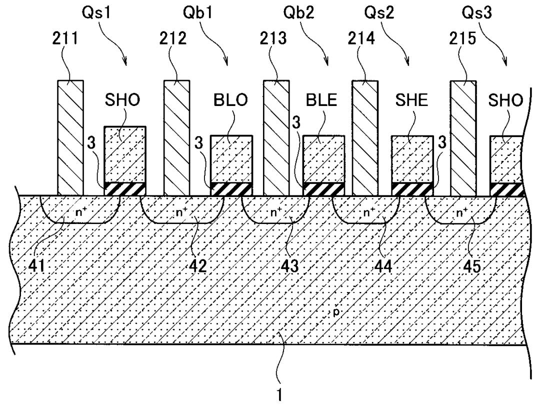
【図４】


100 半導体チップ
106
101
ロウデコーダ
セルアレイ
102
ビット線選択回路
ドライバ
センスアンプ及びラッチ回路
103
カラムデコーダ
104
105
周辺回路
110

【図５】

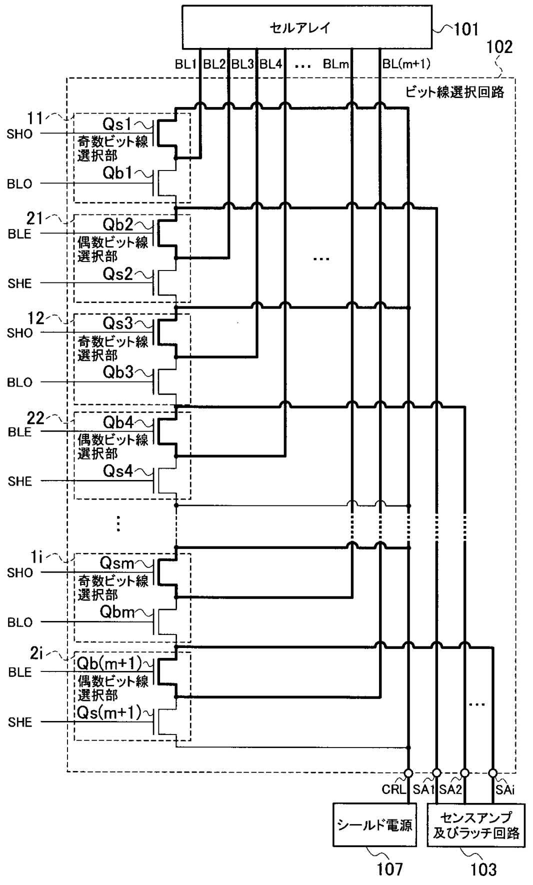


【図６】

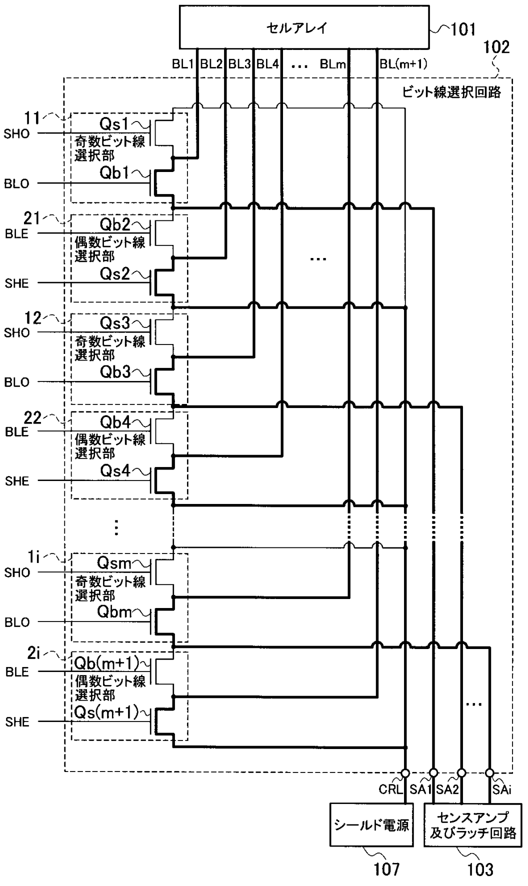


1：半導体基板
3：ゲート絶縁膜
41,43,45：第2主電極領域
42,44：第1主電極領域
211：シールドノードコンタクト
212,214：ビット線コンタクト
213,215：センスアンプノードコンタクト

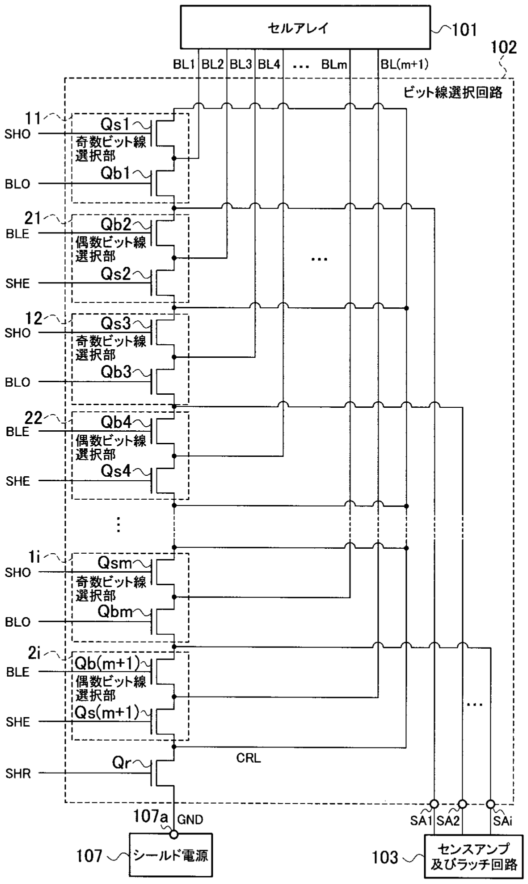
【図７】



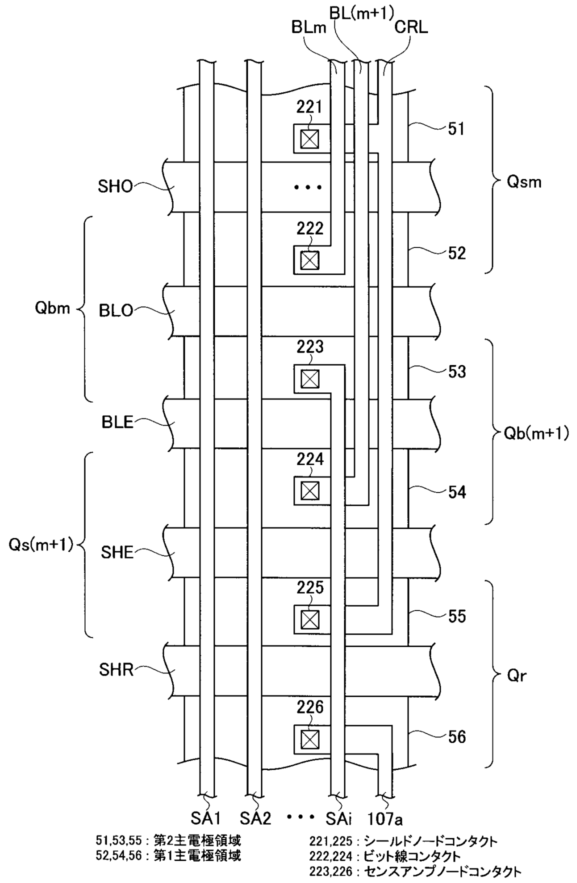
【図８】



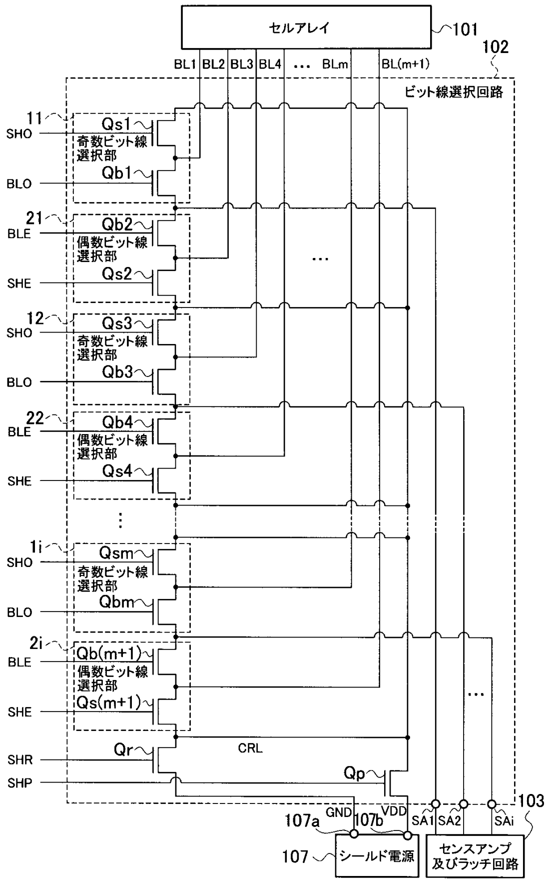
【図９】



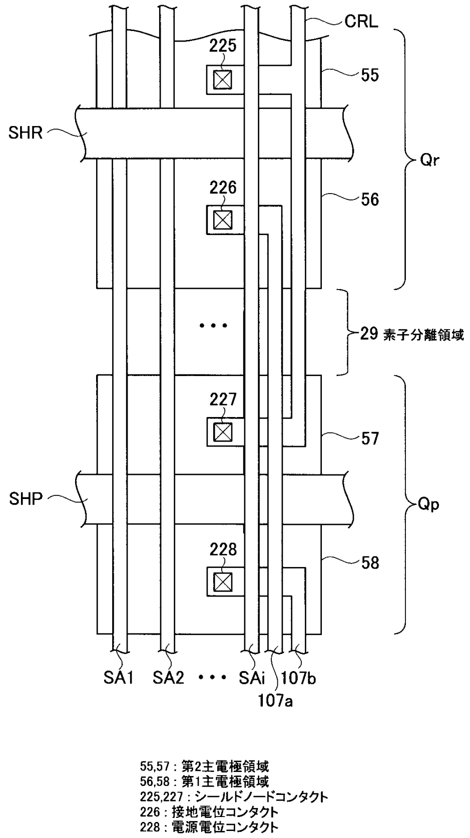
【図１０】



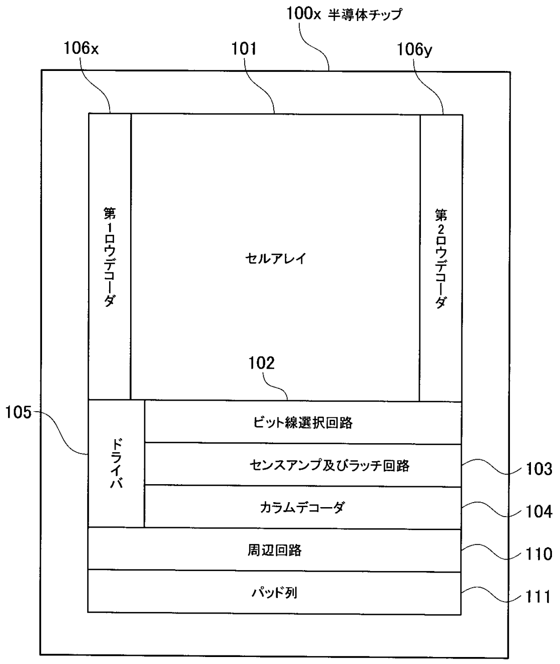
【図１１】



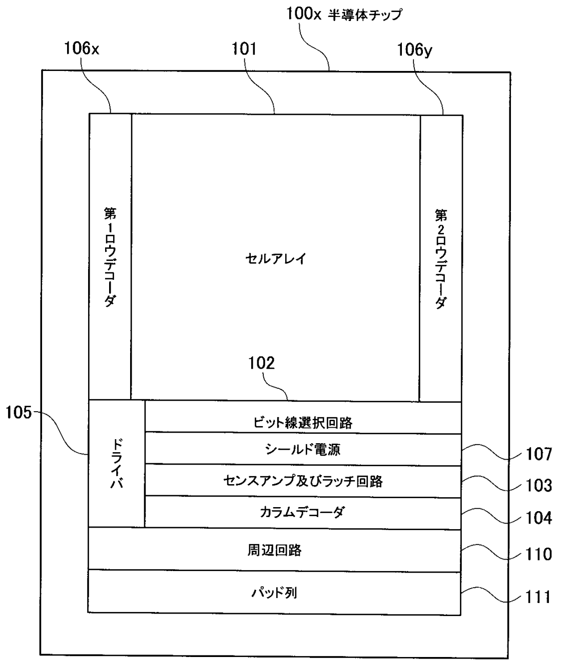
【図１２】



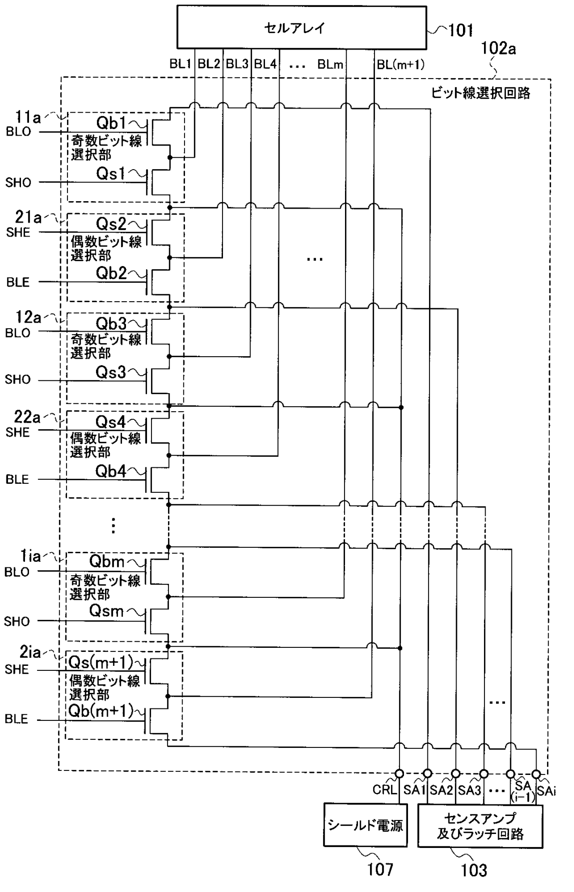
【図１３】



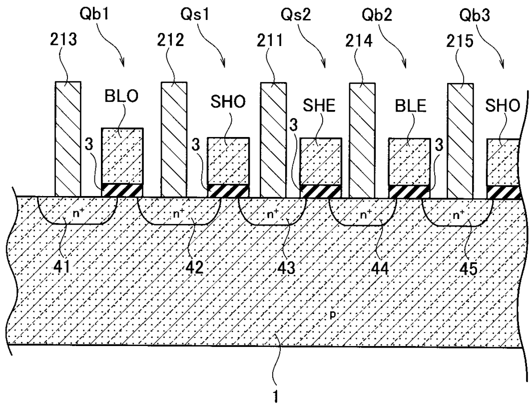
【図１４】



【図１５】

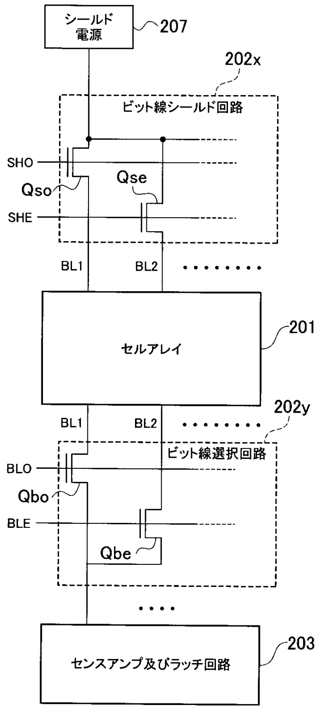


【図１６】

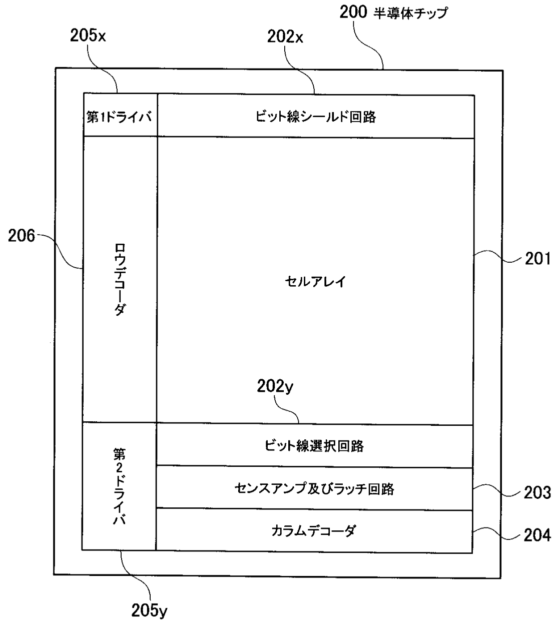


1：半導体基板
3：ゲート絶縁膜
41,43,45：第2主電極領域
42,44：第1主電極領域
211：シールドノードコンタクト
212,214：ビット線コンタクト
213,215：センスアンプノードコンタクト

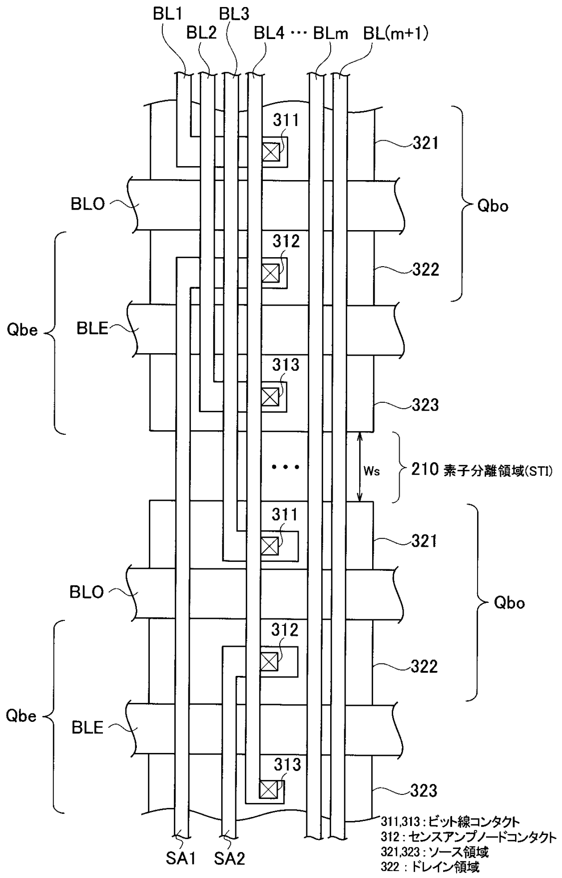
【図１７】


シールド電源
207
202x
ビット線シールド回路
SHO
Qso
Qse
SHE
BL1
BL2
セルアレイ
201
202y
BL1
BL2
ビット線選択回路
BLO
Qbo
BLE
Qbe
センスアンプ及びラッチ回路
203

【図１８】


200 半導体チップ
205x
202x
第1ドライバ
ビット線シールド回路
206
ロウデコーダ
セルアレイ
201
202y
第2ドライバ
ビット線選択回路
センスアンプ及びラッチ回路
203
カラムデコーダ
204
205y

【図１９】


BL1
BL2
BL3
BL4 … BLm
BL(m+1)
311
321
BLO
Qbo
312
322
Qbe
BLE
313
323
Ws
210 素子分離領域(STI)
SA1
SA2
311,313：ビット線コンタクト
312：センスアンプノードコンタクト
321,323：ソース領域
322：ドレイン領域

フロントページの続き

(74)代理人　100098327
弁理士　高松　俊雄
(73)特許権者　598010562
東芝メモリシステムズ株式会社
神奈川県横浜市栄区笠間２－５－１　ＳＴＥビル
(74)代理人　100083806
弁理士　三好　秀和
(72)発明者　櫻井　清史
神奈川県川崎市川崎区駅前本町２５番地１　東芝マイクロエレクトロニクス株式会社内
(72)発明者　前嶋　洋
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内

審査官　外山　毅

(56)参考文献　特開２００３－１０９３９１（ＪＰ，Ａ）
特開２００２－２５１８９６（ＪＰ，Ａ）
特開平０８－２５５４９６（ＪＰ，Ａ）
特開平１１－３４０３６６（ＪＰ，Ａ）
特開平１１－１７６１７７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　　１６／００　－　１６／３４