

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 29/00	(45) 공고일자 1999년04월01일	(11) 등록번호 특0174338
(21) 출원번호 특1995-044611	(65) 공개번호 특1996-019324	(24) 등록일자 1998년11월04일
(22) 출원일자 1995년11월29일	(43) 공개일자 1996년06월17일	
(30) 우선권주장 8/346,966 1994년11월30일 미국(US)		
(73) 특허권자	인터내셔널 비지네스 머신즈 코퍼레이션	윌리엄 티. 엘리스
(72) 발명자	미합중국 10504 뉴욕주 아몬크 토시아키 키리하타	
(74) 대리인	미합중국 12590 뉴욕주 와핑거즈 폴즈 타운 뷰우 드라이브 341 요오지 와타나베 미합중국 12524 뉴욕주 피시킬 비치 코트 1 김성택, 장수길	

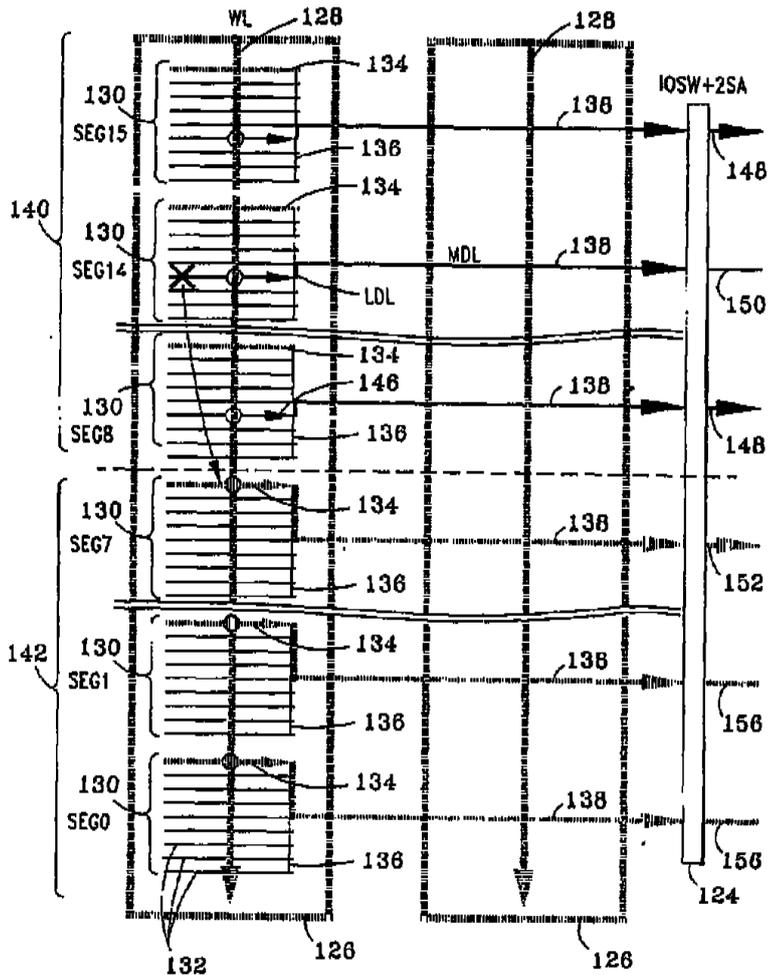
심사관 : 이철희

(54) 간단하게 테스트할 수 있는 구성을 갖는 랜덤 액세스 메모리

요약

신속한 테스트 입/출력(I/O) 랜덤 액세스 메모리[quick test Input/Output(I/O) Random Access Memory(RAM)]이 개시되어 있다. RAM 어레이는 개별 유닛으로 분할될 수 있다. 각각의 유닛은 서브어레이 블록(subarray block)으로 더 분할된다. 각각의 서브어레이 또는 세그먼트는 하나로 구성되고 하나의 여분 칼럼(spare column)을 포함하여 여분의 워드 라인을 포함할 수 있다. 블록이 액세스되면, 세그먼트들의 절반만이 액세스된다. 세그먼트가 액세스되더라도, 그 세그먼트의 여분 칼럼은 액세스되지 않는다. 액세스된 절반 내의 칼럼들로부터의 데이터와 액세스되지 않은 절반 내의 여분 칼럼들로부터의 데이터가 로컬 데이터 라인[Local Data Lines(LDLs)]으로 전달되고, 다시 LDL로부터 마스터 데이터 라인[Master Data Lines(MDLs)]으로 전달된다. 액세스된 칼럼 라인들과 선택된 여분 라인들로부터의 유효한 데이터(valid data)는 MDL 상에서 제2 센스 증폭기들(sense amplifiers)로 제공된다. 결함있는 칼럼들은 제2단 증폭기(second stage amplifiers)들을 거친 후에 여분들(spares)로 대체된다. 압축 모드 테스트(Compression Mode Test) 도중에 수개의 제2 센스 증폭기들로부터의 상보형 출력들(Complementary outputs)은 서로 와이어 AND되고(wire AND'ed) EXOR된다(EXOR'ed). 그리고 나서, 와이어 AND된 제2 센스 증폭기들은 동시에 인에이블된다(enabled). 압축 모드 테스트 후에, 상보형 와이어 AND된 출력들 중 하나의 출력이 하이이고 다른 출력은 로우이면, EXOR 출력은 하이가 되어 오류가 검출되지 않았다는 것을 나타낼 것이다. 그렇지 않으면, RAM은 셀프-테스트(self-test)에서 불합격한 것이다.

대표도



명세서

[발명의 명칭]

간단하게 테스트할 수 있는 구성을 갖는 랜덤 액세스 메모리

[도면의 간단한 설명]

제1도는 와이드 I/O RAM(wide I/O RAM)을 위한 종래 기술의 리던던시 구성(redundancy scheme)을 개략적으로 도시한 도면.

제2a도는 본 발명의 바람직한 실시예에 따라 구성된 와이드 I/O 256Mb DRAM칩의 배치 설계(floor plan)를 도시한 도면.

제2b도는 제2a도의 256Mb DRAM칩의 16Mb 유닛을 개략적으로 도시한 도면.

제2c도는 제2b도의 16Mb 유닛의 세그먼트를 개략적으로 도시한 도면.

제3도는 본 발명의 바람직한 실시예에 따른 구성된 16Mb 유닛을 개략적으로 도시한 단면도.

제4a도는 본 발명의 바람직한 실시예에 따라 구성된 세그먼트를 도시한 트랜지스터 레벨(transistor level)의 개략적인 단면도.

제4b도 제4a도에 대한 타이밍 다이어그램(timing diagram).

제4c도는 센스 증폭기와 제2 센스 증폭기 사이의 칼럼 접속을 개략적으로 도시한 도면.

제5a도는 프로그래밍 가능한 퓨즈 래치 회로(fuse latch circuit)를 개략적으로 도시한 도면.

제5b도는 프로그래밍 가능한 어드레스 선택 회로(address selection circuit)를 개략적으로 도시한 도면.

제5c도는 CRDN 회로를 개략적으로 도시한 도면.

제6a도는 IOSW 회로를 통한 유닛의 개략적인 단면도.

제6b도는 10SU 회로를 개략적으로 도시한 도면.

제7도는 압축 모드 테스트 구성(compression mode test configuration)을 개략적으로 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

122 : 어레이 블록(array block) 126 : 서브어레이블록(subarray block)

128 : 워드 라인들(word lines) 130 : 세그먼트(segment)

132 : 비트 라인들(bit lines)

134 : 여분 칼럼 라인(spare column line)

124 : I0 스위치(I0SW)

136 : 로컬 데이터 라인(Local Data Line)

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 메모리에 관한 것으로 더욱 구체적으로는 반도체 메모리의 테스트(test)에 관한 것이다.

메모리 셀 결함(memory cell defect)과 메모리 어레이(memory array)결함에는 많은 원인이 있으며, 그 결과로 나타나는 다양한 특징(signatures)이 있게 된다. 단일의 분리된 셀에서의 결함이 어레이 전체로 퍼져나갈 수 있기도 하지만, 흔히 그 셀 주위의 동일한 위치에 있는 다수의 셀들에 결함이 생기게 된다. 다수의 셀에 결함이 발생하면, 이 결함은 워드 라인(word line) 결함(즉, 동일한 워드 라인 주소를 갖는 결함있는 셀들), 비트(또는 칼럼) 라인 결함(즉, 동일한 비트 라인 주소를 갖는 결함있는 셀들), 또는 양자 모두에 해당하는 것으로 분류할 수 있다. 이러한 다수의 셀의 결함의 원인은 다양하다. 특히, 비트 라인 결함은 개방된(open) 비트 라인들, 단락된(shorted) 비트 라인들, 필드 산화물(field oxide)의결여, 과도한 산화물, 셀간 누설(intercell leakage), 또는 다양한 기타의 원인에 의하여 생길 수 있다. 따라서, 결함있는 셀들을 식별하기 위하여 메모리 셀들을 광범위하게 테스트하게 된다.

결함 있는 셀들을 갖고 있는 칩들을 수리할 수 있는 경우가 매우 자주 있다. 일단 식별이 되면, 어레이 여분의 셀들이 포함되어 있는 경우에는 결함있는 셀들을 전기적인 수단에 의하여 여분의 셀들로 대체시킬 수 있다. 셀 결함을 수리하기 위하여 온-칩 여분 셀들(on-chip spare cells)을 제공하는 것은 온-칩 리던던시(on-chip redundancy)로서 관련 기술 분야에 알려져 있다. 최신 기술의 리던던시 구성을 전형적으로 하나 또는 그 이상의 여분의 로우(로우 리던던시) 및/또는 하나 또는 그 이상의 여분의 칼럼(칼럼 리던던시)을 갖는다. 이들 여분의 로우/칼럼들은 결함있는 셀을 선택하지 못하게 함과 동시에, 결함있는 로우/칼럼의 어드레스(address)에 응답하도록 프로그래밍될 수 있는 퓨즈 프로그래밍 가능한 디코더들(fuse programmable decoders)을 갖고 있다. 전기적으로는, 수리된 칩은 완전히 이상이 없는 칩과 구별할 수 없다.

결함 있는 셀들을 식별하기 위하여 메모리 칩을 테스트하는 것은 복잡하고, 각각의 종류의 결함을 식별하기 위하여 고안된 특수한 테스트 패턴(test pattern)을 필요로 한다. 수개의 테스트 패턴 각각이 적어도 한번 어레이에 기록되고 어레이로부터 판독되어야 하기 때문에. 메모리 칩을 테스트하는 것은 시간이 많이 걸릴 수 있다. 예를 들어, 하나의데이터 입력/데이터 출력(DI/DO)을 갖고 있고 액세스 시간이 70ns 인 16Mb RAM 칩에서는, 1600만개의 셀들에 걸쳐서 하나의 테스트 패턴을 테스트하는 데에도 수 초가 걸릴 수 있다. 테스트하는 데에는 상이하고 다양한 테스트 패턴이 많이 필요하므로, 어레이 전체에 걸쳐서 테스트하려면 수 분이 걸릴 수 있다. 하나의 반도체 웨이퍼(wafer)상에 수백개의 칩이 있으면, 하나의 웨이퍼를 검사하려면 수 시간이 걸릴 수 있다. 더구나, 이 테스트(testing)은 초기 웨이퍼 스크린 [initial wafer screen: 각각의 완성된 RAM 사이트(site)에 대한 웨이퍼 기능 테스트]과 최종 선적 사이의 각 단계마다 한번 이상 수행된다.

또한, 칩의 집적도가 예를 들어 64Mb 또는 256Mb로 높아짐에 따라, 테스트 시간도 증가한다. 각각의 칩 세대(generation)마다, 집적도는 4배 증가한다. 전형적으로, 4배의 증가는 어드레싱할 수 있는 위치(addressable location)가 4배 증가하는 것이 된다. 그러나, 각 세대의 성능 향상은 대개 2배 미만이다. 따라서, 각각의세대에서 테스트 시간은 더 길어지고, 따라서 더욱 문제가 된다.

어레이 테스트 시간의 감소를 포함하는 다양한 원인에 의하여, 이들 초고집적(ultra dense) RAM들은 2비트(X32) 또는 그보다 넓은 데이터 패스(wide data paths of 32 bits(x32) or wider)를 갖도록 구성되어 있다. 이러한 와이드 입/출력(I/O) 구성[wide Input/Output (I/O) organization]을 가지면, 각각의 사이클(cycle)동안에 더 많은 셀들을 액세스하기 때문에 어레이 테스트 시간을 상당히 감소시킨다. 사이클마다 더 많은 수의 셀들을 액세스하므로, 각각의 테스트 패턴에 대하여 판독/기록 사이클이 더 적다. 예를 들어, 1로 구성된 64Mb 칩 상의 하나의 테스트 패턴은 어레이에 로딩(load)시키기 위하여 6400만개 이상의 기록 사이클이 필요하고, 그리고 나서, 어레이가 저장된 테스트 패턴을 포함하고 있다는 것을 확인하기 위하여 6400만개의 판독 사이클이 필요하다. 반면에, 512k×128b의 와이드 I/O 구성에서는, 하나의 판독/기록 사이클은 각각의 128비트에 대한 것이므로, 512000개의 기록 사이클과 512000개의 판독 사이클만이 필요하게 된다. 따라서, 와이드 I/O 구성은 테스트 사이클 수의 일부분만을 필요로 하므로, 테스트 시간을 상당히 감소시킬 수 있다.

테스트 시간이 감소되는 것 이외에도, 현대 시스템의 요구 조건들이 와이드 I/O 구성을 갖도록 하는 동기를 제공한다. 최신 기술의 마이크로프로세서들은 전형적으로 32비트 또는 64비트의 데이터 워드(data word)를 채용한다. 이들 마이크로프로세서 중 어느 하나에 맞도록 구성되어 있는 컴퓨터는 대개 4-8 MB(MBytes)의 DRAM을 필요로 한다. 그러한 시스템에서 2M×32로 구성된 8MB의 메모리는 네 개의 16Mb (2M×8) 칩으로부터 아주 간단하게 만들 수 있다. 예를 들어, 2M×32 단일 인-라인 메모리 모듈(Single In-line Memory Module : SIMM)은 2M×8의 4개의 칩을 병렬로 사용할 것이다. 그러나, 8M×8로 구성된 64Mb 칩은 그렇게 간단하게 재구성될 수 없다. 오히려, 8M×8로부터의 X32 SIMM 구성은 성능에서 상당한

손실을 가져오면서 추가적인 복잡한 논리부를 필요로 한다. 그러나, 와이드 I/O 구성은 $2M \times 32$, $1M \times 64$ 또는 $512k \times 128$ 의 어느 것으로 구성되었는지 간에 최신 기술의 전형적인 마이크로프로세서에 기초한 시스템에서 사용할 수 있는 최적의 64Mb 칩을 제공한다. 사실, $512k \times 128$ 구성은 4개의 32비트 워드를 동시에 액세스할 수 있도록 한다. 칩 집적도가 256Mb과 그 이상으로 증가하더라도 256비트 또는 그 이상의 넓은 데이터 패스를 갖는 아주 긴 명령어 워드(Very Long Instruction Word: VLIW)와 같은 새로운 와이드 워드 구조(word architecture)가 등장하고 있다.

고집적도의 칩드리 와이드 I/O DRAM 구성을 갖도록 하는 또 다른 이유는 고성능 마이크로프로세서들과 함께 사용되는 DRAM들의 성능에 대한 요구 조건 때문이다. 전형적인 종래 기술의 DRAM들은 이러한 성능에 대한 요구 조건을 충족시킬 수 없다. 동기식 DRAM(Synchronous DRAM: SDRAM)의 스루풋(throughput)를 증가시키기 위한 최신 기술의 방법의 하나로서 프리펫치(prefetch)가 알려져 있다. 프리펫치 구조를 갖는 SDRAM은 예를 들어 64비트 온-칩 데이터 패스 대 32비트 오프-칩 I/O와 같이 오프-칩 I/O(off-chip I/O)보다 넓은 온-칩 데이터 패스(on-chip data path)를 갖고 있다. 오프 칩 트랜스퍼(off-chip transfer)는 순차적으로 즉 두 번의 32비트 트랜스퍼로 이루어지면서 모든 어레이(온-칩) 동작은 동시에 일어나고 (즉, 64비트 어레이 판독 및 기록), 오프 칩 트랜스퍼(off-chip transfer)는 순차적으로 즉 두 번의 32비트 트랜스퍼로 이루어진다. 따라서 와이드 I/O를 갖는 RAM은 테스트 시간을 감소시키고 메모리 시스템 디자인을 간단하게 하고 RAM성능을 향상시키기 때문에 와이드 I/O를 갖고 있는 RAM이 필요하다.

불행히도 종래 기술의 리던던시(redundancy)기술은 와이드 I/O RAM에는 불충분하다. RAM 칩에 칼럼 리던던시(column redundancy)를 제공하고자 하는 종래 기술의 시도가 몇가지 있었다. 한가지 종래 기술의 시도에서는 여분의 칼럼들은 작은(여분의) 어레이에 격리되어 있다. 칼럼 어드레스가 결함있는 칼럼을 가리키면 대신에 여분 어레이로부터 미리 프로그래밍된 여분 칼럼 중의 하나가 선택된다. 예를 들어 본 명세서에서 참고 문헌으로 사용된 요시다(Yoshida) 등에서 허여된 Semiconductor Memory Device Having Redundancy Means라는 명칭의 미합중국 특허 제4,727,516호를 보면 알 수 있다. 그러나 요시다의 시도는 속도가 느리고 상당한 양의 추가 논리부를 필요로 한다. 추가 논리부는 칼럼 어드레스가 결함있는 칼럼을 가리키고 있는지 여부를 결정하고 만일 가리키고 있다면 그 결함있는 칼럼을 우회하여 미리 프로그래밍된 여분 칼럼을 선택하도록 하는데 필요하다. 리던던시 감지 논리부(redundancy detect logic)는 칼럼 어드레스가 결함있는 칼럼을 가리키고 있는지 여부를 결정하고 만일 가리키고 있다면 올바른 여분 칼럼을 대신 선택하도록 하기 위하여 셀 액세스 시간(cell access time)에 딜레이(delay)를 추가시킬 필요가 있다. 이러한 리던던시 접근 방법은 narrow I/O 칩(narrow I/O chip: 8 I/O)에서는 받아들일 수 있었으나, 와이드 I/O 구조에서 사용하기에는 너무 느리고, 융통성이 없으며 적절하지 못하다.

또 하나의 리던던시 방법은 고집적 어레이에서처럼 RAM 어레이가 더 작은 서브어레이(subarray)의 그룹(group)으로 계층 구조로 구성되어 예를 들어 어레이가 4개로 분할되어 있을 때에 사용된다. 이러한 두 번째의 종래 기술의 리던던시 방법에서는 여분의 칼럼들이 각각의 서브어레이와 함께 포함되어 그 서브어레이를 위해 사용된다. 첫 번째의 방법에서와 같이 결함있는 칼럼이 어드레스될(addressed)때마다 별도의 서브어레이로부터의 데이터로 대체시키는 대신에 서브어레이 내의 여분 칼럼 라인이 선택된다.

제1도는 와이드 I/O의 16Mb DRAM 칩에 대한 두 번째의 종래 기술의 리던던시 구성을 개략적으로 도시한 도면이다. 칩(100)은 각각의 서브어레이(106)에서 두 개의 여분의 칼럼들을 제공하는 두 개의 여분 비트 라인(RBL : 102, 104)로 구성된다. 각각의 서브어레이(106)은 2^n 개의 비트 라인[(BL, 108), 여기서 n은 5 내지 8과 여분 비트 라인들을 (이 예에서는 2개) 포함하고 있다. 각각의 서브어레이(106)은 서브어레이 블록(110)의 일부분이다. 모든 서브어레이 블록들(110)이 모여서 전체 RAM 어레이를 형성한다. 따라서 예를 들어 16Mb RAM은 각각의 1Mb인 16개의 블록(110)을 갖고 있다. 블록 크기, 서브어레이 크기 및 서브어레이(106)의 개수는 서로 종속되어 있고 성능과 로직(logic)상의 목적에 따라 선택된다.

이러한 두 번째의 종래 기술의 리던던시 방법은 첫 번째의 방법만큼 느리지는 않지만 첫 번째의 방법만큼 융통성이 있지도 않다. 첫 번째 종래 기술 방법에서는 어떠한 결함있는 칼럼을 여분 칼럼의 블록 내의 어떤 여분의 칼럼으로도 대체시킬 수 가 있다. 두 번째 종래 기술 방법에서는 결함있는 칼럼들은 동일한 서브어레이에 있는 여분 칼럼들만으로 대체시킬 수 있다. 따라서 칩 전체에 대해서는 각각의 서브어레이마다 적어도 하나의 여분 칼럼이 있어야 한다. 이러한 두 번째 방법에 의하면 서로 다른 서브어레이에 있는 두 개 이상의 결함있는 칼럼을 대체시킬 수는 있지만 서브어레이(106)마다 두 개의 여분 칼럼이 있어도 칩당 두 개의 결함있는 칼럼들을 수리할 수 있다는 것을 보장해줄 뿐이다. 동일한 서브어레이(106)에 세 개의 결함있는 칼럼들이 있으면 이를 수리할 수 없다.

더구나, 이러한 두 번째 방법은 융통성이 없을 뿐만 아니라 리던던시 때문에 생기는 시간 지연을 제어하지 못한다. 서브어레이(106)은 하나의 워드 라인(112)가 선택되어 하이(high)로 될 때 액세스된다. 액세스된 셀들로부터 데이터는 비트 라인들(108)과 여분 비트 라인들(102, 104)에 동시에 제공된다. 리던던시 디코더(redundancy decoder)가 여분의 칼럼이 어드레스되는지 여부를 결정하기에 충분한 만큼의 선정된 최소 지연 후에 하나의 비트 라인(108) 또는 여분 비트 라인(102, 104)가 각각의 서브어레이(106)에서 선택된다. 각각의 서브어레이에서 선택된 비트 라인(108) 또는 여분 비트 라인(102, 104)는 로컬 데이터 라인[Local Data Line(LDL), 114]에 커플된다.(coupled). LDL(114)는 마스터 데이터 라인들 [Master Data Lines(MDL), 116]에 커플된다. MDL(116)은 각각의 서브어레이 블록(110)에서 대응하는 서브어레이들(106)을 커플시킨다. 데이터가 서브어레이(106)과 MDL(116)상의 칩 I/O들 사이에 전달된다.

정상적인 경우에는 비트 선택 로직(bit select logic)이 리던던시 디코드 로직보다 빠르다. 그러나 두 회로 모두 동일하게 빠르다 하더라도 이러한 두 번째 방법에서는 레이스 컨디션(race condition)이라고 알려져 있는 시간상의 충돌(timing conflicts)을 피하기 위하여 비트 라인 선택이 지연되어야 한다. 레이스 컨디션이 발생하면, 여분의 비트 라인(102 또는 104)와 결함있는 비트 라인은 짧은 시간 동안에 모두 LDL에 동시에 접속되어 서로 단락된다. 레이스 컨디션으로부터 생기는 문제들은 데이터들이 느려지는 것(즉, 저장되어 있는 것이 1인지 0인지 감지하는 것)으로부터 어레이에 저장된 데이터를 잘못 스윙칭하거나 잘못된 데이터가 판독 또는 기록되도록 하는 것에 이르기까지 다양하다. 레이스 컨디션을 피하기 위하여 비트 라인 선택 이전에 칩 타이밍에 약간의 지연을 두어야 한다. 첫 번째 종래 기술의 방법을 사용할 때 요구되는 것보다 현저히 작은 지연이지만 이 약간의 지연 때문에 리던던시를 포함시키기 위하여 여

천히 고의적으로 칩 액세스 시간을 느리게 할 필요가 있다. 칩 액세스를 느리게 하는 것은 대부분의 RAM에 있어서 성능을 높이는 데에 장애가 된다.

유통성이 없고 칩 액세스를 느리게 하는 것 이외에도 이 두 번째 종래 기술의 리던던시 방법은 비효율적이다. 상기 예의 16Mb 칩에서 각각의 $2_5=32$ 비트 라인들 (108)마다 두 개의 여분 비트 라인들(102, 104)가 있다. 적어도 어레이 면적의 6.25%는 여분의 셀들에 제공된다 (만일 로우 리던던시가 포함되면 이 비율은 더 높아진다). 그러나 각각의 다른 서브어레이(106)에 여분 칼럼들(102, 104)가 미사용인 채로 남아 있더라도 동일한 서브어레이(106)에 결합있는 칼럼들이 세 개 있으면 이들을 수리할 수 없다. 따라서 동일한 서브어레이에 결합있는 칼럼들이 세 개 있으면 사용할 수 있는 칩이 수리할 수 없는 상태가 되어 사용할 수 없게 된다. 와이드 I/O 어레이 칩을 위한 종래 기술의 리던던시 구성은 상기 종래 기술 구성을 다소 확장시킨 것(extensions)이다. 내로우(narrow) I/O RAM에 대하여 제한된 장점을 갖고 있었던 종래 기술의 리던던시 구성은 와이드 I/O RAM이나 프리페치형(prefetch type) SDRAM에서 사용하기에는 불충분하다. 상기 설명으로부터 알 수 있듯이 와이드 I/O 칩 구성은 초고집적도(ultra high density) RAM에서 더욱 필요하게 된다. 따라서, 유통성 있는 리던던시와 향상된 테스트 성능을 갖는 와이드 I/O RAM 구조가 필요하게 된다.

본 발명의 목적은 반도체 메모리의 테스트 시간을 감소시키고자 하는 것이다.

본 발명의 또 다른 목적은 반도체 메모리 테스트 간단하게 하고자 하는 것이다.

본 발명의 또 다른 목적은 결합있는 반도체 메모리 칩들을 식별하는데 필요한 시간을 감소시키고자 하는 것이다.

본 발명이 또 다른 목적은 초기 반도체 메모리 칩 테스트 스크리닝(initial semiconductor memory chip test screening)을 간단하게 하고자 하는 것이다.

본 발명은 와이드 I/O 랜덤 액세스 메모리(RAM) 그 구조 및 그 셀프-테스트(self-test)회로에 관한 것이다. 만일 RAM의 용량이 크면, 몇 개의 유닛으로 나누어진다. 각각의 유닛 또는 소용량의 RAM에 대하여 메모리는 몇 개의 블록으로 더 나누어진다. 블록들은 메모리 세그먼트들(memory segments)로 더 나누어진다. 각각의 세그먼트는 로우와 칼럼으로 구성된다. 로우와 칼럼의 선택은 메모리 어드레스에 응답하여 이루어지고 블록내의 모든 세그먼트에 대하여 공통이다. 각각의 칼럼으로부터의 데이터는 첫째로 칼럼의 센스 증폭기(Sense amplifier)에서 둘째로 유닛에서 제2 센스 증폭기에 의하여 증폭하여 감지된다. 제2 센스 증폭기는 동시에 여러개의 칼럼을 셀프 테스트하기 위한 수단을 제공한다. 바람직한 실시예에서 제2 센스 증폭기는 상보형 오픈 콜렉터 출력(complementary open collector output)을 갖는다. 제2 센스 증폭기 출력은 함께 AND되고 상보적 결과(complementary result)는 EXOR된다. EXOR출력은 합격/불합격이라는 셀프-테스트(self-test)결과를 제공하게 된다.

제2a도는 본 발명의 바람직한 실시예에 따라 테스트할 수 있는 와이드 I/O 256Mb DRAM 칩(120)의 배치 설계를 도시한 도면이다. 이 256Mb어레이는 16개의 동일한 16Mb유닛 또는 어레이 블록(122)로 분할된다.

제2b도는 하나의 16Mb 유닛(122)를 개략적으로 도시하는 도면이다. 제1도의 종래 기술의 16Mb RAM칩에서와 마찬가지로 각각의 16Mb유닛(122)는 복수의 블록(126)으로 분할된다. 복수의 워드 라인(128)은 각각의 서브어레이 블록(126)을 통하여 수평으로 놓여 있다. 각각의 블록(126)은 복수의 서브어레이 또는 세그먼트(130)으로 더 분할된다. 제2c도는 세그먼트(130)를 개략적으로 도시하는 도면이다. 각각의 세그먼트(130)은 2^2 개의 비트 라인(132)와 하나의 여분 칼럼 라인(134)을 포함한다. 칼럼과 비트 라인이라는 용어들은 본 명세서에서 그리고 관련 기술 분야에서 서로 호환되어 사용되며 관련 기술 분야에서 사용되는 보통의 의미에 따라 공통의 비트 어드레스를 갖는 복수의 서브어레이 셀(subarray cell)을 나타낸다. 본 실시예에서 비트 라인은 실제로는 네 개의 상보형 라인쌍(complementary pairs of lines)을 가리킨다는 것을 알아야 한다. 각각의 상보형 라인쌍에 있어서 셀들의 절반은 한쪽 라인에 접속되고 나머지 절반은 다른 라인에 접속된다.

본 실시예에서는 4개의 유닛 D1/D0마다 두 개의 세그먼트(130)이 있어서 각각의 블록(126)마다 총 16개의 세그먼트(130)이 있게 된다. 세그먼트(130)의 절반(8개)만이 블록 액세스(block access) 동안에 액세스된다. 액세스된 세그먼트(130)으로부터의 데이터는 I/O스위치(IOSW, 124)로 전달된다. IOSW(124)는 데이터를 재구동하여 각각의 액세스된 세그먼트(130)으로부터의 네 개의 비트를 I/O버스로 전달한다. 따라서 제2a도의 16개의 32비트 유닛(122)를 갖고 있는 256Mb DRAM은 테스트를 하도록 512k x 512로 구성할 수 있고 원할 경우 정상 동작을 위해서도 동일한 방식으로 구성할 수 있다.

제2c도에 대한 설명을 계속하면, 각각의 세그먼트(130)에서의 비트 라인들(132)와 여분의 칼럼(134)는 상보형 라인쌍이기도 한 로컬 데이터 라인(Local Data Line(LDL), 136)에 선택적으로 커플된다. 각각의 서브어레이 블록(126)으로부터의 LDL(136)은 상보형 라인쌍이기도 한MDL(138)에 커플된다. 각각의 유닛(122)에서의 MDL은 대응하는 IOSW(124)에 접속된다. 바람직한 실시예의 리던던시 구성에서는 각각의 블록(126)은 우측 절반(140)과 좌측 절반(142)로 더 분할된다. 상기 설명에서 알 수 있듯이 어레이 액세스 동안에 블록의 세그먼트의 절반 즉 우측 절반(140) 또는 좌측 절반(142)만 액세스된다. 액세스된 세그먼트들을 갖는 절반의 블록이 액세스된 절반이다. 나머지(액세스되지 않은) 절반의 블록은 여분의 절반으로 지정된다. 화살표(144)는 각각 다른 절반 블록(140, 142)에 있는 세그먼트(130)의 결합있는 비트 라인들을 대체시키는 데 사용할 수 있는 하나의 절반 블록(140, 142)내의 여분 칼럼들(134)를 가리킨다. 따라서 두 번째 종래 기술 방법에서와 같이 1:1의 여분 대 세그먼트 대응을 갖지 않고 즉, 세그먼트(130)내의 결합있는 비트 라인을 대체시키는데 사용할 수 있는 것이 하나의 여분 비트 라인(134) 뿐이 아니라 (여분 절반 블록으로부터의) 모든 여덟 개의 여분 비트 라인들(134)를 사용할 수 있다. 선택에 의하여 각각의 유닛(122)는 결합있는 워드 라인들을 대체시키기 위하여 여분 워드 라인 블록(45)를 포함할 수 있다.

제3도는 본 발명의 바람직한 실시예에 따라 구성된 유닛의 한 예이고, 제1도의 종래 기술 16M 칩과 거의 동일한 정도의 상세도(level of detail)로 도시한 도면이다. 제3도의 예에서, 액세스된 우측 절반(140)

내의 각각의 세그먼트(130)의 비트 라인들(132)가 액세스되고, 동시에 여분의 좌측 절반(142)내의 세그먼트(130)의 여분 비트 라인들(134)이 액세스된다. 데이터는 액세스된 절반(140)내의 [결함있는 비트 라인(146)을 포함하는] 비트 라인들(132)과 여분의 절반(142)내의 여분 비트 라인들(134)로부터 LDL(136)으로 전달된다. LDL(136)상의 데이터는 대응하는 MDL(138)로 전해진다. IOSW회로(124)는 MDL(138)로부터의 데이터를 I/O라인들(148, 150, 152 및 156)으로 선택적으로 전달한다. 각각의 액세스된 절반(140)으로부터의 유효한 데이터만이 I/O라인(148)로 전달된다. 이와 동시에 IOSW(124)는 결함있는 비트 라인(146)으로부터의 오류 데이터를 막고 대신에 여분의 (좌측) 절반(142)내의 미리 프로그래밍된 여분의 칼럼(154)로부터의 유효한 데이터를 I/O라인(152)로 전달한다. 또한, IOSW(124)는 데이터가 나머지 I/O라인들(156)으로 전달되는 것을 막는다.

제3도의 예에서, 액세스된 절반(140)내의 하나의 결함있는 비트 라인(146)이 여분의 절반 블록(142)로부터의 여분의 비트 라인(134)에 의하여 전기적으로(electrically)대체된다. 그러나, 8개의 결함있는 비트 라인들 각각이 절반 블록(140, 142)어느 것 내에서도 수리 될 수 있다. 따라서, 세그먼트(130) 당 하나의 여분 비트 라인(134)을 갖기 않고 대신에 공통의 비트 어드레스를 갖는 수개의 결함있는 칼럼들을 수개의 여분 칼럼(134)로 대체시킬 수 있다. 또한 동일한 세그먼트(130)내의 수개의 결함있는 칼럼들을 대체시킬 수도 있다.

비트, LDL(136) 및 MDL(138) 선택은 제4도에 제공된 것과 같은 제3도의 아래 블록의 트랜지스터 레벨의 개략적인 단면도를 통하여 보다 잘 이해할 수 있다. 상기 설명에서 알 수 있는 바와 같이, 본 발명의 바람직한 실시예에서는 각각의 비트 라인(132)은 비록 제4a도에서는 하나의 라인 쌍으로 표시되어 있지만, 실제로는 네개의 상보형 라인쌍(complementary pair of lines)이다. 인접하는 워드 라인(127, 128)에 접속된 셀들(162, 164)은 각각의 쌍의 반대쪽 라인들(166, 168)에 접속된다. 따라서, 워드 라인의 절반(128) (예를 들어, 짝수 어드레스를 갖는 워드 라인들)은 비트 라인쌍 중 하나(166)상의 셀들(162)을 선택한다. 반면에 워드 라인의 나머지 절반(127)은 (홀수 어드레스를 갖는 워드 라인들) 비트 라인쌍의 나머지 라인(168)상의 셀들(164)을 선택한다. 아래가 센스 증폭기를 선정된 1 조건으로 설정하도록 어레이에 1이 저장된다. 따라서 1을 도면 부호(166)이 하이이고 도면 부호(168)이 로우인 상태로 정의하면, 셀의 저장 캐패시터(178)를 하이로 충전함으로써 1이 셀(162)에 [그리고 도면 부호(168)에 접속된 모든 나머지 셀들에] 저장된다. 이와 반대로, 셀의 저장 캐패시터(192)를 완전히 방전시킴으로써, 0이 셀(164)에 [그리고 도면 부호(168)에 접속된 모든 나머지 셀들에] 저장된다.

제4a도의 회로의 동작은 제4b도의 타이밍 다이어그램에 따른다. 셀(162 또는 164)을 선택하기 전에, 어레이는 정상 상태의 대기 컨디션(steady-state standby condition)에 있다. 비트 라인쌍(166, 168)의 전압은 $V_{dd}/2$ 로 이퀄라이즈되고(equalized) 이퀄라이제이션 트랜지스터(equalization transistor, 172)의 게이트(170)는 하이 상태로 유지된다. 워드라인들(WL, 127, 128)과 칼럼 선택(Column Select: CSL)라인들(174)는 대기 중에는 로우 상태로 유지된다. 워드 라인(128 또는 127)이 하이로 구동되면, 워드 라인(128)상의 각각의 셀(162) 내의 셀 트랜지스터(176)이 온되어, 대응하는 셀의 저장 캐패시터(178)를 상보형 쌍의 라인(166)으로 커플시킨다. 라인(166)상의 전압은 전하가 저장 캐패시터(178)에 저장되어 있으면 조금 올라가고 전하가 저장되어 있지 않으면 (즉, 캐패시터가 방전되어 있으면) 조금 떨어진다. 상보형 쌍의 제2 라인(168)은 $V_{dd}/2$ 로 미리 충전되어 있는 상태를 유지하고 센스 증폭기(180)의 기준 전압의 역할을 한다. 라인(166)상의 1 또는 0을 감지하기 위해 충분한 지연 후에 센스 증폭기(180)이 설정된다. 센스 증폭기는 센스 증폭기 인에이블(Sense Amp Enable: SAE)라인(182)을 하이로 하고 그 인버스(inverse, 184)를 로우로 구동함으로써 설정된다. 센스 증폭기를 설정한 후에 비트 라인쌍(166, 168)로 전달된 데이터는 증폭되고 셀(162)에 저장된 데이터에 따라 이들을 하이/로우 또는 로우/하이로 하여 비트 라인 쌍(166, 168)상에서 재구동된다. 일단, 센스 증폭기에 의해 모든 비트 라인들(166, 168)을 재구동하면 세그먼트 선택 신호(Segment Select Signal: SEGi)가 상승하여 각각의 액세스된 세그먼트(130)내의 하나의 칼럼을 선택하도록 CSL(174)를 하이로 구동한다. CSL(174)가 하이로 되면 선택된 재구동 비트 라인쌍(166, 168)이 패스 게이트(pass gates, 194, 196)를 통하여 LDL(188, 190)으로 접속된다. CSI타이밍은 SEGi와 거의 동일하나 그보다 약간 지연되어 있다.

여분의 절반(142) 내의 CSL을 구동함과 동시에, 만일 결함있는 칼럼이 어드레스되면, 여분 칼럼 선택 인에이블(Spare Column Select Enable: SCSLEj) 신호가 상승하여 여분 칼럼 선택 (Spare Column Select Enable: SCSL) 신호를 하이로 [여분 칼럼에서 도면 부호(174)] 구동하고, 여분 칼럼(134)로부터의 데이터가 패스 게이트(194, 196)를 통하여 LDL 쌍(188, 190)으로 전달된다. SCSL이 하이로 되면 칼럼 선택 디스에이블(Column Select Disable: CSLD) 신호를 하이로 구동하게 되어 교대로 동시에 구동되는 CSL(174)를 로우로 끌어내려 결함있는 칼럼들을 LDL(134)로부터 격리시킨다. SCSL 타이밍은 SCSLEj가 거의 동일하지만 그로부터 약간 지연되어 있다.

최종적으로 제4c도에서, LDL쌍(188, 190)은 패스 게이트(202, 204)를 통하여 마스터 데이터 선택 라인 [Master Data Select Line (MSL), 208]에 의하여 마스터 데이터 라인(Master Data Line, 쌍(198, 200))으로 접속된다. MDL쌍(198, 200)상의 데이터는 제2 센스 증폭기(206)를 통하여 다시 감지되어 재구동된다. 후술하는 바와 같이 각각의 제2 센스 증폭기(206)의 출력은 칩 I/O로 커플되는 글로벌 데이터 라인(Global Data Line(GDL), 210)으로 선택적으로 커플된다.

여분 칼럼 디코더를 프로그래밍하는 것은 프로그래밍 가능한 퓨즈 래치(210)을 개략적으로 도시한 제5a도를 보면 보다 잘 이해할 수 있다. 이 프로그래밍 가능한 퓨즈 래치(210)은 접지와 P형 FET(PFET, 214)의 드레인 사이에 접속된 퓨즈(212)를 포함하고 있다. 이 퓨즈는 인버터(216)의 입력을 로우로 클램핑시키기(clamp) 위한 낮은 저항을 제공한다. 입력이 로우로 클램핑되면, 인버터(216)은 인버터(218, 220)에 하이로 전달한다. 인버터(216, 218)은 래치를 형성한다. 인버터(220)은 인버터(216)으로부터의 레벨을 재반전시킨다. 프로그래밍 가능한 퓨즈 래치로부터의 출력들은 인버터(216, 220)으로부터 온 것이다. (주로 래처 프로그래밍에 의하여) 퓨즈를 제거하고 PFET(214)의 게이트(222)에 펄스를 공급함으로써 래치를 초기화하면, 인버터(220)의 출력은 하이로 인버터(216)은 로우가 된다. 각각의 세그먼트는 여분 칼럼 라인을 인에이블시키기 위한 하나의 프로그래밍 가능한 퓨즈 래치와 인에이블된 여분 칼럼 라인이 대체할 결함있는 칼럼 라인을 갖고 있는 세그먼트를 식별하기 위한 세 개의 프로그래밍 가능한 퓨즈 래치를

갖고 있다. 여분 칼럼 라인 인에이블 레벨(redundant column line enable level: FMAC)은 인버터(220)의 재반전된 출력이다. 세 개의 세그먼트 식별 래치들은 각각 FSm과 FSm 이라고 레이블이 붙여진 인버터(220, 216)으로부터의 트루(true) 및 컴플리먼트(complement) 출력을 모두 제공한다 (여기서, m = 0, 1 또는 2) 이들 출력의 사용에 대해서는 아래에 보다 사용에 대해서는 아래에 보다 상세히 설명하기로 한다.

제5b도의 프로그래밍 가능한 어드레스 선택 회로는 제5a도의 프로그래밍 가능한 퓨즈 래치(210)을 포함한다. 퓨즈(212)의 상태가 상보형 트랜지스터의 쌍(222, 224 및 226, 228)에 의하여 형성되는 2:1 멀티플렉서(mux)의 상태를 선택한다. 퓨즈(212)가 있는 상태에서는 래치 출력(230)은 하이이고 버퍼(220)의 출력은 로우이다. 상보형 쌍(222, 224)가 온(on)되고, 상보형 쌍(226, 228)은 오프(off)된다. 2:1 멀티플렉서는 ADD(반전되지 않은 어드레스 신호)를 그 출력(232, An)과 블록(bADD (ADD의 컴플리먼트)에 전달한다. 반대로 퓨즈(212)를 제거하면 래치 출력(230)은 로우이고 버퍼 출력(220)은 하이이다. 상보형 쌍(226, 228)은 온되고 상보형 쌍(222, 224)는 오프된다. 이 상태에서는 멀티플렉서는 bADD를 그 출력(232)로 전달하고 ADD를 막는다.

제5c도는 본 발명의 바람직한 실시예의 CRDN회로를 개략적으로 도시한 도면이다. NOR 게이트(246)과 결합된 NAND게이트(240, 242 및 244)는 프로그래밍 가능한 어드레스 선택 출력 Ao-An(n=9)을 프로그래밍 가능한 래치 출력 FMAC와 논리 AND시킴으로써 퓨즈 프로그래밍된 어드레스를 디코딩한다. 프로그래밍 가능한 퓨즈 래치(210)의 출력인 FMAC는 퓨즈(212)가 끊어져서 CRDN을 인에이블시키면 하이이 된다. NOR 게이트(246)의 디코더 출력은 세그먼트 j (j는 0과 7사이)에 대한 세그먼트 칼럼 선택 인에이블(Segment Column Select Enable: SCSLj) 신호이다. SCSLEj는 FMAC가 하이일때만, 즉 CRDN이 인에이블될 때에만 하이이 되고 Ao-An은 프로그래밍된 어드레스가 액세스되면 하이이 된다. Ao-An은 각각의 프로그래밍 가능한 어드레스 선택 회로 내의 퓨즈(212)의 상태와 칼럼 어드레스에 따라 하이이 된다. 따라서, 여분 칼럼 선택은 FMAC를 하이로 하고 결합있는 칼럼이 어드레스되면 Ao-An를 하이로 하여 제공하기 위하여 퓨즈를 제거함으로써(끊음으로써) 프로그래밍된다. SCSLEj는 (결합있는 칼럼의) 프로그래밍된 어드레스가 액세스되면 하이이 된다. 각각의 세그먼트에는 CRDN회로가 있다. 따라서, 여분의 칼럼에 대한 액세스가 종래 기술의 방법보다 빠르고 어레이 비트 라인 액세스는 여분 칼럼 액세스와 함께 동시에 일어난다.

따라서, 만일 SCSLE가 하이이 되면, 액세스된 절반(140) 내의 하나의 결합있는 칼럼을 대체시키기 위하여 여분의 칼럼이 인에이블된다. 대체될 결합있는 칼럼을 포함하는 세그먼트는 FSEG_i에 의하여 식별된다. FSEG_i는 NOR 게이트(254)의 출력이다. (여덟개의 NOR 게이트를 대표하는) NOR 게이트(254)로의 입력(256)은 FS_m 또는 FS_m 이다. NOR 게이트(254)는 세 개의 입력이 1/8 디코딩되도록 하여, 그 결과 하나의 FSEG₀₋₇이 하이이 된다. FSEG₀₋₇이 하이인 것은 세그먼트 0-7내의 결합있는 칼럼을 각각 대체시키기 위하여 여분의 칼럼을 퓨즈 프로그래밍했다는 것을 나타낸다. NAND 게이트(248, 250 및 252)는 (각각의 액세스된 세그먼트마다 하나씩의) 여덟개의 NAND 게이트를 나타낸다. SCSLE가 하이이 되면 여분의 칼럼이 액세스된다. bfCHIT_i중 하나는 내려가서 FSEG_i가 식별하는 세그먼트를 위하여 퓨즈된 칼럼상에 HIT(match)가 있다는 것을 나타낸다.

제6a도는 10SW회로(124)를 통한 유닛(122)의 개략적인 단면도이다. 결합있는 칼럼(136)을 여분 칼럼(134)로 대체하기 위한 논리부(logic)를 포함한다. 제6a도의 단면도에서 디코드 논리부가 여분의 절반(256)과 액세스된 절반(262) 양자 모두를 위하여 포함된다. 제5c도의 CRDN회로는 논리 블록(262)로 표시한다. 퓨즈로 선택된 여분의 칼럼을 어드레싱(addressing)하여 여분의 절반(256) 내의 bfCHIT₀₋₇을 로우로 만들면, I/O 디스에이블(I/O DISable: IODIS1) 신호는 NAND 게이트(264)에 의하여 하이로 구동된다. IODIS₁는 선택된 여분 칼럼을 포함하는 세그먼트로부터의 세그먼트 출력이고 결합있는 칼럼 세그먼트를 위한 10SW 로직(266)으로의 입력이다. IODIS₁가 하이이 되면 10SW₁ 신호, 즉 NOR 게이트(268)의 출력을 로우로 함으로써 결합있는 액세스된 세그먼트 내의 제2 센스 증폭기(270)의 출력이 디스에이블된다. 10SW₁가 인에이블되면 제2 센스 증폭기(270)의 내용을 I/O 상보형 쌍(272, 274)로 선택적으로 접속시킨다. 또한 10SW₁는 타이밍 신호 10SET에 의하여 그리고 SEG1와 SCSELEj에 의하여 NOR 게이트(276)을 통하여 제어된다.

MDL(138)상의 데이터는 상보형 쌍(194) 상에서 전술한 바와 같이 제2 센스 증폭기(270)으로 제공된다. 제2 센스 증폭기(270)이 설정되면 제2 센스 증폭기는 재구동된 데이터를 상보형 쌍(280, 282)로 내보내어 FET(284, 286)중 하나를 온시킨다. I/O상보형 쌍(272, 274)는 미리 하이로 충전된다. 10SW₁를 하이로 하면 FET(288, 290)을 온시키게 되어 FET(284, 286)을 상보형 라인(272 또는 274)로 각각 커플시킨다. 라인(272 또는 274)중 하나는 제2 센스 증폭기의 상태에 따라 도면부호(284, 288 또는 286, 290)을 통하여 각각 로우로 끌어내려진다. 이렇게 어레이로부터 I/O 라인쌍(272, 274)로 전달된 데이터는 칩으로부터 나가게 된다.

제7 도에 도시된 바와같이, 본 발명의 바람직한 실시예에 따라 구성된 RAM칩에서, 각각의 유닛(122)는 여분의 절반으로부터 8개의 제2 센스 증폭기(270)출력 (0-7)을 갖고 있다. 각각의 여분 절반의 제2 센스 증폭기(270)의 출력은 도트되어 (dotted, dot AND'ed) io 상보형 쌍(272, 274)에서 액세스된 쪽에 있는 센스 증폭기(270)의 출력으로 나가게 된다. PFET(292, 294)의 게이트에 펄스를 가하여 I/O 상보형 쌍(272, 274)를 하이로 끌어올린다. 이러한 구성에 의하여 신속하고 간단한 테스트를 수행할 수 있다. 이후, 데이터 압축 모드 테스트(data compression mode test)라 칭하는 이 테스트는 세그먼트 내의 모든 셀들이 제대로 동작하는지를 결정하기에 편리한 초기 스크린을 제공한다. 데이터 압축 모드 테스트는 우선 어레이에 선정된 패턴, 예를 들어 모두 1 또는 모두 0을 채워 넣는 것으로부터 시작한다. 그리고 나서 각각의 테스트되는 셀을 액세스하기 위하여 워드와 칼럼 어드레스를 지나가게 된다. 각각의 어드레스에서 모든 10SW들은 하이로 설정되어 모든 제2 센스 증폭기(270)의 출력들을 함께 I/O 라인(272, 274)에 커플시킨다. 각각의 I/O 쌍(272, 274)에서 하나의 라인이 하이 상태를 유지하고 나머지 하나의 라인이 로우가 되면, 오류가 검출되지 않은 것이다. 그러나, 만일 두 개의 라인이 모두 로우가 되면, 적어도 하나의 결합있는 셀이 검출된 것이다. 또한 I/O 라인(272, 274)를 입력으로 하는 EXOR(Exclusive OR) 게이트(296)은 충분한 합격(Go), 불합격(No Go)테스트 로직을 제공한다. EXOR 출력에 1이 있으면 이것은 합

격(Go)이고, 00이 있으면 이것은 불합격(No Go)이다. 데이터 압축 모드 테스트는 모든 결함있는 셀을 검출하지는 않지만, RAM 테스트를 현저히 가속시키게 된다. 따라서, 본 발명의 RAM 구성은 종래 기술의 구성보다 테스트하기에 현저히 쉽다.

본 발명은 바람직한 실시예들에 의해 기술되었으나, 관련 기술 분야에서 통상의 지식을 가진 자라면 이하에 청구된 발명의 범위를 벗어나지 않으면서 다양한 변형과 변경을 가할 수 있다는 것을 이해할 수 있을 것이다. 특히 청구의 범위는 본원 발명의 범위 내에 속하는 변경과 변형을 포함하도록 의도된다.

(57) 청구의 범위

청구항 1

로우들(row)과 칼럼들(columns)로 배열되어 있는 복수의 메모리 셀을 각각 포함하는 복수의 메모리 세그먼트(memory segment), 로우 어드레스(row address)에 따라 상기 세그먼트들 중 적어도 두 개의 세그먼트 내의 상기 메모리 셀들의 각각의 로우를 동시에 선택하기 위한 로우 선택 수단(row selection means) 및 칼럼 어드레스(column address)에 따라 각각의 상기 세그먼트 내의 상기 칼럼들로부터 각각의 칼럼을 선택하기 위한 칼럼 선택 수단(column selection means)을 포함하는 메모리 어레이와, 복수의 로우 내의 복수의 셀을 동시에 테스트(test)하기 위한 수단을 포함하는 것을 특징으로 하는 랜덤 액세스 메모리(Random Access Memory: RAM).

청구항 2

제1항에 있어서, 상기 복수의 셀을 동시에 테스트하기 위한 수단은 도트시킬 수 있는 출력(dottable output)을 각각 갖고 있는 복수의 제2 센스 증폭기(sense amplifier)를 포함하고 상기 도트시킬 수 있는 출력 각각은 상기 도트시킬 수 있는 출력들 중 적어도 다른 하나의 출력에 커플되는(coupled) 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 3

제2항에 있어서, 상기 복수의 셀을 동시에 테스트하기 위한 수단을 그 안에서 두 개 또는 그 이상의 도트시킬 수 있는 출력들이 함께 도트되어(dotted) 글로벌 데이터 라인(global data line)을 형성하고, 각각의 상기 글로벌 데이터 라인에 접속된 능동 선충전 부하(active precharge load)를 더 포함하는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 4

제1항에 있어서 각각의 상기 칼럼은 하나 또는 그 이상의 상보형 라인쌍(complementary pairs of lines)이고 각각의 상기 로우 내의 하나의 메모리 셀은 각각의 상보형 라인쌍에 접속되는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 5

제4항에 있어서, 상기 하나 또는 그 이상의 상보형 라인쌍은 네 개의 쌍인 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 6

제4항에 있어서, 각각의 상기 로우내의 상기 메모리 셀들 중 절반은 상기 상보형 라인쌍 중의 하나의 라인에 접속되고, 나머지 절반은 상기 상보형 라인쌍 중의 다른 하나의 라인에 접속되는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 7

제3항에 있어서, 상기 메모리 어레이는 복수의 메모리 세그먼트(memory segment)를 각각 포함하고 있는 복수의 서브어레이 블록(subarray block)을 더 포함하는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 8

제7항에 있어서, 상기 로우 선택 수단은 상기 복수의 서브어레이 블록 중 하나의 서브어레이 블록과 상기 선택된 서브어레이 블록 내의 하나의 로우를 선택하고, 상기 선택된 로우는 상기 선택된 서브어레이 블록의 모든 상기 메모리 세그먼트에 공통인 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 9

제8항에 있어서, 상기 복수의 서브어레이 블록 중 적어도 두 개의 서브어레이 블록을 각각 포함하고 있는 복수의 어레이 블록을 더 포함하는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 10

복수의 어레이 유닛(array unit)으로서 그 각각의 복수의 서브어레이 블록(subarray block)을 포함하고, 상기 복수의 서브어레이 블록 각각은 복수의 세그먼트(segment)를 포함하며, 상기 복수의 세그먼트 각각은 이차원의 어드레스가 가능한 로우들 및 칼럼들의 어레이(two-dimensional addressable array of rows and columns)를 포함하고 적어도 하나의 여분의 칼럼(spare column)을 포함하게 되는 복수의 어레이 유닛: 로우 어드레스(row address)에 응답하여 상기 로우들 각각을 선택하기 위한 로우 선택 수단(row selection means): 서브어레이 블록 내의 모든 세그먼트의 각각의 칼럼을 선택하기 위한 칼럼 선택 수단(column selection means): 및 상기 복수의 유닛 내의 복수의 셀들을 동시에 테스트(test)하기 위한 수단을 포함하는 것을 특징으로 하는 랜덤 액세스 메모리(Random Access Memory: RAM).

청구항 11

제10항에 있어서, 상기 복수의 셀을 동시에 테스트하기 위한 수단은 도트시킬 수 있는 (dottable)출력을 각각 갖고 있는 복수의 제2 센스 증폭기(sense amplifier)를 포함하고 각각의 상기 도트시킬 수 있는 출력은 상기 도트시킬 수 있는 출력들 중 적어도 다른 하나의 출력에 커플되는(coupled)것을 특징으로 하는 랜덤 액세스 메모리.

청구항 12

제10항에 있어서 상기 복수의 셀을 동시에 테스트하기 위한 수단을 그 안에서 두 개 또는 그 이상의 도트시킬 수 있는 출력들이 함께 도트되어(dotted)글로벌 데이터 라인 (global data line)을 형성하고, 각각의 상기 글로벌 데이터 라인에 접속된 능동 선충전 부하(active precharge load)를 더 포함하는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 13

제10항에 있어서, 각각의 상기 칼럼은 하나 또는 그 이상의 상보형 라인쌍 (complementary pairs of lines)이고, 각각의 상기 로우 내의 하나의 메모리 셀은 각각의 상보형 라인쌍에 접속되는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 14

제13항에 있어서, 상기 하나 또는 그 이상의 상보형 라인쌍은 네 개의 쌍인 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 15

제10항에 있어서, 각각의 상기 로우 내의 상기 메모리 셀들 중 절반은 상기 상보형 라인쌍 중의 하나의 라인에 접속되고, 나머지 절반은 상기 상보형 라인쌍 중의 다른 하나의 라인에 접속되는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 16

제12항에 있어서 상기 글로벌 데이터 라인은 상보형 라인 쌍이고, 상기 글로벌 데이터 상보형 라인쌍을 수신하고 합격/불합격 (go/no/go) 신호를 제공하는 익스클루시브 오어(exclusive OR)를 더 포함하는 것을 특징으로 하는 랜덤 액세스 메모리.

청구항 17

로우들(row)과 칼럼들(columns)로 각각 배열되어 있는 복수의 메모리 세그먼트(memory segment). 각각의 상기 복수의 메모리 세그먼트 내의 적어도 하나의 여분 칼럼(spare column). 로우 어드레스(row address)에 따라 상기 세그먼트들 중 적어도 두 개의 세그먼트 내의 메모리 셀들의 각각의 로우들 동시에 선택하기 위한 로우 선택 수단(row selection means) 및 칼럼 어드레스(column address)에 따라 상기 적어도 두 개의 메모리 세그먼트의 제1 절반 내의 각각의 상기 세그먼트 내의 상기 칼럼들로부터 각각의 칼럼을 선택하기 위한 칼럼 선택 수단(column selection means)으로서, 상기 제1 절반은 액세스된(accessed)절반이고 제2 절반은 여분의(redundant) 절반인 칼럼 선택 수단을 포함하는 메모리 어레이: 상기 액세스된 절반에서 선정된 결함있는 칼럼(predetermined defective column)이 선택되었을 때, 상기 여분의 절반으로부터 적어도 하나의 여분 칼럼을 선택하기 위한여분 선택 수단(redundancy selection means); 상기 선정된 결함있는 칼럼을 상기 선택된 여분 칼럼으로 전기적으로(electrically)대체시키기 위한 대체 수단(substitution means): 및 공통의 워드 어드레스(common word address)를 갖는 복수의 셀을 동시에 테스트(test)하기 위한 수단을 포함하는 것을 특징으로 하는 랜덤 액세스 메모리(Random Access Memory: RAM).

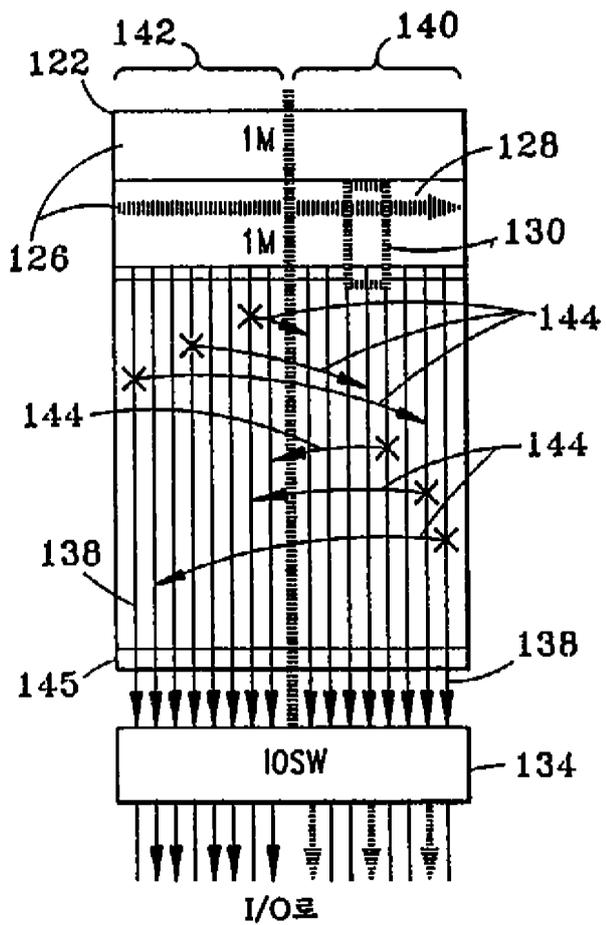
청구항 18

복수의 어레이 유닛(array unit)으로서, 그 각각의 복수의 서브어레이 블록(subarray block)을 포함하고 상기 복수의 서브어레이 블록 각각은 복수의 세그먼트를 포함하며, 상기 복수의 세그먼트 각각은 이차원의 어드레싱이 가능한 로우들(row) 및 칼럼들(columns)의 어레이(two-dimensional array)로 배열된 복수의 메모리 셀과 적어도 하나의 여분 칼럼(spare column)을 포함하게 되는 복수의 어레이 유닛. 로우 어드레스에 응답하여 각각의 상기 로우들 선택하기 위한 로우 선택 수단(row selection means); 서브어레이 블록의 한쪽 절반을 액세스된 절반(accessed half) 또는 여분의 절반 (redundant half)으로서 선택하고, 칼럼 어드레스(column address)에 응답하여 상기 액세스된 절반에서의 모든 세그먼트(segment)내의 각각의 상기 칼럼들을 선택하기 위한 칼럼 선택 수단(column selection means); 상기 액세스된 절반에서 선정된 각각의 선정된 결함있는 칼럼(predetermined bad column)을 위하여 상기 여분의 절반으로부터 여분 칼럼(spare column)을 선택 하기 위한 여분 선택 수단(redundancy selection means); 각각의 상기 선정된 결함있는 칼럼을 상기 선택된 여분 칼럼으로 전기적으로(electrically)대체시키기 위한 대체 수단(substitution means): 및

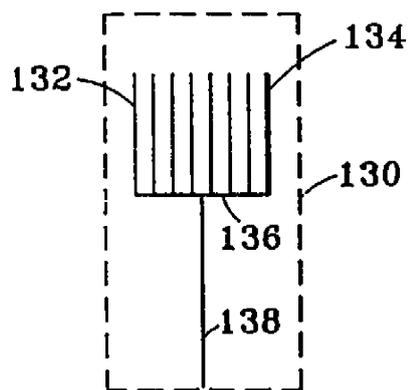
공통의 워드 어드레스(common word address)를 갖는 복수의 셀을 동시에 테스트하기(test)위한 수단을 포함하는 것을 특징으로 랜덤 액세스 메모리(Random Access Memory; RAM).

도면

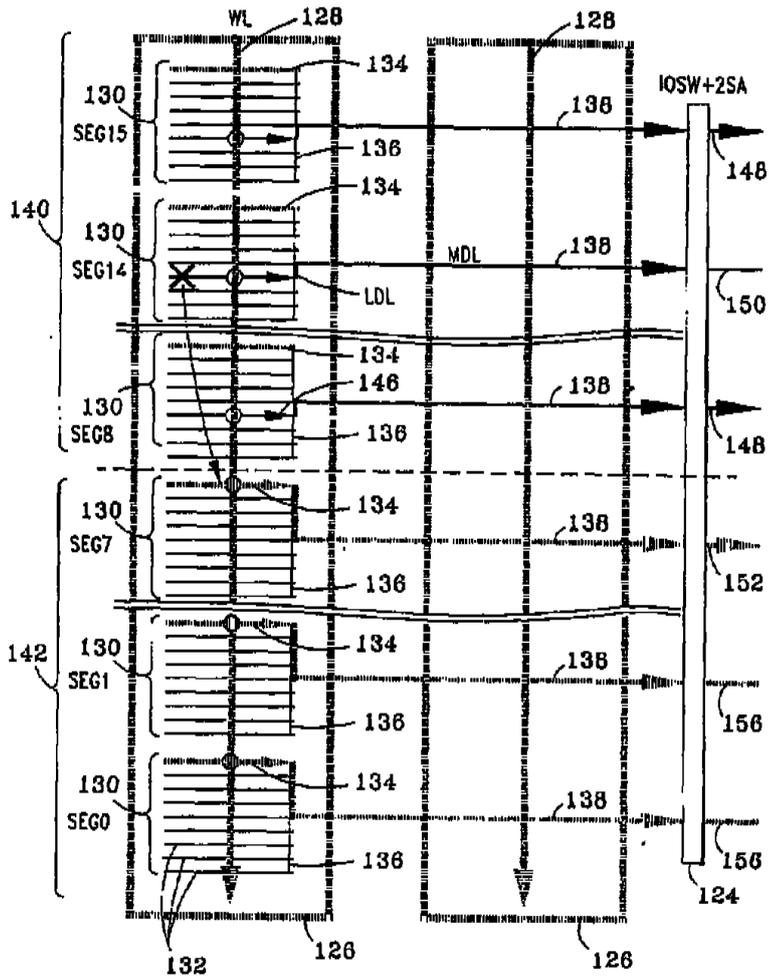
도면2b



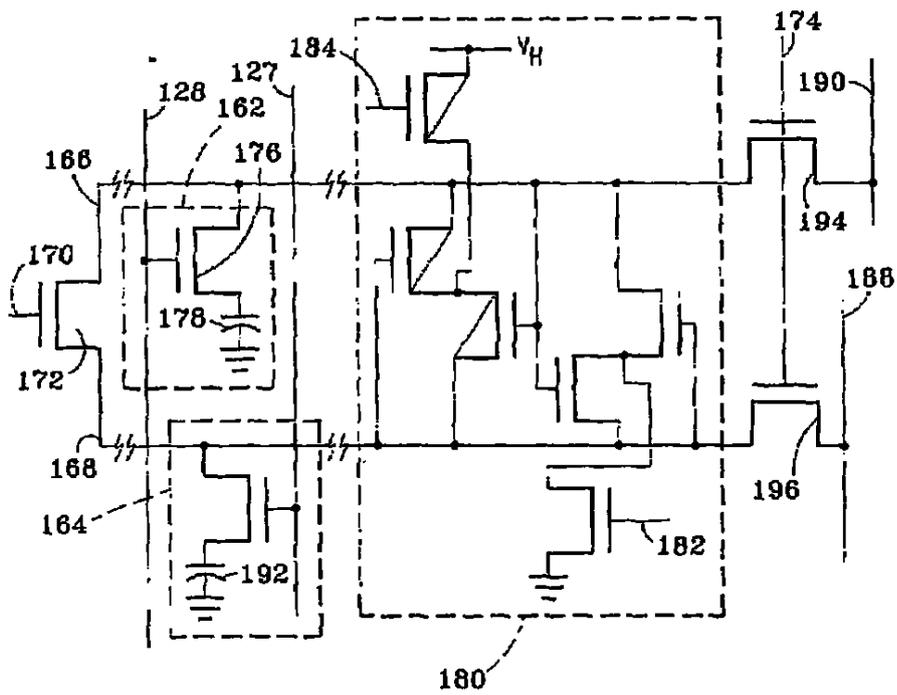
도면2c



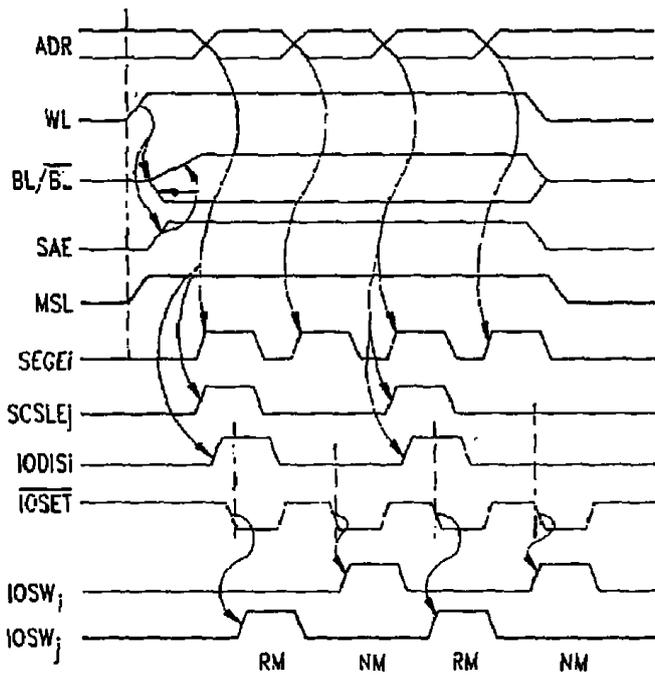
도면3



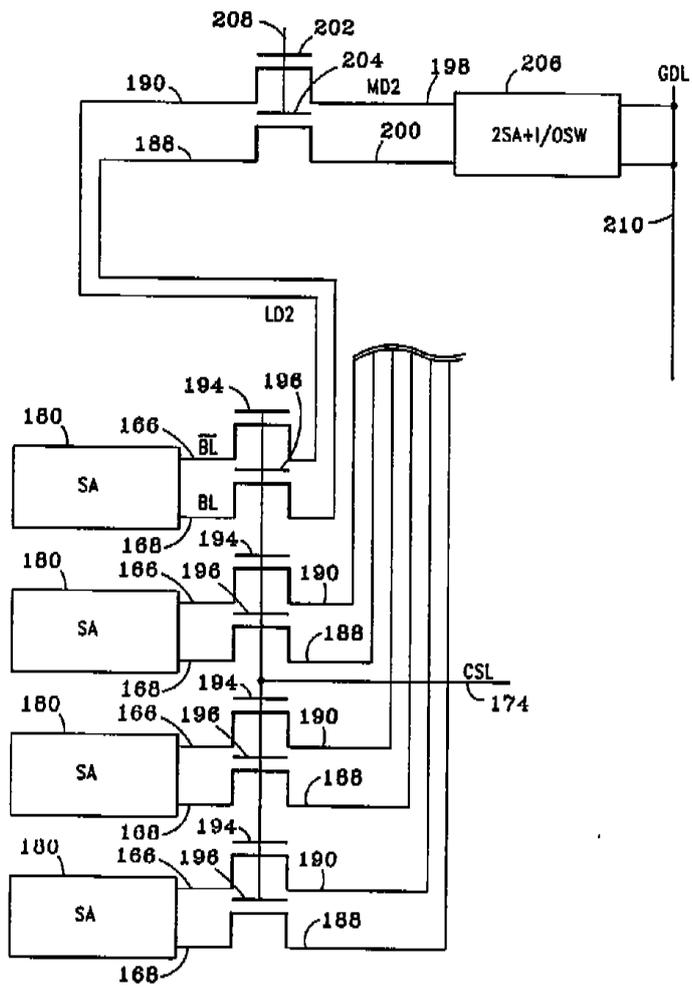
도면4a



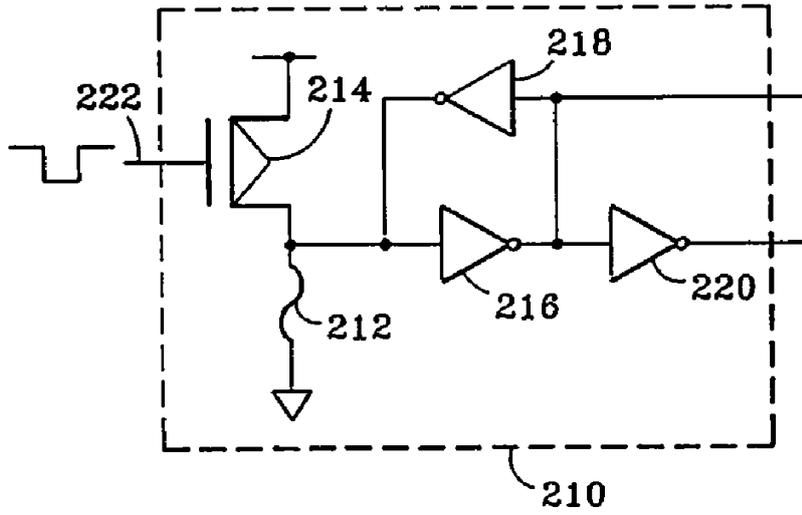
도면4b



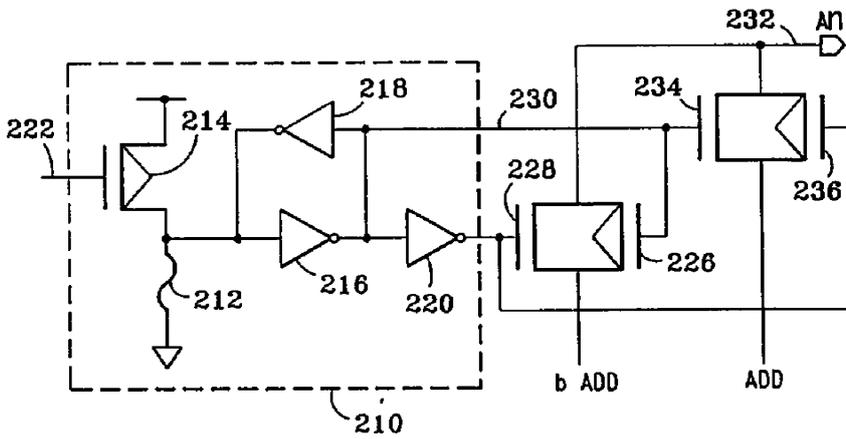
도면4c



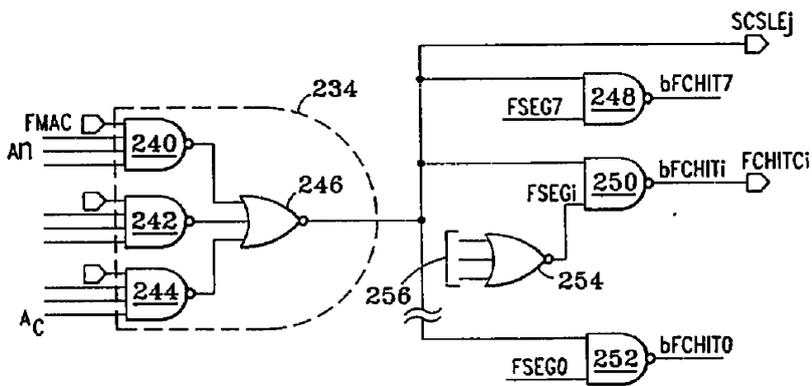
도면5a



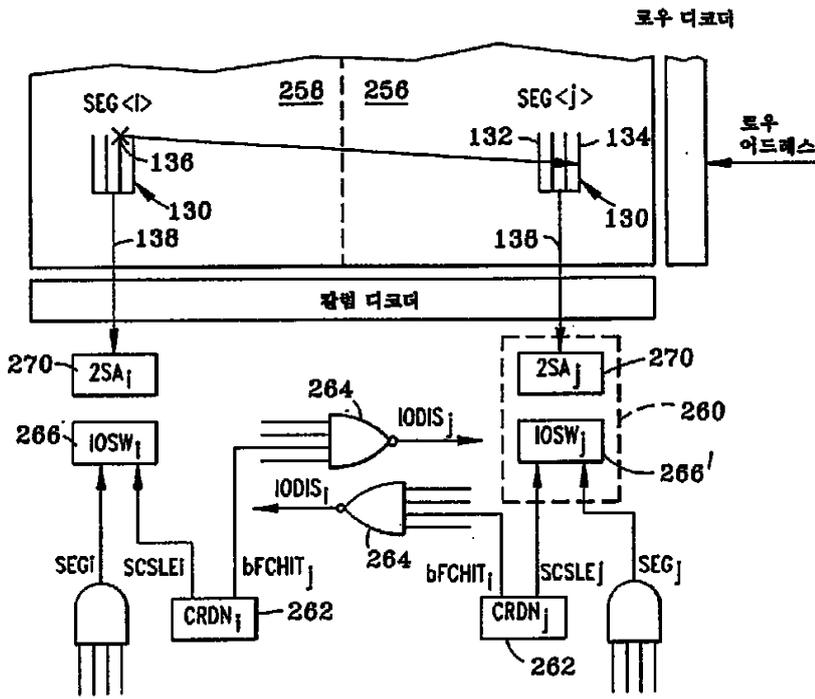
도면5b



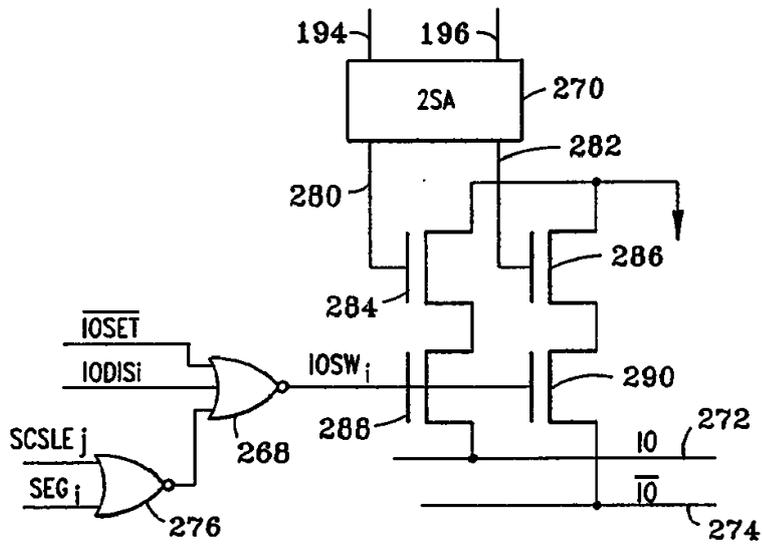
도면5c



도면6a



도면6b



도면7

