

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-69751
(P2013-69751A)

(43) 公開日 平成25年4月18日(2013.4.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	4 K 0 3 0
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 0 4 5
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 A	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 29/78 6 1 8 F	5 F 1 1 0

審査請求 未請求 請求項の数 6 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2011-205752 (P2011-205752)
(22) 出願日 平成23年9月21日 (2011.9.21)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100092820
弁理士 伊丹 勝
(74) 代理人 100106389
弁理士 田村 和彦
(74) 代理人 100165984
弁理士 小永 兼
(72) 発明者 森 伸二
東京都港区芝浦一丁目1番1号 株式会社東芝内
Fターム(参考) 4K030 AA01 AA06 AA17 BA09 BA29
BA48 BB02 CA04 CA12 DA09
FA10 LA15

最終頁に続く

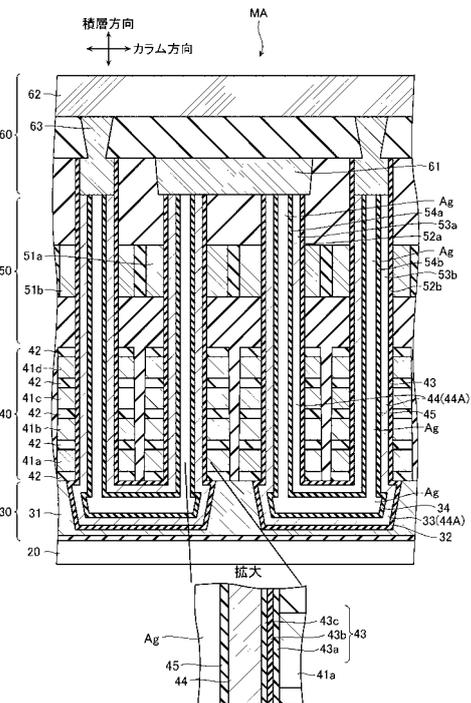
(54) 【発明の名称】 不揮発性半導体記憶装置、及びその製造方法

(57) 【要約】 (修正有)

【課題】 チャンネル移動度を向上させた不揮発性半導体記憶装置、及びその製造方法を提供する。

【解決手段】 不揮発性半導体記憶装置は、半導体基板 20 上に設けられたメモリトランジスタ 40 と選択トランジスタ 50 を有する。メモリトランジスタ 40 は、導電層 41 a ~ 41 d、メモリゲート絶縁層 43、柱状半導体層 44、及び酸化層 45 を有する。導電層 41 は、メモリトランジスタ 40 のゲートとして機能する。メモリゲート絶縁層 43 は、導電層の側面に接する。半導体層 44 は、導電層と共にメモリゲート絶縁層 43 を一方の側面で挟み、半導体基板 20 に対して垂直方向に伸び、メモリトランジスタ 40 のボディとして機能する。酸化層 45 は、半導体層 44 の他方の側面に接する。半導体層 44 は、シリコンゲルマニウムにて構成される。酸化層 45 は、酸化シリコンにて構成される。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

半導体基板と、
 前記半導体基板上に設けられたトランジスタとを備え、
 前記トランジスタは、
 前記トランジスタのゲートとして機能する導電層と、
 前記導電層の側面に接するゲート絶縁層と、
 前記導電層と共に前記ゲート絶縁層を一方の側面で挟み、前記半導体基板に対して垂直
 方向に延び、前記トランジスタのボディとして機能する半導体層と、
 前記半導体層の他方の側面に接する酸化層とを備え、
 前記半導体層は、シリコンゲルマニウムにて構成され、
 前記酸化層は、酸化シリコンにて構成される
 ことを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

前記半導体層中のゲルマニウムの濃度は 30% 以上である
 ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記導電層は、前記ゲート絶縁層を介して前記半導体層を取り囲み、
 前記酸化層は、中空を有し、
 前記トランジスタは、前記中空を埋める内部絶縁層を更に備える
 ことを特徴とする請求項 1 又は請求項 2 記載の不揮発性半導体記憶装置。

20

【請求項 4】

前記半導体層中のゲルマニウムの濃度は、前記酸化層側から前記ゲート絶縁層側へ向か
 うにしたがって次第に大きくなる
 ことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項記載の不揮発性半導体記憶装置
 。

【請求項 5】

トランジスタのゲートとして機能する導電層を形成し、
 前記導電層を貫通するホールを形成し、
 前記ホールの側面にゲート絶縁層を形成し、
 前記ゲート絶縁層の側面に前記トランジスタのボディとして機能し且つシリコンゲルマ
 ニウムから構成される半導体層を LPCVD 法で形成し、
 熱を加えて前記半導体層に含まれるシリコンを酸化させる熱酸化処理により、前記半導
 体層の側面に酸化シリコンから構成される酸化層を形成すると共に、前記半導体層に含ま
 れるゲルマニウムの濃度を濃縮させる
 ことを特徴とする不揮発性半導体記憶装置の製造方法。

30

【請求項 6】

前記熱酸化処理時、前記半導体層の温度を時間経過に伴い低下させる
 ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本実施の形態は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置、及びそ
 の製造方法に関する。

【背景技術】

【0002】

NAND 型フラッシュメモリ等の不揮発性半導体記憶装置のビット密度向上のため、メ
 モリセルの積層化が期待されている。その一つとして縦型トランジスタを用いてメモリト
 ランジスタを構成した積層型 NAND フラッシュメモリが提案されている。

50

【 0 0 0 3 】

しかしながら、現状の積層型 N A N D フラッシュメモリにおいては、チャネル移動度が十分に高くない。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 7 - 2 6 6 1 4 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本実施の形態は、チャネル移動度を向上させた不揮発性半導体記憶装置、及びその製造方法を提供する。

【 課題を解決するための手段 】

【 0 0 0 6 】

一態様に係る不揮発性半導体記憶装置は、半導体基板、半導体基板上に設けられたトランジスタを有する。トランジスタは、導電層、ゲート絶縁層、半導体層、及び酸化層を有する。導電層は、トランジスタのゲートとして機能する。ゲート絶縁層は、導電層の側面に接する。半導体層は、導電層と共にゲート絶縁層を一方の側面で挟み、半導体基板に対して垂直方向に延び、トランジスタのボディとして機能する。酸化層は、半導体層の他方の側面に接する。半導体層は、シリコンゲルマニウムにて構成される。酸化層は、酸化シリコンにて構成される。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 第 1 の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイ M A、及び周辺回路 C C を示す図である。

【 図 2 】 第 1 の実施の形態に係るメモリセルアレイ M A の積層構造を示す斜視図である。

【 図 3 】 第 1 の実施の形態に係るメモリセルアレイ M A の積層構造を示す断面図である。

【 図 4 】 第 1 の実施の形態に係るメモリ半導体層 4 4 A、及び酸化層 4 5 の製造工程を示す拡大断面図である。

【 図 5 】 シリコンゲルマニウムの固相 - 液相平衡の相図である。

【 図 6 】 ゲルマニウム濃度の深さ方向の分布を示す図である。

【 図 7 】 第 1 の実施の形態と比較例との製造方法によって形成したシリコンゲルマニウムの厚さを示す図である。

【 図 8 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 9 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 0 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 1 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 2 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 3 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 4 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 5 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。

【 図 1 6 】 第 1 の実施の形態に係る不揮発性半導体記憶装置の製造工程を示す断面図であ

10

20

30

40

50

る。

【図 1 7】第 2 の実施の形態に係るメモリセルアレイ M A の積層構造を示す断面図である。

【図 1 8】その他の実施の形態に係るメモリセルアレイ M A の積層構造を示す斜視図である。

【発明を実施するための形態】

【0008】

以下、図面を参照して、実施の形態に係る不揮発性半導体記憶装置について説明する。

【0009】

[第 1 の実施の形態]

[概略構成]

先ず、図 1 を参照して、第 1 の実施の形態に係る不揮発性半導体記憶装置の概略構成について説明する。第 1 の実施の形態に係る不揮発性半導体記憶装置は、図 1 に示すように、メモリセルアレイ M A、及び周辺回路 C C を備える。周辺回路 C C は、例えばメモリセルアレイ M A に含まれるメモリトランジスタに対して印加する電圧を制御する。

【0010】

メモリセルアレイ M A は、図 1 に示すように、 m 個のメモリブロック M B (1)、... M B (m) を含む。なお、以下において、全てのメモリブロック M B (1) ··· (m) を総称する場合には、メモリブロック M B と記載する場合もある。

【0011】

各メモリブロック M B は、それぞれ n 行 2 列のマトリクス状に配列されたメモリユニット M U (1、1) ~ M U (2、 n) を有する。 n 行 2 列はあくまで一例であり、これに限定されるものではない。以下では、各メモリユニット M U (1、1) ~ (2、 n) を区別することなく、単にメモリユニット M U と記載する場合もある。

【0012】

メモリユニット M U (1、1) ~ (2、 n) の一端は、ビット線 B L (1) ~ (n) に接続され、メモリユニット M U (1、1) ~ (2、 n) の他端は、ソース線 S L に接続される。ビット線 B L (1) ~ (n) は、ロウ方向に所定ピッチをもって、複数のメモリブロック M B を跨ぐようにカラム方向に延びる。以下では、全てのビット線 B L (1) ··· B L (n) を総称する場合には、ビット線 B L と記載する場合もある。

【0013】

メモリユニット M U は、メモリストリング M S、ソース側選択トランジスタ S S T r、及びドレイン側選択トランジスタ S D T r を有する。

【0014】

メモリストリング M S は、図 1 に示すように、直列接続されたメモリトランジスタ M T r 1 ~ 8 (メモリセル)、及びバックゲートトランジスタ B T r を有する。メモリトランジスタ M T r 1 ~ 4、M T r 5 ~ 8 は、各々、直列接続される。バックゲートトランジスタ B T r は、メモリトランジスタ M T r 4 とメモリトランジスタ M T r 5 との間に接続される。なお、後述する図 2 に示すように、メモリトランジスタ M T r 1 ~ 8 は、ロウ方向、カラム方向、及び積層方向 (半導体基板に対して垂直方向) に 3 次的に配列される。

【0015】

メモリトランジスタ M T r 1 ~ 8 は、その電荷蓄積層に電荷を蓄積することによってデータを保持する。バックゲートトランジスタ B T r は、少なくともメモリストリング M S を動作の対象として選択した場合に導通状態とされる。

【0016】

メモリブロック M B (1) ~ (m) において、 n 行 2 列のマトリクス状に配列されたメモリトランジスタ M T r 1 ~ 8 のゲートには、各々、ワード線 W L 1 ~ 8 が共通に接続される。 n 行 2 列のバックゲートトランジスタ B T r のゲートには、バックゲート線 B G が共通に接続される。

【0017】

10

20

30

40

50

ソース側選択トランジスタ $SSTr$ のドレインは、メモリストリング MS のソースに接続される。ソース側選択トランジスタ $SSTr$ のソースはソース線 SL に接続される。各メモリブロック MB においてロウ方向に 1 列に並ぶ n 個のソース側選択トランジスタ $SSTr$ のゲートには、1 本のソース側選択ゲート線 $SGS(1)$ 又は $SGS(2)$ が共通に接続される。なお、以下では、ソース側選択ゲート線 $SGS(1)$ 、 (2) を区別せず総称してソース側選択ゲート線 SGS と称することもある。

【0018】

ドレイン側選択トランジスタ $SDTr$ のソースは、メモリストリング MS のドレインに接続される。ドレイン側選択トランジスタ $SDTr$ のドレインは、ビット線 BL に接続される。各メモリブロック MB においてロウ方向に 1 列に並ぶ n 個のドレイン側選択トランジスタ $SDTr$ のゲートには、ドレイン側選択ゲート線 $SGD(1)$ 又は $SGD(2)$ が共通に接続される。なお、以下では、ドレイン側選択ゲート線 $SGD(1)$ 、 (2) を区別せず総称してドレイン側選択ゲート線 SGD と称することもある。

10

【0019】

[積層構造]

1 つのメモリブロック MB は、図 2 及び図 3 に示すように、半導体基板 20 上に順次積層されたバックゲート層 30、メモリ層 40、選択トランジスタ層 50、及び配線層 60 を有する。バックゲート層 30 は、バックゲートトランジスタ BTr として機能する。メモリ層 40 は、メモリトランジスタ $MTr1 \sim 8$ として機能する。選択トランジスタ層 50 は、ドレイン側選択トランジスタ $SDTr$ 、及びソース側選択トランジスタ $SSTr$ として機能する。配線層 60 は、ソース線 SL 、及びビット線 BL として機能する。

20

【0020】

バックゲート層 30 は、図 2 及び図 3 に示すように、バックゲート導電層 31 を有する。バックゲート導電層 31 は、バックゲート線 BG 、及びバックゲートトランジスタ BTr のゲートとして機能する。バックゲート導電層 31 は、半導体基板 20 と平行なロウ方向及びカラム方向に 2 次的に板状に広がる。バックゲート導電層 31 は、例えば、ポリシリコン ($poly-Si$) にて構成される。

【0021】

バックゲート層 30 は、図 3 に示すように、メモリゲート絶縁層 32、半導体層 33、及び酸化層 34 を有する。半導体層 33 は、バックゲートトランジスタ BTr のボディ (チャンネル) として機能する。

30

【0022】

メモリゲート絶縁層 32 は、バックゲート導電層 31 の側面に接する。半導体層 33 は、バックゲート導電層 31 と共にメモリゲート絶縁層 32 を一方の側面で挟む。

【0023】

半導体層 33 は、バックゲートトランジスタ BTr のボディ (チャンネル) として機能する。半導体層 33 は、中空 Ag を有する。半導体層 33 は、バックゲート導電層 31 を掘り込むように形成される。半導体層 33 は、上面からみてカラム方向を長手方向とする略矩形状に形成される。半導体層 33 は、1 つのメモリブロック MB 中でロウ方向及びカラム方向にマトリクス状に形成される。半導体層 33 は、シリコンゲルマニウム ($SiGe$) にて構成される。半導体層 33 中のゲルマニウムの濃度は 30% 以上であり、より好ましくは 70% 以上である。

40

【0024】

酸化層 34 の一方の側面は、半導体層 33 の他方の側面に接する。酸化層 34 は、中空 Ag を有する。酸化層 34 は、後述する製造工程で示すように、半導体層 33 (メモリ半導体層 44A) に含まれるシリコンを酸化させて形成される。すなわち、酸化層 34 は、酸化シリコン (SiO_2) にて構成される。

【0025】

上記バックゲート層 30 の構成を換言すると、バックゲート導電層 31 は、メモリゲート絶縁層 32 を介して半導体層 33 の側面及び下面を取り囲む。

50

【0026】

メモリ層40は、図2及び図3に示すように、バックゲート層30の上層に形成される。メモリ層40は、4層のワード線導電層41a~41dを有する。ワード線導電層41aは、ワード線WL4、及びメモリトランジスタMTr4のゲートとして機能する。また、ワード線導電層41aは、ワード線WL5、及びメモリトランジスタMTr5のゲートとしても機能する。同様に、ワード線導電層41b~41dは、各々、ワード線WL1~3、及びメモリトランジスタMTr1~3のゲートとして機能する。また、ワード線導電層41b~41dは、各々、ワード線WL6~8、及びメモリトランジスタMTr6~8のゲートとしても機能する。

【0027】

ワード線導電層41a~41dは、その上下間に層間絶縁層42を挟んで積層される。ワード線導電層41a~41dは、カラム方向にピッチをもってロウ方向(図3の紙面垂直方向)を長手方向として延びる。ワード線導電層41a~41dは、例えば、ポリシリコン(poly-Si)にて構成される。

【0028】

メモリ層40は、図3に示すように、メモリゲート絶縁層43、柱状半導体層44、及び酸化層45を有する。柱状半導体層44は、メモリトランジスタMTr1~8のボディ(チャンネル)として機能する。

【0029】

メモリゲート絶縁層43は、ワード線導電層41a~41dの側面に接する。メモリゲート絶縁層43は、上述したメモリゲート絶縁層32と連続して一体に形成される。メモリゲート絶縁層43は、ワード線導電層41a~41dの側面側から柱状半導体層44側へと、ブロック絶縁層43a、電荷蓄積層43b、及びトンネル絶縁層43cを有する。電荷蓄積層43bは、電荷を蓄積可能に構成される。

【0030】

ブロック絶縁層43aは、ワード線導電層41a~41dの側壁に所定の厚みをもって形成される。電荷蓄積層43bは、ブロック絶縁層43aの側壁に所定の厚みをもって形成される。トンネル絶縁層43cは、電荷蓄積層43bの側壁に所定の厚みをもって形成される。ブロック絶縁層43a、及びトンネル絶縁層43cは、酸化シリコン(SiO₂)にて構成される。電荷蓄積層43bは、窒化シリコン(SiN)にて構成される。

【0031】

柱状半導体層44の一方の側面は、ワード線導電層41a~41dと共にメモリゲート絶縁層43を挟む。柱状半導体層44は、中空Agを有する。柱状半導体層44は、ワード線導電層41a~41d、及び層間絶縁層45を貫通する。柱状半導体層44は、半導体基板20に対して垂直方向に延びる。一对の柱状半導体層44は、上述した半導体層33と連続的に一体形成されている。一对の柱状半導体層44は、半導体層33のカラム方向の端部近傍に整合する。柱状半導体層44は、シリコンゲルマニウム(SiGe)にて構成される。柱状半導体層44中のゲルマニウムの濃度は30%以上であり、より好ましくは70%以上である。

【0032】

酸化層45の一方の側面は、柱状半導体層44の他方の側面に接する。酸化層45は、中空Agを有する。酸化層45は、上述した酸化層34と連続して一体に形成される。酸化層45は、後述する製造工程で示すように、柱状半導体層44(メモリ半導体層44A)に含まれるシリコンを酸化させて形成される。すなわち、酸化層45は、酸化シリコン(SiO₂)にて構成される。

【0033】

上記バックゲート層30、及びメモリ層40において、一对の柱状半導体層44、及びその下端を連結する半導体層33は、メモリストリングMSのボディ(チャンネル)として機能するメモリ半導体層44Aを構成する。メモリ半導体層44Aは、ロウ方向からみてU字状に形成される。

10

20

30

40

50

【0034】

上記メモリ層40の構成を換言すると、ワード線導電層41a~41dは、メモリゲート絶縁層43を介して柱状半導体層44の側面を取り囲む。

【0035】

選択トランジスタ層50は、図2及び図3に示すように、ソース側導電層51a、及びドレイン側導電層51bを有する。ソース側導電層51aは、ソース側選択ゲート線SGS、及びソース側選択トランジスタSSTrのゲートとして機能する。ドレイン側導電層51bは、ドレイン側選択ゲート線SGD、及びドレイン側選択トランジスタSDTrのゲートとして機能する。

【0036】

ソース側導電層51aは、メモリ半導体層44Aを構成する一方の柱状半導体層44の上層に形成される。ドレイン側導電層51bは、ソース側導電層51aと同層であって、メモリ半導体層44Aを構成する他方の柱状半導体層44の上層に形成される。複数のソース側導電層51a、及びドレイン側導電層51bは、カラム方向に所定ピッチをもって ROW 方向に延びる。ソース側導電層51a、及びドレイン側導電層51bは、例えば、ポリシリコン(poly-Si)にて構成される。

【0037】

選択トランジスタ層50は、図3に示すように、ソース側ゲート絶縁層52a、ソース側柱状半導体層53a、酸化層54a、ドレイン側ゲート絶縁層52b、ドレイン側柱状半導体層53b、及び酸化層54bを有する。ソース側柱状半導体層53aは、ソース側選択トランジスタSSTrのボディ(チャンネル)として機能する。ドレイン側柱状半導体層53bは、ドレイン側選択トランジスタSDTrのボディ(チャンネル)として機能する。

【0038】

ソース側ゲート絶縁層52aは、ソース側導電層51aの側面に接する。ソース側ゲート絶縁層52aは、例えば、酸化シリコン(SiO₂)にて構成される。

【0039】

ソース側柱状半導体層53aは、ソース側導電層51aと共にソース側ゲート絶縁層52aを挟む。ソース側柱状半導体層53aは、ソース側導電層51aを貫通する。ソース側柱状半導体層53aは、一对の柱状半導体層44の一方の上面に接続され、半導体基板20に対して垂直方向に延びる柱状に形成される。また、ソース側柱状半導体層53aは、中空Agを有する。ソース側柱状半導体層53aは、シリコンゲルマニウム(SiGe)にて構成される。ソース側柱状半導体層53a中のゲルマニウムの濃度は30%以上であり、より好ましくは70%以上である。

【0040】

酸化層54aの一方の側面は、ソース側柱状半導体層53aの他方の側面に接する。酸化層54aは、中空Agを有する。酸化層54aは、ソース側柱状半導体層53aに含まれるシリコンを酸化させて形成される。すなわち、酸化層54aは、酸化シリコン(SiO₂)にて構成される。

【0041】

ドレイン側ゲート絶縁層52bは、ドレイン側導電層51bの側面に接する。ドレイン側ゲート絶縁層52bは、例えば、酸化シリコン(SiO₂)にて構成される。

【0042】

ドレイン側柱状半導体層53bは、ドレイン側導電層51bと共にドレイン側ゲート絶縁層52bを挟む。ドレイン側柱状半導体層53bは、ドレイン側導電層51bを貫通する。ドレイン側柱状半導体層53bは、一对の柱状半導体層44の一方の上面に接続され、半導体基板20に対して垂直方向に延びる柱状に形成される。また、ドレイン側柱状半導体層53bは、中空Agを有する。ドレイン側柱状半導体層53bは、シリコンゲルマニウム(SiGe)にて構成される。ドレイン側柱状半導体層53b中のゲルマニウムの濃度は30%以上であり、より好ましくは70%以上である。

10

20

30

40

50

【0043】

酸化層54bの一方の側面は、ドレイン側柱状半導体層53bの他方の側面に接する。酸化層54bは、中空Agを有する。酸化層54bは、ドレイン側柱状半導体層53bに含まれるシリコンを酸化させて形成される。すなわち、酸化層54bは、酸化シリコン(SiO_2)にて構成される。

【0044】

上記選択トランジスタ層50の構成を換言すると、ソース側導電層51aは、ソース側ゲート絶縁層52aを介してソース側柱状半導体層53aの側面を取り囲む。ドレイン側導電層51bは、ドレイン側ゲート絶縁層52bを介してドレイン側柱状半導体層53bの側面を取り囲む。

【0045】

配線層60は、ソース線層61、ビット線層62、及びプラグ層63を有する。ソース線層61は、ソース線SLとして機能する。ビット線層62は、ビット線BLとして機能する。

【0046】

ソース線層61は、ソース側柱状半導体層53aの上面に接し、ロウ方向に延びる。ビット線層62は、プラグ層63を介してドレイン側柱状半導体層53bの上面に接し、カラム方向に延びる。ソース線層61、ビット線層62、及びプラグ層63は、例えば、タングステン等の金属にて構成される。

【0047】

以上、第1の実施の形態において、メモリトランジスタMTrのボディは、シリコンゲルマニウムを材料とするメモリ柱状半導体層44Aにて構成される。よって、メモリトランジスタMTrのボディをポリシリコン(アモルファスシリコン)で構成する場合と比較して、第1の実施の形態は、チャンネル移動度を向上させることができる。

【0048】

また、第1の実施の形態において、ソース側選択トランジスタSSTrのボディは、シリコンゲルマニウムを材料とするソース側柱状半導体層層53aにて構成される。よって、ソース側選択トランジスタSSTrのボディをポリシリコン(アモルファスシリコン)で構成する場合と比較して、第1の実施の形態は、チャンネル移動度を向上させることができる。

【0049】

また、第1の実施の形態において、ドレイン側選択トランジスタSDTrのボディは、シリコンゲルマニウムを材料とするソース側柱状半導体層層53bにて構成される。よって、ドレイン側選択トランジスタSDTrのボディをポリシリコン(アモルファスシリコン)で構成する場合と比較して、第1の実施の形態は、チャンネル移動度を向上させることができる。

【0050】

[メモリ半導体層44A、及び酸化層45の製造方法]

次に、図4を参照して、メモリ半導体層44A、及び酸化層45の製造方法について説明する。

【0051】

図4(a)に示すように、先ず、メモリゲート絶縁層43の側面に、シリコンゲルマニウム層71(SiGe)をLPCVD処理により形成する。シリコンゲルマニウム層71の平坦性を維持するため、シリコンゲルマニウム層71中のゲルマニウムの濃度は30%未満とする。例えば、シリコンゲルマニウム層71の厚みは10nmとされる。

【0052】

図4(a)のシリコンゲルマニウム層71の形成工程は、シリコンを堆積させる第1工程、そのシリコン上にシリコンゲルマニウムを堆積させる第2工程からなる。第1工程は、 410 、 160 Torr 、 $\text{H}_2/\text{Si}_2\text{H}_6 = 20/0.05\text{ s l m}$ の条件で実行される。第2工程は、 410 、 160 Torr 、 $\text{H}_2/\text{Si}_2\text{H}_6/\text{GeH}_4 = 20/0$

10

20

30

40

50

. 05 / 0 . 006 s l m の条件で実行される。

【0053】

次に、図4(b)に示すように、熱酸化処理により、熱を加えてシリコンゲルマニウム層71に含まれるシリコンのみを酸化させ、酸化層45(SiO_2)が形成される。これに伴い、シリコンゲルマニウム層71中のゲルマニウムは濃縮され、メモリ半導体層44A(30%以上のゲルマニウムの濃度)が形成される。熱酸化処理の温度は、シリコンのみを選択的に酸化できる温度とする。例えば、5nmの厚みだけシリコンゲルマニウム層71を酸化させ、11.4nmの厚みを持つ酸化層45が形成される。

【0054】

図4(b)の熱酸化処理は、1035~1085、760 Torr、 $\text{O}_2 = 5 \text{ s l m}$ の条件で実行される。また、熱酸化処理の温度は、時間経過と共に低下させてもよい。これにより、シリコンゲルマニウム層71の温度は時間経過に伴い低下し、シリコンゲルマニウム結晶内の欠陥の数を少なくすることができる。

10

【0055】

図4(b)に続いて、シリコンゲルマニウムの融点以上の温度でアニールし、メモリ半導体層44A(シリコンゲルマニウム)を溶融固化させてもよい。これにより、シリコンゲルマニウム又はゲルマニウムを大粒径化させることができる。

【0056】

ここで、上記のシリコンゲルマニウムの融点以上の温度とは、図5に示すシリコンゲルマニウムの固相-液相平衡の相図において、固相線より上の温度である。例えば、ゲルマニウムの濃度が50%であれば、シリコンゲルマニウムの融点以上の温度は、1100以上となる。

20

【0057】

ここで、本実施の形態の製造方法以外に、スパッタ法でシリコンゲルマニウムを堆積する製造方法も考えられる。しかしながら、この製造方法では、積層方向に延びるシリコンゲルマニウムを形成することは困難である。また、高濃度のシリコンゲルマニウム(30%以上のゲルマニウムの濃度)をLPCVD法により堆積させ、熱酸化処理を実行しない製造方法も考えられる。しかしながら、この製造方法では、シリコンゲルマニウムの表面荒れが大きくなる。このような問題に対して、第1の実施の形態は、上記図4に示す工程により、積層方向に延びるメモリ半導体層44Aを形成することができる。そして、第1の実施の形態は、表面荒れを抑制して(膜厚を均一にてして)、高濃度のシリコンゲルマニウムでメモリ半導体層44Aを形成することができる。メモリ半導体層44Aは、30%以上、より好ましくは70%のゲルマニウムの濃度を有するように形成されることで、更に高い効果を有する。

30

【0058】

また、本実施の形態において、図4に示す製造工程は、ソース側柱状半導体層53a、及びドレイン側柱状半導体層53bの形成にも適用される。

【0059】

図6は、本実施の形態に係る製造工程を実行した場合におけるゲルマニウムの濃度の深さ方向の分布を示す図である。図6に示す一例において、シリコンゲルマニウム層71は、30%のゲルマニウムの濃度を有し、約18nmの厚さで形成される(分布A)。なお、図6におけるシリコンゲルマニウム層71を形成する条件は、図4(a)において説明した条件と同じとする。

40

【0060】

上記シリコンゲルマニウム層71に対し熱酸化処理を実行し、そのシリコンゲルマニウム層71を酸化させる量を調整することにより、図6に示すように、ゲルマニウムの濃度は、分布Aから、分布B又は分布Cに変化する。分布Bは、分布Cよりもシリコンゲルマニウムを酸化させる量を大きくしたものである。分布Bでは、酸化層45(SiO_2)の厚さは4nmとなり、メモリ半導体層44A(SiGe)中のゲルマニウムの濃度は45%となる。分布Cでは、酸化層45(SiO_2)の厚さは8nmとなり、メモリ半導体層

50

44A (SiGe) 中のゲルマニウムの濃度は67%となる。ゲルマニウムの濃度は、図6の分布Bに示すように、深さ5nm近傍から深くなるにしたがって次第に増加し、深さ10nm近傍でピークを持つ。そして、ゲルマニウムの濃度は、ピークから深くなるにしたがって次第に低下し、深さ17nm近傍で0となる。すなわち、メモリ半導体層44A中のゲルマニウムの濃度は、酸化層45側からメモリゲート絶縁層43側へと向かうにしたがって次第に増加し、ピークを持つ。そして、メモリ半導体層44A中のゲルマニウムの濃度は、ピークからメモリゲート絶縁層43側へと向かうにしたがって次第に低下する。なお、図6の分布Bにおいて、表面から深さ5nmまでの領域には主に酸化シリコン(SiO₂)が存在し、深さ17nmより深い領域には主にシリコン(Si)が存在する。図6における熱酸化処理の条件は、図4(b)において説明した条件と同じとする。

10

【0061】

次に、図7を参照して、本実施の形態と比較例との製造方法を比較する。比較例の製造方法においては、高濃度のシリコンゲルマニウム(30%以上のゲルマニウムの濃度)をLPCVD法により堆積させ、熱酸化処理を実行せず、メモリ半導体層44Aを形成する。比較例の製造方法は、シリコンを堆積させる第1工程、そのシリコン上にゲルマニウムを堆積させる第2工程からなる。比較例に係る第1工程は、410、160 Torr、 $H_2/Si_2H_6 = 20/0.05$ smlの条件で実行される。第2工程は、300、160 Torr、 $H_2/GeH_4 = 6/0.01$ smlの条件で実行される。図7の黒丸は、断面画像に基づき測定したメモリ半導体層44A(シリコンゲルマニウム)の膜厚を示す。図7の白四角は、測定した膜厚の最大値と最小値との差を示す。

20

【0062】

図7に示すように、第1の実施の形態の製造方法によれば、比較例よりもメモリ半導体層44A(シリコンゲルマニウム)の膜厚を均一にすることができる。

【0063】

[不揮発性半導体記憶装置の製造方法]

次に、図8~図16を参照して、第1の実施の形態に係る不揮発性半導体記憶装置の製造方法について説明する。

【0064】

先ず、図8に示すように、半導体基板20上に、CVD等によって絶縁層31a、及びバックゲート導電層31を堆積させる。

30

【0065】

続いて、図9に示すように、バックゲート導電層31をエッチングし、バックゲートホールH1を形成する。バックゲートホールH1は、カラム方向及びロウ方向にマトリクス状に形成する。バックゲートホールH1は、上方からみてカラム方向を長手方向とする矩形形状とする。

【0066】

次に、図10に示すように、バックゲートホールH1を埋めるように犠牲層81を形成する。続いて、図11に示すように、絶縁層42を介してワード線導電層41a~41dを堆積させ、それらを所定パターンに加工する。

40

【0067】

次に、図12に示すように、絶縁層42、及びワード線導電層41a~41dをエッチングし、それらを通するメモリホールH2を形成する。メモリホールH2は、犠牲層81のカラム方向の両端に整合する位置に形成する。

【0068】

続いて、図13に示すように、例えばウェットエッチングにより、メモリホールH2を介して犠牲層81を選択的に除去する。

【0069】

次に、図14に示すように、CVDによってバックゲートホールH1及びメモリホールH2の側面にメモリゲート絶縁層32、43を形成する。続いて、図15に示すように、

50

上記図 4 (a) と同様の工程によりメモリゲート絶縁層 3 2、4 3 の側面にシリコンゲルマニウム層 7 1 を形成する。次に、図 1 6 に示すように、上記図 4 (b) と同様の工程によりシリコンゲルマニウム層 7 1 を酸化させ、メモリ半導体層 4 4 A、及び酸化層 3 4、4 5 を形成する。以上図 8 ~ 図 1 6 に示す工程により、バックゲート層 3 0、及びメモリ層 4 0 が形成される。そして、図 1 6 に示す工程の後、メモリ層 4 0 の上に、選択トランジスタ層 5 0 及び配線層 6 0 を形成することにより、第 1 の実施の形態に係る不揮発性半導体記憶装置が製造される。

【 0 0 7 0 】

[第 2 の実施の形態]

次に、図 1 7 を参照して、第 2 の実施の形態に係る不揮発性半導体記憶装置を説明する。なお、第 2 の実施の形態において、第 1 の実施の形態と同様の構成については、同一符号を付し、その説明を省略する。

10

【 0 0 7 1 】

図 1 7 に示すように、第 2 の実施の形態は、第 1 の実施の形態の中空 A g を埋める内部絶縁層 4 6 を有し、この点で第 1 の実施の形態と異なる。内部絶縁層 4 6 は、例えば、酸化シリコン ($S i O_2$) にて構成される。このような構成であっても、第 2 の実施の形態は、第 1 の実施の形態と同様の効果を奏する。

【 0 0 7 2 】

[その他]

本発明のいくつかの実施の形態を説明したが、これらの実施の形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施の形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施の形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【 0 0 7 3 】

例えば、上記実施の形態において、ワード線導電層 4 1 a ~ 4 1 d は、メモリゲート絶縁層を介してメモリ半導体層 4 4 A を取り囲む。しかしながら、図 1 8 に示すように、ワード線導電層 4 1 a ~ 4 1 d は、そのカラム方向の端部でメモリゲート絶縁層 (図示略) を介してメモリ半導体層 4 4 A に接するものであってもよい。すなわち、積層方向に延び且つトランジスタのチャンネルとして機能する半導体層を有する構成であれば、上記実施の形態は適用できる。

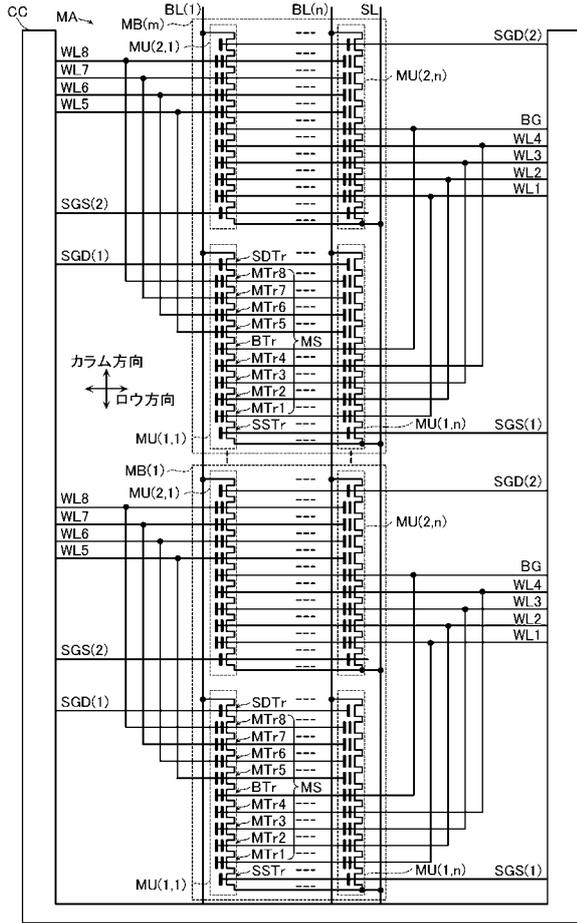
30

【 符号の説明 】

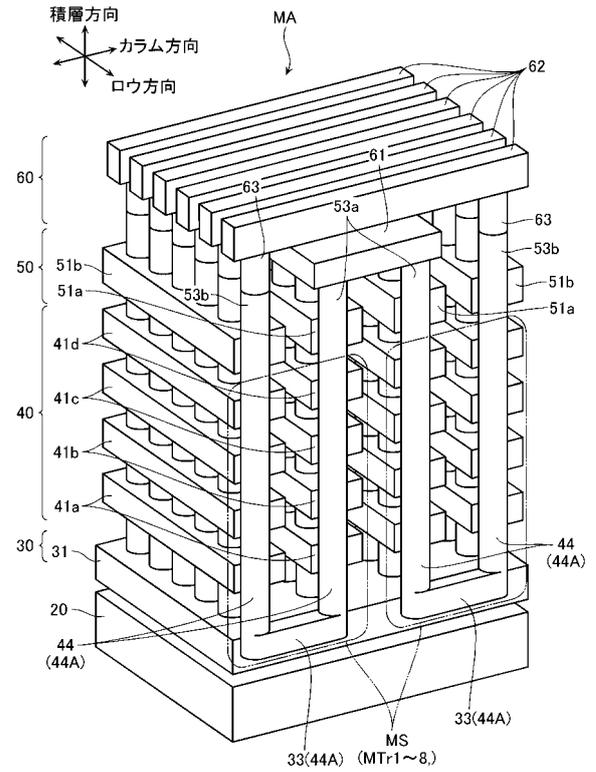
【 0 0 7 4 】

M A ... メモリセルアレイ、 C C ... 周辺回路、 M B ... メモリブロック、 M U ... メモリユニット、 M S ... メモリストリング、 M T r 1 ~ 8 ... メモリトランジスタ、 S S T r ... ソース側選択トランジスタ、 S D T r ... ドレイン側選択トランジスタ、 B T r ... バックゲートトランジスタ。

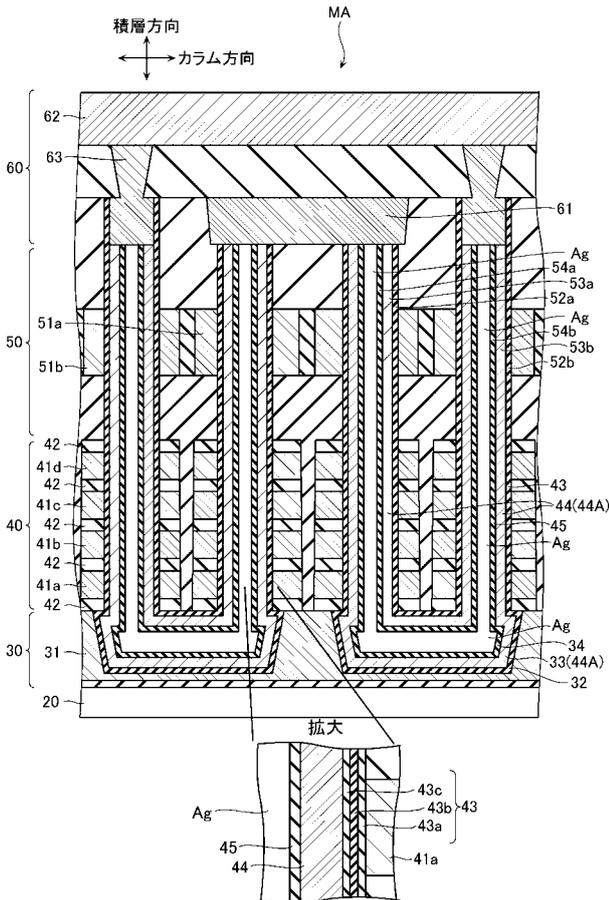
【図1】



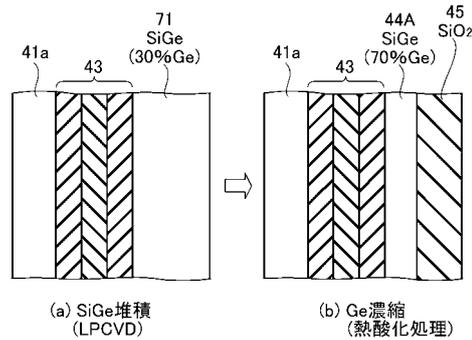
【図2】



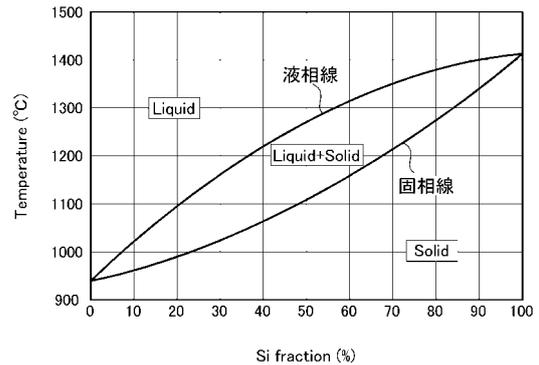
【図3】



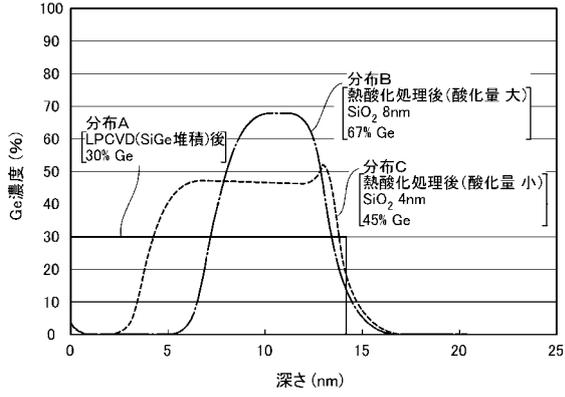
【図4】



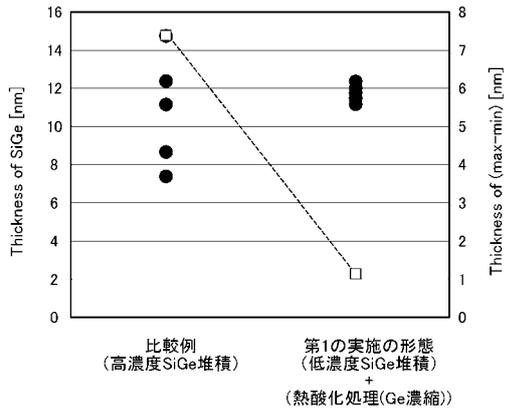
【図5】



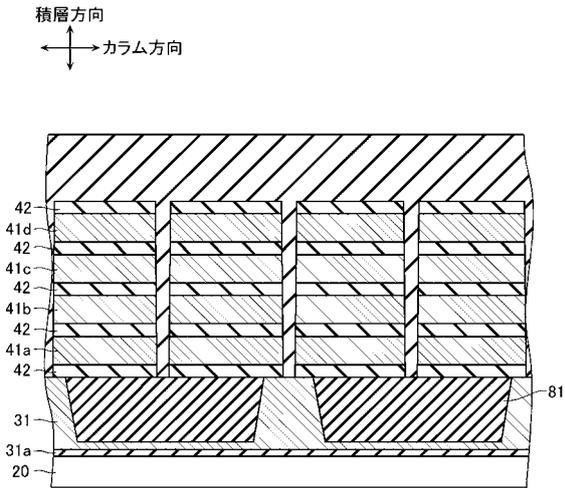
【 図 6 】



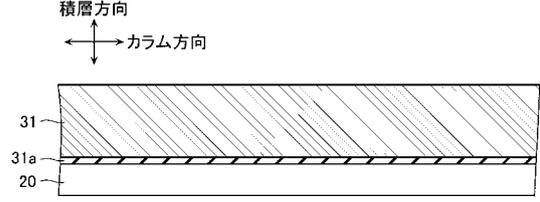
【 図 7 】



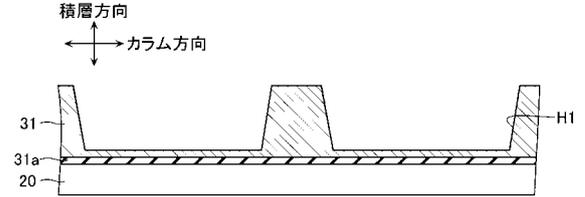
【 図 1 1 】



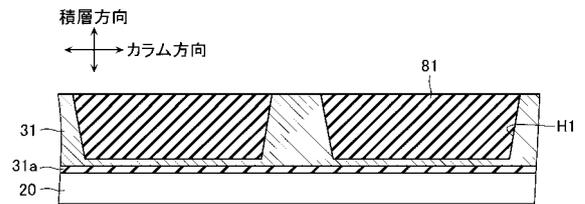
【 図 8 】



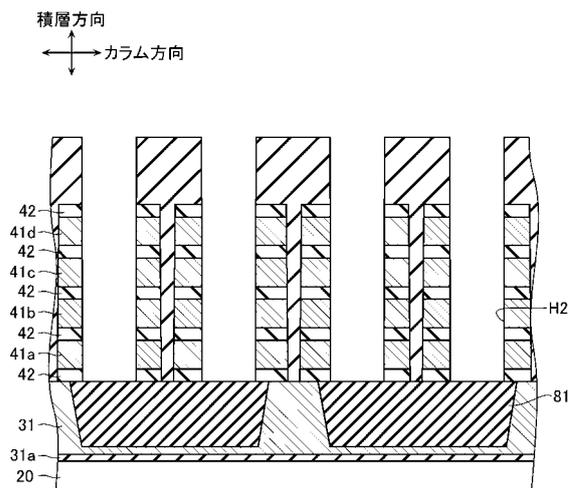
【 図 9 】



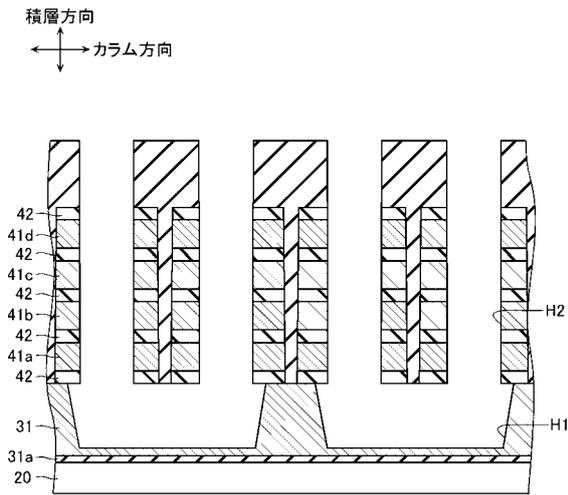
【 図 1 0 】



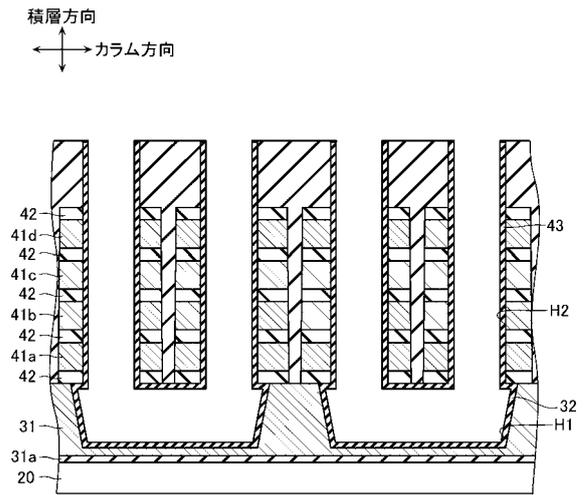
【 図 1 2 】



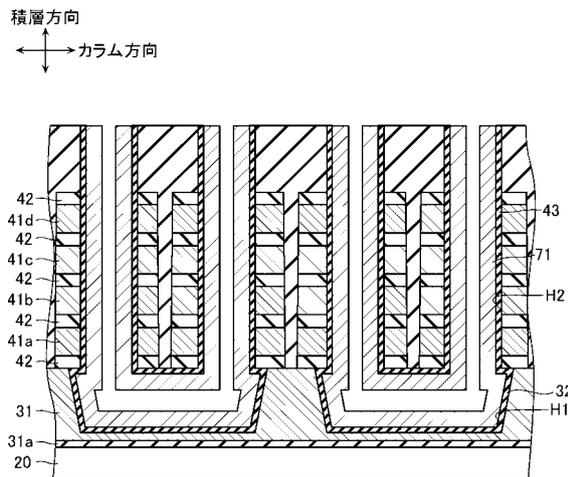
【 図 1 3 】



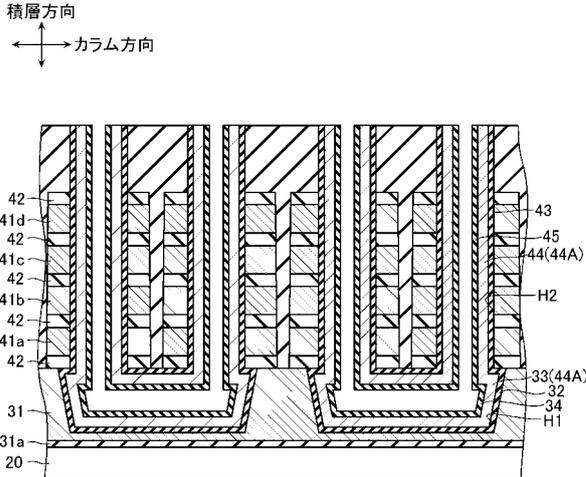
【 図 1 4 】



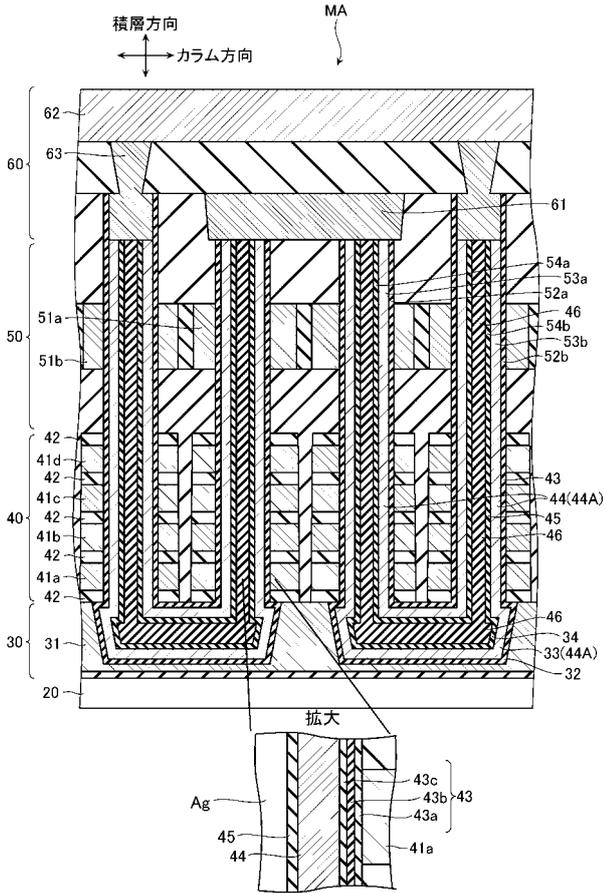
【 図 1 5 】



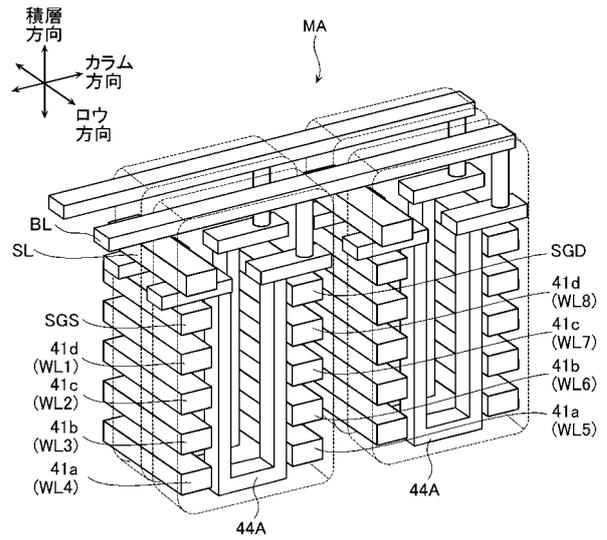
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/792 (2006.01)	H 0 1 L 29/78	6 1 8 A
H 0 1 L 27/10 (2006.01)	H 0 1 L 29/78	6 1 7 V
C 2 3 C 16/42 (2006.01)	H 0 1 L 29/78	3 7 1
C 2 3 C 16/56 (2006.01)	H 0 1 L 27/10	4 8 1
H 0 1 L 21/205 (2006.01)	C 2 3 C 16/42	
	C 2 3 C 16/56	
	H 0 1 L 21/205	

Fターム(参考)	5F045	AA06	AB01	AC01	AD08	AE25	AF03	AF08	DA58	HA16	
	5F083	EP18	EP22	EP30	EP33	EP34	EP76	ER23	GA01	GA10	GA11
		GA27	JA39	JA55	JA60	KA01	KA05	KA11	LA02	LA12	LA16
		LA20	MA06	MA20	PR21	PR33	ZA01				
	5F101	BA46	BB02	BD16	BD22	BD30	BD32	BD34	BE07		
	5F110	AA01	BB05	CC09	FF02	FF03	FF23	GG01	GG07	GG25	GG33
		GG34	GG36	GG47	GG58	NN78					