

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5809199号
(P5809199)

(45) 発行日 平成27年11月10日 (2015. 11. 10)

(24) 登録日 平成27年9月18日 (2015. 9. 18)

(51) Int. Cl.		F I	
HO 1 F	19/04 (2006. 01)	HO 1 F	19/04 U
HO 1 F	17/04 (2006. 01)	HO 1 F	17/04 F
HO 1 F	27/29 (2006. 01)	HO 1 F	15/10 G
HO 1 F	41/02 (2006. 01)	HO 1 F	41/02 D

請求項の数 12 (全 14 頁)

(21) 出願番号	特願2013-122439 (P2013-122439)	(73) 特許権者	000003067
(22) 出願日	平成25年6月11日 (2013. 6. 11)		TDK株式会社
(65) 公開番号	特開2014-99588 (P2014-99588A)		東京都港区芝浦三丁目9番1号
(43) 公開日	平成26年5月29日 (2014. 5. 29)	(74) 代理人	100115738
審査請求日	平成26年8月20日 (2014. 8. 20)		弁理士 鷲頭 光宏
(31) 優先権主張番号	特願2012-228664 (P2012-228664)	(74) 代理人	100121681
(32) 優先日	平成24年10月16日 (2012. 10. 16)		弁理士 緒方 和文
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100130982
			弁理士 黒瀬 泰之
		(74) 代理人	100127199
			弁理士 三谷 拓也
		(72) 発明者	▲高▼木 信雄
			東京都港区芝浦三丁目9番1号 TDK- EPC株式会社内

最終頁に続く

(54) 【発明の名称】 パルストランス

(57) 【特許請求の範囲】

【請求項 1】

巻芯部及び前記巻芯部の両端に設けられた一対の鍔部を有するドラムコアと、
前記一対の鍔部それぞれの下面に接するように配置された板状コアと、
前記巻芯部に巻回された複数のワイヤとを備え、
前記板状コアの磁路断面積は、前記巻芯部の磁路断面積より大きく、
前記鍔部の前記下面は、中央部が膨らむ湾曲形状を有しており、
前記鍔部の両端部と前記板状コアとの間には接着剤が配置され、前記中央部は前記接着剤を介することなく前記板状コアに直接接触する

ことを特徴とするパルストランス。

10

【請求項 2】

前記板状コアの磁路断面積は、前記巻芯部の磁路断面積の 1 . 5 倍以下であることを特徴とする請求項 1 に記載のパルストランス。

【請求項 3】

前記板状コアの法線方向及び前記一対の鍔部の対向方向の両方と垂直な第 1 の方向における前記巻芯部の幅は、前記第 1 の方向における前記ドラムコアの幅より小さく、かつ前記第 1 の方向における前記ドラムコアの幅の 0 . 5 倍より大きい

ことを特徴とする請求項 2 に記載のパルストランス。

【請求項 4】

前記板状コアと前記一対の鍔部それぞれとの間に形成されるギャップの平均厚みは 3 .

20

5 μm以下である

ことを特徴とする請求項 1 乃至 3 のいずれか一項に記載のパルストランス。

【請求項 5】

前記巻芯部は、前記板状コアの法線方向に見て、前記一对の銜部それぞれの中央より前記板状コアに近い位置に配置される

ことを特徴とする請求項 1 乃至 4 のいずれか一項に記載のパルストランス。

【請求項 6】

前記一对の銜部の一方の上面に設けられた第 1 乃至第 3 の端子電極と、
前記一对の銜部の他方の上面に設けられた第 4 乃至第 6 の端子電極とをさらに備え、
前記複数のワイヤは第 1 乃至第 4 のワイヤからなり、

前記第 1 のワイヤの一端は前記第 1 の端子電極に継線され、

前記第 1 のワイヤの他端は前記第 4 の端子電極に継線され、

前記第 2 のワイヤの一端は前記第 4 の端子電極に継線され、

前記第 2 のワイヤの他端は前記第 2 の端子電極に継線され、

前記第 3 のワイヤの一端は前記第 5 の端子電極に継線され、

前記第 3 のワイヤの他端は前記第 3 の端子電極に継線され、

前記第 4 のワイヤの一端は前記第 3 の端子電極に継線され、

前記第 4 のワイヤの他端は前記第 6 の端子電極に継線される

ことを特徴とする請求項 1 乃至 5 のいずれか一項に記載のパルストランス。

【請求項 7】

前記第 1 乃至第 6 の端子電極は、前記一对の銜部のうちの対応するものに取り付けられた金具である

ことを特徴とする請求項 6 に記載のパルストランス。

【請求項 8】

前記第 1 乃至第 4 のワイヤは、それぞれ前記第 1 乃至第 6 の端子電極のうちの対応するものに熱圧着される

ことを特徴とする請求項 6 又は 7 に記載のパルストランス。

【請求項 9】

前記一对の銜部の一方の上面に設けられた第 1 乃至第 4 の端子電極と、

前記一对の銜部の他方の上面に設けられた第 5 乃至第 8 の端子電極とをさらに備え、

前記複数のワイヤは第 1 乃至第 4 のワイヤからなり、

前記第 1 のワイヤの一端は前記第 1 の端子電極に継線され、

前記第 1 のワイヤの他端は前記第 6 の端子電極に継線され、

前記第 2 のワイヤの一端は前記第 5 の端子電極に継線され、

前記第 2 のワイヤの他端は前記第 2 の端子電極に継線され、

前記第 3 のワイヤの一端は前記第 7 の端子電極に継線され、

前記第 3 のワイヤの他端は前記第 4 の端子電極に継線され、

前記第 4 のワイヤの一端は前記第 3 の端子電極に継線され、

前記第 4 のワイヤの他端は前記第 8 の端子電極に継線される

ことを特徴とする請求項 1 乃至 5 のいずれか一項に記載のパルストランス。

【請求項 10】

前記第 1 乃至第 8 の端子電極は、前記一对の銜部のうちの対応するものに取り付けられた金具である

ことを特徴とする請求項 9 に記載のパルストランス。

【請求項 11】

前記第 1 乃至第 4 のワイヤは、それぞれ前記第 1 乃至第 8 の端子電極のうちの対応するものに熱圧着される

ことを特徴とする請求項 9 又は 10 に記載のパルストランス。

【請求項 12】

前記板状コアの法線方向における厚みは、前記巻芯部の前記法線方向における厚みより

も厚いことを特徴とする請求項 1 乃至 11 のいずれか一項に記載のパルストランス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパルストランスに関し、特にドラムコア及び板状コアを用いて構成した表面実装型のパルストランスに関する。

【背景技術】

【0002】

パソコンなどの機器をLANや電話網などのネットワークに接続する場合、ケーブルを通して侵入するESD(ElectroStatic Discharge, 静電放電)や高電圧から機器を守る必要

10

【0003】

がある。そこで、ケーブルと機器の接続点を構成するコネクタにはパルストランスが用いられる。

上記のようなパルストランスとして、近年、高密度実装に適した表面実装型のものが多用されるようになってきている。表面実装型のパルストランスは、ドラムコア及び板状コアを用いて構成される。ドラムコアは、巻芯部及びその両端に形成された一対の鍔部を有し、これらが一体形成された磁性体である。コイルを構成する4本のワイヤはドラムコアの巻芯部に巻回され、一対の鍔部の各上面に形成された端子電極にそれぞれ継線される。板状コアは、一対の鍔部の各下面に固着される磁性体であり、ドラムコアとの間に閉磁路を構成する。特許文献1には、このような表面実装型のパルストランスの例が開示されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-109267号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、パルストランスには高いインダクタンスが求められる。パルストランスのインダクタンスは磁路の磁気抵抗に反比例するので磁路の磁気抵抗が小さいほど高いインダクタンスを得ることができ、磁路の磁気抵抗を小さくするための最も簡単な方法は全体のサイズを大きくすることである。しかしながら、近年、パルストランスのような磁性部品にも小型化が厳しく要求されているため、十分なインダクタンスを得ることが困難になっている。また、パルストランスを設計するにあたっては、小型化以外にも様々な制約がある。

30

【0006】

したがって、本発明の目的の一つは、磁路の磁気抵抗を、限られた条件の下で可能な限り小さくした表面実装型のパルストランスを提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するための本発明によるパルストランスは、巻芯部及び前記巻芯部の両端に設けられた一対の鍔部を有するドラムコアと、前記一対の鍔部それぞれの下面に接するように配置された板状コアと、前記巻芯部に巻回された複数のワイヤとを備え、前記板状コアの磁路断面積は、前記巻芯部の磁路断面積より大きいことを特徴とする。

40

【0008】

本発明によれば、パルストランスのサイズに関する各種パラメータ(詳しくは後述する)について、 $L_1 = L_2 = L$ 、 $W_3 = W_4 = W$ 、 $H_3 = H_4$ 、 $0.5W < W_1 < W$ であってこれらの関係を変更できず、さらに L 、 L_3 、 L_4 、 W 、 W_2 、 H_3 、 H_4 、 H_1 、 H_2 がそれぞれ固定値であって変更できず、また、パルストランスの材料に関して、ドラムコア及び板状コアを構成する磁性材料の比透磁率 μ_s 、及び空気の透磁率 μ_0 がそれぞれ

50

れ固定値であって変更できないという条件の下で、磁路の磁気抵抗を可能な限り小さくすることが可能になる。

【0009】

上記パルストランスにおいて、前記板状コアの磁路断面積は、前記巻芯部の磁路断面積の1.5倍以下であることとしてもよい。この場合において、前記前記板状コアの法線方向及び前記一对の銜部の対向方向の両方と垂直な第1の方向における前記巻芯部の幅は、前記第1の方向における前記ドラムコアの幅より小さく、かつ前記第1の方向における前記ドラムコアの幅の0.5倍より大きいこととしてもよい。

【0010】

また、上記各パルストランスにおいて、前記板状コアと前記一对の銜部それぞれとの間に形成されるギャップの平均厚みは3.5 μ m以下であることとしてもよい。この場合において、前記板状コアと前記一对の銜部それぞれとは、接着剤を介さずに互いに直接接触する部分を有することとしてもよい。

10

【0011】

また、上記各パルストランスにおいて、前記巻芯部は、前記板状コアの法線方向に見て、前記一对の銜部それぞれの中央より前記板状コアに近い位置に配置されることとしてもよい。これによれば、パルストランスが設置される基板上で飛散した半田が、ワイヤに付着することを防止できる。

【0012】

また、上記各パルストランスにおいて、前記一对の銜部の一方の上面に設けられた第1乃至第3の端子電極と、前記一对の銜部の他方の上面に設けられた第4乃至第6の端子電極とをさらに備え、前記複数のワイヤは第1乃至第4のワイヤからなり、前記第1のワイヤの一端は前記第1の端子電極に継線され、前記第1のワイヤの他端は前記第4の端子電極に継線され、前記第2のワイヤの一端は前記第4の端子電極に継線され、前記第2のワイヤの他端は前記第2の端子電極に継線され、前記第3のワイヤの一端は前記第5の端子電極に継線され、前記第3のワイヤの他端は前記第3の端子電極に継線され、前記第4のワイヤの一端は前記第3の端子電極に継線され、前記第4のワイヤの他端は前記第6の端子電極に継線されることとしてもよく、さらに、前記第1乃至第6の端子電極は、前記一对の銜部のうちの対応するものに取り付けられた金具であることとしてもよい。また、前記第1乃至第4のワイヤは、それぞれ前記第1乃至第6の端子電極のうちの対応するものに熱圧着されることとしてもよい。

20

30

【0013】

また、上記各パルストランスにおいて、前記一对の銜部の一方の上面に設けられた第1乃至第4の端子電極と、前記一对の銜部の他方の上面に設けられた第5乃至第8の端子電極とをさらに備え、前記複数のワイヤは第1乃至第4のワイヤからなり、前記第1のワイヤの一端は前記第1の端子電極に継線され、前記第1のワイヤの他端は前記第6の端子電極に継線され、前記第2のワイヤの一端は前記第5の端子電極に継線され、前記第2のワイヤの他端は前記第2の端子電極に継線され、前記第3のワイヤの一端は前記第7の端子電極に継線され、前記第3のワイヤの他端は前記第4の端子電極に継線され、前記第4のワイヤの一端は前記第3の端子電極に継線され、前記第4のワイヤの他端は前記第8の端子電極に継線されることとしてもよく、さらに、前記第1乃至第8の端子電極は、前記一对の銜部のうちの対応するものに取り付けられた金具であることとしてもよい。また、前記第1乃至第4のワイヤは、それぞれ前記第1乃至第8の端子電極のうちの対応するものに熱圧着されることとしてもよい。

40

【発明の効果】

【0014】

本発明によれば、磁路の磁気抵抗を、限られたサイズの中で可能な限り小さくすることが可能になる。

【図面の簡単な説明】

【0015】

50

【図1】本発明の好ましい第1の実施の形態による表面実装型パルストランスの外観構造を示す略斜視図である。

【図2】(a)(b)は、図1に示した表面実装型パルストランスの平面図である。ただし、(a)は1層目のワイヤのみを示し、(b)は2層目のワイヤも示している。

【図3】図1に示した表面実装型パルストランスの等価回路である。

【図4】(a)~(c)は、図1に示した表面実装型パルストランスの磁路の磁気抵抗の算出方法を説明するための説明図である。

【図5】(a)(b)は、図1に示した表面実装型パルストランスの磁路の磁気抵抗の算出方法を説明するための説明図である。

【図6】(a)(b)は、図1に示した表面実装型パルストランスの磁路の磁気抵抗の算出方法を説明するための説明図である。

10

【図7】図1に示した表面実装型パルストランスにおいて、巻芯部のz方向の幅 H_1 (図5(a))を変数として式(7)の S_2/S_1 を変化させた場合に対応する、式(6)の右辺の値をプロットしたものである。

【図8】本発明の好ましい第2の実施の形態による表面実装型パルストランスの外観構造を示す略斜視図である。

【発明を実施するための形態】

【0016】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。以下では、本発明の好ましい第1の実施の形態による表面実装型パルストランス10の構造について、一般的な概要を説明した後、本発明に特徴的な部分について説明する。

20

【0017】

図1は表面実装型パルストランス10の外観構造を示す略斜視図である。また、図2は表面実装型パルストランス10の平面図である。図2(a)は1層目のワイヤのみを示し、図2(b)は2層目のワイヤも示している。以下、これらの図を参照しながら、表面実装型パルストランス10の構成について説明する。

【0018】

図1及び図2に示すように、表面実装型パルストランス10はドラムコア11と、ドラムコア11に取り付けられた板状コア12と、ドラムコア11に巻回されたワイヤ $S_1 \sim S_4$ (第1乃至第4のワイヤ)とを備えている。

30

【0019】

ドラムコア11及び板状コア12は、比較的透磁率の高い磁性材料、例えばNi-Zn系フェライトやMn-Zn系フェライトの焼結体によって作られている。なお、Mn-Zn系フェライトなどの透磁率の高い磁性材料は、固有抵抗が低く導電性を有しているのが通常である。

【0020】

ドラムコア11は、棒状の巻芯部11aと、巻芯部11aの両端に設けられた一对の鍔部11b, 11cとを備え、これらが一体化された構造を有している。ドラムコア11は基板上に搭載して用いるものであり、鍔部11b, 11cの上面11bs, 11csを基板に対向させた状態で該基板に実装される。

40

【0021】

板状コア12は、鍔部11b, 11cの下面(上面11bs, 11csの反対側の面)と接着剤により固着している。ただし、板状コア12と一对の鍔部11b, 11cそれぞれとの間には、接着剤を介さずに互いに直接接触する部分が設けられる。これは、鍔部11b, 11cの下面を中央部が膨らむような形に湾曲させ、かつ接着剤を両端部のみに配置することによって実現される。これにより、本実施の形態では、板状コア12と一对の鍔部11b, 11cそれぞれとの間に形成されるギャップの平均厚みが $3.5 \mu\text{m}$ 以下となっている。通常、ギャップの平均厚みは $20 \mu\text{m}$ 程度であるので、この $3.5 \mu\text{m}$ 以下という値は相当小さな値である。

【0022】

50

上記ギャップの平均厚みが $20\ \mu\text{m}$ 程度である場合、表面実装型パルストランス10の磁路の磁気抵抗に関しては、ギャップ部分の磁気抵抗が支配的となる。したがって、後述するように板状コアの磁路断面積と巻芯部の磁路断面積との関係を調節しても、表面実装型パルストランス10の磁路の磁気抵抗の調節という観点からはほとんど意味がない。これに対し、本実施の形態による表面実装型パルストランス10のようにギャップの平均厚みが $3.5\ \mu\text{m}$ 以下である場合、板状コアの磁路断面積と巻芯部の磁路断面積との関係を調節することにより、表面実装型パルストランス10の磁路の磁気抵抗を有意に調節することが可能になる。

【0023】

巻芯部11aは、板状コア12の法線方向(z方向)に見て、一对の鍔部11b, 11cそれぞれの中央より板状コア12に近い位置に配置される(後述する図4において、がより小さくなるように構成される)。このように巻芯部11aをできるだけ基板から遠ざけることで、基板上で飛散した半田がワイヤS1~S4に付着することを防止できる。

10

【0024】

鍔部11bの上面11bsには3つの端子電極E1~E3(第1乃至第3の端子電極)が形成され、鍔部11cの上面11csには3つの端子電極E4~E6(第4乃至第6の端子電極)が形成される。これら端子電極E1~E6はそれぞれ、対応する鍔部に取り付けられた金具(L字型の金具)によって構成されることとしてもよいし、対応する鍔部の表面に焼き付けた導体膜(焼付け電極)によって構成されることとしてもよい。端子電極E1~E3は、図1に示したx方向(z方向及び一对の鍔部11b, 11cの対向方向(y方向)の両方と垂直な方向。第1の方向)の一端側から、この順で配置されている。同様に、端子電極E4~E6も、x方向の一端側から、この順で配置されている。端子電極E1~E6にはワイヤS1~S4の各端部が熱圧着により継線される。

20

【0025】

なお、端子電極E3は、図1及び図2から明らかなように、端子電極E1, E2から少し離して設けてある。端子電極E4についても同様に、端子電極E5, E6から少し離して設けてある。これは、ワイヤS1, S2により構成される一次巻線と、ワイヤS3, S4により構成される二次巻線の間の耐圧を確保するためである。

【0026】

ワイヤS1~S4は被覆導線であり、巻芯部11aに2層構造で巻回される。つまり、図2(a)(b)に示すように、ワイヤS1, S4がバイファイラ巻き(2本のワイヤを交互に並べて単層巻きすること。)により1層目を構成し、ワイヤS2, S3がバイファイラ巻きにより2層目を構成する。ワイヤS1~S4のターン数は互いに同一である。

30

【0027】

なお、図2(a)(b)に示すように、ワイヤS1~S4の巻回方向は1層目と2層目とで異なっている。すなわち、例えば鍔部11bから鍔部11cに向かう巻回方向を鍔部11bから見た場合、ワイヤS1, S4の巻回方向は時計周りであるのに対し、ワイヤS2, S3の巻回方向は反時計周りであり、互いに逆になっている。このようにしているのは、巻き始めの際及び巻き終わりの際に各ワイヤを巻芯部11aの一端から他端まで引き延ばさないで済むようにするためである。

40

【0028】

ワイヤS1~S4と端子電極E1~E6の結線について説明すると、図2(a)に示すように、ワイヤS1の一端S1a, 他端S1bはそれぞれ端子電極E1, E4に継線され、ワイヤS4の一端S4a, 他端S4bはそれぞれ端子電極E3, E6に継線される。また、図2(b)に示すように、ワイヤS2の一端S2a, 他端S2bはそれぞれ端子電極E4, E2に継線される。また、ワイヤS3の一端S3a, 他端S3bはそれぞれ端子電極E5, E3に継線される。

【0029】

図3は、以上の構成により実現される表面実装型パルストランス10の等価回路である

50

。

【0030】

図3に示すように、端子電極E1とE2はそれぞれ平衡入力のプラス側端子IN+とマイナス側端子IN-になる。また、端子電極E5とE6はそれぞれ平衡出力のプラス側端子OUT+とマイナス側端子OUT-になる。端子電極E3、E4は、それぞれ入力側、出力側の中間タップCTとなる。ワイヤS1、S2は表面実装型パルストランス10の一次巻線を構成し、ワイヤS3、S4は表面実装型パルストランス10の二次巻線を構成する。また、ドラムコア11と板状コア12は表面実装型パルストランス10の閉磁路を構成している。

【0031】

表面実装型パルストランス10の動作について、再度図2(b)を参照しながら、より詳しく説明しておく。図2(b)には、表面実装型パルストランス10の平衡入力電流 i_1 及び平衡出力電流 i_2 と、動作時に巻芯部11aに発生する磁界 m も示している。同図に示すように、端子電極E1、E2に平衡入力電流 i_1 を流し込むと、ワイヤS1、S2が巻回されている巻芯部11aには、鏝部11b側にS極、鏝部11c側にN極を有する磁界 m が発生する。この磁界 m は、ワイヤS3、S4に誘導電流を発生させ、この誘導電流が平衡出力電流 i_2 となる。したがって、図3に示した等価回路が実現される。

【0032】

ここで、上述したように、ワイヤS1、S4の巻回方向とワイヤS2、S3の巻回方向とは互いに逆になっている。これにより、各ワイヤを、継線される鏝部の最寄位置で巻き始め、かつ巻き終わることが可能になっている。つまり、仮にワイヤS1、S4の巻回方向とワイヤS2、S3の巻回方向とを同一とした場合、表面実装型パルストランス10に上記のような動作をさせるためには(特に、磁界 m によって平衡出力電流 i_2 を発生させるためには)、ワイヤS2、S3を端子電極E2、E3に継線した後、鏝部11c側まで引き延ばして巻き始め、巻き終わりでは鏝部11b側から端子電極E4、5まで引き延ばして継線する必要が生ずるが、表面実装型パルストランス10では、このような引き延ばしが不要になっている。

【0033】

以上が、本実施の形態による表面実装型パルストランス10の構造の一般的な概要である。次に、表面実装型パルストランス10の構造のうち本発明に特徴的な部分について詳しく説明する。以下では、初めに本発明に特徴的な構造を説明し、その後、その構造が表面実装型パルストランス10の磁路の磁気抵抗を最小化できるものであることを説明する。

【0034】

図4乃至図6は、表面実装型パルストランス10の磁路の磁気抵抗の算出方法を説明するための説明図である。これらの図には、表面実装型パルストランス10の構造を、磁気抵抗の算出方法の説明に必要な範囲で模式的に示している。

【0035】

本算出方法では、表面実装型パルストランス10の磁路を、図4(a)(b)に示す4つの部分P1~P4に分けて磁気抵抗を算出する。部分P1は主として巻芯部11aに関する部分であり、部分P2は主として板状コア12に関する部分であり、部分P3は主として鏝部11b、11cから板状コア12に至る部分(部分P4を除く)であり、部分P4は鏝部11b、11cと板状コア12の間の磁気ギャップに関する部分である。

【0036】

磁気抵抗の算出に用いる各種パラメータは、次のとおりである。まず、図4(a)に示すように、金具である端子電極E1~E6の厚み分を含む全体のz方向の幅をH、巻芯部11aのz方向の幅を H_1 、板状コア12のz方向の幅を H_2 、巻芯部11aと板状コア12の間のz方向の距離を、巻芯部11aから端子電極E1~E6の表面までのz方向の距離をとする。また、図4(c)に示すように、全体のx方向の幅をW、巻芯部11aのx方向の幅を W_1 、巻芯部11aから鏝部11b、11cのx方向の端面までのx方

10

20

30

40

50

向の距離を とする。以上より、図 5 (a) に示すように、部分 P 1 の x 方向及び z 方向の幅はそれぞれ W_1 及び H_1 となり、巻芯部 1 1 a の磁路断面積 S_1 は $W_1 \times H_1$ となる。

【 0 0 3 7 】

また、図 5 (b) に示すように部分 P 2 の x 方向及び z 方向の幅をそれぞれ W_2 及び H_2 とする。これにより、板状コア 1 2 の磁路断面積 S_2 は $W_2 \times H_2$ となる。さらに、図 6 (a) に示すように部分 P 3 の x 方向及び y 方向の幅をそれぞれ W_3 及び H_3 とし、図 6 (b) に示すように部分 P 4 の x 方向及び y 方向の幅をそれぞれ W_4 及び H_4 とする。

【 0 0 3 8 】

その他、部分 P 1 ~ P 4 それぞれの平均磁路長を、図 5 (a) ~ (d) に示すように、それぞれ $L_1 \sim L_4$ とする。

【 0 0 3 9 】

ここで、上述したように、巻芯部 1 1 a は、z 方向に見て、一对の鏝部 1 1 b , 1 1 c それぞれの中央より板状コア 1 2 に近い位置に配置される (<)。また、y 方向における巻芯部 1 1 a の幅 W_1 と、y 方向におけるドラムコア 1 1 の幅 W とは、 $0.5 W < W_1 < W$ という関係を満たすように決定される。このうち $W_1 > W$ という関係は、ワイヤ $S_1 \sim S_4$ がドラムコア 1 1 の外にはみ出さないようにするためのものである。また、 $0.5 W < W_1$ という関係は、ドラムコア 1 1 の強度を確保するためのものである。

【 0 0 4 0 】

さて、表面実装型パルストランス 1 0 では、板状コア 1 2 の磁路断面積 S_2 が、巻芯部 1 1 a の磁路断面積 S_1 より大きくなるようにしている。これにより、限られた条件の下で可能な限り、磁気抵抗 R_m を小さくすることが可能になる。ここでいう限られた条件とは、まずサイズに関し、 $L_1 = L_2 = L$ 、 $W_3 = W_4 = W$ 、 $H_3 = H_4$ 、 $0.5 W < W_1 < W$ であってこれらの関係を変更できず、さらに L 、 L_3 、 L_4 、 W 、 W_2 、 H_3 、 H_4 がそれぞれ固定値であって変更できないということを意味する。また、材料に関して、ドラムコア 1 1 及び板状コア 1 2 を構成する磁性材料の比透磁率 μ_s 、及び空気の透磁率 μ_0 がそれぞれ固定値であって変更できないということを意味する。以下、詳しく説明する。

【 0 0 4 1 】

まず、表面実装型パルストランス 1 0 の磁路の磁気抵抗 R_m は、部分 P 1 ~ P 4 の磁気抵抗 $R_{m1} \sim R_{m4}$ を用いて次の式 (1) で表される。

【 0 0 4 2 】

【 数 1 】

$$R_m = R_{m1} + R_{m2} + R_{m3} + R_{m4} \quad \dots (1)$$

【 0 0 4 3 】

一般に、磁気抵抗 R_m は平均磁路長を磁路断面積で除した結果を透磁率で割ったものとして表される。また、図 4 (a) から明らかのように $H_2 = H - H_1$ であり、図 4 (c) から明らかのように $W_1 = W - 2$ である。したがって、磁気抵抗 $R_{m1} \sim R_{m4}$ はそれぞれ、図 5 及び図 6 から理解されるように、上述した条件の下で次の式 (2) ~ 式 (5) のように表される。

【 0 0 4 4 】

10

20

30

40

【数2】

$$Rm1 = \frac{1}{\mu_0 \cdot \mu_s} \cdot \frac{L_1}{H_1 \cdot W_1} = \frac{1}{\mu_0 \cdot \mu_s} \cdot \frac{L}{H_1 \cdot (W - 2\gamma)} \quad \dots (2)$$

$$Rm2 = \frac{1}{\mu_0 \cdot \mu_s} \cdot \frac{L_2}{H_2 \cdot W_2} = \frac{1}{\mu_0 \cdot \mu_s} \cdot \frac{L}{(H - H_1 - \alpha - \beta) \cdot W_2} \quad \dots (3)$$

$$Rm3 = \frac{1}{\mu_0 \cdot \mu_s} \cdot \frac{2L_3}{H_3 \cdot W_3} = \frac{1}{\mu_0 \cdot \mu_s} \cdot \frac{2L_3}{H_3 \cdot W} \quad \dots (4)$$

$$Rm4 = \frac{1}{\mu_0} \cdot \frac{2L_4}{H_4 \cdot W_4} = \frac{1}{\mu_0} \cdot \frac{2L_4}{H_3 \cdot W} \quad \dots (5)$$

10

【0045】

ここで、上述したように μ_s 、 μ_0 、 L 、 L_3 、 L_4 、 W 、 W_2 、 H_3 、 H は固定値である。したがって、式(1)～式(5)より磁気抵抗 Rm は次の式(6)のように表され、このことから、式(6)の右辺を最小化することで磁気抵抗 Rm を最小化できることが

20

理解される。

【0046】

【数3】

$$Rm \propto \frac{1}{H_1 \cdot (W - 2\gamma)} + \frac{1}{(H - H_1 - \alpha - \beta) \cdot W_2} \quad \dots (6)$$

【0047】

また、部分P1、P2それぞれの磁路断面積 S_1 、 S_2 の比 S_2/S_1 は、次の式(7)で表される。

30

【0048】

【数4】

$$\frac{S_2}{S_1} = \frac{H_2 \cdot W_2}{H_1 \cdot W_1} = \frac{(H - H_1 - \alpha - \beta) \cdot W_2}{H_1 \cdot (W - 2\gamma)} \quad \dots (7)$$

40

【0049】

図7は、巻芯部11aのz方向の幅 H_1 を変数として式(7)の S_2/S_1 を変化させた場合に対応する、式(6)の右辺の値をプロットしたものである。ただし、図7では、 $H = 2.9 \text{ mm}$ 、 $W = W_2 = 3.2 \text{ mm}$ 、 $\alpha = 0.2 \text{ mm}$ 、 $\beta = 0.5 \text{ mm}$ とし、 γ については 0.2 mm 、 0.5 mm 、 0.8 mm のそれぞれとした場合についてプロットした。

【0050】

ここで、上述した $0.5 W < W_1 < W$ という制約は、図7の例では $0 < H_1 < 0.8$ と等価である。図7から、このような制約の下では、 S_2/S_1 が1より大きい場合(板状コア12の磁路断面積 S_2 が巻芯部11aの磁路断面積 S_1 より大きい場合)に磁気抵抗 R

50

mが最小化されることが理解される。つまり、板状コア12の磁路断面積 S_2 を巻芯部11aの磁路断面積 S_1 より大きくすることにより、磁気抵抗 R_m を最小化することが可能になる。したがって、本実施の形態による表面実装型パルストランス10では、限られた条件の下で可能な限り、磁気抵抗 R_m を小さくすることが実現される。

【0051】

以上説明したように、本実施の形態による表面実装型パルストランス10によれば、板状コア12の磁路断面積 S_2 が、巻芯部11aの磁路断面積 S_1 より大きくなるようにしているため、限られた条件の下で可能な限り、磁気抵抗 R_m を小さくすることが実現されている。

【0052】

なお、図7から理解されるように、 $\alpha = 0.8$ である場合、 $S_2 / S_1 = 1.5$ のときに磁気抵抗 R_m が最小値となり、 $\alpha < 0.8$ である場合には、 S_2 / S_1 が1.5より小さな値のときに磁気抵抗 R_m が最小値となる。したがって、 $0 < \alpha < 0.8$ ($0.5W_1 < W$) という条件の下では、 $1 < S_2 / S_1 < 1.5$ とすることがより好ましいと言える。

【0053】

図8は、本発明の第2の実施の形態による表面実装型のパルストランス20（コイル部品）の外観構造を示す略斜視図である。パルストランス20は、端子電極E7、E8を追加した点、ワイヤS4の一端S4aの継線先を端子電極E3から端子電極E7に変更し、ワイヤS1の一端S1bの継線先を端子電極E4から端子電極E8に変更した点、及びワイヤS1～S4の巻回方向を逆にした点で、第1の実施の形態によるパルストランス10と相違する。その他の点ではパルストランス10と同一なので、以下では相違点に着目して説明する。

【0054】

端子電極E7は、パルストランス20のX方向の中心線を挟んで端子電極E2と線対称な位置に設けられる。ワイヤS4の一端S4aを端子電極E7に継線するようにしたことにより、端子電極E3に継線されるのはワイヤS3の他端S3bのみとなる。同様に、端子電極E8は、パルストランス20のX方向の中心線を挟んで端子電極E5と線対称な位置に設けられる。ワイヤS1の他端S1bを端子電極E8に継線するようにしたことにより、端子電極E4に継線されるのはワイヤS2の一端S2aのみとなる。なお、端子電極E7、E8についても、端子電極E1～E6と同様、対応する鍔部に取り付けられた金具（L字型の金具）によって構成されることとしてもよいし、対応する鍔部の表面に焼き付けた導体膜（焼付け電極）によって構成されることとしてもよい。

【0055】

パルストランス20において、第1の実施の形態によるパルストランス10と比べてワイヤS1～S4の巻回方向を逆にしているのは、端子電極の近傍におけるワイヤの交差をできるだけ避けるためである。もしパルストランス10によるワイヤS1～S4の巻回方向をパルストランス20でも採用すると仮定すると、端子電極E3、E7の近傍でワイヤS3とワイヤS4とが交差し、端子電極E4、E8の近傍でワイヤS1とワイヤS2とが交差することになる。巻回方向を逆にしたことで、パルストランス20では、このような交差が発生せず、さらに、図5に示した2カ所の交差（端子電極E1、E2の近傍におけるワイヤS1とワイヤS2の交差、及び、端子電極E5、E6の近傍におけるワイヤS3とワイヤS4の交差）も解消される。

【0056】

パルストランス20における板状コア12の磁路断面積 S_2 と巻芯部11aの磁路断面積 S_1 との関係は、パルストランス10と同様である。したがって、パルストランス20においても、パルストランス20と同様、限られた条件の下で可能な限り磁気抵抗 R_m を小さくすることが実現されている。

【0057】

以上、本発明の好ましい実施の形態について説明したが、本発明はこうした実施の形態

10

20

30

40

50

に何等限定されるものではなく、本発明が、その要旨を逸脱しない範囲において、種々なる態様で実施され得ることは勿論である。

【 0 0 5 8 】

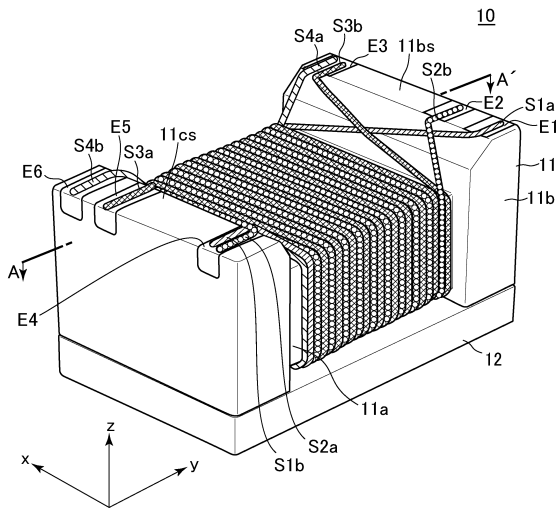
例えば、上記第 1 の実施の形態では、一次巻線を構成するワイヤ S 1 , S 2 が端子電極 E 1 , E 2 , E 4 に継線され、二次巻線を構成するワイヤ S 3 , S 4 が端子電極 E 3 , E 5 , E 6 に継線されるタイプのパルストランスに本発明を適用した例を説明したが、特許文献 1 の図 1 7 に示されるように、一次巻線を構成するワイヤ S 1 , S 2 が端子電極 E 1 ~ E 3 に継線され、二次巻線を構成するワイヤ S 3 , S 4 が端子電極 E 4 ~ E 6 に継線されるタイプのパルストランスにも本発明は適用可能である。

【 符号の説明 】

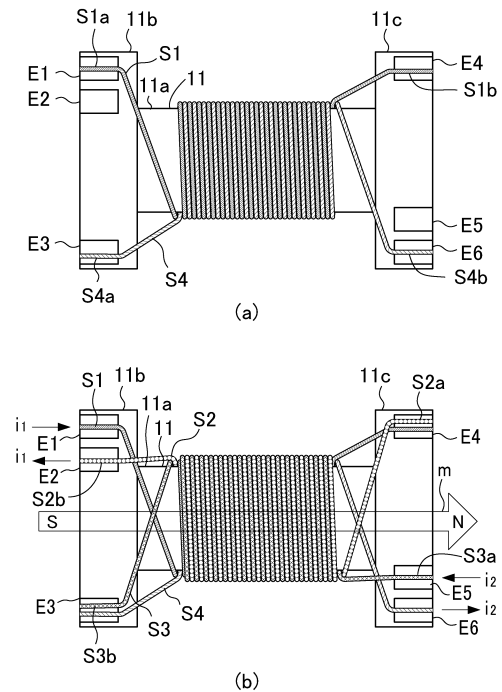
【 0 0 5 9 】

- E 1 ~ E 6 端子電極
- P 1 ~ P 4 磁路の部分
- S 1 ~ S 4 ワイヤ
- 1 0 表面実装型パルストランス
- 1 1 ドラムコア
- 1 1 a 巻芯部
- 1 1 b , 1 1 c 鏑部
- 1 2 板状コア

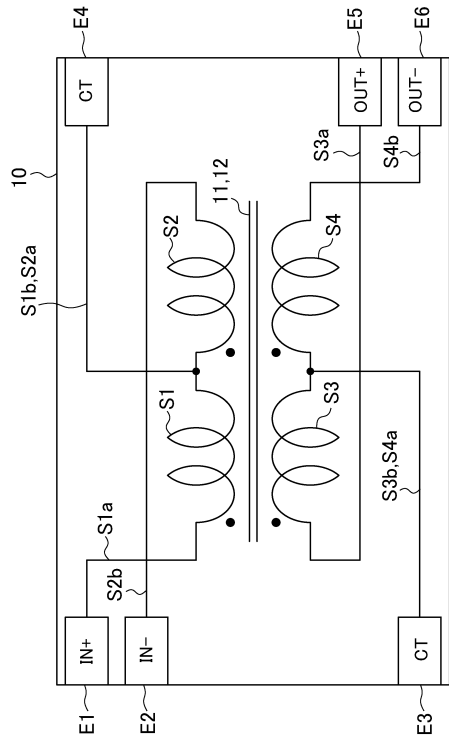
【 図 1 】



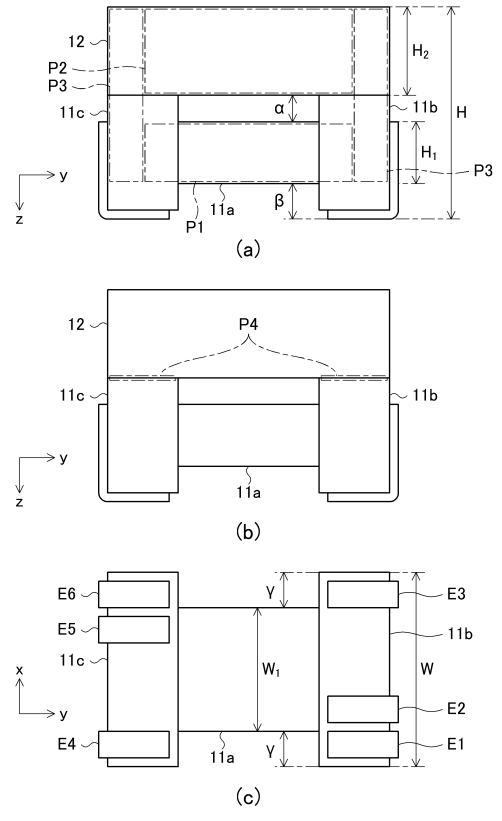
【 図 2 】



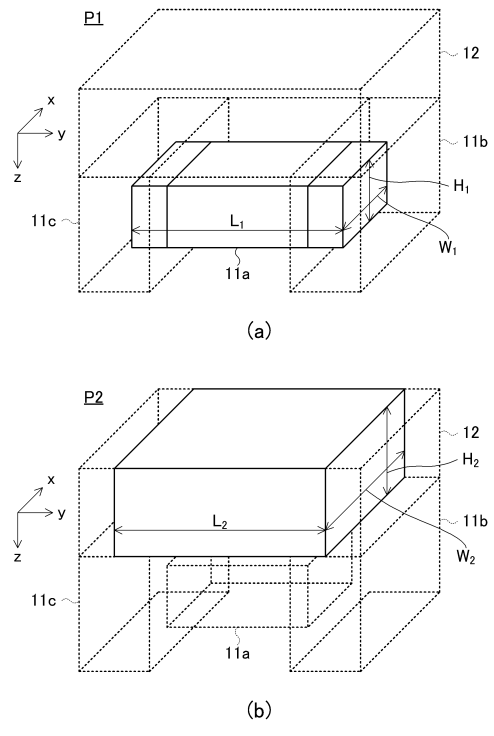
【図3】



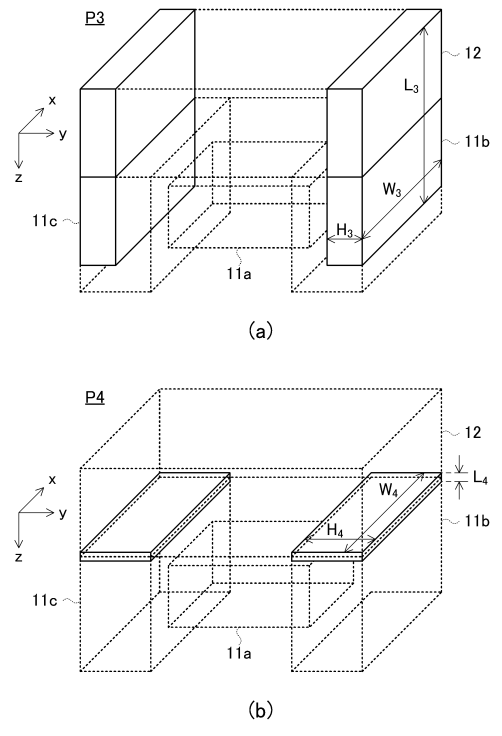
【図4】



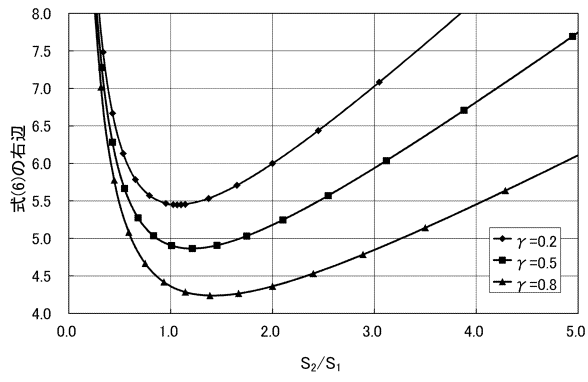
【図5】



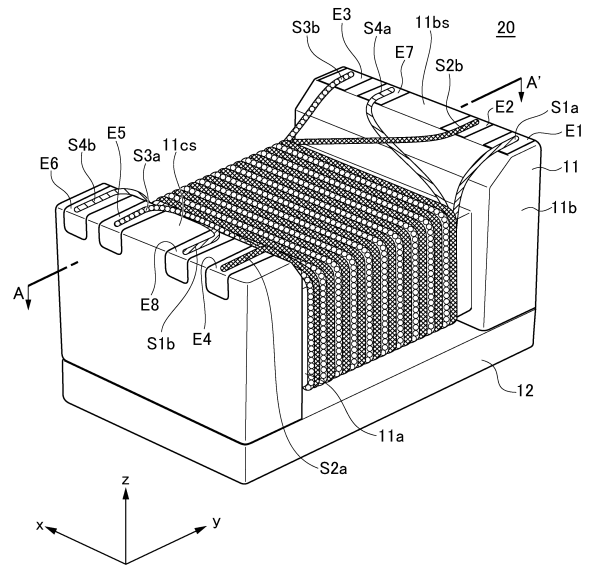
【図6】



【 図 7 】



【 図 8 】



フロントページの続き

- (72)発明者 土田 せつ
山形県鶴岡市山田字油田97 TDK庄内株式会社内
- (72)発明者 御子神 祐
東京都港区芝浦三丁目9番1号 TDK - EPC株式会社内

審査官 五貫 昭一

- (56)参考文献 特開2010-109267(JP,A)
特開2002-110428(JP,A)
特開2010-165862(JP,A)
特開2009-224649(JP,A)
特開2005-322820(JP,A)
特開2008-159816(JP,A)
特開2003-151839(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01F 19/04
H01F 17/04
H01F 27/29
H01F 41/02