



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월05일
 (11) 등록번호 10-1905262
 (24) 등록일자 2018년09월28일

(51) 국제특허분류(Int. Cl.)
 H01L 27/142 (2014.01) H01L 31/0232 (2014.01)
 H01L 31/05 (2014.01)
 (52) CPC특허분류
 H01L 27/1421 (2013.01)
 H01L 31/0232 (2013.01)
 (21) 출원번호 10-2016-0116411
 (22) 출원일자 2016년09월09일
 심사청구일자 2016년09월09일
 (65) 공개번호 10-2017-0034769
 (43) 공개일자 2017년03월29일
 (30) 우선권주장
 10 2015 012 007.7 2015년09월19일 독일(DE)
 (56) 선행기술조사문헌
 JP2008177212 A*
 KR1020030079988 A*
 KR1020120018143 A*
 US20150162478 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 아주르 스페이스 솔라 파워 게엠베하
 독일 헤일브론 74072 테레시엔스트라세 2
 (72) 발명자
 푸어만, 다니엘
 독일 74081 하일브론 바이 템 솔로스 16
 코렌코, 빅토르
 독일 74196 노이엔스타트 에이.케이. 폰-티어바흐
 스트라세 19
 구터, 볼프강
 독일 70190 스투트가르트 란트하우스스트라세 56
 (74) 대리인
 양영준, 정은진, 백만기

전체 청구항 수 : 총 18 항

심사관 : 심병로

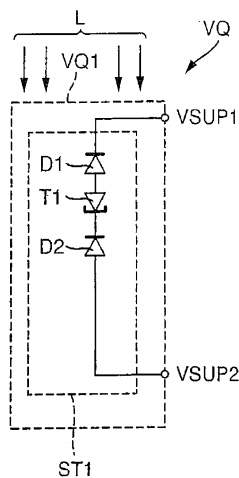
(54) 발명의 명칭 가변 전압원

(57) 요약

본 발명은, 반도체 다이오드들로서 형성되어 서로 직렬로 연결되는 복수 개(N)의 부분 전압원을 포함하는 가변 전압원에 관한 것이며, 부분 전압원들 각각은 p-n 접합을 갖는 반도체 다이오드를 포함하고, 각각의 반도체 다이오드는 p 도핑된 흡수층을 포함하고, p형 흡수층은 이 p형 흡수층의 밴드 갭보다 더 큰 밴드 갭을 갖는 p 도핑된

(뒷면에 계속)

대표도 - 도1



부동화 층에 의해 부동화되며, 그리고 반도체 다이오드는 n형 흡수층을 포함하고, n형 흡수층은 이 n형 흡수층의 밴드 갭보다 더 큰 밴드 갭을 갖는 n 도핑된 부동화 층에 의해 부동화되며, 그리고 개별 부분 전압원들의 부분 소스 전압들은 서로 상대적으로 20% 미만의 편차를 나타내며, 그리고 각각 2개의 연속되는 부분 전압원 사이에는 하나의 터널 다이오드가 형성되고, 이 터널 다이오드는 p/n형 흡수층들의 밴드 갭보다 더 큰 밴드 갭을 갖는 복수의 반도체 층을 포함하며, 그리고 상대적으로 더 큰 밴드 갭을 갖는 반도체 층들은 각각 화학양론이 가변하는 재료, 및/또는 반도체 다이오드의 p/n형 흡수층들과 다른 원소 조성물로 구성되며, 그리고 부분 전압원들 및 터널 다이오드들은 함께 모놀리식으로 집적화되어 함께 상면 및 하면을 갖는 하나의 제1 스택을 형성하며, 그리고 부분 전압원들의 개수(N)는 2보다 크거나 같으며, 그리고 광은 상면에서 스택 상에 부딪치고, 스택 상면 상에서 조사 표면의 크기는 실질적으로 상면 상에서 스택의 표면의 크기에 상응하며, 그리고 제1 스택은 12 μm 미만의 총 두께를 보유하며, 그리고 300K에서 제1 스택은, 이 제1 스택이 특정 파장을 갖는 광자 흐름으로 조사되는 점에 한해, 2.2볼트를 상회하는 소스 전압을 나타내며, 그리고 스택의 상면으로부터 스택의 하면 쪽으로 향하는 광 입사 방향으로 반도체 다이오드의 p형 및 n형 흡수층들의 총 두께는 최상위 다이오드로부터 최하위 다이오드 쪽으로 갈수록 증가한다.

(52) CPC특허분류

H01L 31/0504 (2013.01)

명세서

청구범위

청구항 1

가변 전압원(VQ)으로서,

- 상기 가변 전압원은, 반도체 다이오드들로서 형성되어 서로 직렬로 연결되는 복수 개(N)의 부분 전압원을 포함하며, 부분 전압원들 각각은 p-n 접합을 갖는 반도체 다이오드(D1, D2, D3, D4, D5)를 포함하고, 반도체 다이오드(D1, D2, D3, D4, D5)는 p 도핑된 흡수층을 포함하며, 그리고 반도체 다이오드(D1, D2, D3, D4, D5)는 n형 흡수층을 포함하고, n형 흡수층은 이 n형 흡수층의 밴드 갭보다 더 큰 밴드 갭을 갖는 n 도핑된 부동화 층에 의해 부동화되며,

그리고 개별 부분 전압원들의 부분 소스 전압들은 서로 상대적으로 20% 미만의 편차를 나타내며, 그리고

- 각각 2개의 연속되는 부분 전압원 사이에는 하나의 터널 다이오드(T1, T2; T3, T4)가 형성되고,

터널 다이오드(T1, T2; T3, T4)는 p/n형 흡수층들의 밴드 갭보다 더 큰 밴드 갭을 갖는 복수의 반도체 층을 포함하고, 상대적으로 더 큰 밴드 갭을 갖는 반도체 층들은 각각 반도체 다이오드(D1, D2, D3, D4, D5)의 p/n형 흡수층들과 다른 원소 조성 및 가변하는 화학량론 중 적어도 하나를 갖는 재료로 구성되며, 그리고

- 부분 전압원들 및 터널 다이오드들(T1, T2, T3, T4)은 함께 모놀리식으로 집적화되어 함께 상면 및 하면을 갖는 하나의 제1 스택(ST1)을 형성하며, 그리고 부분 전압원들의 개수(N)는 2보다 크거나 같으며, 그리고

- 광(L)으로의 제1 스택(ST1)의 조사 동안, 광(L)은 상면에서 제1 스택(ST1)의 표면(OB) 상에 부딪치고, 스택 상면 상에서 조사된 표면(OB)의 크기는 실질적으로 상면 상에서 제1 스택의 표면의 크기에 상응하며, 그리고 제1 스택(ST1)은 12 μ m 미만의 총 두께를 보유하며, 그리고

- 300K에서 제1 스택(ST1)은, 이 제1 스택(ST1)이 광(L)으로 조사되는 점에 한해, 2.2볼트를 상회하는 소스 전압(VQ1)을 나타내며, 그리고 제1 스택(ST1)의 상면으로부터 스택의 하면 쪽으로 향하는 광 입사 방향으로 반도체 다이오드의 p형 및 n형 흡수층들의 총 두께는 최상위 다이오드(D1)로부터 최하위 다이오드(D3 ~ D5) 쪽으로 갈수록 증가하는, 상기 가변 전압원에 있어서,

상기 반도체 다이오드(D1, D2, D3, D4)의 각각의 p형 흡수층은, 이 p형 흡수층의 밴드 갭보다 더 큰 밴드 갭을 갖는 p 도핑된 부동화 층에 의해 부동화되며, 제1 스택(ST1)의 하면의 근처에는 외주 단차부(STU)가 형성되고, 상기 단차부(STU)의 높이는 100nm를 초과하고,

상기 제1 스택(ST1)은 기판(SUB) 상에 배열되며, 상기 기판(SUB)은 반도체 재료를 포함하는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 2

제1항에 있어서, 상기 부분 전압원들의 부분 소스 전압들은 서로 상대적으로 10% 미만의 편차를 나타내는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 3

제1항 또는 제2항에 있어서, 상기 반도체 다이오드들(D1, D2, D3, D4, D5)은 각각 동일한 반도체 재료를 포함하는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 4

삭제

청구항 5

제1항 또는 제2항에 있어서, 상기 제1 스택(ST1)은 2mm² 미만, 또는 1mm² 미만의 베이스면을 포함하는 것을 특징

으로 하는, 가변 전압원(VQ).

청구항 6

제5항에 있어서, 상기 베이스면은 사각형으로 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 7

제1항 또는 제2항에 있어서, 상기 제1 스택(ST1)의 상면 상에 제1 전압 단자(VSUP1)가 외주를 따라 연장되는 제1 금속 접점(K1)으로서 테두리(R)의 근처에 형성되거나, 또는 단일의 접촉면(K1)으로서 상기 테두리(R) 상에 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 8

제1항 또는 제2항에 있어서, 상기 제1 스택(ST1)의 하면 상에 제2 전압 단자(VSUP2)가 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 9

제8항에 있어서, 상기 제2 전압 단자(VSUP2)는 기판을 통해 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 10

제1항 또는 제2항에 있어서, 제2 스택(ST2)이 형성되며, 상기 제1 스택(ST1)과 상기 제2 스택(ST2)은 공통 캐리어 상에 서로 나란히 배열되고, 상기 두 스택(ST1, ST2)은 서로 직렬로 연결되며, 그럼으로써 상기 제1 스택(ST1)의 소스 전압(VQ1)과 상기 제2 스택(ST2)의 소스 전압(VQ2)이 가산되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 11

제1항 또는 제2항에 있어서, 상기 반도체 재료 및 상기 기판 중 적어도 하나는 III-V 재료들로 구성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 12

제1항 또는 제2항에 있어서, 상기 기판은 게르마늄 또는 갈륨 비화물을 포함하는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 13

제1항 또는 제2항에 있어서, 상기 스택의 최하위 반도체 다이오드의 하부에 반도체 미러가 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 14

제1항 또는 제2항에 있어서, 상기 스택(ST1)의 반도체 층들은 비화물 함유 층들 및 인화물 함유 층들을 동시에 포함하는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 15

제1항 또는 제2항에 있어서, 상기 제1 스택의 에지는 기판의 바로 인접하는 측면 표면으로부터 최소 5 μ m와 최대 500 μ m만큼 이격되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 16

제1항 또는 제2항에 있어서, 하나 이상의 반도체 다이오드에서 상기 p형 흡수층과 상기 n형 흡수층 사이에 진성 층이 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 17

제16항에 있어서, 상기 진성 층은 최하위 반도체 다이오드에서 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 18

제16항에 있어서, 상기 진성 층은 모든 반도체 다이오드에서 형성되는 것을 특징으로 하는, 가변 전압원(VQ).

청구항 19

제1항 또는 제2항에 있어서, 게르마늄 기관 상에 정확히 2개의 반도체 다이오드가 배열되며, 상기 반도체 다이오드들은 각각 흡수 재료로서 상기 Ge 기관에 격자 매칭된 InGaAs 화합물을 포함하는 것을 특징으로 하는, 가변 전압원(VQ).

발명의 설명

기술 분야

[0001] 본 발명은 가변 전압원에 관한 것이다.

배경 기술

[0002] US 4 127 862, US 6 239 354 B1, DE 10 2010 001 420 A1로부터, Applied Physics Letters(응용 물리학 저널) 64호 1980(1994년)에 실린 나더 M. 칼크호란(Nader M. Kalkhoran) 등의 논문 "Cobalt disilicide intercell ohmic contacts for multijunction photovoltaic energy converts(다중 접합 태양광 에너지 컨버터용 코발트 다이실리사이드 셀간 저항성 접촉)"으로부터, 그리고 Photovoltaic Specialists Conference(태양광 전문가 학회), 2008, PVSC '08, 33차 IEEE, 1~5쪽(ISBN: 978-1-4244-1640-0)에 실린 A. 베틀(A. Bett) 등의 논문 "III-V Solar cells under monochromatic illumination(단색 조명 하의 III-V 태양 전지)"로부터 가변 전압원들이 공지되어 있고, 또는 III-V 재료들로 이루어진 태양 전지들 역시도 공지되어 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 과제는, 상기 배경에서, 종래 기술을 개선하는 장치를 명시하는 것에 있다.

과제의 해결 수단

[0004] 상기 과제는, 특히 청구항 제1항의 특징들을 갖는 가변 전압원을 통해 해결된다. 본 발명의 바람직한 구현예들은 종속 청구항들의 대상이다.

[0005] 본 발명의 대상에 따라서, 반도체 다이오드로서 형성되어 서로 직렬로 연결되는 복수 개(N)의 부분 전압원(partial voltage source)을 포함하는 가변 전압원이 제공되며, 부분 전압원들 각각은 p-n 접합을 갖는 반도체 다이오드를 포함하며, 그리고 반도체 다이오드는 p 도핑된 흡수층을 포함하고, p형 흡수층은 이 p형 흡수층의 밴드 갭(band gap)보다 더 큰 밴드 갭을 갖는 p 도핑된 부동화 층(passivation layer)에 의해 부동화되며, 그리고 반도체 다이오드는 n형 흡수층을 포함하고, n형 흡수층은 이 n형 흡수층의 밴드 갭보다 더 큰 밴드 갭을 갖는 n 도핑된 부동화 층에 의해 부동화되며, 그리고 개별 부분 전압원들의 부분 소스 전압들은 서로 상대적으로 20% 미만의 편차를 나타내며, 그리고 각각 2개의 연속되는 부분 전압원 사이에 하나의 터널 다이오드가 형성되고, 이 터널 다이오드는 p/n형 흡수층들의 밴드 갭보다 더 큰 밴드 갭을 갖는 복수의 반도체 층을 포함하고, 상대적으로 더 큰 밴드 갭을 갖는 반도체 층들은 각각 화학량론이 가변하는 재료, 및/또는 반도체 다이오드의 p/n형 흡수층들과 다른 원소 조성물로 구성되며, 그리고 부분 전압원들과 터널 다이오드들은 함께 모놀리식으로 집적화되어 함께 상면 및 하면을 포함한 하나의 제1 스택을 형성하며, 그리고 부분 전압원들의 개수(N)는 2보다 크거나 같으며, 광은 상면에서 제1 스택 상에 부딪치고, 스택 상면 상에서 조사 표면의 크기는 실질적으로 상면 상에서 제1 스택의 표면의 크기에 상응하며, 그리고 제1 스택은 12 μ m 미만의 총 두께를 보유하며, 그리고 300K에서 제1 스택은, 이 제1 스택이 광자 흐름으로 조사되는 점에 한해, 2.2볼트를 초과하는 소스 전압을 나타내며, 그리고 제1 스택의 상면으로부터 제1 스택의 하면 쪽으로 향하는 광 입사 방향으로 반도체 다이오드의 p형 및 n형 흡수층들의 총 두께는 최상위 반도체 다이오드로부터 최하위 반도체 다이오드 쪽으로 갈수록 증가하고, 제1 스택의 하면의 근처에는 외주 단차부가 형성되며, 이 단차부의 높이는 100nm를 초과한다.

[0006] 주지할 사항은, 실질적으로 상면 상에서 제1 스택의 표면의 크기와 스택 상면 상의 조사 표면의 비교와 관련한 표현은 특히 20% 미만, 또는 바람직하게는 10% 미만, 또는 바람직하게는 5% 미만인 표면에서의 차이를 의미하며

나, 또는 최고로 바람직하게는 두 표면은 동일하다는 점이다.

- [0007] 또한, 주지할 사항은, 스택 상면의 조사를 위한 "광"이란 표현은 흡수층들의 흡수의 영역에서 파장의 스펙트럼을 갖는 광을 의미한다는 점이다. 자명한 사실로서, 특정 파장, 즉 흡수 파장, 다시 말하면 흡수층들의 흡수의 영역의 파장을 갖는 단색 광 역시도 적합하다.
- [0008] 자명한 사실로서, 바람직하게는 제1 스택의 전체 상면, 다시 말하면 전체 표면, 또는 거의 전체 표면은 특정 파장의 광으로 조사된다. 주지할 사항은, 광범위한 실험에서 놀라운 방식으로 확인된 점에 따르면, 종래 기술과 달리, 바람직한 방식으로 본원의 모놀리식 스택 접근법에 의해 2.2V를 상회하는 소스 전압이 달성된다는 점이다. 또한, 주지할 사항은, 하기에서 다이오드와 반도체 다이오드의 개념들은 동의어로 이용된다는 점이다.
- [0009] 본 발명에 따른 장치의 장점은, 3 이상의 볼트를 상회하기도 하는 전압 값들을 갖는 전압원의 복수의 부분 전압원의 연이은 연결을 통해, 모놀리식 집적화 구성에 의해, 간단하면서도 경제적인 뿐만 아니라 신뢰성 있는 전압원이 제조된다는 점이다. 추가 장점은, 스택형 배열에 의해, 실리콘 다이오드들을 포함한 종래의 측면 배열에 비해, 큰 표면 절약이 달성된다는 점이다. 특히 전송 다이오드(transmitting diode) 또는 광원에 의해 단지 스택의 훨씬 더 작은 수신 표면만 조사되기만 하면 된다.
- [0010] 한 개선예에서, 개별 부분 전압원들의 부분 소스 전압들은 10% 미만으로 서로 다르다. 그 결과, 가변 전압원으로서, 특히 기준 전압원으로서의 사용 가능성은 실질적으로 개선된다. 자명한 사실로서, "가변성(scalability)"의 개념은 전체 스택의 소스 전압의 레벨에 관한 것이다.
- [0011] 또 다른 개선예에서, 반도체 다이오드들은 각각 동일한 반도체 재료를 포함하고, 이 경우 다이오드들의 반도체 재료는 동일한 결정 조성(crystal composition)을 보유하며, 바람직하게는 화학양론이 거의 동일하거나, 또는 바람직하게는 정확히 동일하다. 또한, 바람직하게는 기판 상에 제1 스택을 배열한다. 한 실시형태에서, 반도체 재료 및/또는 기판은 III-V 재료들로 구성된다. 특히 바람직하게는 기판은 게르마늄 또는 갈륨 비화물을 포함하고, 그리고/또는 기판 상의 반도체 층들은 비소 및/또는 인을 포함한다. 달리 표현하면, 반도체 층들은 As 함유 층들과 P 함유 층들, 다시 말하면 비화물 층들에 대한 예시로서의 GaAs 또는 AlGaAs 또는 InGaAs와 인 층들에 대한 예시로서의 InGaP로 이루어진 층들을 포함한다.
- [0012] 바람직하게는, 제1 스택의 하면 상에 제2 전압 단자를 형성하며, 특히 제2 전압 단자는 기판을 통해 형성된다.
- [0013] 또 다른 실시형태에서, 반도체 다이오드들은 기판과 동일한 재료로 구성된다. 장점은, 이런 경우 특히 두 부재의 팽창 계수들이 같아진다는 점이다. 바람직하게는, 반도체 다이오드들은 원칙상 III-V 재료로 구성된다. 특히 GaAs를 이용하는 점이 바람직하다.
- [0014] 바람직한 실시형태에서, 제1 스택의 상면 상에서 제1 전압 단자는 외주를 따라 연장되는 금속 접점으로서 테두리의 근처에 형성되거나, 또는 단일의 접촉면으로서 테두리 상에 형성된다.
- [0015] 또한, 바람직하게는, 제1 스택은 2mm² 미만, 또는 1mm² 미만의 베이스면을 보유한다. 실험으로 확인된 점에 따르면, 바람직하게는 베이스면을 4각형으로 형성한다. 바람직하게 스택의 베이스면은 정방형으로 형성된다.
- [0016] 추가의 실험으로 확인된 점에 따르면, 특히 높은 전압을 달성하기 위해, 바람직하게는 제2 스택을 형성하고, 두 스택을 서로 직렬로 연결하며, 그럼으로써 제1 스택의 소스 전압과 제2 스택의 소스 전압이 가산된다. 바람직하게 제1 스택 및 제2 스택은 공통 캐리어 상에 서로 나란히 배열된다.
- [0017] 한 개선예에서, 제1 스택의 소스 전압은 제2 스택의 소스 전압과 15% 미만만큼 다르다.
- [0018] 또한, 바람직하게는, 스택의 최하위 반도체 다이오드의 하부에 반도체 미려가 형성된다. 실험으로 확인된 점에 따르면, 층들의 전면(full-surface) 제조, 바람직하게는 에피택시 제조 후에 이른바 메사 에칭(mesa etching)이 실행됨으로써, 복수의 스택이 반도체 웨이퍼 또는 반도체 기판 디스크 상에 서로 나란히 형성된다. 이를 위해, 마스크 공정에 의해 래커 마스크가 생성되고 그런 다음 바람직하게는 메사 트렌치들(mesa trench)의 생성을 위한 습식 화학 에칭이 실행된다. 메사 에칭은 바람직하게는 기판 내에서, 또는 기판 상에서 정지한다.
- [0019] 한 개선예에서, 바람직하게는, 각각의 스택은 하면의 근처에 외주 견부형 테두리를 포함하며, 2개의 직접적으로 이웃하는 스택에서 스택 구조의 외면들 상에는 외주 테두리가 공통 외주 테두리로서 형성되며, 그럼으로써 전압원은 외주 테두리를 포함하게 된다.
- [0020] 바람직하게 테두리는 단차형으로, 또는 단차부로서 형성된다. 이 경우, 테두리 또는 단차부의 표면은 바람직하게는 대부분 평면 표면을 보유하고, 테두리 또는 단차부의 표면의 법선은 제1 스택의 표면의 법선들 또는 각각

의 스택의 표면들의 법선들에 대해 평행하게, 또는 거의 평행하게 형성된다. 주지할 사항은, 테두리 또는 단차부의 측면 표면은 테두리 또는 단차부의 표면에 대해 대개 수직으로 또는 정확히 수직으로 형성된다. 이러한 단차부의 높이는 100nm를 초과하고, 즉 외주 측면 표면은 충분한 기계적 안정성을 달성하기 위해 100nm를 초과하는 높이를 갖는다. 특히 단차부는 1000 μm 미만의 높이를 갖는다.

[0021] 테두리 또는 단차부의 에지는 각각 제1 스택의 4개의 측면 표면 각각으로부터, 또는 각각 복수의 스택의 측면 표면들로부터 최소 5 μm 와 최대 500 μm 만큼 이격된다. 바람직하게는 각각 바로 인접하는 측면 표면까지 에지의 이격 범위는 10 μm 와 300 μm 사이이다. 특히 이격 범위는 50 μm 와 250 μm 사이이다.

[0022] 바람직하게 제1 스택의 측면 표면들 및 특히 스택들의 모든 측면 표면은 평면이며, 그리고 특히 수직으로, 또는 거의 수직으로 형성된다. 특히 측면 표면들 상에서의 법선들은, 인접한 테두리 표면들의 법선들 또는 스택 표면들의 법선들에 비해, 80° 와 110° 사이의 각도 범위이며, 다시 말하면 측면 표면 및 바로 인접하는 테두리 표면의 법선들은 서로 실질적으로 직교한다. 바람직하게 각도 범위는 85° 와 105° 사이이다.

[0023] 한 개선예에서, 하나 이상의 반도체 다이오드에서 p형 흡수층과 n형 흡수층 사이에는 진성 층(intrinsic layer)이 형성된다. 한 실시형태에서, 진성 층은 최하위 반도체 다이오드에서 형성된다. 또 다른 개선예에서, 진성 층은 모든 반도체 다이오드에서 형성된다. 이 경우, 진성 층은, 1E16 1/cm³ 이하, 바람직하게는 5E15 1/cm³ 미만, 최고로 바람직하게는 1.5 E15 1/cm³ 미만의 도펀트를 포함하는 반도체 층을 의미한다.

[0024] 한 실시형태에서, 게르마늄 기판 상에는 정확히 2개의 반도체 다이오드가 배열되며, 반도체 다이오드들은 각각 흡수 재료로서 Ge 기판에 격자 매칭되는 InGaAs 화합물을 포함한다.

[0025] 본 발명은 하기에서 도면들과 관련하여 더 상세하게 설명된다. 이 경우, 동일한 유형의 부재들은 동일한 도면 부호들로 표시된다. 도시된 실시형태들은 매우 단순화되어 있으며, 다시 말하면 이격 간격들과 측면 및 수직 연장부들은 일정한 축척 비율이 아니며, 그리고, 달리 명시되어 있지 않은 점에 한해, 서로 상대적으로 도출 가능한 기하학적 관계들을 갖지 않는다.

도면의 간단한 설명

- [0026] 도 1은 하나의 스택 및 2개의 부분 전압원을 포함하는 가변 전압원의 본 발명에 따른 제1 실시형태의 도면이다.
- 도 2는 각각 2개의 부분 전압원을 구비한 복수의 스택을 포함하는 가변 전압원의 제2 실시형태의 도면이다.
- 도 3은 3개의 부분 전압원을 구비한 하나의 스택을 포함하는 가변 전압원의 본 발명에 따른 제3 실시형태의 도면이다.
- 도 4는 각각 3개의 부분 전압원을 구비한 복수의 스택을 포함하는 가변 전압원의 제4 실시형태의 도면이다.
- 도 5는 서로 다른 두개의 흡수 영역을 갖는 총 5개의 다이오드를 포함한 한 실시형태의 도면이다.
- 도 6은 외주 건부형 단차부를 포함하는 스택의 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 도 1의 도면에는, 2와 동일한 개수(N)의 다이오드를 구비하면서 상면 및 하면을 갖는 제1 스택(ST1)을 구비한 가변 전압원(VQ)을 포함하면서, 2개의 부분 전압원을 포함한 제1 실시형태가 개략도로 도시되어 있다. 제1 스택(ST1)은 제1 다이오드(D1)와 제1 터널 다이오드(T1)와 제2 다이오드(D2)로 이루어진 직렬 회로를 포함한다. 스택(ST1)의 상면 상에는 제1 전압 단자(VSUP1)가 형성되고, 스택(ST1)의 하면 상에는 제2 전압 단자(VSUP2)가 형성된다. 제1 스택(ST1)의 소스 전압(VQ1)은 여기서는 개별 다이오드들(D1 내지 D2)의 부분 전압들로 구성된다. 이를 위해, 제1 스택(ST1)은 광자 흐름, 다시 말하면 광(L)에 노출된다.

[0028] 다이오드들(D1 내지 D2) 및 터널 다이오드(T1)의 제1 스택(ST1)은 바람직하게는 동일한 반도체 재료로 모놀리식 으로 형성된 블록으로서 실현된다.

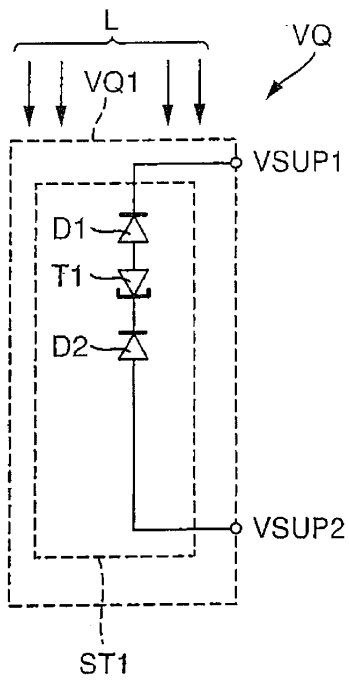
[0029] 도 2의 도면에는, 제1 스택(ST1)과 제2 스택(ST2)이 바람직하게 차례로 배열되는 추가 실시형태가 형성되어 있다. 두 스택(ST1 및 ST2)은 각각 2개의 부분 전압원을 포함한다. 하기에서는 도 1의 도면과 다른 차이점만이 설명된다. 제2 스택(ST2)은, 제1 스택(ST1)처럼, 자신들 사이에 터널 다이오드들이 형성되는 2개의 다이오드로 이루어진 직렬 회로를 포함한다. 두 스택(ST1 및 ST2)은 서로 직렬로 연결되며, 그럼으로써 두 스택(ST1 및 ST2)이 광자 흐름(L)에 노출되는 점에 한해, 제1 스택(ST1)의 소스 전압(VQ1)과 제2 스택(ST2)의 소스 전압

(VQ2)이 가산된다.

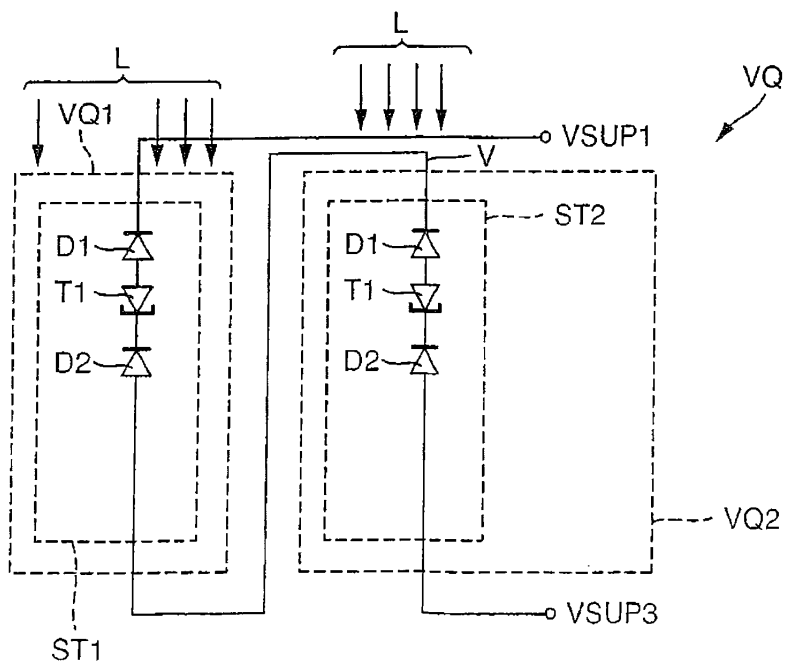
- [0030] 도 3의 도면에는, 3개와 동일한 개수(N)의 다이오드를 구비하면서 상면 및 하면을 갖는 제1 스택(ST1)을 구비한 가변 전압원(VQ)을 포함하면서, 3개의 부분 전압원을 포함한 제1 실시형태가 개략도로 도시되어 있다. 제1 스택(ST1)은 제1 다이오드(D1)와 제1 터널 다이오드(T1)와 제2 다이오드(D2)와 제2 터널 다이오드(T2)와 제3 다이오드(D3)로 이루어진 직렬 회로를 포함한다. 스택(ST1)의 상면 상에는 제1 전압 단자(VSUP1)가 형성되고 스택(ST1)의 하면 상에는 제2 전압 단자(VSUP2)가 형성된다. 제1 스택(ST1)의 소스 전압(VQ1)은 여기서는 실질적으로 개별 다이오드들(D1 내지 D3)의 부분 전압들로 구성된다. 이를 위해, 제1 스택(ST1)은 광자 흐름, 다시 말하면 광(L)에 노출된다.
- [0031] 다이오드들(D1 내지 D3) 및 터널 다이오드들(T1 및 T2)의 제1 스택(ST1)은 바람직하게는 동일한 반도체 재료로 모놀리식으로 형성된 블록으로서 실현된다.
- [0032] 도 4의 도면에는, 제1 스택(ST1)과 제2 스택(ST2)이 바람직하게 차례로 배열되는 추가 실시형태가 형성되어 있다. 여기서 두 스택(ST1 및 ST2)은 각각 3개의 부분 전압원을 포함한다. 하기에서는 도 3의 도면과 다른 차이점만이 설명된다. 제2 스택(ST2)은, 제1 스택(ST1)처럼, 자신들 사이에 터널 다이오드들이 형성되는 3개의 다이오드로 이루어진 직렬 회로를 포함한다. 두 스택(ST1 및 ST2)은 서로 직렬로 연결되며, 그럼으로써 두 스택(ST1 및 ST2)이 광자 흐름(L)에 노출되는 점에 한해, 제1 스택(ST1)의 소스 전압(VQ1)과 제2 스택(ST2)의 소스 전압(VQ2)이 가산된다.
- [0033] 미도시한 실시형태에서, 두 스택(ST1 및 ST2)은 서로 상대적으로 각각 직렬 회로 내에 연결된 상이한 개수의 다이오드를 포함한다. 또 다른 미도시한 실시형태에서, 적어도 제1 스택(ST1) 및/또는 제2 스택(ST2)은 직렬 회로 내에 연결된 3개보다 많은 다이오드를 포함한다. 그 결과, 전압원(VQ)의 전압 레벨은 가변된다. 바람직하게 개수(N)는 4개와 8개 사이의 범위이다. 추가의 미도시한 실시형태에서, 두 스택(ST1 및 ST2)은 서로 병렬로 연결된다.
- [0034] 도 5의 도면에는, 반도체 층들이 바람직하게는 차례로 배열되어 제1 스택(ST1)을 형성하는 한 실시형태가 도시되어 있다. 하기에서는 도 1의 도면과 다른 차이점만이 설명된다. 제1 스택(ST1)은 다이오드들(D1 내지 D5)로서 형성되어 직렬로 연결된 총 5개의 부분 전압원을 포함한다. 광(L)은 제1 다이오드(D1)의 표면(OB) 상에 부딪힌다. 표면(OB)은 거의 또는 완전히 투사된다. 2개의 연속되는 다이오드(D1 ~ D5) 사이에는 각각 하나의 터널 다이오드(T1 ~ T4)가 형성된다. 표면(OB)으로부터 개별 다이오드들(D1 ~ D5)의 이격 거리가 증가함에 따라, 흡수 영역의 두께도 증가하며, 그럼으로써 최하위 다이오드(D5)는 가장 두꺼운 흡수 영역을 보유하게 된다. 전체적으로 제1 스택(ST1)의 총 두께는 12 μ m보다 작거나 같다. 최하위 다이오드(D5)의 하부에는 기관(SUB)이 형성된다.
- [0035] 도 6의 도면에는, 반도체 층들이 바람직하게는 차례로 배열되어 외주 견부형 단차부를 포함하는 제1 스택(ST1)을 형성하는 한 실시형태가 도시되어 있다. 하기에서는 도 3의 도면과 다른 차이점만이 설명된다. 제1 스택(ST1)의 표면(OB) 상에서 테두리(R) 상에는 제1 금속 접속 접점(K1)이 형성된다. 제1 접속 접점(K1)은 제1 전압 단자(VSUP1)와 연결된다(미도시). 기관(SUB)은 상면(OS)을 포함하고, 기관(SUB)의 상면(OS)은 최하위 다이오드, 즉 제5 다이오드(D5)와 재료 결합 방식으로 연결된다. 이 경우, 자명한 사실로서, 기관 상에는 얇은 핵 생성층 및 완충층이 에피택셜 방식으로 생성되며, 그런 후에 기관 상에 제5 다이오드가 배열되어 기관의 상면(OS)과 재료 결합 방식으로 연결된다. 기관(SUB)의 상면(OS)은 제1 스택(ST1)의 하면 상의 표면보다 더 큰 표면을 포함한다. 그 결과, 외주 단차부(STU)가 형성된다. 단차부(STU)의 테두리는 단차부의 제1 스택(ST1)의 바로 인접하는 측면 표면으로부터 5 μ m 초과 500 μ m 미만만큼 이격되며, 이는 도면부호 STU의 길이로서 도시되어 있다. 단차부(STU)의 측면 표면의 높이는 100nm를 초과한다. 기관(SUB)의 하면 상에는 전면의 제2 금속 접속 접점(K2)이 형성된다. 제2 접속 접점(K2)은 제2 전압 단자(VSUP2)와 연결된다(미도시).

도면

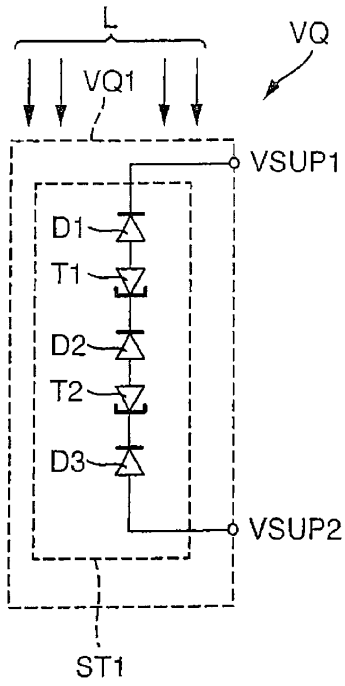
도면1



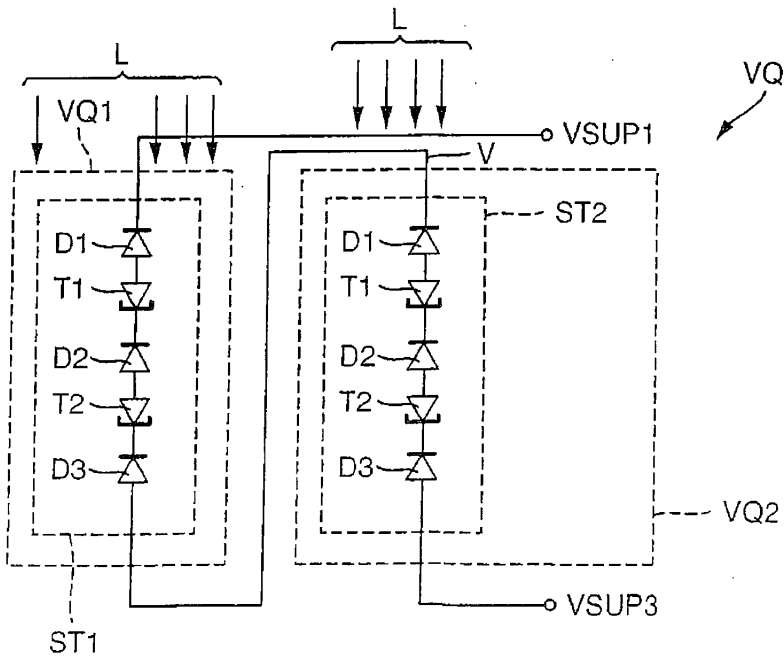
도면2



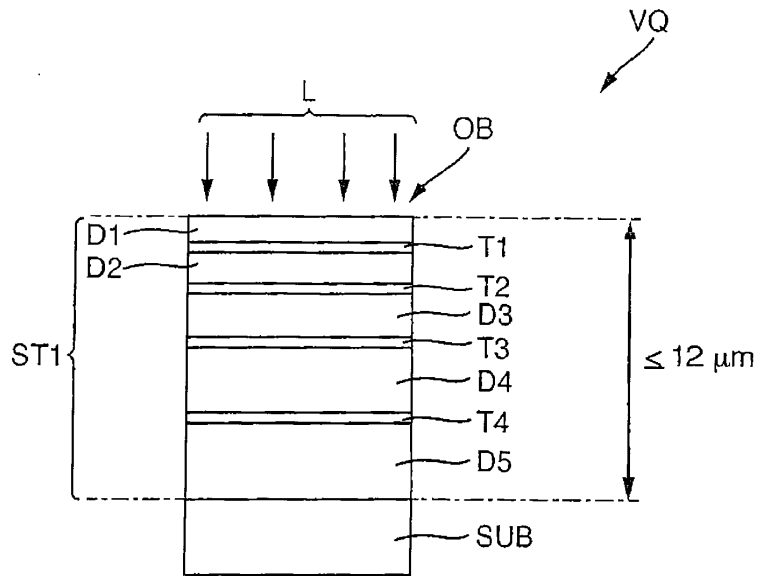
도면3



도면4



도면5



도면6

