

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-527091

(P2007-527091A)

(43) 公表日 平成19年9月20日(2007.9.20)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G 1 1 C 29/50 (2006.01)</b>	G 1 1 C 29/00 6 7 1 M	5 L 1 0 6
<b>G 1 1 C 11/401 (2006.01)</b>	G 1 1 C 11/34 3 7 1 A	5 M O 2 4

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2007-501438 (P2007-501438)  
 (86) (22) 出願日 平成17年3月3日(2005.3.3)  
 (85) 翻訳文提出日 平成18年7月27日(2006.7.27)  
 (86) 国際出願番号 PCT/IB2005/050800  
 (87) 国際公開番号 W02005/088644  
 (87) 国際公開日 平成17年9月22日(2005.9.22)  
 (31) 優先権主張番号 60/550,416  
 (32) 優先日 平成16年3月5日(2004.3.5)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 60/590,402  
 (32) 優先日 平成16年7月21日(2004.7.21)  
 (33) 優先権主張国 米国 (US)

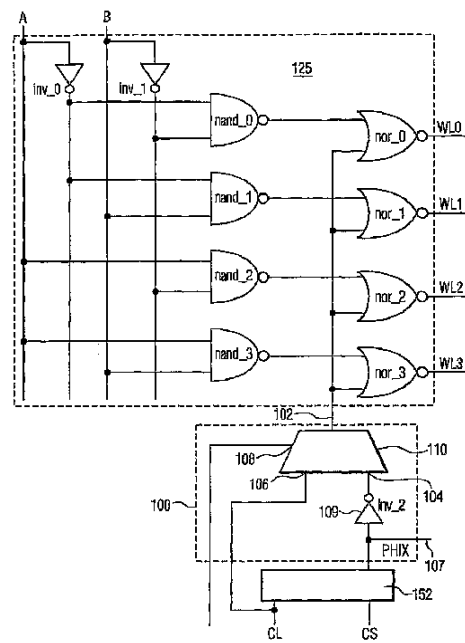
(71) 出願人 590000248  
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
 オランダ国 5621 ペーアー アインドーフエン フルネヴァウツウェッハ 1  
 (74) 代理人 100087789  
 弁理士 津軽 進  
 (74) 代理人 100114753  
 弁理士 宮崎 昭彦  
 (74) 代理人 100122769  
 弁理士 笛田 秀仙

最終頁に続く

(54) 【発明の名称】 遅延障害を検出するためのセルフタイミング型メモリを強化する D F T 技術

(57) 【要約】

本発明は、クロックモニタ(152)とセルフタイミング型メモリの内部メモリブロック(125)との間に挿入されるテストシステム(100)に関する。例示の実施例において、テストシステム(100)は、クロックモニタ(152)からの内部クロック信号(104)と、外部クロック信号(CL)と、制御信号(CS)とを受信する。テストシステムのマルチプレクサ(110)は、制御信号(CS)に応じて、セルフタイミング型メモリの動作のノーマルモードにおいて内部メモリブロック(125)に内部クロック信号(104)を供給し、セルフタイミング型メモリのテストモード(108)において外部クロック信号(CL)を内部メモリブロック(125)に供給する。テストシステム(100)は、テストモードにおいて外部クロック信号(CL)を直接供給することにより、内部メモリブロック(125)のクロックサイクルの制御を可能とする。したがって、内部メモリブロックは、小さな遅延障害の検出を可能とするよう適正に強化される。



## 【特許請求の範囲】

## 【請求項 1】

外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記セルフタイミング型メモリのクロックモニタから内部クロック信号を受信すること、外部クロック信号を受信すること、制御信号を受信すること、及び前記制御信号に応じて前記セルフタイミング型メモリの動作のノーマルモードにおいて前記内部クロック信号を前記内部メモリブロックに前記セルフタイミング型メモリのテストモードにおいて前記外部クロック信号を前記内部メモリブロックに供給することを含む方法。

## 【請求項 2】

請求項 1 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記テストモードにおいて受信される前記外部クロック信号は、所定のテストパターンに応じて発生される、方法。 10

## 【請求項 3】

請求項 2 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記テストモードにおいて受信される前記外部クロック信号は、前記内部メモリブロックの 50% デューティサイクルよりも小さなデューティサイクルを有する、方法。

## 【請求項 4】

請求項 2 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記テストモードにおいて受信される前記外部クロック信号は、前記内部メモリブロックの 50% デューティサイクルよりも大きなデューティサイクルを有する、方法。 20

## 【請求項 5】

請求項 1 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記内部クロック信号は、制御信号のないときに前記内部メモリブロックに供給される、方法。

## 【請求項 6】

請求項 1 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記テストモードの開始を示す制御信号が供給される、方法。

## 【請求項 7】

請求項 6 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記テストモードの終了を示す制御信号が供給される、方法。 30

## 【請求項 8】

請求項 7 に記載の外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法であって、前記テストモードにおいて少なくとも 1 つの制御信号が供給される、方法。

## 【請求項 9】

内部メモリブロックと、  
外部クロック信号を受信しこれに基づいて内部クロック信号を前記内部メモリブロックに供給するクロックモニタと、 40

前記クロックモニタと前記内部メモリブロックとの間に介在するテストシステムと、  
を有するセルフタイミング型メモリであって、

前記テストシステムは、前記内部クロック信号を受信するために前記クロックモニタとの信号伝送をなす内部クロック信号入力ポートと、前記外部クロック信号を受信するための外部クロック信号入力ポートと、制御信号を受信するための制御信号入力ポートと、前記内部メモリブロックとの信号伝送のための出力ポートと、前記内部クロック信号入力ポート、前記外部クロック信号入力ポート、前記制御信号入力ポート及び前記出力ポートとの信号伝送のためのマルチプレクサとを有し、

当該制御回路は、前記内部クロック信号、前記外部クロック信号及び前記制御信号を受信し、前記制御信号に基づいて前記セルフタイミング型メモリの動作のノーマルモードに 50

において前記出力ポートを介して前記内部クロック信号を前記内部メモリブロックに供給し前記セルフタイミング型メモリのテストモードにおいて前記外部クロック信号を前記内部メモリブロックに供給する、メモリ。

【請求項 10】

請求項 9 に記載のセルフタイミング型メモリであって、前記クロックモニタは、前記外部クロック信号を受信する入力ポートを有し、前記入力ポートは、前記テストシステムの前記外部クロック信号入力ポートに接続される、メモリ。

【請求項 11】

請求項 10 に記載のセルフタイミング型メモリであって、前記テストシステムとの信号伝送のためのテスト回路を有し、前記テスト回路は、前記テストシステムに制御信号を供給し、テストモードにおいて前記テストシステムに前記外部クロック信号を供給する、メモリ。

10

【請求項 12】

請求項 9 に記載のセルフタイミング型メモリであって、前記内部メモリブロックは、アドレスデコーダを有する、メモリ。

【請求項 13】

請求項 9 に記載のセルフタイミング型メモリであって、前記内部メモリブロックは、センス増幅器を有する、メモリ。

【請求項 14】

請求項 9 に記載のセルフタイミング型メモリであって、前記内部メモリブロックは、カラム及びバンクデコーダを有する、メモリ。

20

【請求項 15】

請求項 9 に記載のセルフタイミング型メモリであって、前記内部メモリブロックは、プリチャージ及びディスチャージ回路を有する、メモリ。

【請求項 16】

請求項 9 に記載のセルフタイミング型メモリであって、前記内部メモリブロックは、入力/出力ラッチを有する、メモリ。

【請求項 17】

少なくとも 1 つの内部メモリブロックと、  
外部クロック信号を受信しこれに基づいて内部クロック信号を前記少なくとも 1 つの内部メモリブロックに供給するクロックモニタと、  
前記クロックモニタと前記少なくとも 1 つの内部メモリブロックとの間に介在するテストシステムと、  
を有するセルフタイミング型メモリであって、

30

前記テストシステムは、少なくとも 1 つの内部クロック信号を受信するために前記クロックモニタとの信号伝送をなすための少なくとも 1 つの内部クロック信号入力ポートと、前記外部クロック信号を受信するための外部クロック信号入力ポートと、制御信号を受信するための制御信号入力ポートと、少なくとも 1 つの内部メモリブロックとの信号伝送のための少なくとも 1 つの出力ポートと、前記少なくとも 1 つの内部クロック信号入力ポート、前記外部クロック信号入力ポート、前記制御信号入力ポート及び前記少なくとも 1 つの出力ポートとの信号伝送のための制御回路とを有し、

40

前記制御回路は、前記少なくとも 1 つの内部クロック信号、前記外部クロック信号及び前記制御信号を受信し、前記制御信号に基づいて前記セルフタイミング型メモリの動作のノーマルモードにおいて前記少なくとも 1 つの出力ポートを介して前記少なくとも 1 つの内部クロック信号を前記少なくとも 1 つの内部メモリブロックに供給し前記セルフタイミング型メモリのテストモードにおいて前記外部クロック信号を前記少なくとも 1 つの内部メモリブロックのうちの少なくとも 1 つに供給する、メモリ。

【請求項 18】

50

請求項 17 に記載のセルフタイミング型メモリであって、前記制御回路は、マルチプレクサを有する、メモリ。

【請求項 19】

請求項 18 に記載のセルフタイミング型メモリであって、前記少なくとも 1 つの内部メモリブロックは、アドレスデコーダを有する、メモリ。

【請求項 20】

請求項 19 に記載のセルフタイミング型メモリであって、前記少なくとも 1 つの内部メモリブロックは、センス増幅器を有する、メモリ。

【請求項 21】

請求項 20 に記載のセルフタイミング型メモリであって、前記少なくとも 1 つの内部メモリブロックは、カラム及びバンクデコーダを有する、メモリ。 10

【請求項 22】

請求項 21 に記載のセルフタイミング型メモリであって、前記少なくとも 1 つの内部メモリブロックは、プリチャージ及びディスチャージ回路を有する、メモリ。

【請求項 23】

請求項 22 に記載のセルフタイミング型メモリであって、前記少なくとも 1 つの内部メモリブロックは、入力/出力ラッチを有する、メモリ。

【請求項 24】

請求項 23 に記載のセルフタイミング型メモリであって、前記テストシステムとの信号伝送のためのテスト回路を有し、このテスト回路は、制御信号を前記テストシステムに供給し、テストモードにおいて前記テストシステムに前記外部クロック信号を供給する、メモリ。 20

【発明の詳細な説明】

【技術分野】

【0001】

この出願は、2004年3月5日出願の“DFT Technique for Stressing Self-Timed Semiconductor Memories to Detect Delay Faults”と題された仮出願（通し番号60/550,416）の優先権を主張するものであり、その全部が参照により編入される。

【0002】

本発明は、半導体メモリのテストの分野に関し、特に、半導体メモリの遅延障害を検出するためのテスト（DFT）方法のデザインに関する。 30

【背景技術】

【0003】

集積回路の体系化され自動化されたテストは、益々重要になっている。集積回路の新しい出現の度に、構成要素密度、システム機能の数及びクロック速度が相当に大きくなっている。集積回路は、最も精緻で高価な従来のテスト方法を用いても処理欠陥がもはや検出できないような複雑さ及び速度に達している。しかしながら、需要者は、実際の使用においてそれらの隠れた欠陥が現われこれにより例えば生命維持システム又は航空機制御システムが信頼性のないものとなるような製品を受け付けるものではない。

【0004】

セルフタイミング型の半導体メモリは、当業界においてはよく知られており、高速用途に用いられるのが好ましい。このセルフタイミング型のメモリにおける読出及び書込サイクルは、クロック信号の正又は負のエッジにより起動される。このメモリサイクルは、その完了まで、当該クロックエッジとは無関係に継続する。50%から外れるデューティサイクルの供給は、遅延障害の検出に影響を及ぼす。50%を下回るデューティサイクルは、メモリアドレスデコーダにおいて緩慢な立ち上がりの作用を生じる遅延障害の検出を可能とする。50%を超えるデューティサイクルは、メモリアドレスデコーダにおいて緩慢な立下りの作用を生じる遅延障害の検出を可能とする。さらに、クロックデューティサイクルは、センス増幅器、ビットライン、プリチャージ回路及びディスチャージ回路を強化し、十分に遅延障害検出を向上させる。この分野では、適正なテストパターンが実現され 40 50

たときに「急速な」テストが遅延障害を強化することが知られている。しかしながら、高周波数のビルトインセルフテスト(BIST)の実施には、BISTのための領域をかなり増大させ、多くの用途において許容されない。但し、外部クロックのデューティサイクルを変えることは、セルフタイミング型の半導体メモリの遅延障害の検出に影響を与えない。何故なら、外部クロックの正又は負のエッジは、当該クロックサイクルの端部を制御しないからである。セルフタイミング型メモリにおいては、ダミーブロックに応じて読取/書込動作の終了が内部的に定められる。したがって、緩慢な立ち上がり及び緩慢な立下りの遅延を検出するためにメモリテストを難しいタスクにする外部クロックのデューティサイクルを増大又は減少させることにより、高感度化動作を制御することはできない。

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

セルフタイミング型の半導体メモリにおいて緩慢な立ち上がり及び緩慢な立下り遅延を検出するための高速テストの欠点を克服する方策を提供する必要性がある。

【課題を解決するための手段】

【0006】

本発明は、高速テスト以外のセルフタイミング型の半導体メモリにおける緩慢立ち上がり及び緩慢立下り遅延を検出するのに有益であることが判明した。本発明は、デューティサイクルが緩慢立ち上がり及び緩慢立下り遅延を検出するためのパラメータになるようなセルフタイミング型半導体メモリの内部ブロックの制御性を向上させる技術を提供するものである。

20

【0007】

本発明による一実施例によれば、外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する方法が提供される。本方法は、前記セルフタイミング型メモリのクロックモニタから内部クロック信号を受信すること、外部クロック信号を受信すること、及び制御信号を受信することを含む。前記制御信号に応じて、前記セルフタイミング型メモリの動作のノーマルモードにおいて前記内部クロック信号を前記内部メモリブロックに、前記セルフタイミング型メモリのテストモードにおいて前記外部クロック信号を前記内部メモリブロックに供給する。

【0008】

30

本発明による他の実施例では、内部メモリブロックを有するセルフタイミング型メモリが設けられる。外部クロック信号を受信し、これに基づいて内部クロック信号を内部メモリブロックに供給するクロックモニタが設けられる。クロックモニタと内部メモリブロックとの間にはテストシステムを介在する。このテストシステムは、前記内部クロック信号を受信するために前記クロックモニタとの信号伝送をなす内部クロック信号入力ポートと、前記外部クロック信号を受信するための外部クロック信号入力ポートと、制御信号を受信するための制御信号入力ポートと、前記内部メモリブロックとの信号伝送のための出力ポートと、前記内部クロック信号入力ポート、前記外部クロック信号入力ポート、前記制御信号入力ポート及び前記出力ポートとの信号伝送のためのマルチプレクサとを有し、

【0009】

40

当該制御回路は、前記内部クロック信号、前記外部クロック信号及び前記制御信号を受信し、前記制御信号に基づいて前記セルフタイミング型メモリの動作のノーマルモードにおいて前記出力ポートを介して前記内部クロック信号を前記内部メモリブロックに供給し前記セルフタイミング型メモリのテストモードにおいて前記外部クロック信号を前記内部メモリブロックに供給する。

【0010】

本発明による他の実施例によれば、少なくとも1つの内部メモリブロックと、外部クロック信号を受信しこれに基づいて内部クロック信号を前記少なくとも1つの内部メモリブロックに供給するクロックモニタと、前記クロックモニタと前記少なくとも1つの内部メモリブロックとの間に介在するテストシステムと、を有するセルフタイミング型メモリが

50

提供される。前記テストシステムは、少なくとも1つの内部クロック信号を受信するために前記クロックモニタとの信号伝送をなすための少なくとも1つの内部クロック信号入力ポートと、前記外部クロック信号を受信するための外部クロック信号入力ポートと、制御信号を受信するための制御信号入力ポートと、少なくとも1つの内部メモリブロックとの信号伝送のための少なくとも1つの出力ポートと、前記少なくとも1つの内部クロック信号入力ポート、前記外部クロック信号入力ポート、前記制御信号入力ポート及び前記少なくとも1つの出力ポートとの信号伝送のための制御回路とを有し、前記制御回路は、前記少なくとも1つの内部クロック信号、前記外部クロック信号及び前記制御信号を受信し、前記制御信号に基づいて前記セルフタイミング型メモリの動作のノーマルモードにおいて前記少なくとも1つの出力ポートを介して前記少なくとも1つの内部クロック信号を前記少なくとも1つの内部メモリブロックに供給し前記セルフタイミング型メモリのテストモードにおいて前記外部クロック信号を前記少なくとも1つの内部メモリブロックのうちの少なくとも1つに供給する。

10

**【0011】**

本発明の上記要約は、本発明の開示される各実施例又は全ての態様を表すことを意図したものではない。他の態様及び例示の実施例は、図面及び以下の詳細な説明において提供される。

**【0012】**

本発明は、添付図面に関連して本発明の様々な実施例の次の詳細な説明を考慮してより深く理解することができるものである。

20

**【発明を実施するための最良の形態】****【0013】**

本発明は、様々な変更や代替形態に適用できるが、その特定のものは、図面に例示として示されており、以下に詳細に説明する。但し、その意図は、本発明を説明した特定の実施例に限定するものではないことを理解されたい。これとは対照的に、添付の請求項によって規定されるような本発明の主旨及び範囲内にある全ての変更例、等価概念及び代替例をカバーする意図である。

**【0014】**

セルフタイミング型半導体メモリにおいては、セルフタイミング動作によりデューティサイクル作用が消失する。読取/書込動作の終了は、内部で定められる。したがって、メモリテストを緩慢立ち上がり及び緩慢立下り遅延の検出のために困難なタスクとするセルフタイミング機能メモリの内部メモリブロックにおける動作の始まり又は終わりを制御することは不可能である。

30

**【0015】**

セルフタイミング型メモリのこの欠点は、本発明によるセルフタイミング型メモリをテストするためのテストシステムを組み入れることにより克服される。このテストシステムは、デューティサイクルが緩慢立ち上がり及び緩慢立下り遅延を検出するためのパラメータとなるように内部メモリブロックの制御を可能とするデザイン・フォア・テスト(DFT; Design For Test)技術に基づいている。本発明によるテストシステムを用いてセルフタイミング型メモリの内部機能の始まりと終わりの外部制御を可能とすることにより、遅延障害を検出するために当該デューティサイクルを増大又は減少させることが可能となる。好ましくは、このテストシステムは、遅延障害の検出にかなりのインパクトを呈する内部メモリブロックのデューティサイクルを変更するために実現される。例えば、アドレスデコーダを制御することによって、脆弱な抵抗性開口欠陥によるメモリのワードラインにおける小さな遅延障害を検出することができる。

40

**【0016】**

図1を参照すると、内部クロック信号PHIXにより制御される2-4アドレスデコーダ125が示される。アドレスデコーダ150の制御ロジックたるクロックモニタ152は、外部クロック信号CLの正又は負のエッジに基づいて始動させられる。そして制御ロジック152は、内部クロック信号PHIXを発生する。ワードラインのアクティブ化及

50

び非アクティブ化は、内部クロック信号 P H I X の正又は負のエッジに基づいて制御される。したがって、当該ワードラインのアクティブ化及び非アクティブ化は、外部クロック信号 C L に応じたものとなる。これにより、緩慢立ち上がり及び緩慢立下り遅延障害の検出は、内部クロック信号 P H I X のデューティサイクルに依存し、外部クロック信号 C L には依存しないものとなる。チップセレクト C S は、メモリの動作をアクティブにする信号である。一例のメモリでは、C S が論理「1」であるとき、読出又は書込動作のためにメモリがアクティブとされる。他の例のメモリでは、C S が論理「0」であるとき、読出又は書込動作のためにメモリがアクティブとされる。したがって、メモリのデザインに応じて、inv\_2(109)をバッファと置き換えることができる。

**【0017】**

10

図2を参照すると、2-4アドレスデコーダ125に接続される本発明によるテストシステム100が示される。テストシステム100は、クロックモニタ152からの内部クロック信号 P H I X と外部クロック信号 C L とをそれぞれ受信するクロック信号入力ポート104及び106を含む。制御入力ポート108で受信された制御信号に応じて、マルチプレクサ110は、出力ポート102を介して内部クロック信号107(P H I X)又は外部クロック信号 C L をアドレスデコーダ125に供給する。受信した制御信号に応じて、マルチプレクサ110は、ノーマルモードでは内部クロック信号 P H I X をアドレスデコーダ125に、或いはテストモードでは外部クロック信号 C L を供給する。クロックモニタ152とアドレスデコーダ125との間にテストシステム100を挿入することによって、テストモードにおいて外部クロック信号 C L をアドレスデコーダ125に直接供給することにより、アドレスデコーダ125のクロックサイクルの制御が可能となる。したがって、ワードラインのアクティブ化及び非アクティブ化の開始及び終了は、遅延障害の検出を可能とする外部クロック信号 C L により簡単に制御される。ここで分かるように、当該テストシステムは、センス増幅器、列(カラム)及びバンクデコーダ、プリチャージ及びディスチャージ回路、並びに入力/出力ラッチなどの内部メモリクロックにより制御される複数の内部メモリブロックをカバーするよう簡単に拡張される。

20

**【0018】**

図3Aないし図3Cを参照すると、本発明によるテストシステムの3つの実施例は、2つの内部メモリブロック150及び151にそれぞれ結合される形で示される。単に簡単に示すため、図3Aないし図3Cにおける描写は、2つの内部メモリブロックに限定して

30

**【0019】**

図3Aに示される実現形態では、2つのテストシステム100, 100'がクロックモニタ152と内部メモリブロック150及び151の各々との間に挿入される。すなわち、1つのテストシステムは、1つの内部メモリブロック150及び151をそれぞれ制御するために用いられる。バッファ131は、クロックモニタ152をテストシステム100, 100'の入力に結合する。

**【0020】**

或いは、図3Bに示されるように、2つの出力ポート201及び202をそれぞれ有する1つのテストシステム200は、クロックモニタ152と内部メモリブロック150及び151の各々との間に挿入される。制御入力ポート208で受信された制御信号に応じて、マルチプレクサ210は、出力ポート201及び202を介して、入力ポート204で受信した内部クロック信号 P H I X を、或いは入力ポート206で受信した外部クロック信号 C L を、内部メモリブロック150及び151にそれぞれ供給する。この受信した制御信号に応じて、テストシステム200は、ノーマルモードにおいては内部クロック信号 P H I X を内部メモリブロック150及び151に、或いはテストモードにおいては外部クロック信号 C L を供給する。バッファ231は、クロックモニタ152の1つの出力をテストシステム200の入力に結合する。

40

**【0021】**

50

図3Cに示される例示の実施例では、テストシステム300は、入力ポート304及び305を介して内部メモリブロック150及び151それぞれのための2つの内部クロック信号を受信する。制御入力ポート308で受信した制御信号に応じて、マルチプレクサ310は、出力ポート301及び302を介して、入力ポート304及び305で受信した内部クロック信号を、或いは、入力ポート306で受信した外部クロック信号CLを、内部メモリブロック150及び151にそれぞれ供給する。バッファ331, 332は、クロックモニタ152の出力をテストシステム300の入力304, 305と結合する。

#### 【0022】

図4を参照する。本発明の実施例によるテストシステム410は、セルフタイミング型メモリ415に結合される。テストシステム410は、アドレスデコーダのためのクロック430とメモリ415の他のブロックを制御するための内部クロック425(PHIX)とを発生する。テストシステム410は、テストモード入力411、外部クロック信号入力412及びチップセレクト413を有する。

10

#### 【0023】

他の例示の実施例においては、制御信号入力ポート及び外部クロック信号入力ポートがメモリのもと同じチップ上に実現されるテスト回路に接続される。このテスト回路は、テストシステムの動作のモードを制御する。例えば、テスト回路は、テストモードを開始させるための制御信号、及び(オプションとしては当該テストモード中において)テストモードを終了させるための制御信号を供給する。1つの例示実施例では、テストシステムは、制御信号が何ら受信されないときにノーマルモードで動作する。テストモード中の制御信号の供給により、例えば、所定のテストパターンに応じて異なる内部メモリブロックに外部クロック信号の供給を切り換えることにより1つのテストシステムを用いて複数の内部メモリブロックのテストが可能となる。テスト回路は、例えば内部メモリブロックの50%デューティサイクルよりも小さいか又は大きなデューティサイクルを有する、遅延障害検出用の所定テストパターンに応じた外部クロック信号を発生し、それをテストモード中にテストシステムに供給する。

20

#### 【0024】

本発明によるテストシステムは、セルフタイミング型メモリにおける遅延障害を検出する能力を格段に向上させるテストモードにおいて外部クロック信号により内部メモリブロックを強化するためのDFI技術を容易に実現する。テストシステムの回路は、現行技術を用いたセルフタイミング型半導体メモリの現行の設計に容易に統合される。さらに、このテストシステムは、そのテスト能力を相当に向上させるとともに、その実現のための領域面でのオーバーヘッドを最小限で済ますものである。本発明の実施例を実現するプロセスを、図5に示すことができる。方法700は、外部クロック信号をセルフタイミング型メモリの内部メモリブロックに供給する。内部クロック信号は、セルフタイミング型メモリのクロックモニタから受信される(710)。外部クロック信号は受信される(720)。制御信号は受信される(730)。その制御信号状態に基づいて(740)、内部クロック信号は、セルフタイミング型メモリの動作のノーマルモードの間に内部メモリブロックに供給可能となり(750)、外部クロック信号は、セルフタイミング型メモリのテストモードの間内部メモリブロックに供給可能となる(760)。

30

40

#### 【0025】

当業者であれば、本発明の他の沢山の実施例を添付の請求項に規定されるような本発明の主旨及び範囲から逸脱することなく見出すことができる。

#### 【図面の簡単な説明】

#### 【0026】

【図1】内部クロック信号を発生するためのクロックモニタを伴うアドレスデコーダを概略的に示す簡略化されたブロック図(先行技術)。

【図2】本発明によるテストシステムを伴う図1に示されるアドレスデコーダを概略的に示す簡略化されたブロック図(先行技術)。

【図3A】本発明によるテストシステムの一実施例を概略的に示す簡略化されたブロック

50



図。

【図3B】本発明によるテストシステムの他の実施例を概略的に示す簡略化されたブロック図。

【図3C】本発明によるテストシステムのさらに他の実施例を概略的に示す簡略化されたブロック図。

【図4】本発明の実施例によるテストシステムに結合された詳細なセルフタイミング型メモリブロック図。

【図5】本発明による実施例を実現する際のステップのフローチャート。

【図1】

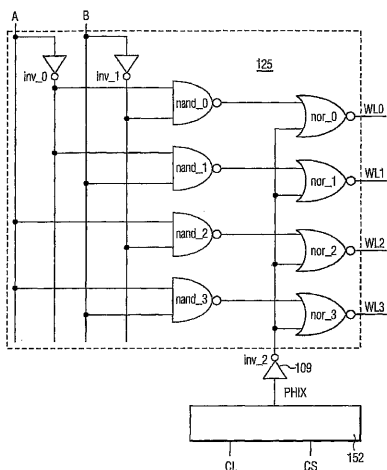


FIG. 1  
PRIOR ART

【図2】

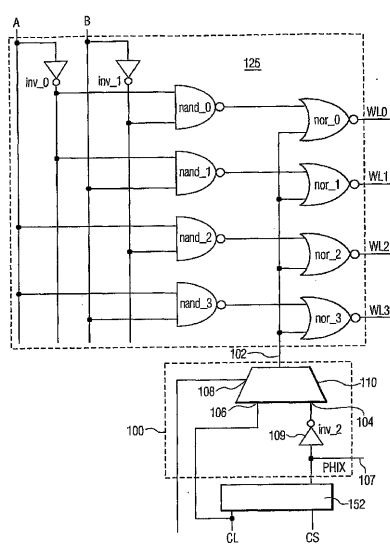


FIG. 2

【 図 3 A 】

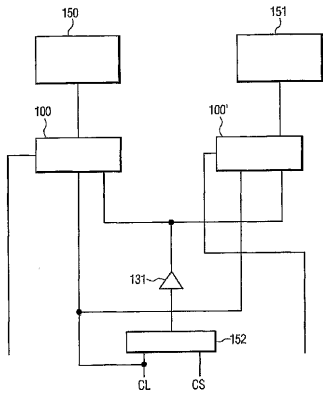


FIG. 3A

【 図 3 B 】

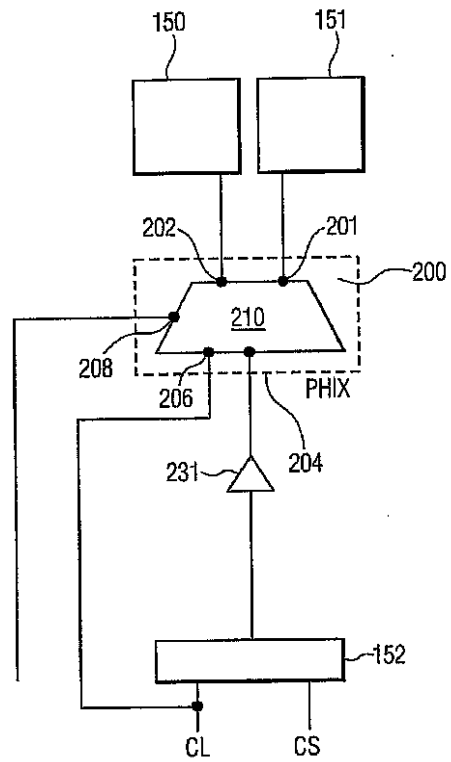


FIG. 3B

【 図 3 C 】

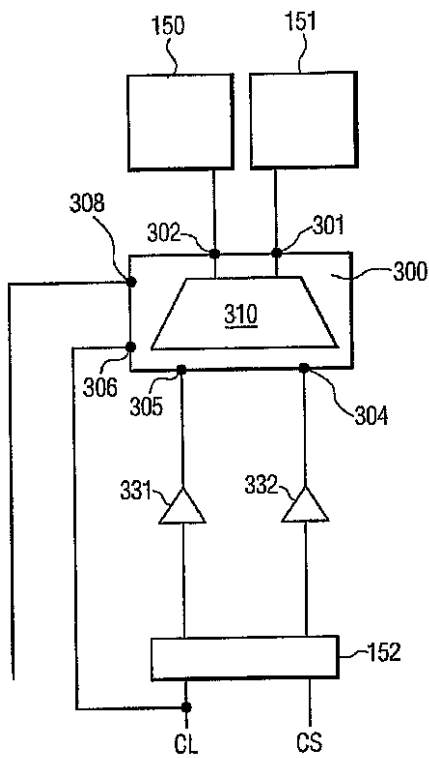


FIG. 3C

【 図 4 】

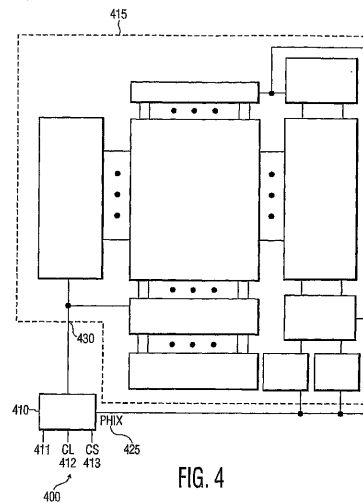
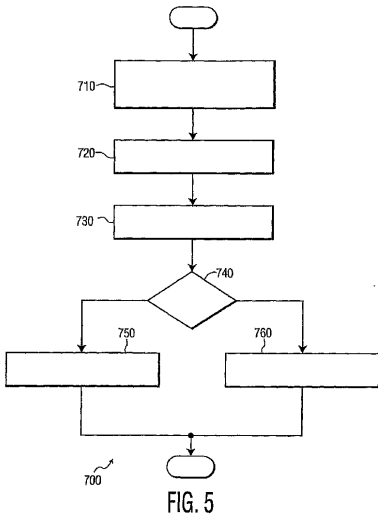


FIG. 4

【 図 5 】



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/IB2005/050800

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 G11C29/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	AZIMANE M ET AL: "New test methodology for resistive open defect detection in memory address decoders" VLSI TEST SYMPOSIUM, 2004. PROCEEDINGS. 22ND IEEE NAPA VALLEY, CA, USA 25-29 APRIL 2004, PISCATAWAY, NJ, USA, IEEE, 25 April 2004 (2004-04-25), pages 123-128, XP010705929 ISBN: 0-7695-2134-7 Items 4.2 - 4.3. figures 5-8	1-24
X	US 6 115 836 A (CHURCHILL ET AL) 5 September 2000 (2000-09-05) column 16, line 47 - column 19, line 10; figure 9	1-24
----- -/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
° Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search 19 July 2005		Date of mailing of the international search report 28/07/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Ríos Báez, A

## INTERNATIONAL SEARCH REPORT

 International Application No  
 PCT/IB2005/050800

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/117881 A1 (JOHNSON BRIAN ET AL) 26 June 2003 (2003-06-26)	1,2,5-24
Y	abstract; figure 2 paragraph '0043!	3,4
Y	EP 0 867 887 A (TEXAS INSTRUMENTS INCORPORATED) 30 September 1998 (1998-09-30)	3
A	abstract; figures 7a-7c column 5, line 52 - line 58	1,2,4-24
Y	WO 02/103706 A (ARTISAN COMPONENTS, INC) 27 December 2002 (2002-12-27)	4
A	abstract; figures 3,4 page 13, line 10 - line 27 page 15, line 12 - line 25	1-3,5-24
X	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 03, 3 April 2002 (2002-04-03) & JP 2001 332099 A (HITACHI LTD; HITACHI ULSI SYSTEMS CO LTD), 30 November 2001 (2001-11-30)	1,2,5-8
A	abstract	3,4,9-24

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No  
PCT/IB2005/050800

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6115836	A	05-09-2000	NONE	
US 2003117881	A1	26-06-2003	AU 2002361761 A1 EP 1459323 A1 JP 2005514721 T TW 222068 B US 2005094432 A1 WO 03058630 A1 US 2004090821 A1	24-07-2003 22-09-2004 19-05-2005 11-10-2004 05-05-2005 17-07-2003 13-05-2004
EP 0867887	A	30-09-1998	EP 0867887 A2 JP 10255498 A US 6266749 B1	30-09-1998 25-09-1998 24-07-2001
WO 02103706	A	27-12-2002	US 2004004872 A1 TW 559823 B WO 02103706 A2 US 2004062095 A1	08-01-2004 01-11-2003 27-12-2002 01-04-2004
JP 2001332099	A	30-11-2001	NONE	

---

 フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 アジマネ モハメド

オランダ国 5 6 2 1 ベーアー アインドーフエン フルーネヴァウツウェッハ 1

(72) 発明者 マジヒ アナンタ

オランダ国 5 6 2 1 ベーアー アインドーフエン フルーネヴァウツウェッハ 1

Fターム(参考) 5L106 AA01 DD11 DD32 DD37 GG03

5M024 AA90 BB27 BB28 BB40 DD82 DD83 JJ36 MM04 MM10 PP01

PP02 PP10