

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-33001
(P2012-33001A)

(43) 公開日 平成24年2月16日 (2012.2.16)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/08 (2006.01)	G06F 12/08 565	5B005
G06F 9/46 (2006.01)	G06F 9/46 350	
G06F 12/10 (2006.01)	G06F 12/10 553Z	
	G06F 12/08 543B	
	G06F 12/08 523C	

審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2010-172048 (P2010-172048)
(22) 出願日 平成22年7月30日 (2010.7.30)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100095441
弁理士 白根 俊郎

最終頁に続く

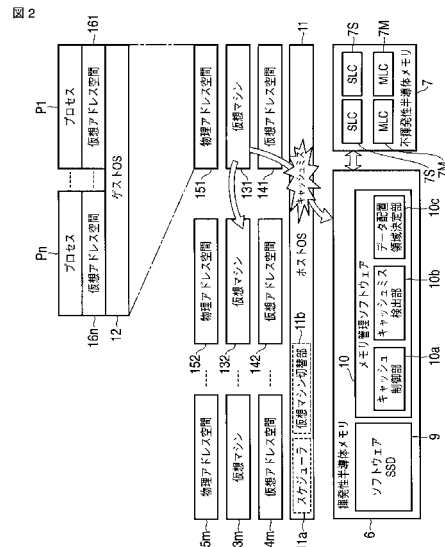
(54) 【発明の名称】 情報処理装置および情報処理方法

(57) 【要約】 (修正有)

【課題】メインメモリとして用いられる不揮発性半導体メモリに対して効率的に書き込みまたは読み出しを行う。

【解決手段】ホストOS 11は、メインメモリとして用いられる不揮発性半導体メモリ7とキャッシュメモリとして用いられる半導体メモリ6とをアクセスする。キャッシュミス検出部10bは、第1・第2の仮想マシン131, 132の処理において半導体メモリ6に対するキャッシュミスの検出を行う。キャッシュ制御部10aは、第1の仮想マシン131の処理においてキャッシュミスが発生した場合、不揮発性半導体メモリ7から半導体メモリ6に当該キャッシュミスの原因となったデータをキャッシュ処理する。切替部11bは、第1の仮想マシン131の処理においてキャッシュミスが発生した場合、キャッシュ処理が実行される間、実行仮想マシンを第1の仮想マシン131から第2の仮想マシン132に切り替える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

メインメモリとして用いられる不揮発性半導体メモリと、前記不揮発性半導体メモリのキャッシュメモリとして用いられる半導体メモリを含むハードウェア資源をアクセスするオペレーティングシステムと、

前記オペレーティングシステムによって実現される第 1 および第 2 の仮想マシンと、
前記第 1 および第 2 の仮想マシンで実行される処理において前記半導体メモリに対するキャッシュミスが発生したことを検出するキャッシュミス検出部と、

前記キャッシュミス検出部が前記第 1 の仮想マシンで実行される処理においてキャッシュミスが発生したことを検出した場合、前記不揮発性半導体メモリから前記半導体メモリに当該キャッシュミスの原因となったデータをキャッシュ処理するキャッシュ制御部と、

前記キャッシュミス検出部が前記第 1 の仮想マシンで実行される処理においてキャッシュミスが発生したことを検出した場合、前記キャッシュ制御部がキャッシュ処理をする間、実行仮想マシンを前記第 1 の仮想マシンから前記第 2 の仮想マシンに切り替える仮想マシン切替部と、

を備えることを特徴とする情報処理装置。

【請求項 2】

前記第 1 および前記第 2 の仮想マシンのそれぞれで実行されるゲスト・オペレーティングシステムと、

前記不揮発性半導体メモリおよび前記半導体メモリにデータを書き込む場合に、前記不揮発性半導体メモリおよび前記半導体メモリに対するデータの配置領域を決定する配置決定部と

をさらに備え、

前記ゲスト・オペレーティングシステムは、前記オペレーティングシステム上で実行される処理に関するデータのアクセス頻度情報を生成し、

前記配置決定部は、前記アクセス頻度情報に基づいて、当該データの配置領域を決定する

ことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

前記プロセッサによって実行され、前記不揮発性半導体メモリを補助記憶装置とする制御を実行するためのソフトウェアであり、前記不揮発性半導体メモリについてのファイルアロケーションテーブルまたは前記アクセス頻度情報に基づいて、各データの配置領域を決定する制御ソフトウェア、をさらに具備することを特徴とする請求項 1 または請求項 2 に記載の情報処理装置。

【請求項 4】

前記仮想マシン切替部は、前記第 1 および第 2 の仮想マシンの実行状態、実行可能になるまでの時間、実行の優先度を管理する管理テーブルを備え、前記管理テーブルに基づいて、前記仮想マシンの切り替えを実行する

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

プロセッサにより、メインメモリとして用いられる不揮発性半導体メモリと、前記不揮発性半導体メモリのキャッシュメモリとして用いられる半導体メモリを含むハードウェア資源をアクセスするオペレーティングシステムを実行することにより、第 1 および第 2 の仮想マシンを実現させること、

前記プロセッサとメモリ管理装置とのうちの少なくとも一方により、前記第 1 および第 2 の仮想マシンで実行される処理において前記半導体メモリに対するキャッシュミスが発生したことの検出を行い、前記第 1 の仮想マシンで実行される処理においてキャッシュミスが発生したことが検出された場合、前記不揮発性半導体メモリから前記半導体メモリに当該キャッシュミスの原因となったデータをキャッシュ処理すること、

前記プロセッサと前記メモリ管理装置とのうちの少なくとも一方により、前記キャッシ

10

20

30

40

50

ユ処理が実行される間、実行仮想マシンを前記第1の仮想マシンから前記第2の仮想マシンに切り替えること
を含む情報処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、仮想化を用いる情報処理装置および情報処理方法に関する。

【背景技術】

【0002】

一般的な情報処理装置においては、プロセッサの主記憶装置（メインメモリ）として、例えばDRAM（Dynamic Random Access Memory）などの揮発性半導体メモリが使用されている。さらに、従来の情報処理装置では、揮発性半導体メモリと組み合わせて、不揮発性半導体メモリが2次記憶装置として使用される。また、仮想化技術を適用した情報処理装置が提案されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-242944号公報

【特許文献2】特開平7-146820号公報

【特許文献3】特開2001-266580号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、揮発性半導体メモリまたは不揮発性半導体メモリに対して効率的に書き込みまたは読み出しを行う情報処理装置および情報処理方法を提供することを目的とする。

【課題を解決するための手段】

【0005】

実施形態によれば、情報処理装置は、オペレーティングシステムと、第1および第2の仮想マシンと、キャッシュミス検出部と、キャッシュ制御部と、仮想マシン制御部とを備える。前記オペレーティングシステムは、メインメモリとして用いられる不揮発性半導体メモリと、前記不揮発性半導体メモリのキャッシュメモリとして用いられる半導体メモリとを含むハードウェア資源をアクセスする。前記第1および第2の仮想マシンは、前記オペレーティングシステムによって実現される。キャッシュミス検出部は、前記第1および第2の仮想マシンで実行される処理において前記半導体メモリに対するキャッシュミスが発生したことを検出する。キャッシュ制御部は、前記キャッシュミス検出部が前記第1の仮想マシンで実行される処理においてキャッシュミスが発生したことを検出した場合、前記不揮発性半導体メモリから前記半導体メモリに当該キャッシュミスの原因となったデータをキャッシュ処理する。仮想マシン切替部は、前記キャッシュミス検出部が前記第1の仮想マシンで実行される処理においてキャッシュミスが発生したことを検出した場合、前記キャッシュ制御部がキャッシュ処理をする間、実行仮想マシンを前記第1の仮想マシンから前記第2の仮想マシンに切り替える。

30

40

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に係る情報処理装置の構成の一例を示すブロック図。

【図2】第1の実施形態に係る情報処理装置のハードウェア資源と、ハードウェア資源上で実行されるソフトウェア構成の一例を示すブロック図。

【図3】第1の実施形態に係る情報処理装置のキャッシュミス隠蔽処理の一例を示すフローチャート

【図4】第1の実施形態に係るホストOSのスケジューラで用いられるテーブルの一例を

50

示す図。

【図5】第2の実施形態に係る情報処理装置のハードウェア資源と、ハードウェア資源上で実行されるソフトウェア構成の一例を示すブロック図。

【図6】第2の実施形態に係るゲストOSとホストOSとの間におけるカラーリング情報の送受信の一例を示すブロック図。

【図7】第2の実施形態に係るメモリ管理装置およびメモリ管理ソフトウェアと、記憶装置に記憶される各種データとの関係の一例を示すブロック図。

【図8】第2の実施形態に係るメモリ管理装置およびメモリ管理ソフトウェアによって実現される各種処理部の一例を示すブロック図。

【図9】第2の実施形態に係るカラーリング情報とカラーリングテーブルの一例を示す図

10

。【発明を実施するための形態】

【0007】

以下、図面を参照しながら本発明の各実施の形態について説明する。なお、以下の説明において、略または実質的に同一の機能および構成要素については、同一符号を付し、必要に応じて説明を行う。

【0008】

(第1の実施形態)

図1は、本実施形態に係る情報処理装置の構成の一例を示すブロック図である。

【0009】

情報処理装置1は、プロセッサ2、バス3、メモリ管理装置4、揮発性半導体メモリ6、不揮発性半導体メモリ7を具備する。

20

【0010】

本実施形態では、情報処理装置1に一つのプロセッサ2が備えられている場合を例として説明するが、情報処理装置1は複数のプロセッサ2を備えるマルチプロセッサ構造を持つとしてもよい。

【0011】

プロセッサ2とメモリ管理装置4とは、バス3によってデータを送受信可能に接続されている。例えば、プロセッサ2とメモリ管理装置4とは、非同期に動作可能であり、プロセッサ2で処理実行中に、メモリ管理装置4が不揮発性半導体メモリ7に対してウェアレベリング、ガーベージコレクション、コンパクションを実行することができる。

30

【0012】

揮発性半導体メモリ6および不揮発性半導体メモリ7(以下において、総称して「記憶装置5」と称する)は、プロセッサ2から主記憶装置(メインメモリ)として使用される。さらに、不揮発性半導体メモリ7は、ファイル装置(2次記憶装置)としても使用される。揮発性半導体メモリ6は、不揮発性半導体メモリ7のキャッシュメモリとして用いられる。

【0013】

本実施形態において、揮発性半導体メモリ6としては、例えば、DRAM(Dynamic Random Access Memory)、FPM-DRAM(Fast Page Mode)、EDO-DRAM(Extended Data Out DRAM)、SDRAM(Synchronous DRAM)などのような、コンピュータにおいてメインメモリとして利用されるメモリが用いられる。なお、DRAM程度の高速ランダムアクセスが可能であり、アクセス可能上限回数に実質的な制限がないのであれば、揮発性半導体メモリ6に代えて、MRAM(Magnetoresistive Random Access Memory)、FeRAM(Ferroelectric Random Access Memory)などの不揮発性ランダムアクセスメモリを採用してもよい。

40

【0014】

本実施形態において、不揮発性半導体メモリ7は、第1のメモリ、第2のメモリを備えている。第1のメモリは、第2のメモリよりもアクセス可能上限回数が多い。ここでアクセス可能上限回数とは、統計的に予想される期待値であって、常にこの関係が保証される

50

ことを意味してはいないことに注意すべきである。

【0015】

不揮発性半導体メモリ7に含まれている第1のメモリは、例えば、SLC (Single Level Cell) のNAND型フラッシュメモリ7Sであるとする。不揮発性半導体メモリ7に含まれている第2のメモリは、例えば、MLC (Multi Level Cell) のNAND型フラッシュメモリ7Mであるとする。

【0016】

SLCは、MLCと比較して、読み出しおよび書き込みが高速であり、信頼性が高く、耐久性が高い。しかしながら、SLCは、MLCと比較して、ビットコストが高く、大容量化には向いていない。一方、MLCは、SLCと比較して、読み出しおよび書き込みが低速であり、信頼性が低く、耐久性が低い。しかしながら、MLCは、SLCと比較して、ビットコストが低く、大容量化に向いている。

10

【0017】

なお、信頼性とは、記憶装置5からデータを読み出す場合におけるデータの欠損の起こりにくさの程度を意味する。また、耐久性が高いとは、アクセス可能上限回数が多く、耐久性が低いとは、アクセス可能上限回数が少ないことを意味する。

【0018】

なお、本実施形態では、不揮発性半導体メモリ7は、NAND型フラッシュメモリであるとして説明するが、不揮発性半導体メモリ7はこれに限定されず、例えば、NOR型フラッシュメモリなどのような他の種類のフラッシュメモリ、PRAM (Phase change memory)、ReRAM (Resistive Random access memory) であるとしてもよい。

20

【0019】

なお、本実施形態では、不揮発性半導体メモリ7がSLCのNAND型フラッシュメモリ7Sと、MLCのNAND型フラッシュメモリ7Mとを含むが、例えば、不揮発性半導体メモリ7が2bit/CellのMLCのNAND型フラッシュメモリと、3bit/CellのMLCのNAND型フラッシュメモリとを含むとしてもよい。

【0020】

また、第2のメモリとしてMLCを採用し、第1のメモリとして、MLCの下位ページのみを使用してデータ書き込みを行う擬似SLCモードが利用可能なMLCを採用してもよい。この場合、第1のメモリと第2のメモリとを共通のチップのみで構成することが可能であり、製造コスト面で有利となる。

30

【0021】

本実施形態では、不揮発性半導体メモリ7をメインメモリとして用いる。メインメモリとして不揮発性半導体メモリ7を利用する場合、従来の2次記憶装置として不揮発性半導体メモリ7を利用する場合(例えば、SSD (Solid State Drive) 等)と比べ、不揮発性半導体メモリ7へのアクセス頻度が高くなり、不揮発性半導体メモリ7の寿命が短くなるという課題がある。本実施形態において、不揮発性半導体メモリ7、揮発性半導体メモリ6に対するデータの配置を管理することにより、上記課題を解決することが可能である。

【0022】

メモリ管理装置4は、例えばプロセッサ2からの揮発性半導体メモリ6と不揮発性半導体メモリ7とに対する読み出し、書き込み、消去を制御する。

40

【0023】

なお、メモリ管理装置4は、プロセッサ2に備えられ、プロセッサ2からの揮発性半導体メモリ6と不揮発性半導体メモリ7とに対する読み出し、書き込み、消去を制御する構成としてもよい。本実施形態において、揮発性半導体メモリ6、不揮発性半導体メモリ7に対する書き込みデータ、読み出しデータのデータサイズは、例えば、ページサイズであり、消去サイズはブロックサイズである。

【0024】

プロセッサ2は、MMU (Memory Management Unit) 34、1次キャッシュメモリL1

50

、2次キャッシュメモリL2を備えている。プロセッサ2は、例えば、CPU (Central Processing Unit)、MPU (Micro Processor Unit) またはGPU (Graphic Processor Unit) などのような、各種の処理装置である。

【0025】

MMU34は、仮想アドレスと物理アドレスの間のアドレス変換機能などの各種機能を具備する。また、MMU34は、プロセッサ2で処理するデータ(処理対象データ)を1次キャッシュメモリL1または2次キャッシュメモリL2に一時記憶するキャッシュ制御を行う。

【0026】

上記のメモリ管理装置4の各種処理は、後述するメモリ管理ソフトウェア10が実行することも可能である。この場合、メモリ管理装置4は、ハードウェアで構成しなくてもよい。また、メモリ管理装置4のこれらの処理を、メモリ管理装置4とメモリ管理ソフトウェア10で分担して行ってもよい。

10

【0027】

図2は、本実施形態に係る情報処理装置1のハードウェア資源と、ハードウェア資源上で実行されるソフトウェア構成の一例を示すブロック図である。

【0028】

情報処理装置1は、前述のプロセッサ2(図2には図示せず)、揮発性半導体メモリ6、不揮発性半導体メモリ7などのハードウェア資源を備える。前述のように、揮発性半導体メモリ6は、不揮発性半導体メモリ7のキャッシュメモリとして用いられる。不揮発性半導体メモリ6には、ソフトウェアSSD9、メモリ管理ソフトウェア10が格納されている。ソフトウェアSSD9、メモリ管理ソフトウェア10についての詳細は後述する。

20

【0029】

ハードウェア資源上では、ホストOS (Operating System) 11が実行される。ホストOS 11は、仮想化環境を提供する機能を有する。また、ホストOS 11は、スケジューラ11a、仮想マシン切替部11bを備える。

【0030】

ホストOS 11は、仮想化環境を提供する。ホストOS 11が提供する仮想化環境により、ホストOS 11上には複数の仮想マシン131~13mが実現される。仮想マシン131上では、ゲストOS 12が実行される。仮想マシン132~13m上でも、同様にゲストOSが実行される。ゲストOS 12上では、1以上のプロセスP1~Pnが処理される。仮想マシン132~13m上のゲストOS上でも、同様に1以上のプロセスが処理される。スケジューラ11aは、ホストOS 11上の複数の仮想マシン131~13mの実行順番を管理する。言い換えると、スケジューラ11aは、ホストOS 11上の複数のゲストOSの実行順番を管理する。仮想マシン切替部11bは、ホストOS 11上のスケジューラ11aに基づき、実行する仮想マシン(実行仮想マシン)を切り替える。また、仮想マシン切替部11bは、後述するキャッシュミス検出部10bの要求に応じて、実行仮想マシンを切り替える。

30

【0031】

プロセスP1~Pnは、1次キャッシュメモリL1、2次キャッシュメモリL2にアクセスしながらデータの処理を実行する。処理対象データが1次キャッシュL1、2次キャッシュL2に存在しない場合(1次キャッシュL1、2次キャッシュL2におけるキャッシュミス)、揮発性半導体メモリ6または不揮発性半導体メモリ7から処理対象データを読み出す。処理データが揮発性半導体メモリ6に存在しない場合(揮発性半導体メモリ6におけるキャッシュミス)、キャッシュミスが発生する。後述のように、揮発性半導体メモリ6におけるキャッシュミスは、キャッシュミス検出部10bにより検出される。

40

【0032】

仮想マシン131~13mは、それぞれ仮想アドレス空間141~14mおよび物理アドレス空間151~15mを用いる。

【0033】

50

仮想マシン 131 上では、ゲスト OS 12、プロセス P1 ~ Pn が実行され、仮想アドレス空間 161 ~ 16n が用いられている。

【0034】

メモリ管理ソフトウェア 10 は、揮発性半導体メモリ 6 から読み出され、プロセッサ 2 により実行されることにより、キャッシュ制御部 10a、キャッシュミス検出部 10b、データ配置領域決定部 10c を含むメモリ管理機能を実現する。

【0035】

キャッシュ制御部 10a は、不揮発性半導体メモリ 7 から揮発性半導体メモリ 6 へのデータキャッシュを制御する。例えば、プロセス P1 ~ Pn によりアクセスされるデータを不揮発性半導体メモリ 7 から揮発性半導体メモリ 6 へキャッシュする。これにより、プロセス P1 ~ Pn は、不揮発性半導体メモリ 7 より高速にアクセス可能な揮発性半導体メモリ 6 からデータの読み出しが可能となり、データへのアクセスの高速化が図れる。

【0036】

キャッシュミス検出部 10b は、揮発性半導体メモリ 6 におけるキャッシュミスを検出する。前述のように、キャッシュ制御部 10a は、プロセス P1 ~ Pn からアクセスされるデータを揮発性半導体メモリ 6 へキャッシュするが、プロセス P1 ~ Pn からアクセスされるデータが揮発性半導体メモリ 6 にキャッシュされていない場合には、キャッシュミスが発生する。

【0037】

データ配置領域決定部 10c は、プロセス P1 ~ Pn において、新たにデータが生成された場合等に、当該データの配置領域（書き込み領域）を決定する。データ配置領域決定部 10c は、当該データのアクセス頻度に応じて、不揮発性半導体メモリ 6、不揮発性半導体メモリ 7 の SLC の NAND 型フラッシュメモリ 7S、MLC の NAND 型フラッシュメモリ 7M から配置領域を決定する。

【0038】

ソフトウェア SSD 9 は、不揮発性半導体メモリ 7 を補助記憶装置として制御するためのソフトウェアである。

【0039】

以上のように、本実施形態では、揮発性半導体メモリ 6 および不揮発性半導体メモリ 7 がメインメモリとして用いられる。このため、プロセス P1 ~ Pn において、揮発性半導体メモリ 6 にアクセスした場合に、揮発性半導体メモリ 6 においてキャッシュミスが発生すると、不揮発性半導体メモリ 7 からアクセス対象データを読み出さなければならない。この場合、揮発性半導体メモリ 6 に比べ、不揮発性半導体メモリ 7 に対するアクセスはアクセスが低速であるため、レイテンシが長くなる可能性がある。本実施形態では、キャッシュミス検出部 10b、仮想マシン切替部 11b 等を用いて、以下の処理を行うことで、揮発性半導体メモリ 6 におけるキャッシュミスペナルティを隠蔽することを可能とする。

【0040】

以下において、図 3 を参照してキャッシュミスペナルティを隠蔽する動作について説明する。

【0041】

まず、揮発性半導体メモリ 6 においてキャッシュミスが発生すると、キャッシュミス検出部 10b は、揮発性半導体メモリ 6 におけるキャッシュミスを検出する（ステップ S1）。

【0042】

次に、キャッシュミス検出部 10b は、ホスト OS 11 に対して例外通知を行うとともに、キャッシュ制御部 10a は、キャッシュミスの原因となったデータを、不揮発性半導体メモリ 7 から揮発性半導体メモリ 6 に書き込む処理を行う（ステップ S2）。

【0043】

次に、ホスト OS 11 は、ステップ S2 における書き込み処理にかかる時間を考慮し、プロセス切替または仮想マシン切替を選択する（ステップ S3）。

10

20

30

40

50

【0044】

キャッシュ処理にかかる時間が短く、プロセス切替を選択した場合には、ホストOS 11は、ゲストOS 12にプロセス切替を通知する。これにより、ゲストOS 12は、キャッシュミスが発生したプロセスP1～Pnを切り替え、キャッシュミスの発生していないプロセスを実行する(ステップS4)。なお、プロセスP1～Pnを切り替える代わりに、プロセス中のキャッシュミスが発生したスレッドを切り替え、キャッシュミスの発生していないスレッドを実行してもよい。

【0045】

キャッシュ処理にかかる時間が長く、仮想マシン切替を選択した場合には、ホストOS 11は、キャッシュミスが発生した仮想マシン131を切り替え、キャッシュミスの発生していない仮想マシン132に実行仮想マシンを切り替える(ステップS5)。

10

【0046】

上記、ステップS4、S5のように、揮発性半導体メモリ6においてキャッシュミスが発生した場合に、プロセス(またはスレッド)または仮想マシンを切り替えることにより、キャッシュミスペナルティを隠蔽する。

【0047】

ホストOS 11は、例えば、切り替え前の仮想マシンにおいてキャッシュミスが発生しても実行可能な処理を、切り替え後の仮想マシンに引き継がせる。

【0048】

また、ホストOS 11は、揮発性半導体メモリ6に対するキャッシュミス時のみではなく、メモリ管理装置4(またはメモリ管理ソフトウェア10)が不揮発性半導体メモリ7に対してガーベジコレクション、コンパクションを実行している場合にも、仮想マシンの切り替えを行い、ガーベジコレクション、コンパクションのペナルティの隠蔽を行う。そのため、本実施形態において、メモリ管理装置4(またはメモリ管理ソフトウェア10)は、不揮発性半導体メモリ7に対して、部分的にガーベジコレクション、コンパクションを実行可能である。

20

【0049】

図4は、本実施形態に係るホストOS 11のスケジューラ11aで用いられるテーブルの一例を示す図である。

【0050】

ホストOS 11は、例えば、揮発性半導体メモリ6または不揮発性半導体メモリ7を用いて、テーブル18を管理する。

30

【0051】

テーブル18は、例えば、項目として、仮想マシン131～13mの識別情報、仮想マシン131～13mの状態を表すステータス、このステータスの終了時間、仮想マシン131～13mの優先度を持つ。

【0052】

ホストOS 11は、仮想マシン131～13mの識別情報をテーブル18に登録する。

【0053】

ホストOS 11は、仮想マシン131～13mに対する優先度を、テーブル18に登録する。優先度は、仮想マシン131～13mごとに予め設定されている値が用いられるとしてもよい。また、優先度は、ユーザの使用度、実行している処理の種別に応じてホストOS 11によって設定されるとしてもよい。例えば、ユーザの使用度の高い仮想マシンほど優先度を高くし、ユーザの使用度の低い仮想マシンほど優先度を低くする。

40

【0054】

ホストOS 11は、仮想マシン131～13mが、例えば、プロセスを実行している状態(実行中)、プロセスを実行していない待ち状態(実行可能状態)、キャッシュミスに基づくデータ入れ替え中(キャッシュミス中)、ガーベジコレクション中、コンパクション中などのうち、いずれの状態であるかを検出し、この検出結果を示すステータスをテーブル18に登録する。

50

【0055】

ホストOS 11は、仮想マシン131～13mがキャッシュミス中、ガーベジコレクション中、コンパクション中のいずれかになった場合に、そのステータスが終了するステータス終了時間を予測し、テーブル18に登録する。なお、ステータス終了時間は、例えば、キャッシュミス、ガーベジコレクション、コンパクションに基づくデータ入れ替えの終了時間である。このステータス終了時間に代えて、残り時間が管理されるとしてもよい。ホストOS 11は、データが揮発性半導体メモリ6、SLCのNAND型フラッシュメモリ7S、MLCのNAND型フラッシュメモリ7Mのどのメモリ領域に配置されているか、データの大きさ、データの配置されているメモリ領域からデータが再配置されるメモリ領域にデータを転送する場合の予測データ転送速度を持つことで、このステータス終了時間を算出可能である。予測データ転送速度は、予め測定された転送速度の平均値などを用いる。

10

【0056】

ホストOS 11のスケジューラ11aは、テーブル18の内容を確認し、キャッシュミス、ガーベジコレクション、コンパクションの発生した仮想マシン131を、他の仮想マシン132～13mのうちどの仮想マシンに切り替えるか決定する。例えば、優先度が「高」であり、ステータスが「実行可能」の仮想マシンが選択される。

【0057】

本実施形態では、ステータス終了時間の算出により、効果的なスケジューリングが可能である。例えば、ステータスが「実行可能」であり、優先度が「低」の仮想マシンよりも、ステータスが「キャッシュミス中」であり、優先度が「高」であり、現時点とステータス終了時間との差が閾値以下の仮想マシンを優先して選択することができる。これにより、間もなくキャッシュミスによるデータ入れ替えが終了する優先度の高い仮想マシンを使用することができる。すなわち、選択される仮想マシンとしては、ページフォルトが発生していない仮想マシンが好ましいが、ページフォルトが発生していても、ステータス終了時間まで短い仮想マシンを選択することができる。

20

【0058】

以上に説明した本実施形態においては、仮想マシンの切り替えにより、キャッシュミスによるデータ入れ替え中であっても実行可能な処理が他の仮想マシンで実行される。これにより、揮発性半導体メモリ6に対するキャッシュミスペナルティを隠蔽することができ、情報処理装置1による処理の効率化および高速化を実現させることができる。

30

【0059】

本実施形態においては、揮発性半導体メモリ6に対するキャッシュミスのみではなく、メモリ管理装置4およびソフトウェアメモリ管理10によって、部分的なガーベジコレクション、コンパクションが実行される場合においても、仮想マシンを切り替えて、部分的なガーベジコレクション、コンパクションによるペナルティを隠蔽できる。

【0060】

本実施形態では、プロセスまたはスレッドの切り替えで、揮発性半導体メモリ6に対するキャッシュミスペナルティを隠蔽できない場合に、仮想マシンの切り替えを行う。このため、仮想マシンの切り替えが頻発することを防止することができる。

40

【0061】

本実施形態では、ハードウェアであるメモリ管理装置4と、ソフトウェアであるソフトウェアSSD9とメモリ管理ソフトウェア10とによって記憶装置5に対する書き込み、読み出し、消去などのアクセス処理が管理される。このように、アクセス処理の一部をソフトウェアによって実現させることで、ハードウェア構成を簡素化することができ、高度な処理を実現させることができる。

【0062】

(第2の実施形態)

本実施形態では、上記第1の実施形態の変形例について説明する。本実施の形態においては、各データについての読み出し回数、書き込み回数、読み出し頻度、書き込み頻度な

50

どを含むカラーリング情報を用いてウェアレベリングを行う。

【0063】

図5は、本実施形態に係る情報処理装置のハードウェア資源と、ハードウェア資源上で実行されるソフトウェア構成の一例を示すブロック図である。

【0064】

ゲストOS19は、各データのカラーリング情報を生成するカラーリング情報生成機能19aを具備する。そして、ゲストOS19は、生成されたカラーリング情報をホストOS20に送信する。ゲストOS19とホストOS20とは、カラーリング情報通信用のインタフェースにしたがって、カラーリング情報を送受信する。

【0065】

本実施形態に係るメモリ管理ソフトウェア21は、揮発性半導体メモリ6から読み出され、プロセッサ2により実行されることにより、キャッシュ制御部10a、キャッシュミス検出部10b、データ配置領域決定部21cを含むメモリ管理機能を実現する。

【0066】

データ配置領域決定部21cは、プロセスP1～Pnにおいて、新たにデータが生成された場合等に、当該データの配置領域（書き込み領域）を決定する。データ配置領域決定部21cは、カラーリング情報に基づいて、不揮発性半導体メモリ6、不揮発性半導体メモリ7のSLCのNAND型フラッシュメモリ7S、MLCのNAND型フラッシュメモリ7Mから配置領域を決定する。

【0067】

メモリ管理ソフトウェア21およびメモリ管理装置4は、カラーリング情報に基づいて、ウェアレベリングを行う。例えば、メモリ管理ソフトウェア21およびメモリ管理装置4は、書き込み頻度の高いデータを、揮発性半導体メモリ6と不揮発性半導体メモリ7のうち、揮発性半導体メモリ6に配置する。また、例えば、メモリ管理ソフトウェア21およびメモリ管理装置4は、書き込み頻度の高いデータを、不揮発性半導体メモリ7のSLCのNAND型フラッシュメモリ7SとMLCのNAND型フラッシュメモリ7Mのうち、SLCのNAND型フラッシュメモリ7Sに記憶する。

【0068】

なお、本実施形態のホストOS20は、不揮発性半導体メモリ7のSLCのNAND型フラッシュメモリ7Sのメモリ領域をMLCのNAND型フラッシュメモリ7Mに変更する制御、不揮発性半導体メモリ7のMLCのNAND型フラッシュメモリ7Mのメモリ領域をSLCのNAND型フラッシュメモリ7Sに変更する制御を実行するとしてもよい。

【0069】

図6は、本実施形態に係るゲストOS19とホストOS20との間におけるカラーリング情報の送受信の一例を示すブロック図である。

【0070】

ホストOS20は、記憶装置5のいずれかの領域に、メモリマップでカラーリングテーブル22を生成する。

【0071】

ゲストOS19のカラーリング情報生成機能19aは、各データのカラーリング情報を生成し、カラーリングテーブル22にカラーリング情報を書き込む。

【0072】

図7は、本実施形態に係るメモリ管理装置4およびメモリ管理ソフトウェア21と、記憶装置5に記憶される各種データとの関係の一例を示すブロック図である。

【0073】

メモリ管理装置4およびメモリ管理ソフトウェア21は、メモリ使用情報23と、メモリ固有情報24と、アドレス変換情報25と、カラーリングテーブル22とを記憶装置5に格納する。

【0074】

揮発性半導体メモリ6には、不揮発性半導体メモリ7S、7Mに格納されているカラー

10

20

30

40

50

リングテーブル 2 2 の一部が格納されるとしてもよい。例えば、不揮発性半導体メモリ 7 S , 7 M に格納されているカラーリングテーブル 2 2 のうち、頻りに用いられるカラーリング情報を、揮発性半導体メモリ 6 に格納するとしてもよい。メモリ管理装置 4 およびメモリ管理ソフトウェア 2 1 は、カラーリングテーブル 2 2 等を参照し、記憶装置 5 に対するアクセスを管理する。

【 0 0 7 5 】

メインメモリとして不揮発性半導体メモリ 7 S , 7 M を利用する場合、不揮発性半導体メモリ 7 S , 7 M へのアクセス頻度は、2 次記憶装置として不揮発性半導体メモリ 7 S , 7 M を利用する場合よりも高くなり、不揮発性半導体メモリ 7 S , 7 M の寿命は短期化する。本実施形態においては、揮発性半導体メモリ 6 と S L C の不揮発性半導体メモリ 7 S と M L C の不揮発性半導体メモリ 7 M とを混成してメインメモリとする記憶装置 5 を備えた情報処理装置を実現している。記憶装置 5 は、異機種混在型の主記憶装置であり、メモリ管理装置 4 およびメモリ管理ソフトウェア 2 1 によってデータの配置が管理される。

10

【 0 0 7 6 】

メモリ使用情報 2 3 は、不揮発性半導体メモリ 7 S , 7 M の各ページ領域の書き込み発生回数および読み出し発生回数と、各ブロック領域の消去回数と、使用中領域サイズを含む。

【 0 0 7 7 】

メモリ固有情報 2 4 は、揮発性半導体メモリ 6 のメモリサイズと、不揮発性半導体メモリ 7 S , 7 M のメモリサイズと、不揮発性半導体メモリ 7 S , 7 M のページサイズおよびブロックサイズと、各メモリ領域のアクセス可能上限回数（書き込み可能上限回数、読み出し可能上限回数、消去可能上限回数）と、を含む。ここで、ページサイズとは、不揮発性半導体メモリ 7 S , 7 M の書き込み、読み出しのデータサイズの単位である。ブロックサイズとは、不揮発性半導体メモリ 7 のデータ消去サイズの単位である。不揮発性半導体メモリ 7 において、ブロックサイズはページサイズよりも大きい。

20

【 0 0 7 8 】

アドレス変換情報 2 5 は、プロセッサ 2 から与えられる論理アドレスを、論理アドレスに対応する物理アドレスに変換する情報である。

【 0 0 7 9 】

カラーリングテーブル 2 2 は、データ毎のカラーリング情報が保持されるテーブルである。カラーリング情報は、静的カラー情報と動的カラー情報を含む。

30

【 0 0 8 0 】

図 8 は、本実施形態に係るメモリ管理装置 4 およびメモリ管理ソフトウェア 2 1 によって実現される各種処理部の一例を示すブロック図である。

【 0 0 8 1 】

メモリ管理装置 4 およびメモリ管理ソフトウェア 2 1 は、アドレス管理部 2 6 、読み出し管理部 2 7 、書き込み管理部 2 8 、カラーリング情報管理部 2 9 、メモリ使用情報管理部 3 0 、再配置部 3 1 を備える。さらに、カラーリング情報管理部 2 9 は、アクセス頻度算出部 3 2 、動的カラー情報管理部 3 3 を備える。

【 0 0 8 2 】

40

アドレス管理部 2 6 は、論理アドレスに対して物理アドレスを割り当て、アドレス変換情報 2 5 に記憶する。これにより、メモリ管理装置 4 およびメモリ管理ソフトウェア 2 1 は、アドレス変換情報 2 5 を参照することにより、論理アドレスに対応する物理アドレスを取得することができる。

【 0 0 8 3 】

読み出し管理部 2 7 は、プロセッサ 2 が読み出し要求を発生した場合に、記憶装置 5 に対して読み出し対象データの読み出し処理を管理する。

【 0 0 8 4 】

書き込み管理部 2 8 は、プロセッサ 2 が書き込み要求を発生した場合に、記憶装置 5 に対して書き込み対象データを書き込む処理を管理する。

50

【 0 0 8 5 】

カラーリング情報管理部 2 9 は、カラーリングテーブル 2 2 を管理する。

【 0 0 8 6 】

メモリ使用情報管理部 3 0 は、記憶装置 5 のメモリ使用情報 2 3 を管理する。

【 0 0 8 7 】

再配置部 3 1 は、プロセッサ 2 の動作と非同期に、カラーリングテーブル 2 2 に含まれているカラーリング情報に基づき、任意の論理アドレスに対応する物理アドレスに配置されているデータの再配置を行う。再配置部 3 1 は、例えば、動的カラー情報に基づき、不揮発性半導体メモリ 7 M に含まれるデータのうち、読み出し頻度、書き込み頻度が高いデータを、定期的に、不揮発性半導体メモリ 7 S に再配置する。また、再配置部は、例えば、動的カラー情報に基づき、不揮発性半導体メモリ 7 S に含まれるデータのうち、読み出し頻度、書き込み頻度が低いデータを、定期的に、不揮発性半導体メモリ 7 M に再配置する。同様に、再配置部 3 1 は、揮発性半導体メモリ 6、不揮発性半導体メモリ 7 S、7 M の間でもデータの再配置を行うことが可能である。書き込み管理部 2 8 による書き込み処理は、データの更新が発生するたびに、書き込み先メモリ領域の判断処理と書き込み先ブロック領域の判断処理を行うことで再配置を行う。

10

【 0 0 8 8 】

アクセス頻度算出部 3 2 は、カラーリングテーブル 2 2 に含まれているカラーリング情報に基づき、データのアクセス頻度情報（動的書き込み頻度 DW_color、動的読み出し頻度 DR_color）を算出する。

20

【 0 0 8 9 】

動的カラー情報管理部 3 3 は、カラーリングテーブル 2 2 に含まれている動的カラー情報を管理する。

【 0 0 9 0 】

図 9 は、本実施形態に係るカラーリング情報とカラーリングテーブル 2 2 の一例を示す図である。

【 0 0 9 1 】

本実施形態では、データ毎にカラーリング情報が付与される。カラーリング情報が付与されるデータのデータサイズ単位は、例えば、読み出し、書き込みの最小の単位である。例えば、読み出し、書き込みの最小の単位は、NAND型フラッシュメモリのページサイズである。以下において、カラーリングテーブル 2 2 によりカラーリング情報が対応付けられるデータのデータサイズはページサイズであるとして説明するが、これに限定されるものではない。

30

【 0 0 9 2 】

カラーリングテーブル 2 2 は、データ毎にカラーリング情報に対応付け、エントリ単位でカラーリング情報を格納する。カラーリングテーブル 2 2 の各エントリには、インデックスが付されている。インデックスとは、論理アドレスを基に生成される値である。上記の読み出し管理部 2 7、書き込み管理部 2 8、カラーリング情報管理部 2 9、再配置部 3 1 などは、データを指定する論理アドレスが与えられると、論理アドレスに対応するインデックスにより管理されているエントリを参照し、データのカラーリング情報を取得する。

40

【 0 0 9 3 】

カラーリング情報は、各データの配置領域を決定する基準として用いられる情報であり、静的カラー情報と、動的カラー情報とを含む。静的カラー情報は、カラーリング情報が付与される当該データの特性に基づいて生成される情報であり、当該データの記憶装置 5 上の配置（書き込み）領域を決定するヒントとなる情報である。動的カラー情報は、データの読み出しと書き込みの回数と頻度の少なくとも一方を含む情報である。

【 0 0 9 4 】

静的カラー情報は、当該データの重要度、静的書き込み頻度を示す値 SW_color、静的読み出し頻度を示す SR_color、データ寿命 SL_color、データの生成された時刻 ST_color を含

50

む。

【0095】

重要度とは、データの種類等に基づいて、当該データの重要性を推測して設定される値である。重要度は、例えば、ファイルシステムに保持されるファイルの特性、またはプログラムに一次的に使用される領域の特性により推測される。

【0096】

静的書き込み頻度SW_colorとは、データの種類等に基づいて、当該データが書き込まれる頻度を推測して設定される値である。静的読み出し頻度SR_colorとは、データの種類等に基づいて、当該データが読み出される頻度を推測して設定される値である。例えば、静的書き込み頻度SW_colorは、書き込み頻度が高いと推測されるデータほど、高い値が設定される。例えば、静的読み出し頻度SR_colorは、読み出し頻度が高いと推測されるデータほど、高い値が設定される。

10

【0097】

データ寿命SL_colorとは、データの種類等に基づいて、当該データが消去されずにデータとして使用される期間（データの寿命）を推測して設定される値である。

【0098】

静的カラー情報は、データを生成するプログラム（プロセス）により、静的に、予め決められた値である。また、ゲストOS 12が、データのファイル拡張子またはファイルヘッダ等に基づいて、静的カラー情報を予測してもよい。

【0099】

動的カラー情報は、データの書き込み回数DWC_color、データの読み出し回数DRC_colorを含む。ここで、データの書き込み回数DWC_colorとは、当該データが記憶装置5に書き込まれた回数である。データの読み出し回数DRC_colorとは、当該データが記憶装置5から読み出された回数である。動的カラー情報管理部33は、データの書き込み回数DWC_colorにより、データ毎に、当該データが記憶装置5に書き込まれた回数を管理する。動的カラー情報管理部33は、データ読み出し回数DRC_colorにより、データ毎に、当該データが記憶装置5から読み出された回数を管理する。前述のように、記憶装置5は、メインメモリとして用いられる。このため、プロセッサ2で処理されるデータは、記憶装置5に書き込まれ、記憶装置5から読み出される。動的カラー情報管理部33は、データが書き込まれる度に、当該データの書き込み回数DWC_colorをインクリメントする。また、動的カラー情報管理部33は、データが読み出される度に、当該データの読み出し回数DRC_colorをインクリメントする。

20

30

【0100】

アクセス頻度算出部32は、データの書き込み回数DWC_colorから、動的書き込み頻度DW_colorを算出する。アクセス頻度算出部32は、データの読み出し回数DRC_colorから、動的読み出し頻度DR_colorを算出する。

【0101】

動的書き込み頻度DW_colorとは、当該データが記憶装置5に書き込まれた頻度を示す値である。動的読み出し頻度DR_colorとは、当該データが記憶装置5から読み出された頻度を示す値である。

40

【0102】

ここで、動的カラー情報と静的カラー情報に基づいて動的書き込み頻度DW_colorと動的読み出し頻度DR_colorを算出する方法について説明する。

【0103】

新たなデータがデータ生成時刻において生成されると、新たに生成されたデータに対してカラーリング情報（データ生成時刻を含む）が生成され、カラーリングテーブル22の新たなエントリに登録された上で、データは記憶装置5に書き込まれる。データ生成時刻以降、このデータに対するアクセス（読み出し、書き込み）が発生することにより、時間の経過とともに、アクセス回数（書き込み回数DWC_color、読み出し回数DRC_color）が増加する。このアクセス回数の増加は、動的カラー情報管理部33によって行われる。メモ

50

リ管理装置 4 およびメモリ管理ソフトウェア 2 1 の少なくとも一方によって実現されるアクセス頻度算出部 3 2 は、アクセス回数から動的書き込み頻度DW_color、動的読み出し頻度DR_colorを算出する。

【 0 1 0 4 】

現在時刻における、当該データの書き込み回数DWC_color、データの読み出し回数DRC_colorは、カラーリングテーブル 2 2 を参照することにより求めることができる。例えば、現在時刻における当該動的書き込み頻度DW_colorは、データ生成時刻ST_colorから現在時刻までの書き込み回数DWC_colorの時間平均により求める。また、例えば、現在時刻における当該動的読み出し頻度DR_colorは、データ生成時刻ST_colorから現在時刻までの読み出し回数DRC_colorの時間平均により求める。これにより、動的カラー情報（書き込み回数DWC_color、読み出し回数DRC_color）から、当該データの動的書き込み頻度DW_colorと、動的読み出し頻度DR_colorとが算出される。

10

【 0 1 0 5 】

書き込み管理部 2 8 は、メモリ使用情報 2 3、メモリ固有情報 2 4、カラーリングテーブル 2 2 に基づいて、記憶装置 5 に対して書き込み対象データを書き込むメモリ領域を決定し、この決定されたメモリ領域に書き込み対象データを書き込む。

【 0 1 0 6 】

例えば、書き込み管理部 2 8 は、記憶装置 5 の各メモリ領域に対して、消耗度（=書き込み回数 / 書き込み可能上限回数）を算出し、消耗度の高いメモリ領域に動的書き込み頻度の低いデータを書き込む。

20

【 0 1 0 7 】

例えば、書き込み管理部 2 8 は、消耗度の低いメモリ領域に動的書き込み頻度の高いデータを書き込む。

【 0 1 0 8 】

例えば、書き込み管理部 2 8 は、動的読み出し頻度または動的書き込み頻度が「高」のデータを揮発性半導体メモリ 6 のメモリ領域に書き込み、動的読み出し頻度または動的書き込み頻度が「中」のデータを S L C の N A N D 型フラッシュメモリ 7 S のメモリ領域に書き込み、動的読み出し頻度または動的書き込み頻度が「低」のデータを M L C の N A N D 型フラッシュメモリ 7 M のメモリ領域に書き込む。

【 0 1 0 9 】

上記の処理により書き込み対象のメモリ領域が決定された場合、書き込み管理部 2 8 は、書き込み先の物理アドレスを決定する。この場合、書き込み管理部 2 8 は、カラーリングテーブル 2 2 を参照し、書き込み先の物理アドレスを適切に選択することでウェアレベリングの発生を抑え、不要な消去処理を低減する。

30

【 0 1 1 0 】

ここでウェアレベリングとは、例えば、消去回数が最大のブロックと、消去回数が最小のブロックとの消去回数の差が、所定の閾値以内に収まるように、ブロック間でデータの入れ替え（交換）を行うことを意味する。例えば、N A N D 型フラッシュメモリは消去処理なしでのデータ上書きができないため、データ移動先は未使用のブロックである必要があり、元々データを記憶していたブロックの消去処理が発生することになる。

40

【 0 1 1 1 】

なお、本実施の形態においては、算出された各メモリの消耗度に応じて、S L C のメモリ領域を M L C のメモリ領域に切り替えてもよく、M L C のメモリ領域を S L C のメモリ領域に切り替えてもよい。

【 0 1 1 2 】

以上に説明した本実施形態では、ハードウェアであるメモリ管理装置 4 とともに、ソフトウェアであるメモリ管理ソフトウェア 2 1 によって、記憶装置 5 に対する書き込み、読み出し、消去の処理が制御される。

【 0 1 1 3 】

このように、記憶装置 5 に対する書き込み、読み出し、消去の処理の一部をソフトウェ

50

アで実行させることにより、自由度の高い、高度なウェアレベリングを実行させることができ、記憶装置 5 の一部のメモリ領域だけが劣化することを防止することができ、記憶装置 5 の長寿命化を実現させることができる。

【0114】

本実施形態では、ゲスト OS 19 から、メモリ管理ソフトウェア 21 に、カラーリング情報が送信され、このカラーリング情報に基づいて効率的かつ高度なウェアレベリングが実施される。

【0115】

なお、本実施の形態において、メモリ管理ソフトウェア 21 は、ホスト OS 20 の一部であるとしてもよい。

10

【0116】

(第3の実施形態)

本実施形態では、上記第1および第2の実施形態に係るソフトウェア SSD 9 について説明する。

【0117】

ソフトウェア SSD 9 は、不揮発性半導体メモリ 7 を SSD として制御するためのソフトウェアである。

【0118】

補助記憶装置として用いられる SSD は、通常、プロセッサに、チップセット(サウスブリッジ、ノースブリッジ)を介して接続される。例えば、SSD は、SATA (Serial Advanced Technology Attachment) インタフェースによりサウスブリッジに接続される。

20

【0119】

本実施形態では、不揮発性半導体メモリ 7 は、プロセッサ 2 に、メモリ管理装置 4 を介して接続される。不揮発性半導体メモリ 7 は、例えば、PCIexpress により、メモリ管理装置 4 に接続され、補助記憶装置として用いられる。

【0120】

ソフトウェア SSD 9 は、不揮発性半導体メモリ 7 を SSD (補助記憶装置) として用いる場合、カラーリング情報を用いて高度なウェアレベリングを実現させることができる。

30

【0121】

一方、例えば、ゲスト OS がカラーリング生成機能 19 a を持たない汎用的なゲスト OS 12 であり、ゲスト OS 12 からカラーリング情報が送信されない場合であっても、ソフトウェア SSD 9 は、FAT (File Allocation Table) を参照することでデータの属するファイルの種類、識別子などを識別できる。したがって、ソフトウェア SSD 9 は、この FAT の情報に基づいて、データに対して、カラーリング情報(例えば静的カラー情報など)と同等な情報を生成し、高度なウェアレベリングを実現することができる。

【0122】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

【0123】

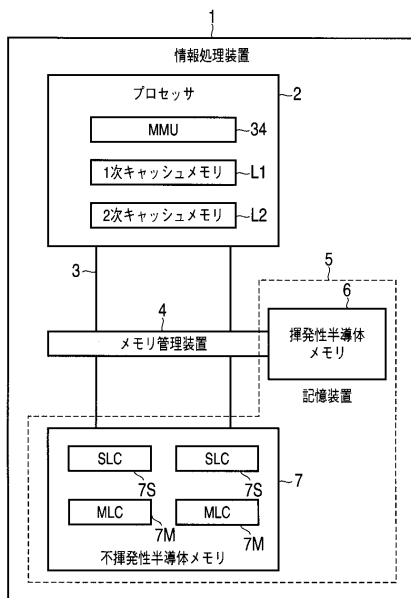
1 ... 情報処理装置、2 ... プロセッサ、3 ... バス、4 ... メモリ管理装置、5 ... 記憶装置、6 ... 揮発性半導体メモリ、7 ... 不揮発性半導体メモリ、7S ... SLC タイプの NAND 型フラッシュメモリ、7M ... MLC タイプの NAND 型フラッシュメモリ、L1 ... 1 次キャッシュメモリ、L2 ... 2 次キャッシュメモリ、9 ... ソフトウェア SSD、10, 21 ... メ

50

メモリ管理ソフトウェア、10a...キャッシュ制御部、10b...キャッシュミス検出部、10c、21c...データ配置領域決定部、11、20...ホストOS、12、19...ゲストOS、131~13n...仮想マシン、141~14m...仮想アドレス空間、151~15m...物理アドレス空間、161~16n...仮想アドレス空間、P1~Pn...プロセス、18...テーブル、19...ゲストOS、19a...カラーリング情報生成機能、11a...スケジューラ、11b...仮想マシン切替部、22...カラーリングテーブル、23...メモリ使用情報、24...メモリ固有情報、25...アドレス変換情報、26...アドレス管理部、27...読み出し管理部、28...書き込み管理部、29...カラーリング情報管理部、30...メモリ使用情報管理部、31...再配置部、32...アクセス頻度算出部、33...動的カラー情報管理部、34...MMU。

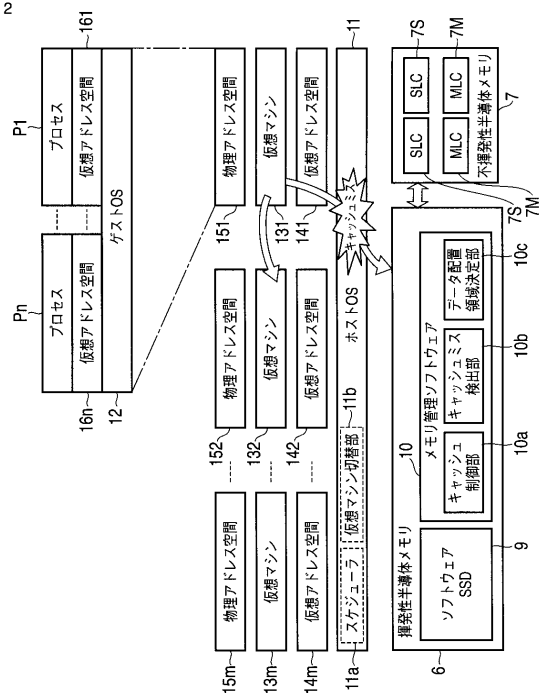
【 図 1 】

図 1



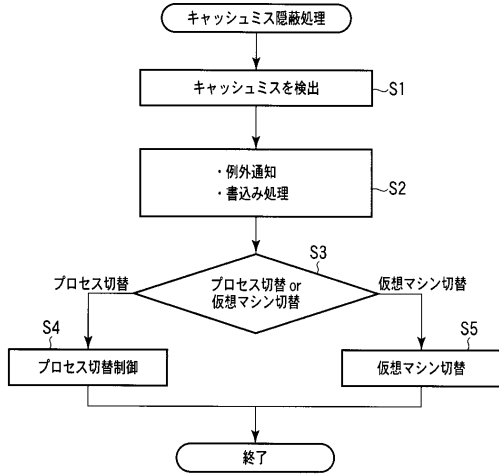
【 図 2 】

図 2



【 図 3 】

図 3



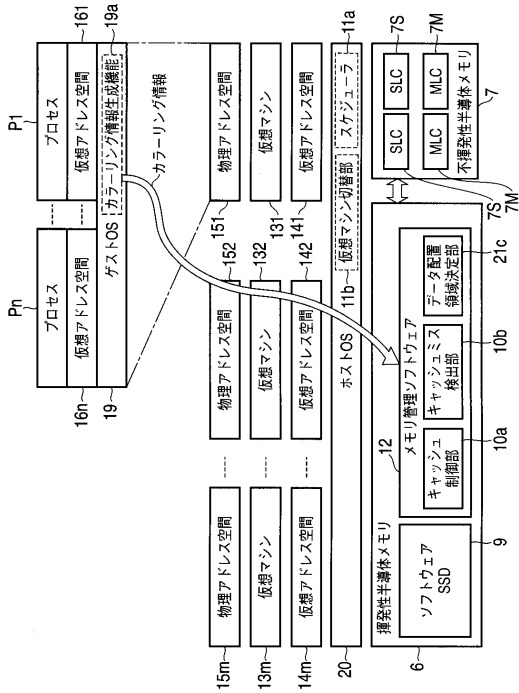
【 図 4 】

図 4

仮想マシンの識別情報	ステータス	ステータス終了時間	優先度
131	実行中		高
132	実行可能		低
133	揮発性半導体メモリキャッシュミス中	3μsec	中
⋮	⋮	⋮	⋮
13m	ガーベージコレクション中	4μsec	中

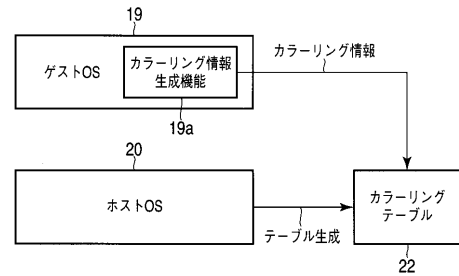
【 図 5 】

図 5



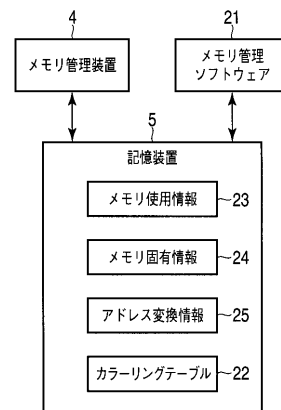
【 図 6 】

図 6



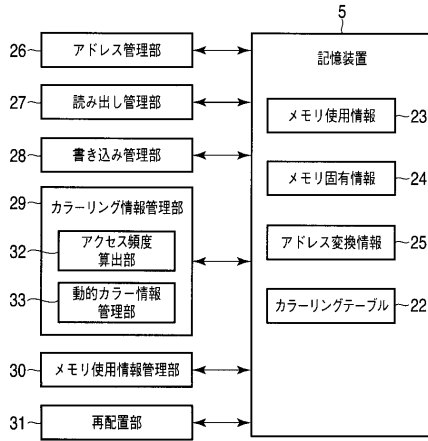
【 図 7 】

図 7



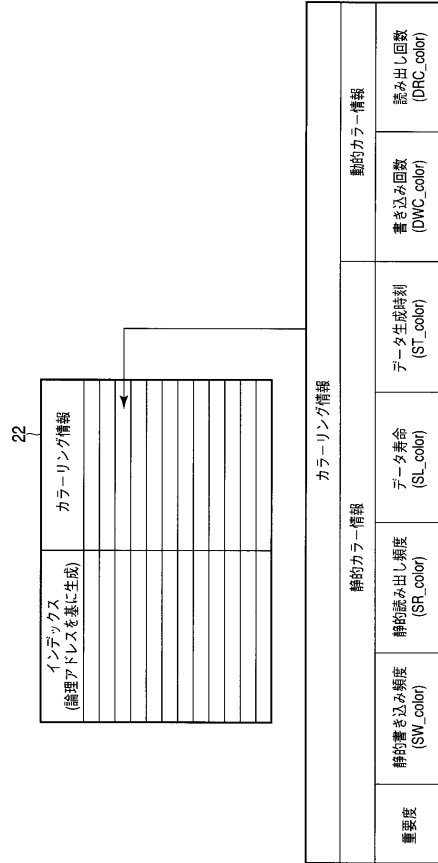
【 図 8 】

図 8



【 図 9 】

図 9



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 6 F 12/08 5 2 3 B

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 国松 敦
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 上村 剛
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 大輪 勤
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B005 JJ12 MM01 SS12 UU41 VV01