

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4756954号
(P4756954)

(45) 発行日 平成23年8月24日 (2011. 8. 24)

(24) 登録日 平成23年6月10日 (2011. 6. 10)

(51) Int. Cl.		F I			
HO4L	7/02	(2006.01)	HO4L	7/02	Z
G06F	1/04	(2006.01)	G06F	1/04	A

請求項の数 10 (全 13 頁)

(21) 出願番号	特願2005-248285 (P2005-248285)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成17年8月29日 (2005. 8. 29)	(74) 代理人	100080816 弁理士 加藤 朝道
(65) 公開番号	特開2007-67573 (P2007-67573A)	(72) 発明者	青木 泰 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
(43) 公開日	平成19年3月15日 (2007. 3. 15)	(72) 発明者	佐伯 貴範 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成20年6月11日 (2008. 6. 11)	(72) 発明者	木口 孝一郎 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 クロックアンドデータリカバリ回路

(57) 【特許請求の範囲】

【請求項1】

位相シフト回路から複数のラッチ回路に供給される多相クロック信号のうち、予め定められたクロック信号群を入力データ信号の遷移点を検出するエッジ検出用のクロック信号とし、他のクロック信号群を入力されたデータ信号をサンプルするためのデータサンプリング用のクロック信号とし、

前記複数のラッチ回路でサンプルされたデータによる位相比較結果に基づき、前記クロック信号の位相の遅れと進みを制御する位相制御信号を生成して前記位相シフト回路に供給する回路を備え、前記位相シフト回路は前記位相制御信号に基づき、前記エッジ検出用のクロック信号の位相と前記データサンプリング用のクロック信号の位相を可変にシフトさせ、データ及びクロック信号を復元するクロックアンドデータリカバリ回路であって、

前記エッジ検出用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御されるアップダウンカウンタのカウンタ値に応じた前記位相制御信号によって行われ、

前記データサンプリング用のクロック信号の位相の制御用に、

前記位相比較結果に基づきアップダウン制御される 1段目のアップダウンカウンタと、2段目のアップダウンカウンタと、

前記1段目のアップダウンカウンタのカウンタ値の現在値が最大値であり、且つ、前記位相比較結果がアップを示すときに、前記2段目のアップダウンカウンタをアップさせるように制御し、前記1段目のアップダウンカウンタのカウンタ値の現在値が最小値であり

、且つ、前記位相比較結果がダウンを示すときに、前記2段目のアップダウンカウンタをダウンさせるように制御する制御回路と、

を備え、前記データサンプリング用のクロック信号の位相の制御は、前記2段目のアップダウンカウンタのカウンタ値に応じた前記位相制御信号によって行われる、ことを特徴とするクロックアンドデータリカバリ回路。

【請求項2】

前記データサンプリング用のクロック信号の位相の制御用の前記1段目アップダウンカウンタのカウンタ値の最大値と最小値を制御する制御信号を入力し、前記1段目アップダウンカウンタの最大値と最小値を可変に設定自在としてなる、ことを特徴とする請求項1記載のクロックアンドデータリカバリ回路。

10

【請求項3】

前記データサンプリング用のクロック信号の位相の制御用の前記1段目アップダウンカウンタのカウンタ値の範囲は、前記2段目のアップダウンカウンタのカウンタ値の範囲よりも狭く設定される、ことを特徴とする請求項1記載のクロックアンドデータリカバリ回路。

【請求項4】

入力データ信号を、互いに位相が離間している複数相のクロック信号でサンプルして出力する複数のラッチ回路と、

前記複数のラッチ回路の出力に基づきクロック信号の位相の進みと遅れを検知する位相比較回路と、

20

前記位相比較回路から出力される位相比較結果を平滑化して、アップダウン信号を出力するフィルタと、

を備え、

前記複数相のクロック信号のうちエッジ検出用のクロック信号を入力する前記ラッチ回路で前記入力データ信号の遷移点を検出し、前記複数相のクロック信号のうちデータサンプリング用クロック信号を入力する前記ラッチ回路にて前記入力データ信号をサンプルし、

前記フィルタからのアップダウン信号を受けてカウンタ値をアップ又はダウンさせ、第1の位相制御信号を出力する第1のアップダウンカウンタと、

第2の位相制御信号を出力する第2のアップダウンカウンタと、

30

前記フィルタからのアップダウン信号を受けてカウンタ値をアップ又はダウンさせ、第1の位相制御信号を出力する第3のアップダウンカウンタと、

前記第1のアップダウンカウンタと、前記第2のアップダウンカウンタとからそれぞれ出力される前記第1の位相制御信号と前記第2の位相制御信号に応じて、前記エッジ検出用のクロック信号と前記データサンプリング用のクロック信号の位相をそれぞれ別々に可変制御する位相シフト回路と、

前記第3のアップダウンカウンタのカウンタ値と、前記フィルタからのアップダウン信号に基づき、前記第2のアップダウンカウンタのアップ、ダウンを制御する信号を生成し、前記第2のアップダウンカウンタに供給するアップダウン制御回路と、

を備えている、ことを特徴とするクロックアンドデータリカバリ回路。

40

【請求項5】

前記第3のアップダウンカウンタのカウンタ値の最大値と最小値を制御する制御信号を入力し、前記第3のアップダウンカウンタのカウンタ値の最大値と最小値を可変に設定自在としてなる、ことを特徴とする請求項4記載のクロックアンドデータリカバリ回路。

【請求項6】

前記アップダウン制御回路は、前記第3のアップダウンカウンタのカウンタ値が最大値であるときに、前記フィルタからアップ信号を入力した場合に、前記第2のアップダウンカウンタにアップ信号を出力し、前記第3のアップダウンカウンタのカウンタ値が最小値であるときに、前記フィルタからダウン信号を入力した場合に、前記第2のアップダウンカウンタにダウン信号を出力する、ことを特徴とする請求項4記載のクロックアンドデー

50

タリカバリ回路。

【請求項 7】

前記第 3 のアップダウンカウンタのカウント値の範囲は、前記第 2 のアップダウンカウンタのカウント値の範囲よりも狭く設定される、ことを特徴とする請求項 4 記載のクロックアンドデータリカバリ回路。

【請求項 8】

前記第 1 のアップダウンカウンタと、前記第 2 のアップダウンカウンタとは、同一の構成とされ、カウント値の範囲は同一とされる、ことを特徴とする請求項 4 記載のクロックアンドデータリカバリ回路。

【請求項 9】

請求項 1 乃至 8 のいずれか一記載のクロックアンドデータリカバリ回路を備えた半導体装置。

10

【請求項 10】

請求項 1 乃至 8 のいずれか一に記載の前記クロックアンドデータリカバリ回路と、
入力バッファと、
を備え、

前記クロックアンドデータリカバリ回路は、前記入力バッファからの入力シリアルデータを受け、

前記クロックアンドデータリカバリ回路から出力されるデータ信号と、送信シリアルデータとを入力し一方を出力するセレクトと、

20

前記セレクトの出力を入力して出力する出力バッファを備えたことを特徴とするインタフェース回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受信データからクロックを抽出しデータの復元を行う回路に関し、特に、シリアルインタフェース等に適用して好適な回路及び半導体装置に関する。

【背景技術】

【0002】

図 4 は、クロックアンドデータリカバリ回路の典型的な構成の一例を示す図である。なお、クロックアンドデータリカバリ回路については、特許文献 1 等の記載が参照される。図 4 を参照すると、このクロックアンドデータリカバリ回路は、入力データ信号を受け、位相シフト回路 101 からの多相クロック信号 (N 相クロック $CK_1 \sim CK_N$) に応答して入力データ信号をそれぞれサンプルして出力する N 個のラッチ回路 102 ($F/F_1 \sim F/F_N$) と、 N 個のラッチ回路 102 からの出力を受けて位相を比較し、比較結果に基づき、アップダウン信号を出力する位相比較回路 103 と、位相比較回路 103 の出力を平滑化するフィルタ 104 と、フィルタ 104 で平滑化されたアップダウン信号を受けアップダウン信号がアップを示すときはカウントアップし、アップダウン信号がダウンを示すときはカウントダウンするアップダウンカウンタ 105 と、アップダウンカウンタ 105 からの位相制御信号を受け、 N 相クロック信号の位相を進ませるか遅らせる制御を行う位相シフト回路 101 を備えている。なお、位相シフト回路 101 には、不図示の PLL 回路からの基準クロック信号を不図示の分周回路で分周して生成された N 相クロック信号が入力される。位相シフト回路 101 は、入力された N 相クロック信号の位相を位相制御信号に応じて可変させて出力する位相インタポレータより構成される。

30

40

【0003】

入力データ信号は、複数のラッチ回路 102 ($F/F_1 \sim F/F_N$) において、 N 相クロック信号でサンプリングされ、奇数番目の F/F には、入力データ信号をサンプルするためのデータサンプリング用クロック信号として、データ確定期間の中心付近に立ち上がり (又は立ち下り) エッジがあるクロック信号が入力され、偶数番目の F/F には、入力データの遷移点を検出するエッジ検出用クロック信号として、データの変化点付近に立ち

50

上がり（又は立ち下り）エッジがあるクロック信号が入力されている。F / F 1 ~ Nでサンプリングされた各データは、位相比較回路103に入力される。奇数番目のF / Fでサンプリングされたデータは、出力データとして出力される。位相比較回路103では、隣り合う位相でサンプリングされたデータ同士を比較することによって、入力データの変化点を判定し、入力データ信号の位相に対してクロック信号の位相が遅れている場合、アップ信号を、入力データ信号の位相に対してクロック信号の位相が遅れている場合、ダウン信号を出力する。

【0004】

位相比較回路103から出力されるアップダウン信号を受信したフィルタ104では、多数決回路等によって、平滑化されたアップダウン信号が生成される。

10

【0005】

アップダウンカウンタ105は、フィルタ104からアップ信号を受信した場合、N相クロック信号CK1 ~ CKNの位相をアップさせ（入力データ信号の位相に対してクロック信号CK1 ~ CKNの位相を進める）、フィルタ104からダウン信号を受信した場合クロック信号の位相をダウン（入力データ信号の位相に対してクロック信号CK1 ~ CKNの位相を遅らせる）させるように、位相シフト回路101への位相制御信号を生成する。

【0006】

アップダウンカウンタ105から位相シフト回路101に出力される位相制御信号は、複数のラッチ回路102における入力データ信号をサンプルするためのデータプリング用クロック信号とエッジ検出用のクロック信号に共通とされている。すなわち、位相シフト回路101からのN相クロック信号CK1、CK2、...、CKN-1、CKN（相隣るクロック信号の位相は互いに360度/N離間している）の位相の遅れ、進みは共通に制御される。

20

【0007】

通常、クロックアンドデータリカバリ回路のロック状態（データサンプリング用クロック信号の位相が、データビットの確定期間の中心付近にある状態）において、入力データ信号の遷移（エッジ）検出用クロック信号の位相は、入力データ信号の変化点を中心に、アップ、ダウンを繰り返すように制御される。

【0008】

上記述べたように、図4に示したクロック信号データリカバリ回路においては、多相クロック全体を一斉に等間隔に、位相シフトする構成とされる。すなわち、図5にタイミング波形図として示すように、入力データの遷移点を検出するエッジ検出用のクロック信号と、入力データをデータの確定点でサンプルするためのデータサンプリング用クロック信号とが共通の位相制御信号によって制御されているため、エッジ検出用クロック信号のエッジ（図5の矢印参照）が変化すると、これと同一の位相で、データサンプリング用クロック信号のエッジ（図5の矢印参照）が変化する。すなわち、図4の複数のラッチ回路102において、エッジ検出とデータビットの内容を2つの相のクロック信号でサンプリングしている場合、入力データ信号のジッタ等により、あるサイクルでデータの遷移点が遅れた場合、次のサイクルにおいてデータの遷移点が早まる場合もあり（1周期が短縮する）、この場合、エッジ検出用のクロック信号とデータサンプリング用のクロック信号を同一位相遅らせると、データビットとして後のサイクルの遷移領域（データビットの境界）をサンプルしてしまうなど、データビットを正しくサンプルすることができない場合がある（特許文献2）。

30

40

【0009】

そこで、特許文献2には、ジッタ成分による影響を抑止し、正確にデータをサンプルすることを可能としたクロックアンドデータリカバリ回路として、図6に示すように、データサンプリング用のクロック信号と入力データのエッジ検出用クロック信号を、別々に制御するクロックアンドデータリカバリ回路が提案されている。なお、図6において、その部品配置等は、図4と対応させるために、特許文献2の図面に記載された構成と若干相違

50

しているが、基本構成は、特許文献2と同一である。図6を参照すると、このクロックアンドデータリカバリ回路は、図4の構成において、アップダウンカウンタ105と位相シフト回路101との間に、制御回路106を備え、データサンプリング用のクロック信号（奇数番目のクロック信号）と、入力データのエッジ検出用クロック信号（偶数番目のクロック信号）の位相をそれぞれ別々に制御するための2つの位相制御信号を出力している。

【0010】

【特許文献1】特開2002-190724号公報

【特許文献2】特開2003-333021号公報

【非特許文献1】ISSCC 1993 p.p 160 - 161 Mark Horowitz et al., "PLL Design for 50 10
OMHz Interface"

【発明の開示】

【発明が解決しようとする課題】

【0011】

図4に示したクロックアンドデータリカバリ回路では、理想的（例えばジッタ無し、デューティ比50%/50%）なデータが入力された場合でも、図5に示したように、データサンプリング用クロック信号に、最低でも、位相シフト回路101の1段分のジッタが発生する。

【0012】

一方、ジッタに対する耐性の向上を図る図6の構成は、データサンプリング用のクロック信号と入力データのエッジ検出用クロック信号を別々に制御しているが、データサンプリング用のクロック信号とエッジ検出用クロック信号のそれぞれの位相シフトの最大区間等の制御は行われていない。このため、使用条件によって変化する入力データ信号のジッタ成分に対して、データサンプリング用クロック信号のジッタを最小化するように抑制することができない場合があるという課題を、本願発明者らは知見した。

【課題を解決するための手段】

【0013】

本願で開示される発明は、上記課題を解決するため、概略以下の構成とされる。

【0014】

本発明の1つのアスペクト（側面）に係るクロックアンドデータリカバリ回路は、位相シフト回路から複数のラッチ回路に供給される多相クロック信号のうち、予め定められたクロック信号群を入力データ信号の遷移点を検出するエッジ検出用のクロック信号とし、他のクロック信号群を入力されたデータ信号をサンプルするためのデータサンプリング用のクロック信号とし、前記複数のラッチ回路でサンプルされたデータによる位相比較結果に基づき、前記クロック信号の位相の遅れと進みを制御する位相制御信号を生成して前記位相シフト回路に供給する回路を備え、前記位相シフト回路は前記位相制御信号に基づき、前記エッジ検出用のクロック信号の位相と前記データサンプリング用のクロック信号の位相を可変にシフトさせ、データ及びクロック信号を復元するクロック信号アンドデータリカバリ回路であって、前記エッジ検出用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御されるアップダウンカウンタのカウント値に応じた前記位相制御信号によって行われ、前記データサンプリング用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御されるアップダウンカウンタのカウント値にそのまま追従させず、前記アップダウンカウンタの現在のカウント値と前記位相比較結果の組合わせが予め定められた所定の条件を満たすときに、位相を進ませるか又は遅らせるように、段階的に可変制御する回路を備えている。

【0015】

本発明において、前記エッジ検出用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御されるアップダウンカウンタのカウント値に応じた前記位相制御信号によって行われ、前記データサンプリング用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御される1段目のアップダウンカウンタのカウント

値の現在値が、所定の条件を満たすときに、前記位相比較結果が位相の遅れ又は進みを示すときに、2段目のアップダウンカウンタをアップさせるかダウンさせる制御回路を備え、前記2段目のアップダウンカウンタのカウント値に応じた前記位相制御信号によって行われる。

【0016】

本発明において、前記データサンプリング用のクロック信号の位相の制御用の前記1段目アップダウンカウンタのカウント値の最大値と最小値を制御する制御信号を入力し、前記1段目アップダウンカウンタの最大値と最小値を可変に設定自在とした構成としてもよい。

【0017】

本発明において、前記データサンプリング用のクロック信号の位相の制御用の前記1段目アップダウンカウンタのカウント値の範囲は、前記2段目のアップダウンカウンタのカウント値の範囲よりも狭く設定される構成としてもよい。

【0018】

本発明に係るクロックアンドデータリカバリ回路は、入力データ信号を、互いに位相が離間している複数相のクロック信号でサンプルして出力する複数のラッチ回路と、前記複数のラッチ回路の出力に基づきクロック信号の位相の進み遅れを検知する位相比較回路と、前記位相比較回路から出力される位相比較結果を平滑化して、アップダウン信号を出力するフィルタと、を備え、前記複数相のクロック信号のうちエッジ検出用のクロック信号を入力する前記ラッチ回路で前記入力データ信号の遷移点を検出し、前記複数相のクロック信号のうちデータサンプリング用クロック信号を入力する前記ラッチ回路で入力データ信号をサンプルし、前記フィルタからのアップダウン信号を受けてカウント値をアップ又はダウンさせ、第1の位相制御信号を出力する第1のアップダウンカウンタと、第2の位相制御信号を出力する第2のアップダウンカウンタと、前記フィルタからのアップダウン信号を受けてカウント値をアップ又はダウンさせ、第1の位相制御信号を出力する第3のアップダウンカウンタと、前記第1のアップダウンカウンタと、前記第2のアップダウンカウンタとからそれぞれ出力される前記第1の位相制御信号と前記第2の位相制御信号に応じて、前記エッジ検出用のクロック信号と前記データサンプリング用のクロック信号の位相をそれぞれ別々に可変制御する位相シフト回路と、前記第3のアップダウンカウンタのカウント値と、前記フィルタからのアップダウン信号に基づき、前記第2のアップダウンカウンタのアップ、ダウンを制御する信号を生成し、前記第2のアップダウンカウンタに供給するアップダウン制御回路と、を備えている。

【0019】

本発明において、前記第3のアップダウンカウンタのカウント値の最大値と最小値を制御する制御信号を入力し、前記第3のアップダウンカウンタのカウント値の最大値と最小値を可変に設定自在としている。

【0020】

本発明において、前記アップダウン制御回路は、前記第3のアップダウンカウンタのカウント値が最大値であるときに、前記フィルタからアップ信号を入力した場合に、前記第2のアップダウンカウンタにアップ信号を出力し、前記第3のアップダウンカウンタのカウント値が最小値であるときに、前記フィルタからダウン信号を入力した場合に、前記第2のアップダウンカウンタにダウン信号を出力する。

【0021】

本発明において、前記第3のアップダウンカウンタのカウント値の範囲は、前記第2のアップダウンカウンタのカウント値の範囲よりも狭く設定される。

【0022】

本発明の他のアスペクトに係るインタフェース回路は、前記クロックアンドデータリカバリ回路と、入力バッファと、を備え、前記クロックアンドデータリカバリ回路は、前記入力バッファからの入力シリアルデータを受け、前記クロックアンドデータリカバリ回路から出力されるデータ信号と、送信シリアルデータとを入力し一方を出力するセレクタと

10

20

30

40

50

、前記セレクタの出力を入力して出力する出力バッファを備える。

【発明の効果】

【0023】

本発明によれば、データサンプリング用のクロック信号の位相可変を、エッジ検出用のクロック信号の位相可変と比べて、アップダウンカウンタ、アップダウン制御回路を介して段階的に行う構成としたことにより、データサンプリング用のクロック信号のジッタ成分にを抑制しデータを正確に抽出することができる。

【発明を実施するための最良の形態】

【0024】

上記した本発明についてさらに詳細に説述すべく添付図面を参照して説明する。本発明は、位相シフト回路（図1の11）から複数のラッチ回路（図1の12）に供給される多相クロック信号のうち、予め定められたクロック信号群を入力データ信号の遷移点を検出するエッジ検出用のクロック信号とし、他のクロック信号群を入力データ信号をサンプルするためのデータサンプリング用のクロック信号とし、複数のラッチ回路（図1の12）でサンプルされたデータによる位相比較結果に基づき、前記クロック信号の位相の遅れ、進みを制御するための位相制御信号を生成して位相シフト回路（図1の11）に供給する回路を備え、位相シフト回路は前記位相制御信号に基づき、前記エッジ検出用のクロック信号の位相と前記データサンプリング用のクロック信号の位相を可変にシフトさせ、データ及びクロック信号を復元する構成のクロックアンドデータリカバリ回路において、エッジ検出用のクロック信号の位相の制御は、位相比較結果（例えば図1のフィルタ14の出力）に基づきアップダウン制御されるアップダウンカウンタ（図1の15）のカウンタ値に応じた前記位相制御信号によって行われ、データサンプリング用のクロック信号の位相の制御に関しては、前記位相比較結果（例えば図1のフィルタ14の出力）に基づきアップダウン制御されるアップダウンカウンタ（図1の17）のカウンタ値をそのまま追従させずに、前記アップダウンカウンタ（図1の17）の現在値と、前記位相比較結果とから、入力データ信号に対するクロックの位相の進み、又は位相の遅れの具合が、予め定められた所定の条件を満たすときに、データサンプリング用のクロック信号の位相を進ませるか、又は遅らせるように、複数段のステップを介在させて、段階的に可変制御する回路（図1の18、16）を備えている。

【0025】

より詳細には、前記エッジ検出用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御されるアップダウンカウンタ（図1の15）のカウンタ値に応じた前記位相制御信号によって行われ、前記データサンプリング用のクロック信号の位相の制御は、前記位相比較結果に基づきアップダウン制御される1段目のアップダウンカウンタ（図1の17）のカウンタ値の現在値が、最大値であるか又は最小値である等の予め定められた所定の条件を満たすときに、前記位相比較結果（例えば図1のフィルタ14の出力）がアップ又はダウンを示すときに、2段目のアップダウンカウンタ（図1の16）をアップさせるかダウンさせるように制御する制御回路（図1の18）を備え、前記2段目のアップダウンカウンタ（図1の16）のカウンタ値に応じた前記位相制御信号によって、前記データサンプリング用のクロック信号の位相制御が行われる。本発明において、データサンプリング用のクロック信号の位相制御用の1段目のアップダウンカウンタ（図1の17）のカウンタ値の最大値、最小値を可変に制御する構成としてもよい。本発明において、データサンプリング用のクロック信号の位相制御用の1段目のアップダウンカウンタ（図1の17）のカウンタ値の範囲は、アップダウンカウンタ（図1の15、16）のカウンタ値の範囲よりも狭く設定されるようにしてもよい。以下実施例に即して説明する。

【実施例】

【0026】

図1は、本発明の一実施例の構成を示す図である。図1を参照すると、入力データ信号を受け、位相シフト回路11からの多相クロック信号（N相クロックCK1～CKN）に

10

20

30

40

50

応答して、入力データ信号をそれぞれサンプルして出力するN個のラッチ回路12（フリップフロップF/F1～F/FN）と、N個のラッチ回路12（F/F1～F/FN）からの出力を受けて位相を比較し、比較結果に基づき、アップダウン信号を出力する位相比較回路13と、位相比較回路13の比較結果であるアップダウン信号を平滑化するフィルタ14と、フィルタ14で平滑化されたアップダウン信号を受け、アップのときはカウントアップし、ダウンのときはカウントダウンする第1、第3のアップダウンカウンタ15、17と、第3のアップダウンカウンタ17からのカウント値を受けて、アップダウンを制御する信号を生成するアップダウン制御回路18と、アップダウン制御回路18からアップダウン信号を受けカウント値をアップダウンさせる第2のアップダウンカウンタ16と、第1、第2のアップダウンカウンタ15、16からそれぞれ出力される位相制御信号を受け、入力データの遷移点を検出するためのエッジ検出用のクロック信号とデータサンプリングの位相シフトをそれぞれ別々に制御する位相シフト回路11とを備えている。なお、位相シフト回路11には、不図示のPLL回路からの基準クロック信号を不図示の分周回路で分周して生成されたN相クロック信号が入力される。位相シフト回路11は、入力されたN相クロック信号の位相を位相制御信号に応じて可変させて出力する位相インタポレータより構成される。位相インタポレータは、特許文献2に記載されている構成であってもよいし、位相制御信号に基づき電流の重み付けを行う差動回路構成（例えば非特許文献1参照）としてもよい。

【0027】

図1に示した回路の動作について説明する。入力データ信号は、複数のラッチ回路12（F/F1～F/FN）においてN相クロック信号CK1～CKNでそれぞれサンプルされる。F/F1等、奇数番目のF/Fには、データサンプリング用クロック信号として、データ確定期間の中心付近に立ち上がり（又は立ち下り）エッジのあるクロック信号（CK1、…、CKN-1）が、位相シフト回路11から供給され、F/F2等偶数番目のF/Fには、エッジ検出用クロック信号としてデータの変化点付近に立ち上がり（又は立ち下り）エッジがあるクロック信号（CK2、…、CKN）が位相シフト回路11から供給される。

【0028】

N個のラッチ回路12（F/F1～F/FN）でそれぞれサンプリングされた各データは、位相比較回路13に入力される。奇数番目のF/Fでサンプリングされたデータは出力データとして出力される。位相比較回路13では、隣り合う位相でサンプリングされたデータ同士を比較することによって、入力データ信号の遷移点を判定し、入力データ信号の位相に対して、クロック信号の位相が遅れている場合には、アップを、入力データ信号の位相に対してクロック信号の位相が遅れている場合、ダウンを指示する信号をアップダウン信号として出力する。

【0029】

アップダウン信号を受信したフィルタ14は、多数決回路（不図示）等によって平滑化されたアップダウン信号を生成して出力する。例えば、所定の時間区間にわたって入力されたアップ信号の数が、ダウン信号よりも多い場合にはアップと判定してアップ信号を出力し、所定の時間区間にわたって入力されたアップ信号の数が、ダウン信号よりも少ない場合にはダウンと判定してダウン信号を出力する。なお、フィルタ14は、平滑化を行うものであればよく、例えば積分回路で構成してもよい。

【0030】

第3のアップダウンカウンタ17は、フィルタ14からのアップダウン信号によってカウント値をアップ、ダウンさせるアップダウンカウンタであり、カウント値の初期値と最大値と最小値は、入力される制御信号によって可変に設定される。

【0031】

アップダウン制御回路18は、第3のアップダウンカウンタ17のカウント値が最大値のときに、フィルタ14からアップ信号を受信した場合に、アップ信号を第2のアップダウンカウンタ16へ出力する。

10

20

30

40

50

【 0 0 3 2 】

第3のアップダウンカウンタ17のカウンタ値が最小値のときに、フィルタ14からダウン信号を受信した場合に、ダウン信号を、第2のアップダウンカウンタ16へ出力する。

【 0 0 3 3 】

第1のアップダウンカウンタ15と第2のアップダウンカウンタ16とは、互いに同一の構成とされており、アップダウン信号によって、カウンタをアップ又はダウンさせ、それぞれ位相制御信号に変換して位相シフト回路11へ出力する。

【 0 0 3 4 】

位相シフト回路11では、第1のアップダウンカウンタ15からの位相制御信号によって、ラッチ回路12の偶数番目のF/Fへ入力するクロック信号(エッジ検出用クロック信号)の位相を、アップダウンカウンタ2からの位相制御信号によって奇数番目のF/Fへ入力するクロック信号(データサンプリング用クロック信号)の位相を決定している。

10

【 0 0 3 5 】

位相シフト回路11からラッチ回路12に供給されるデータサンプリング用クロック信号を、フィルタ14に加え、第3のアップダウンカウンタ17とアップダウン制御回路18を介して制御しており、第3のアップダウンカウンタ17とアップダウン制御回路18に入力される制御信号によって、ジッタの抑圧範囲を制御することができる。

【 0 0 3 6 】

第3のアップダウンカウンタ17とアップダウン制御回路18に入力される制御信号によって、設定される第3のアップダウンカウンタ17のカウンタ値の最大値は、位相が遅れる方向の抑圧範囲を、該制御信号によって設定される第3のアップダウンカウンタ17のカウンタ値の最小値は、位相が進んだ方向の抑圧範囲を決めている。

20

【 0 0 3 7 】

図2のタイミング波形図を参照して説明する。特に制限されないが、制御信号により第3のアップダウンカウンタ17のカウンタ値の範囲を例えば-1、0、+1とした場合、図2に示すように、エッジ検出用クロック信号の位相選択範囲の最も進んだ位相と最も遅れた位相は、データサンプリング用クロック信号ではキャンセルされ、出力データ信号のジッタは抑圧される。すなわち、エッジ検出用クロック信号の位相選択範囲の最も進んだ位相と最も遅れた位相に対応する位相は、データサンプリング用クロック信号ではそれぞれリミットされ出力されない。

30

【 0 0 3 8 】

例えば第1、第3のアップダウンカウンタ15、17のカウンタ値がともに0のとき、フィルタ14からのアップを示す信号が連続して2回入力された場合、第1のアップダウンカウンタ15のカウンタ値は2回アップして+2となるが、このとき、第2のアップダウンカウンタ16のカウンタ値は+1である。すなわち、フィルタ14からの1回目のアップ信号を受けて第3のアップダウンカウンタ17のカウンタ値は+1(最大値)となるが、アップダウン制御回路18は、アップ信号を第2のアップダウンカウンタ16に出力しない。このため、第2のアップダウンカウンタ16のカウンタ値は0のままである。この状態で、フィルタ14からの2回目のアップ信号を受けると、第3のアップダウンカウンタ17のカウンタ値の現在値は最大値+1のままとされるが、該アップ信号が入力されたことを受け、アップダウン制御回路18は、第2のアップダウンカウンタ16にアップ信号を出力し、第2のアップダウンカウンタ16は、カウンタ値を1つカウントアップして+1とする。ダウン信号についても、カウンタ値がマイナスとなるだけであり、上記と同様の動作とされる。

40

【 0 0 3 9 】

本実施例において、第3のアップダウンカウンタ17のカウンタ範囲は、第1のアップダウンカウンタ15、第2のアップダウンカウンタ16のカウンタ範囲(最大値-最小値+1)よりも狭く設定されている。本実施例では、データサンプリング用クロック信号の位相が、1段目のアップダウンカウンタ17、アップダウン制御回路18、アップダウン

50

カウンタ16を介して、段階的に可変制御され、一方、入力データ信号の遷移点を検出するエッジ検出用クロック信号は、第1のアップダウンカウンタ15の出力によって、大きなカウント範囲で、直接的に、可変制御され、ジッタを含む入力データ信号の追従特性を維持している。

【0040】

本実施例によれば、データサンプリング用クロック信号のジッタを段階的に制御する構成としたことにより、クロック信号データリカバリ回路によって復元されたクロック信号のジッタを最適な範囲に抑圧することができる。

【0041】

本実施例のクロックアンドデータリカバリ回路は、シリアライザ/デシリアライザを備えたインタフェース回路(半導体装置)に適用して好適とされる。図3に、本発明のクロックアンドデータリカバリ回路を適用したシリアルインタフェース回路の構成の一例を示す。図3を参照すると、差動入力端子RXT、RXCより入力バッファ201に差動入力されたシリアルデータからデータ及びクロック信号を復元するクロックアンドデータリカバリ回路202と、シリアルデータをパラレルデータに変換するシリアルパラレル変換回路203を備えたデシリアライザと、送信パラレルデータをシリアルデータに変換するパラレルシリアル変換回路206と、クロックアンドデータリカバリ回路202からのシリアルデータ(スルーデータ)とパラレルシリアル変換回路206からのシリアルデータを選択するセレクタ207と、セレクタ207の出力を伝送路に出力する出力バッファ回路208(プリエンファシス機能・デエンファシス機能を備えてもよい)を備えたインタフェース回路に用いて好適とされる。シリアルパラレル変換回路203は、クロックアンドデータリカバリ回路202からのクロック信号を入力するカウンタ(不図示)からの分周クロック信号で駆動され、パラレルシリアル変換回路206は、PLL(位相同期ループ)回路204からのクロック信号を入力するカウンタ(不図示)からの分周クロック信号で駆動される。分周回路205はPLL回路204からのクロック信号を分周し多相(N相)クロック信号を生成しクロックアンドデータリカバリ回路202の位相シフト回路に供給する。クロックアンドデータリカバリ回路202からのスルーデータは、入力データ信号のジッタ成分が抑制され正しくサンプルされたシリアルデータが出力され、スルーデータのパスにジッタ等の補正回路が不要とされる。なお、図3では、クロックアンドデータリカバリ回路202は入力バッファ201からのデータ信号を差動で入力しているが、この場合、図1のラッチ回路12は差動回路で構成される。

【0042】

以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成にのみ限定されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【図面の簡単な説明】

【0043】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例の動作を説明するためのタイミング波形図である。

【図3】本発明の一実施例のクロックアンドデータリカバリ回路が適用されるSerDesインタフェース回路の構成を模式的に示す図である。

【図4】クロックアンドデータリカバリ回路の典型的な構成例を示す図である。

【図5】図4の回路の動作を示すタイミング波形図である。

【図6】従来のクロックアンドデータリカバリ回路の別の構成例を示す図である。

【符号の説明】

【0044】

- 11、101 位相シフト回路
- 12、102 ラッチ回路(フリップフロップ)
- 13、103 位相比較回路
- 14、104 フィルタ

10

20

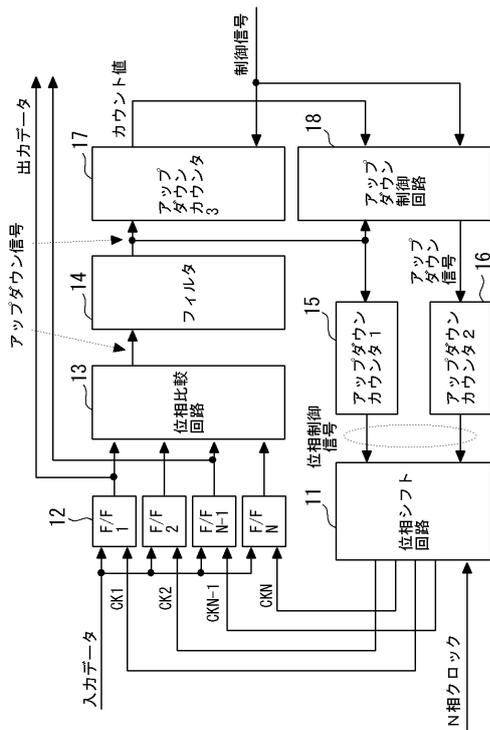
30

40

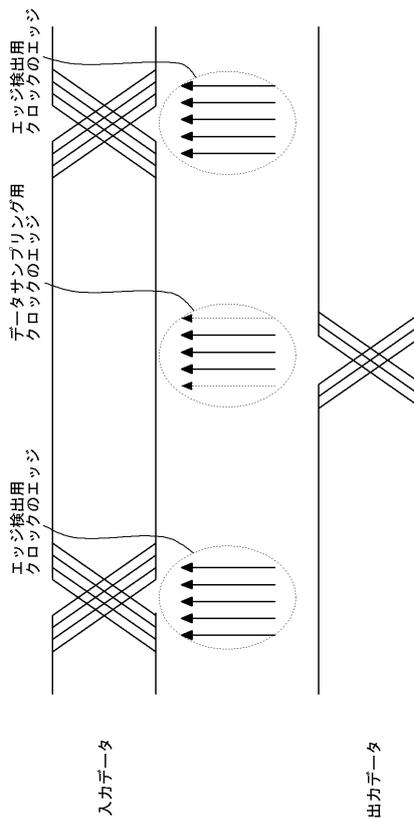
50

- 15、16、17、105 アップダウンカウンタ
- 18 アップダウン制御回路
- 106 制御回路
- 201 入力バッファ
- 202 クロックアンドデータリカバリ回路
- 203 シリアルパラレル変換回路
- 204 PLL回路
- 205 分周回路
- 206 パラレルシリアル変換回路
- 207 セレクタ
- 208 出力バッファ

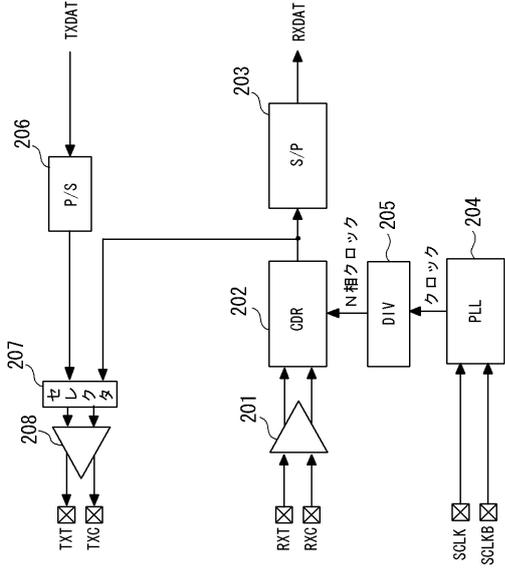
【図1】



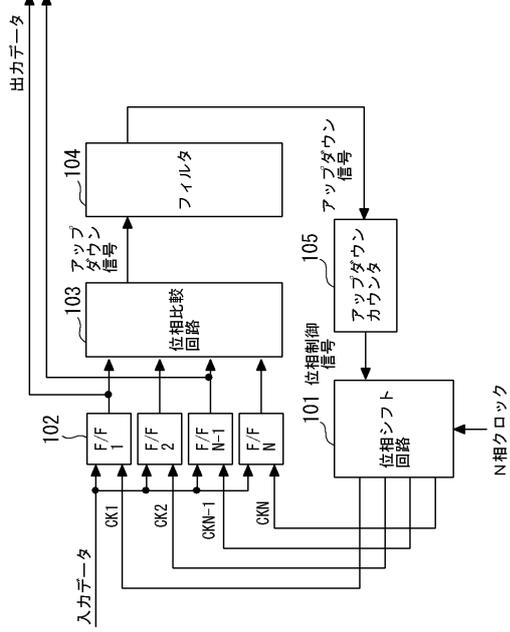
【図2】



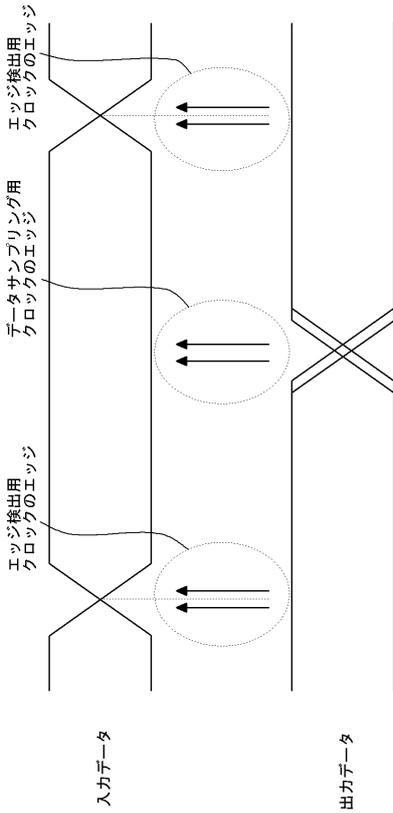
【図3】



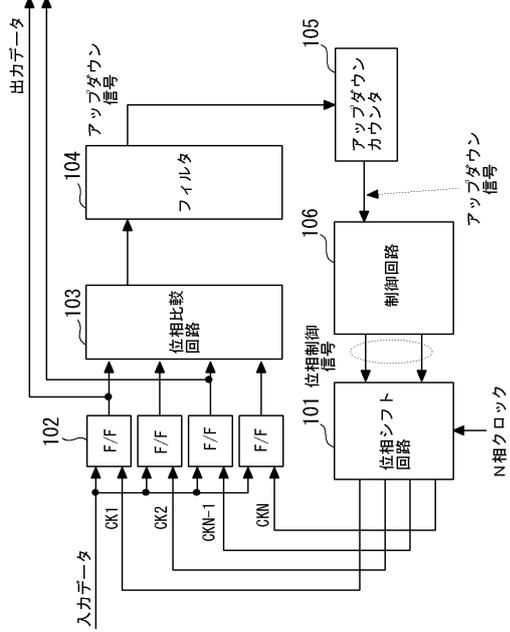
【図4】



【図5】



【図6】



フロントページの続き

審査官 阿部 弘

(56)参考文献 特開2003-333021(JP,A)
特開2002-353947(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04L 7/02
G06F 1/04