

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/06 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년10월16일 10-0634169 2006년10월09일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0016253 2004년03월10일	(65) 공개번호 (43) 공개일자	10-2005-0090911 2005년09월14일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	김상원 서울특별시노원구상계2동181-5  최정운 경기도용인시기흥읍553번지민속마을쌍용아파트115동1501호
(74) 대리인	임창현 송윤호 권혁수 오세준

심사관 : 윤난영

(54) 가변형 기준레벨 발생 기능을 가진 센스 앰프 및 그 방법

**요약**

본 발명은 가변형 기준레벨 발생 기능을 가진 센스 앰프 및 그것의 기준레벨 발생 방법에 관한 것으로, 상기 센스 앰프는 반도체 메모리 장치의 전원전압의 변화에 무관하게 데이터 인식에 필요한 온 셀 마진 및 오프 셀 마진을 충분히 확보할 수 있도록 상기 전원전압의 변화에 따라 기준 셀 전류를 가변시켜 준다. 그 결과, 전압 마진의 부족으로 인한 독출 오류가 미연에 방지된다.

**대표도**

도 2

**색인어**

센스앰프, 기준레벨, 기준전류

**명세서**

**도면의 간단한 설명**

- 도 1은 반도체 메모리 장치의 전원전압에 따른 기준 전류와 코어 셀 전류의 변화를 보여주는 도면;
- 도 2는 본 발명의 바람직한 실시 예에 따른 센스 앰프의 간략한 구성을 보여주는 블록도;
- 도 3은 도 2에 도시된 본 발명의 바람직한 실시 예에 따른 코어 셀 레벨 검출부 및 비교부의 회로도;
- 도 4는 도 2에 도시된 본 발명의 바람직한 실시 예에 따른 기준레벨 제어부의 회로도;
- 도 5는 도 4에 도시된 본 발명의 바람직한 실시 예에 따른 전압 검출기의 상세 회로도;
- 도 6은 전원전압에 대한 기준 전압, 및 각 저항 사이의 전원전압 분배 결과를 보여주는 도면;
- 도 7은 전원전압에 따른 전압 검출기의 출력을 보여주는 도면;
- 도 8은 도 2에 도시된 본 발명의 바람직한 실시 예에 따른 기준레벨 발생부의 회로도;
- 도 9는 플래시 메모리 셀 타입의 트랜지스터를 이용한 메모리 셀을 위한 센스 앰프의 간략한 구성을 보여주는 도면;
- 도 10은 도 9에 도시된 센스 앰프를 위한 기준 레벨 발생부의 회로도;
- 도 11은 본 발명에 따른 센스 앰프의 데이터 인식 방법 및 기준레벨 변경 방법을 보여주는 흐름도; 그리고
- 도 12는 본 발명에 따른 센스 앰프의 기준 레벨 변환 결과를 보여주는 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

200 : 센스 앰프 210 : 기준 셀 레벨 변환부

220 : 기준 레벨 제어부 240 : 기준 레벨 발생부

270 : 코어 셀 레벨 검출부 290 : 비교부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자의 센스 앰프에 관한 것으로, 특히 데이터 인식에 사용될 기준 레벨을 가변할 수 있는 센스 앰프 및 그 방법에 관한 것이다.

메모리의 규모가 커짐에 따라 메모리 코어 셀에 저장된 데이터를 읽을 때 데이터의 신호가 약해지게 되어 잘못된 데이터를 읽을 수 있고, 비트 라인에서의 전압진폭(voltage swing)이 안정화 될 때까지의 지연시간이 길어질 수 있다. 따라서 대부분의 메모리에서는 안정된 읽기 동작과 비트 라인에서의 지연시간을 줄이고, 저전력을 제공하기 위해서 데이터의 신호를 증폭해 주는 센스 앰프를 사용한다. 센스 앰프를 사용하여 데이터를 읽어 들이는 방법은 2000년 7월 4일, Maloberti 등에 의해 취득된 U.S. Pat. No. 6,084,797, "METHOD FOR READING A MULTIPLE-LEVEL MEMORY CELL" 등에 개시되어 있다.

일반적으로, 센스 앰프는 코어 셀에 대한 읽기 수행시 일정 레벨의 기준 셀 전류(Reference Cell Current ;  $I_r$ )와 코어 셀로부터 감지된 코어 셀 전류(Core Cell Current ;  $I_c$ )를 비교하고, 비교 결과에 따라 해당 코어 셀이 온 상태인지 또는 오프 상태인지를 판단한다. 예를 들어, 코어 셀 전류( $I_c$ )가 기준 셀 전류( $I_r$ ) 보다 낮으면 오프 셀(D0)로 판단하고, 코어 셀 전류( $I_c$ )가 기준 셀 전류( $I_r$ ) 보다 높으면 온 셀(D1)로 판단한다. 이 때, 전압에 따른 코어 셀 전류( $I_c$ ) 및 기준 셀 전류( $I_r$ )의 변화는 다음과 같다.

도 1은 반도체 메모리 장치의 전원전압(Vcc)에 따른 기준 전류(Iref)와 코어 셀 전류(Ion, Ioff)의 변화를 보여주는 도면이다.

도 1를 참조하면, 코어 셀의 상태가 오프 상태(D0)인 경우, 코어 셀의 전류(Ioff)는 기준 전류(Iref)보다 낮은 값을 갖게 되나, 코어 셀의 전압 특성상 고전압에서는 기준 전류(Iref)와의 차이가 점차 줄어들게 된다(화살표 1의 빗금 친 부분 참조). 이러한 오프 상태의 코어 셀 전류(Ioff)는 고전압(HVcc)에서의 기준 전류(Iref)와 비교해 볼 때, 마진(margin)의 부족으로 인해 센스 앰프에서 제대로 읽기(read)동작을 수행하지 못하게 된다. 반대로, 코어 셀의 상태가 온 상태(D1)인 경우, 코어 셀의 전류(Ion)는 기준 전류(Iref)보다 높은 값을 갖게 되나, 코어 셀의 전압특성상 저전압(LVcc)에서는 기준전류와의 차이가 줄어들게 되어(화살표 2의 빗금 친 부분 참조), 센스 앰프에서 제대로 온 상태(D1)로 판정할 수 없게 되는 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 전원전압의 변화에 따라 기준 셀 전류를 가변시켜 올바른 데이터 인식을 수행하기에 충분한 온 셀 마진 및 오프 셀 마진을 확보해 줌으로써, 전압 마진의 부족으로 인한 독출 오류를 미연에 방지할 수 있는 센스 앰프 및 그 방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기의 과제를 이루기 위하여 본 발명에 의한 센스 앰프는, 반도체 메모리 장치의 전원전압의 변화에 무관하게 데이터 인식에 필요한 온 셀 마진 및 오프 셀 마진을 충분히 확보할 수 있도록 상기 전원전압의 변화에 따라 기준 셀 전류를 가변시켜 주는 기준 셀 레벨 변환부; 상기 반도체 메모리 장치의 코어 셀로부터 발생된 전류를 감지하는 코어 셀 레벨 검출부; 및 상기 기준 셀 전류 및 상기 코어 셀 전류의 크기를 비교하여 상기 코어 셀에 저장되어 있는 데이터를 인식하는 비교부를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 센싱 방법은, (a) 반도체 메모리 장치의 전원전압의 변화에 무관하게 데이터 인식에 필요한 온 셀 마진 및 오프 셀 마진을 충분히 확보할 수 있도록 상기 전원전압의 변화에 따라 기준 셀 전류를 가변시켜 주는 단계; (b) 상기 반도체 메모리 장치의 코어 셀로부터 발생된 전류를 감지하는 단계; 및 (c) 상기 기준 셀 전류 및 상기 코어 셀 전류의 크기를 비교하여 상기 코어 셀에 저장되어 있는 데이터를 인식하는 단계를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 센스앰프의 가변형 기준레벨 발생방법은, 반도체 메모리 장치의 기준 셀 전류 및 코어 셀 전류의 크기를 비교하여 상기 반도체 메모리 장치의 코어 셀에 저장되어 있는 데이터를 인식하는 센스 앰프의 기준레벨 발생방법에 있어서: (a) 상기 반도체 메모리 장치의 전원전압으로부터 발생된 소정의 기준전압과, 상기 전원전압을 소정의 저항비로 분배한 전압 분배 결과에 응답해서 복수 개의 기준 레벨 제어 신호를 발생하는 단계; 및 (b) 상기 복수 개의 기준 레벨 제어 신호에 응답해서 복수 개의 기준 전류를 스위칭 하고, 스위칭 된 상기 기준 전류의 합을 근거로 하여 상기 기준 셀 전류를 발생하는 단계를 포함하는 것을 특징으로 한다.

상기의 과제를 이루기 위하여 본 발명에 의한 센스앰프의 가변형 기준레벨 발생방법은, 반도체 메모리 장치의 기준 셀 전류 및 코어 셀 전류의 크기를 비교하여 상기 반도체 메모리 장치의 코어 셀에 저장되어 있는 데이터를 인식하는 센스 앰프의 기준레벨 발생방법에 있어서: (a) 상기 반도체 메모리 장치의 전원전압으로부터 일정한 전압 레벨을 가지는 기준전압을 발생하는 단계; (b) 복수 개의 저항을 통해 상기 전원 전압을 소정의 저항비로 분배하고, 상기 전원전압 분배 결과 및 상기 기준전압에 응답해서 복수 개의 기준 레벨 제어 신호를 발생하는 단계; (c) 상기 복수 개의 기준 레벨 제어 신호에 응답해서 복수 개의 기준 전류를 스위칭 하는 단계; 및 (d) 스위칭된 상기 복수 개의 기준 전류의 합을 근거로 하여 상기 기준 셀 전류를 발생하는 단계를 포함하는 것을 특징으로 한다.

이하에서, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 상세히 설명한다.

본 발명의 신규한 센스 앰프는 반도체 메모리 장치의 전원전압을 소정의 비율로 분배한 전압분배 결과와 상기 반도체 메모리 장치 내부에서 발생된 소정의 기준전압을 근거로 하여 기준 셀 전류를 가변시켜 준다. 그 결과, 저전압에서는 기준 셀 전류가 레벨 다운되어 온 셀 마진(On cell margin)을 충분히 확보해 주고, 고전압에서는 기준 셀 전류가 레벨 업 되어 오프 셀 마진(Off cell margin)을 충분히 확보해 줄 수 있게 된다.

도 2는 본 발명의 바람직한 실시 예에 따른 센스 앰프(200)의 구성을 간략하게 보여주는 블록도이다.

도 2를 참조하면, 본 발명에 의한 센스 앰프(200)는 기준 셀 레벨 변환부(reference cell level variation unit ; 210), 코어 셀 레벨 검출부(core cell level detecting unit ; 270), 및 비교부(comparison unit ; 290)를 포함한다. 기준 셀 레벨 변환부(210)는 반도체 메모리 장치의 전원전압(Vcc)을 소정의 비율로 분배한 전압분배 결과(Vr12, Vr23, ...)와, 반도체 메모리 장치 내부에서 발생된 소정의 기준전압(Vref)을 근거로 하여 가변된 기준 셀 전류(Ir)를 비교부(290)로 출력한다. 코어 셀 레벨 검출부(270)는 반도체 메모리 장치의 코어 셀로부터 코어 셀 전류(Ic)를 감지하여 비교부(290)로 출력한다. 그리고, 비교부(290)는 기준 셀 레벨 변환부(210)로부터 입력된 기준 셀 전류(Ir)와 코어 셀 레벨 검출부(270)로부터 입력된 코어 셀 전류(Ic)의 크기를 비교하여 코어 셀에 저장되어 있는 데이터를 인식한다.

이 같은 동작을 수행하기 위해 기준 셀 레벨 변환부(210)는 기준 레벨 제어부(220) 및 기준 레벨 발생부(240)를 포함한다. 기준 레벨 제어부(220)는 전원전압(Vcc)에 대한 전압분배 결과(Vr12, Vr23, ...)와 소정의 기준전압(Vref)을 비교하고, 상기 비교 결과에 따라 복수 개의 기준 레벨 제어 신호( $V_{do1} - V_{doN}$ )를 발생한다. 기준 레벨 발생부(240)는 기준 레벨 제어부(220)로부터 발생된 복수 개의 기준 레벨 제어 신호( $V_{do1} - V_{doN}$ )에 응답해서 복수 개의 기준 전류(Icr)를 스위칭 하고, 스위칭 된 기준 전류의 합을 근거로 하여 기준 셀 전류(Ir)를 발생한다.

기준 레벨 발생부(240)로부터 발생된 기준 셀 전류(Ir)는 전원전압(Vcc)이 기준전압(Vref) 이하로 감소하는 경우, 그 레벨이 낮아지게 되어 기준 셀 전류(Ir)와 온 셀 전류와의 격차가 증가하게 된다. 그리고, 전원전압(Vcc)이 기준전압(Vref) 이상으로 증가하는 경우, 그 레벨이 높아지게 되어 기준 셀 전류(Ir)와 오프 셀 전류와의 격차가 증가하게 된다. 그 결과, 올바른 데이터 인식을 수행하기에 충분한 온 셀 마진 및 오프 셀 마진이 충분히 확보되어, 전압 마진의 부족으로 인한 독출 오류가 방지 된다.

도 3은 도 2에 도시된 본 발명의 바람직한 실시 예에 따른 코어 셀 레벨 검출부(270) 및 비교부(290)의 회로도이다.

도 3을 참조하면, 비교부(290)는 전원전압(Vcc)과 접지 사이에 전류 통로가 직렬로 연결된 제 1 PMOS 트랜지스터(MP1)와 제 1 NMOS 트랜지스터(MN1)를 포함하며, 제 1 PMOS 트랜지스터(MP1)와 제 1 NMOS 트랜지스터(MN1)의 전류 통로 사이에는 출력 노드(SAOUT)가 구비된다.

제 1 PMOS 트랜지스터(MP1)는 제어 단자를 통해 코어 셀 레벨 검출부(270)로부터 코어 셀 전류(Ic)를 받아들여 출력 노드(SAOUT)를 충전시킨다. 제 1 NMOS 트랜지스터(MN1)는 제어 단자를 통해 기준 셀 레벨 변환부(210)로부터 기준 셀 전류(Ir)를 받아들여 출력 노드(SAOUT)를 방전시킨다. 그리고, 출력 노드(SAOUT)는 제 1 PMOS 트랜지스터(MP1)와 제 1 NMOS 트랜지스터(MN1)에 의한 코어 셀 전류(Ic)와 기준 셀 전류(Ir)의 충전 및 방전 결과를 코어 셀에 대한 데이터 인식 결과로서 출력한다. 즉, 비교부(290)는 코어 셀에 대한 읽기 동작시 제 1 PMOS 트랜지스터(MP1)에 흐르는 코어 셀 전류(Ic)와 제 1 NMOS 트랜지스터(MN1)에 흐르는 기준 셀 전류(Ir) 간의 비교를 수행하고, 비교 결과 코어 셀 전류(Ic)가 기준 셀 전류(Ir) 보다 낮으면 코어 셀을 오프 상태(D0)로 인식하고, 코어 셀 전류(Ic)가 기준 셀 전류(Ir) 보다 높으면 온 상태(D1)로 인식한다.

계속해서, 코어 셀 레벨 검출부(270)는 전원전압(Vcc)과 접지 사이에 전류 통로가 직렬로 연결된 제 2 PMOS 트랜지스터(MP2)와 제 2 NMOS 트랜지스터(MN2)를 포함한다.

제 2 NMOS 트랜지스터(MN2)는 제어 단자를 통해 메모리 장치의 워드라인 전압(Vwl)을 받아들여, 워드 라인 전압(Vwl)에 대응되는 코어 셀 전류(Ic)를 출력한다. 제 2 PMOS 트랜지스터(MP2)는 전류통로가 제 2 NMOS 트랜지스터(MN2)의 전류 통로와 전원전압(Vcc) 사이에 직렬로 연결되고, 제어 단자가 상기 전류 통로와 비교부(290)의 제 1 PMOS 트랜지스터(MP1)의 제어 단자에 공통으로 연결되어, 상기 제 1 PMOS 트랜지스터(MP1)와 커런트 미러(Current Mirror)를 구성한다. 그리고, 상기 커런트 미러를 통해 제 2 NMOS 트랜지스터(MN2)로부터 발생된 코어 셀 전류(Ic)를 비교부(290)로 전달한다.

여기서, 도 3에는 도시되어 있지는 않지만, 비교부(290)의 제 1 NMOS 트랜지스터(MN1) 역시 커런트 미러를 통해 기준레벨 변환부(210)로부터 발생된 기준 셀 전류(Ir)를 전달 받게 된다. 이에 대한 내용은 도 8을 참조하여 상세히 설명될 것이다.

도 4는 도 2에 도시된 본 발명의 바람직한 실시 예에 따른 기준레벨 제어부(220)의 회로도이다.

도 4를 참조하면, 본 발명에 따른 기준레벨 제어부(220)는 기준전압 발생부(221) 및 전압 검출부(223)를 포함한다. 기준전압 발생부(221)는 전원전압(Vcc)으로부터 일정 레벨을 가지는 기준 전압(Vref)을 발생하고, 전압 검출부(223)는 기준셀 전류의 레벨을 가변시키기 위한 복수 개의 기준 레벨 제어 신호를 발생한다.

기준전압 발생부(221)는, 전원전압(Vcc)에 직렬로 연결된 제 1 및 제 2 저항(Rx1, Rx2)과, 전류 통로가 제 2 저항(Rx2)과 접지 사이에 직렬로 연결된 제 1 및 제 2 NMOS 트랜지스터(MN11, MN12), 그리고 전류 통로가 제 1 및 제 2 저항(Rx1, Rx2)의 접점과 접지 사이에 직렬로 연결된 제 1 PMOS 트랜지스터(MP11)를 포함한다. 제 1 PMOS 트랜지스터(MP11)의 제어 단자는 제 2 저항(Rx2)과 제 1 NMOS 트랜지스터(MN11)의 접점에 연결되고, 제 1 NMOS 트랜지스터(MN11)의 제어 단자는 제 1 및 제 2 저항(Rx1, Rx2)의 접점에 각각 연결된다. 그리고, 제 2 NMOS 트랜지스터(MN12)의 제어 단자는 전원전압(Vcc)에 연결된다.

제 1 저항(Rx1)에 의해 전원전압(Vcc)이 소정의 레벨 만큼 전압이 강하되어 소정의 기준 전압(Vref)이 발생되면, 제 1 NMOS 트랜지스터(MN11)는 제 1 저항(Rx1)으로부터 발생된 기준 전압(Vref)에 응답해서 턴 온 되고, 제 2 NMOS 트랜지스터(MN12)는 전원전압(Vcc)에 응답해서 턴 온 된다. 제 1 NMOS 트랜지스터(MN11)와 제 2 NMOS 트랜지스터(MN12)가 각각 턴 온 됨에 따라 기준 전압(Vref) 및 제 1 PMOS 트랜지스터(MP11)의 제어 단자에 인가되는 전압 레벨은 제 1 및 제 2 NMOS 트랜지스터(MN11, MN12)의 방전 동작에 의해 점차 낮아지게 되고, 그 전압이 소정 레벨 이하가 되면 초기에 오프 상태였던 제 1 PMOS 트랜지스터(MP11)가 턴 온 되어 기준 전압(Vref)을 충전하기 시작한다. 그 결과, 기준 전압(Vref)은 트랜지스터들의 상보적인 충전 및 방전 동작으로 인해 외부의 환경 등에 영향을 받지 않고 항상 일정한 전압을 발생시킬 수 있게 된다. 이와 같은 과정에 의해 내부적으로 발생된 소정의 기준 전압(Vref)은 센스 앰프의 동작의 기준이 되는 전압(즉, 기준 셀 전류의 레벨을 조절하기 위한 기준 전압)으로 사용된다.

그리고, 전압 검출부(223)는 복수개의 전압 검출기들(Voltage Detectors ; 2251-2254)과 전압 분배부(227)로 구성된다. 전압 분배부(227)는 전원전압(Vcc)과 접지 사이에 직렬로 연결된 복수 개의 저항들(R1-R5)을 통해 전원전압(Vcc)을 소정의 비율로 분배하여, 소정의 전압 분배 결과들(Vr12-Vr45)을 발생한다. 전압 검출기들(2251-2254)은 전압 분배부(227)의 각 저항(R1-R5)으로부터 발생된 전원전압 분배 결과(Vr12-Vr45)를 감지하고, 상기 감지된 전압 분배 결과(Vr12-Vr45)와 기준전압 발생부(221)로부터 발생된 기준전압(Vref)을 비교하여 복수 개의 기준 레벨 제어 신호들( $V_{do1}-V_{do4}$ )을 기준 레벨 발생부(240)로 출력한다. 도 4에서는 전압 검출기가 4개 구비되는 경우를 예를 들어 설명하고 있으나, 이는 일 예에 불과하며 회로의 구성에 따라 전압 검출기의 개수와, 전압 분배부를 구성하는 저항의 개수 및 저항비는 변형이 가능하다.

도 5는 도 4에 도시된 본 발명의 바람직한 실시 예에 따른 전압 검출기(225x)의 상세 회로도이다. 그리고, 도 6은 전원전압(Vcc)에 대한 기준 전압(Vref), 및 각 저항 사이의 전원전압 분배 결과(Vr12-Vr45)를 보여주는 도면이고, 도 7은 전원전압(Vcc)에 따른 전압 검출기(2251-2254)의 출력( $V_{do1}-V_{do4}$ )을 보여주는 도면이다.

도 5를 참조하면, 본 발명에 따른 전압 검출기(225x)는 전압 분배부(227)로부터 발생된 전원전압 분배 결과(Vrxy)를 받아들이는 제 1 입력 단자와, 기준전압 발생부(221)로부터 발생된 기준전압(Vref)을 받아들이는 제 2 입력단자, 그리고 기준레벨 제어 신호(Vdox)를 기준 레벨 발생부(240)로 출력하는 출력 단자를 포함한다.

각각의 전압 검출기(225x)는, 전류 통로의 일 단이 상기 전원전압에 각각 연결되고 제어 단자가 공통으로 연결되어 커런트 미러를 구성하는 제 1 및 제 2 PMOS 트랜지스터(MP21, MP22)와, 전류 통로의 일 단이 제 1 및 제 2 PMOS 트랜지스터(MP21, MP22)의 전류 통로의 타단에 각각 연결된 제 1 및 제 2 NMOS 트랜지스터(MN21, MN22)와, 전류 통로가 제 1 및 제 2 NMOS 트랜지스터(MN21, MN22)의 전류 통로의 타단과 공통으로 연결된 제 3 NMOS 트랜지스터(MN23), 그리고 전류 통로가 제 3 NMOS 트랜지스터(MN23)의 전류 통로의 타단과 접지 사이에 직렬로 연결된 제 4 NMOS 트랜지스터(MN24)를 포함한다. 여기서, 제 2 NMOS 트랜지스터(MN22)의 제어 단자는 전원전압 분배 결과(Vrxy)를 받아들이는 제 1 입력 단자로 사용되고, 제 1 NMOS 트랜지스터(MN21)의 제어 단자는 기준전압(Vref)을 받아들이는 제 2 입력 단자로 사용되며, 제 1 PMOS 트랜지스터(MP21)와 제 1 NMOS 트랜지스터(MN21)의 전류 통로의 접점은 기준 레벨 제어 신호(Vdox)를 출력하는 출력 단자로 사용된다.

도 5 내지 도 7을 참조하여 각각의 전압 검출기(225x)의 동작을 살펴보면 다음과 같다.

먼저, 각각의 전압 검출기(225x)의 제 2 NMOS 트랜지스터(MN22)는 제어단자(즉, 제 1 입력 단자)를 통해 전압 분배부(227)로부터 인가된 전원전압 분배 결과( $V_{rxy}$ )를 받아들인다. 제 2 NMOS 트랜지스터(MN22)는 입력된 전원전압 분배 결과( $V_{rxy}$ )가 소정의 전압 이상이던 턴 온 되어, 상기 전압에 대응되는 전류를 발생한다.

제 2 NMOS 트랜지스터(MN22)에서 발생된 전류는 제 1 및 제 2 PMOS 트랜지스터(MP21, MP22) 간에 구성된 커런트 미러를 통해 제 1 PMOS 트랜지스터(MP21)로 전달되어 출력 단자를 충전시키게 되고, 제 1 NMOS 트랜지스터(MN21)는 제 2 입력 단자를 통해 입력된 기준전압( $V_{ref}$ )에 응답해서 상기 기준전압( $V_{ref}$ )에 대응되는 일정 레벨의 전류를 제 3 및 제 4 NMOS 트랜지스터(MN23, MN24)로 흘려줌으로써, 출력 단자를 방전시키게 된다. 그 결과, 출력 단자의 충전 및 방전 결과에 따라(즉, 전원전압 분배 결과( $V_{rxy}$ )와 기준전압( $V_{ref}$ )과의 비교 결과에 따라) 기준 레벨 제어 신호( $V_{dox}$ )의 레벨이 결정된다.

도 6에서 화살표로 표시된 부분은 각각의 전압 검출기(225x)가 하이 레벨의 기준 레벨 제어 신호( $V_{dox}$ )를 발생하기 시작하는 시점을 나타내며, 도 7에서 화살표로 표시된 부분은 도 6에서 화살표로 표시된 시점에서 각각의 전압 검출기(225x)에서 발생하는 기준 레벨 제어 신호( $V_{dox}$ )를 각각 나타낸다. 도 6 및 도 7에서 알 수 있는 바와 같이 각각의 전압 검출기(2251-2254)로부터 발생하는 기준 레벨 제어 신호( $V_{do1}-V_{do4}$ )는, 처음에는 로우 레벨을 유지하다가 전원 전압( $V_{cc}$ )이 화살표로 표시된 부분에 이르게 되면(즉, 전원전압 분배 결과( $V_{rxy}$ )가 기준 전압( $V_{ref}$ ) 보다 높게 되면) 기준 레벨 제어 신호( $V_{dox}$ )의 레벨이 급격하게 증가하게 되어, 하이 레벨의 기준 레벨 제어 신호( $V_{do1}-V_{do4}$ )가 발생하게 된다.

이 때, 제 3 및 제 4 NMOS 트랜지스터(MN23, MN24)의 제어 단자에는 전원전압( $V_{cc}$ )이 인가되어, 턴 온 상태를 유지하게 된다. 따라서, 제 3 및 제 4 NMOS 트랜지스터(MN23, MN24)는 제 3 및 제 4 NMOS 트랜지스터(MN23, MN24)에 인가되는 전류를 접지로 흘려 보내주는 커런트 싱크 동작을 수행하게 된다.

앞에서 설명한 바와 같이, 각각의 전압 검출기(2251-2254)에서 발생하는 기준 레벨 제어 신호( $V_{dox}$ )의 값은 출력 단자에 충전 및 방전되는 전류의 양에 의해 결정되며, 상기 충전 및 방전되는 전류의 양은 전원전압 분배 결과( $V_{rxy}$ )와 기준전압( $V_{ref}$ )에 의해 결정된다. 예컨대, 전원전압( $V_{cc}$ )에 대한 전원전압 분배 결과( $V_{rxy}$ )가 기준전압( $V_{ref}$ ) 보다 낮을 때에는 출력 단자에 충전되는 전하의 양 보다 방전되는 전하의 양이 더 많으므로, 로우 레벨의 기준 레벨 제어 신호( $V_{dox}$ )가 발생되고, 전원전압( $V_{cc}$ )에 대한 전원전압 분배 결과( $V_{rxy}$ )가 기준전압( $V_{ref}$ ) 보다 높을 때에는 출력 단자에 충전되는 전하의 양이 방전되는 전하의 양보다 더 많으므로, 하이 레벨의 기준 레벨 제어 신호( $V_{dox}$ )가 발생된다. 그 결과, 전원전압( $V_{cc}$ ) 레벨이 높아질수록 하이 레벨의 기준 레벨 제어 신호( $V_{dox}$ )를 발생하는 전압 검출기의 개수가 증가하게 되고, 전원전압( $V_{cc}$ ) 레벨이 낮아질수록 로우 레벨의 기준 레벨 제어 신호( $V_{dox}$ )를 발생하는 전압 검출기의 개수가 증가하게 된다.

도 8은 도 2에 도시된 본 발명의 바람직한 실시 예에 따른 기준레벨 발생부(240)의 회로도이다.

도 8을 참조하면, 본 발명에 따른 기준레벨 발생부(240)는 스위칭부(245), 기준전류 발생부(246), 및 기준 레벨 출력부(247)를 포함한다.

기준전류 발생부(246)는 메모리 장치의 워드라인 전압( $V_{wl}$ )에 대응되는 기준 전류( $I_{cr}$ )를 출력한다. 스위칭부(245)는 기준 레벨 제어부(220)로부터 발생된 복수 개의 기준 레벨 제어 신호( $V_{do1}-V_{do4}$ )에 응답해서, 기준전류 발생부(246)로부터 발생된 기준 전류( $I_{cr}$ )와 동일한 레벨을 가지는 복수 개의 기준 전류( $I_{cr}$ )를 스위칭하여 선택적으로 출력한다. 그리고, 기준 레벨 출력부(247)는 기준전류 발생부(246)로부터 발생된 기준 전류( $I_{cr}$ )와, 스위칭부(245)로부터 출력되는 기준 전류( $I_{cr}$ )의 스위칭 결과를 합하여 비교부(290)에게 기준 셀 전류( $I_r$ )로 출력한다.

이를 위해 기준 레벨 출력부(247)는, 제어 단자가 공통으로 연결되어 커런트 미러를 구성하는 제 1 및 제 2 PMOS 트랜지스터(MP31, MP32)와, 비교부(290)에 구비되어 있는 제 1 NMOS 트랜지스터(MN1)와 제어 단자가 공통으로 연결되어 커런트 미러를 구성하는 제 1 NMOS 트랜지스터(MN31)를 포함한다.

제 1 PMOS 트랜지스터(MP31)는 전류 통로의 일 단이 전원전압( $V_{cc}$ )에 연결되고, 상기 전류 통로의 타 단 및 제어 단자가 기준전류 발생부(246) 및 스위칭부(245)에 공통으로 연결된다. 제 2 PMOS 트랜지스터(MP32)는 전류 통로의 일 단이 전원전압( $V_{cc}$ )에 연결되고, 제어 단자가 제 1 PMOS 트랜지스터(MP31)의 제어 단자에 연결되어 제 1 PMOS 트랜지스터(MP31)와 커런트 미러를 구성하고, 상기 커런트 미러를 통해 기준전류 발생부(246) 및 스위칭부(245)로부터 출력되는 기

준 전류의 합(즉, 기준 셀 전류(Ir))을 출력한다. 그리고, 제 1 NMOS 트랜지스터(MN31)는 전류 통로의 일 단 및 제어 단자가 제 2 PMOS 트랜지스터(MP32)의 전류 통로의 타 단과 공통으로 연결되어, 제 2 PMOS 트랜지스터(MP32)로부터 출력되는 기준 전류의 합(즉, 기준 셀 전류(Ir))을 비교부(290)로 출력한다.

즉, 제 1 및 제 2 PMOS 트랜지스터(MP31, MP32)는 커런트 미러를 통해 기준전류 발생부(246) 및 스위칭부(245)로부터 출력된 기준 전류(Icr)의 합(즉, 기준 셀 전류(Ir))을 제 1 NMOS 트랜지스터(MN31)에게 제공하고, 제 1 NMOS 트랜지스터(MN31)는 제 1 및 제 2 PMOS 트랜지스터(MP31, MP32)를 통해 제공된 기준 셀 전류(Ir)를 커런트 미러를 통해 비교부(290)의 제 1 NMOS 트랜지스터(MN1)에게 전달한다.

기준전류 발생부(246)는, 전류 통로의 일 단이 기준 레벨 출력부(247)에 구비된 제 1 PMOS 트랜지스터(MP31)의 전류 통로의 타 단에 연결되고, 제어 단자를 통해 메모리 장치의 워드라인 전압(Vwl)을 받아들여, 워드 라인 전압(Vwl)에 대응되는 기준 전류(Icr)를 출력하는 제 2 NMOS 트랜지스터(MN32)를 포함하며, 제 2 NMOS 트랜지스터(MN32)를 통해 발생하는 기준전류(Icr)는 기준 셀 전류(Ir)를 발생하는데 기준이 되는 전류로 사용된다.

스위칭부(245)는 기준전류 발생부(246)로부터 발생된 기준 전류(Icr)와 동일한 레벨을 가지는 복수 개의 기준 전류를 선택적으로 출력하는 복수 개의 스위칭 트랜지스터들(MN33-MN36)을 포함한다.

복수 개의 스위칭 트랜지스터들(MN33-MN36)은 전류 통로가 기준전류 발생부(246)에 구비된 제 2 NMOS 트랜지스터(MN32)의 전류 통로에 병렬로 연결되고, 제어 단자를 통해 복수 개의 기준레벨 제어신호( $V_{do1}-V_{do4}$ )를 각각 받아들여, 제 2 NMOS 트랜지스터(MN32)에서 발생하는 기준 전류(Icr)와 동일한 레벨을 갖는 복수 개의 기준 전류를 선택적으로 출력한다. 예를 들어, 각각의 스위칭 트랜지스터(MN33-MN36)는 제어 단자를 통해 입력되는 기준레벨 제어신호(Vdox)가 하이 레벨이면 턴 온 되어 제 2 NMOS 트랜지스터(MN32)에서 발생하는 기준 전류(Icr)와 동일한 레벨을 갖는 기준 전류(Icr)를 출력하고, 제어 단자를 통해 입력되는 기준레벨 제어신호(Vdox)가 로우 레벨이면 턴 오프 되어 전류를 출력하지 않게 된다.

기준 레벨 출력부(247)에서 출력되는 기준 셀 전류(Ir)는 기준전류 발생부(246)로부터 발생된 기준 전류(Icr)와, 각각의 스위칭 트랜지스터들(MN33-MN36)로부터 출력되는 각각의 기준 전류(Icr)들의 합으로 구성된다. 예를 들어, 모든 스위칭 트랜지스터들(MN33-MN36)이 턴 오프 되었으면, 스위칭부(245)에서 출력되는 기준 셀 전류(Ir)는 기준전류 발생부(246)에서 출력되는 기준 전류(Icr)와 같게 되고(즉,  $I_r = I_{cr}$ ), 모든 스위칭 트랜지스터들(MN33-MN36)이 모두 턴 온 되었으면 스위칭부(245)에서 출력되는 기준 셀 전류(Ir)는 기준전류 발생부(246)에서 출력되는 기준 전류(Icr)와, 스위칭 트랜지스터들(MN33-MN36)에서 출력되는 기준 전류들의 합(즉,  $I_r = I_{cr} + 4 * I_{cr} = 5 * I_{cr}$ )과 같게 된다.

앞에서 설명한 바와 같이, 본 발명에 따른 센스 앰프(200)는 각각의 전압 검출기(2251-2254)로부터 출력되는 기준레벨 제어신호( $V_{do1}-V_{do4}$ )에 따라 기준 셀 전류(Ir)의 레벨을 달리하여 출력할 수 있게 된다. 이 경우, 전원전압(Vcc)의 레벨이 낮아질수록 로우 레벨을 갖는 기준레벨 제어신호( $V_{do1}-V_{do4}$ )의 개수가 증가하고, 전원전압(Vcc)의 레벨이 높아질수록 하이 레벨을 갖는 기준레벨 제어신호( $V_{do1}-V_{do4}$ )의 개수가 증가하게 되므로, 전원전압(Vcc)의 레벨이 낮아질 수록 기준 셀 전류(Ir)가 레벨 다운되어 온 셀 마진(On cell margin)을 충분히 확보할 수 있게 되고, 고전압에서는 기준 셀 전류(Ir)가 레벨 업 되어 오프 셀 마진(Off cell margin)을 확보할 수 있게 된다.

도 9는 플래시 셀 타입의 하나인 스플릿 게이트 타입의 트랜지스터를 이용한 메모리 셀을 위한 센스 앰프(300)의 간략한 구성을 보여주는 도면이고, 도 10은 도 9에 도시된 센스 앰프(300)를 위한 기준 레벨 발생부(340)의 회로도이다.

도 9 및 도 10을 참조하면, 코어 셀 레벨 검출부(370) 및 기준 레벨 발생부(340)에 구비되어 있는 스위칭부(345)를 구성하는 트랜지스터(ST1, ST31-ST35)는, 그 소자의 종류가 플래시 메모리 셀 타입의 트랜지스터인 점을 제외 하고는 도 3 및 도 8에 도시된 회로와 동일한 구성을 가지며, 수행되는 동작 또한 서로 동일하다. 따라서, 설명을 간단히 하기 위해, 회로에 대한 중복된 설명은 이하 생략하고자 한다.

반도체 메모리 장치의 코어 셀은 도 3 내지 도 8에 도시된 바와 같이 일반적인 MOS 트랜지스터로 구성될 수도 있고, 도 9 및 도 10에 도시된 바와 같이 플래시 메모리 셀 타입의 트랜지스터로 구성될 수도 있다. 이 경우, 코어 셀 레벨 검출부(270, 370)와, 기준 레벨 발생부(240, 340)에 구비되어 있는 기준전류 발생부(246, 346) 및 스위칭부(245, 345)를 구성하는 트랜지스터는 코어 셀과 동일한 종류의 트랜지스터로 구성된다.

예를 들어, 반도체 메모리 장치의 코어 셀이 플래시 메모리 셀 타입의 트랜지스터로 구성되는 경우, 코어 셀 레벨 검출부(370)에서 코어 셀 전류를 감지하는 트랜지스터(ST1)와, 기준 레벨 발생부(340)의 기준 전류 발생부(346) 및 스위칭부(345)를 구성하는 트랜지스터들(ST31-ST35)은 플래시 메모리 셀 타입의 트랜지스터로 각각 구성된다. 이 때, 도면에는 도시되어 있지는 않았지만, 기준레벨 제어부(320)는 도 4에 도시된 기준레벨 제어부(220)와 동일한 회로 구성을 갖는다.

이와 같이, 코어 셀 레벨 검출부(270, 370)와, 기준 전류 발생부(346) 및 스위칭부(345)를 구성하는 트랜지스터를 코어 셀과 동일한 종류의 트랜지스터로 구성하게 되면, 코어 셀의 특성을 그대로 유지하면서도 기준 전류의 레벨을 효과적으로 가변시킬 수 있게 된다.

도 11은 본 발명에 따른 센스 앰프(200, 300)의 데이터 인식 방법 및 기준레벨 변경 방법을 보여주는 흐름도이고, 도 12는 본 발명에 따른 센스 앰프(200, 300)의 기준 레벨 변환 결과를 보여주는 도면이다.

도 11을 참조하면, 본 발명에 따른 센스 앰프(200, 300)는 코어 셀에 저장된 데이터를 인식하기 위해, 먼저 기준 셀 레벨 변환부(210, 310)를 이용하여 반도체 메모리 장치의 전원전압( $V_{cc}$ )을 소정의 비율로 분배하고, 상기 전압분배 결과( $V_{r12}-V_{r45}$ )와 반도체 메모리 장치 내부에서 발생된 소정의 기준전압( $V_{ref}$ )을 근거로 하여 기준 셀 전류( $I_r$ )를 가변시킨다(2100 단계). 그리고 나서, 코어 셀 레벨 검출부(270, 370)를 통해 반도체 메모리 장치의 코어 셀로부터 발생된 전류( $I_c$ )를 감지하고(2700 단계), 비교부(290, 390)를 통해 코어 셀 전류( $I_c$ ) 및 기준 셀 전류( $I_r$ )의 크기를 비교하여 코어 셀에 저장되어 있는 데이터를 인식한다(2900 단계).

구체적으로, 센스 앰프(200, 300)의 기준 셀 레벨 변환부(210, 310)는 기준 레벨을 가변시키기 위해, 기준 레벨 제어부(220, 320)를 통해 일정 레벨의 기준 전압( $V_{ref}$ )을 발생하고(2200 단계), 복수 개의 저항을 통해 전원전압( $V_{cc}$ )을 소정의 저항비로 분배한 전압 분배 결과( $V_{rxy}$ )와 기준전압( $V_{ref}$ )에 응답해서 복수 개의 기준 레벨 제어 신호( $V_{dox}$ )를 발생한다(2250 단계). 그리고 나서, 기준 레벨 발생부(240, 340)를 통해 기준 레벨 제어부(220, 340)로부터 발생된 복수 개의 기준 레벨 제어 신호( $V_{dox}$ )에 응답해서 복수 개의 기준 전류( $I_{cr}$ )를 스위칭 하고(2400 단계), 스위칭된 복수 개의 기준 전류( $I_{cr}$ )와, 기준전류 발생부(246)로부터 발생된 기준 전류( $I_{cr}$ )를 합하여 기준 셀 전류( $I_r$ )를 변경시켜 준다(2450 단계).

앞에서 설명한 바와 같이, 본 발명에 따른 센스 앰프(200, 300)는 반도체 메모리 장치의 전원전압( $V_{cc}$ )을 소정의 비율로 분배한 전압분배 결과( $V_{r12}-V_{r45}$ )와 반도체 메모리 장치 내부에서 발생된 소정의 기준전압( $V_{ref}$ )을 근거로 하여 전압 검출기(2251-2254)의 출력을 제어하고, 전압 검출기(2251-2254)로부터 발생된 복수 개의 기준레벨 제어신호( $V_{do1}-V_{do4}$ )에 응답해서 복수 개의 스위칭 트랜지스터들의 온/오프를 제어함으로써 기준 셀 전류( $I_{ref}$ )의 레벨을 가변시켜 준다.

그 결과, 도 12에 도시된 바와 같이 기준 셀 전류( $I_{ref}$ )는 전원전압( $V_{cc}$ )의 레벨이 낮아질수록 기준 레벨이 기존 보다 더욱 낮아지게 되어 온 셀 마진이 충분히 확보되고, 전원전압( $V_{cc}$ )의 레벨이 높아질수록 기준 레벨이 더욱 높아지게 되어 오프 셀 마진이 충분히 확보된다.

이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

### 발명의 효과

이상에 설명한 바와 같이, 본 발명에 의한 센스 앰프 및 그 방법에 의하면, 저전압에서는 기준전류 자체가 레벨 다운(level down)되어 온 셀 마진(On cell margin)이 충분히 확보되고, 고전압에서는 기준전류가 레벨 업(level up)되어 오프 셀 마진(Off cell margin)이 충분히 확보 된다. 그 결과, 전압 마진의 부족에 따른 메모리 장치의 독출 오류가 미연에 방지된다.

### (57) 청구의 범위

#### 청구항 1.

메모리 장치의 워드라인 전압에 대응되는 전류를 제 1 기준 전류로서 출력하는 기준전류 발생부;

전원전압을 복수 개의 저항비율로 분배하는 전압분배부;



상기 전압 분배 결과와 소정의 기준전압과의 차이에 응답하여 복수 개의 제어 신호들을 발생하는 복수 개의 전압 검출기들;

상기 제어 신호들에 응답해서 상기 제 1 기준 전류와 같은 레벨을 갖는 복수 개의 제 2 기준 전류들을 선택적으로 출력하는 복수 개의 스위치들;

상기 제 1 기준 전류와, 상기 스위치들로부터 출력된 상기 제 2 기준전류들의 합을 기준 셀 전류로서 발생하는 기준 레벨 출력부;

상기 반도체 메모리 장치의 코어 셀로부터 상기 워드라인 전압에 대응되는 코어 셀 전류를 감지하는 코어 셀 레벨 검출부; 그리고

상기 기준 셀 전류와 상기 코어 셀 전류의 크기를 비교하여 상기 코어 셀에 저장되어 있는 데이터를 인식하는 비교부를 포함하며,

상기 기준 셀 전류를 구성하는 상기 제 1 및 제 2 기준 전류들은 상기 코어 셀과 동일한 동작 특성을 가지는 트랜지스터로부터 발생된 전류인 것을 특징으로 하는 센스 앰프.

## 청구항 2.

제 1 항에 있어서,

상기 각각의 전압검출기는 상기 전압분배 결과와 상기 기준전압의 차이가 소정 레벨 이상이면 대응되는 스위치가 상기 제 2 기준 전류를 출력할 수 있도록 상기 제어 신호의 발생을 제어하는 것을 특징으로 하는 센스 앰프.

## 청구항 3.

제 1 항에 있어서,

상기 전원전압이 상기 기준전압 이하로 감소하면, 상기 스위치들로부터 출력되는 상기 제 2 기준 전류들의 개수가 감소하여 상기 기준 셀 전류가 레벨 다운되는 것을 특징으로 하는 센스 앰프.

## 청구항 4.

제 1 항에 있어서,

상기 전원전압이 상기 기준전압 이상으로 증가하면, 상기 스위치들로부터 출력되는 상기 제 2 기준 전류들의 개수가 증가하여 상기 기준 셀 전류가 레벨 업 되는 것을 특징으로 하는 센스 앰프.

## 청구항 5.

제 1 항에 있어서,

상기 스위치를 통해 출력되는 상기 제 2 기준 전류가 존재하지 않는 경우, 상기 기준 셀 전류는 상기 제 1 기준 전류의 값을 갖는 것을 특징으로 하는 센스 앰프.

## 청구항 6.

제 1 항에 있어서,

상기 각각의 전압 검출기는 상기 전원전압 분배 결과와 상기 기준전압을 비교하는 비교 회로인 것을 특징으로 하는 센스 앰프.

### 청구항 7.

삭제

### 청구항 8.

삭제

### 청구항 9.

삭제

### 청구항 10.

제 1 항에 있어서,

상기 스위치들은 상기 코어 셀과 동일한 동작 특성을 가지는 트랜지스터인 것을 특징으로 하는 센스 앰프.

### 청구항 11.

제 10 항에 있어서,

상기 스위치들은 N 타입 MOS 트랜지스터 및 P 타입 MOS 트랜지스터 중 어느 하나인 것을 특징으로 하는 센스 앰프.

### 청구항 12.

제 10 항에 있어서,

상기 스위치들은 플래시 메모리 셀 타입의 트랜지스터인 것을 특징으로 하는 센스 앰프.

### 청구항 13.

메모리 장치의 워드라인 전압에 대응되는 전류를 제 1 기준 전류로서 출력하는 단계;

전원전압을 복수 개의 저항비율로 분배하는 단계;

상기 전압 분배 결과와 소정의 기준전압과의 차이에 응답하여 복수 개의 제어 신호들을 발생하는 단계;

상기 제어 신호들에 응답해서 상기 제 1 기준 전류와 같은 레벨을 갖는 복수 개의 제 2 기준 전류들을 선택적으로 출력하는 단계;

상기 제 1 기준 전류와, 상기 출력된 상기 제 2 기준전류들의 합을 기준 셀 전류로서 발생하는 단계;

상기 반도체 메모리 장치의 코어 셀로부터 상기 워드라인 전압에 대응되는 코어 셀 전류를 감지하는 단계; 그리고

상기 기준 셀 전류와 상기 코어 셀 전류의 크기를 비교하여 상기 코어 셀에 저장되어 있는 데이터를 인식하는 단계를 포함하며,

상기 기준 셀 전류를 구성하는 상기 제 1 및 제 2 기준 전류들은 상기 코어 셀과 동일한 동작 특성을 가지는 트랜지스터로부터 발생된 전류인 것을 특징으로 하는 센싱 방법.

#### 청구항 14.

제 13 항에 있어서,

상기 제 2 기준 전류들을 선택적으로 출력하는 단계에서는, 상기 전원전압이 상기 기준전압 이하로 감소하면 상기 출력된 제 2 기준 전류들의 개수가 감소하여 상기 기준 셀 전류가 레벨 다운되는 것을 특징으로 하는 센싱 방법.

#### 청구항 15.

제 13 항에 있어서,

상기 제 2 기준 전류들을 선택적으로 출력하는 단계에서는, 상기 전원전압이 상기 기준전압 이하로 증가하면 상기 출력된 제 2 기준 전류들의 개수가 증가하여 상기 기준 셀 전류가 레벨 업 되는 것을 특징으로 하는 센싱 방법.

#### 청구항 16.

제 13 항에 있어서,

상기 제 2 기준 전류들을 선택적으로 출력하는 단계에서 상기 제 2 기준 전류가 하나도 출력되지 않는 경우, 상기 기준 셀 전류는 상기 제 1 기준 전류의 값을 갖는 것을 특징으로 하는 센싱 방법.

#### 청구항 17.

삭제

#### 청구항 18.

삭제

#### 청구항 19.

삭제

#### 청구항 20.

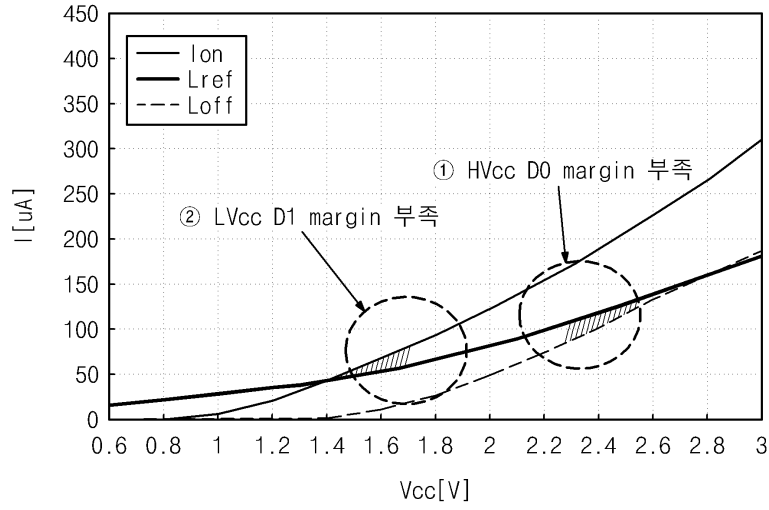
삭제

#### 청구항 21.

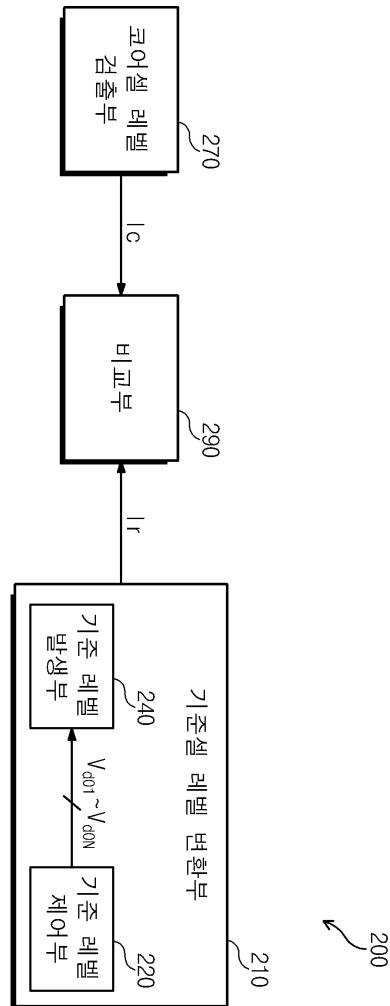
삭제

도면

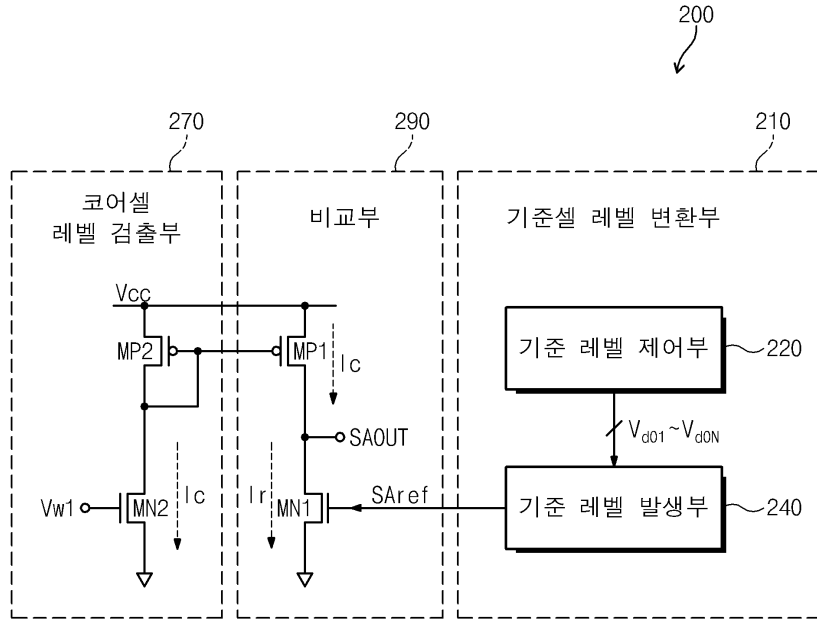
도면1



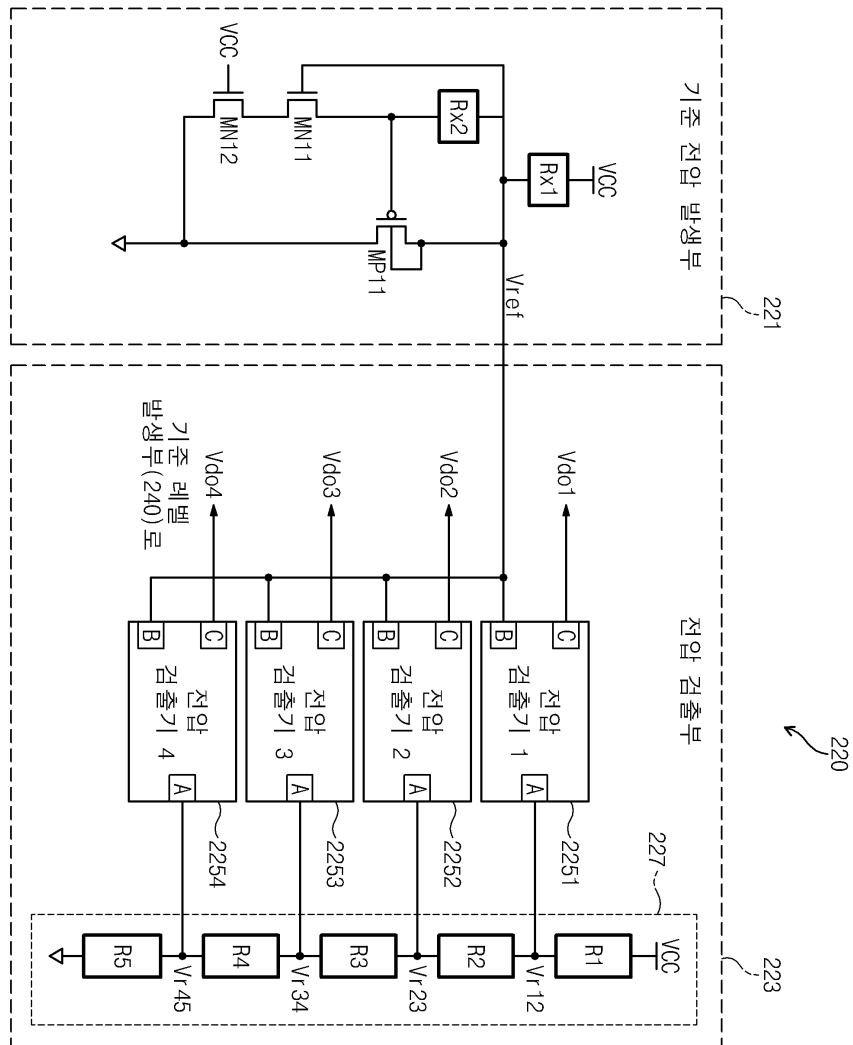
도면2



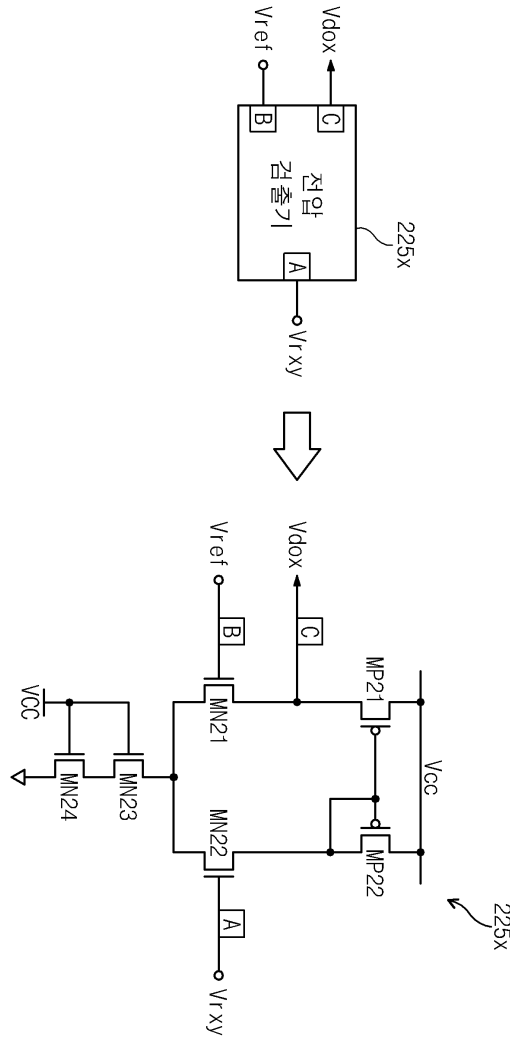
도면3



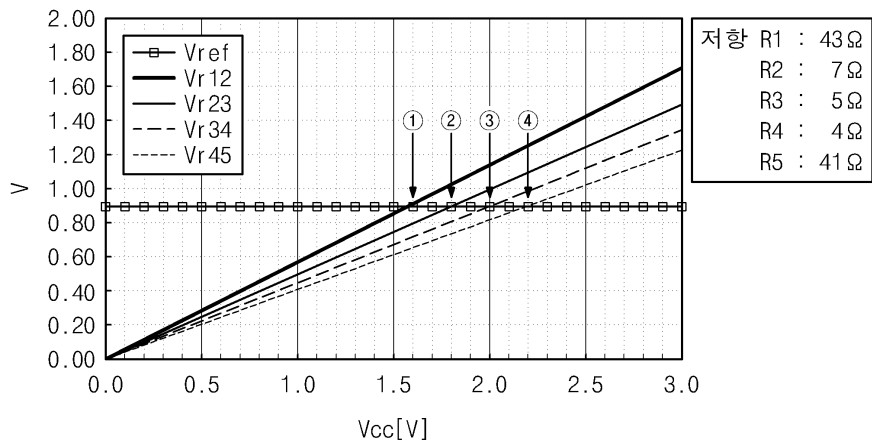
도면4



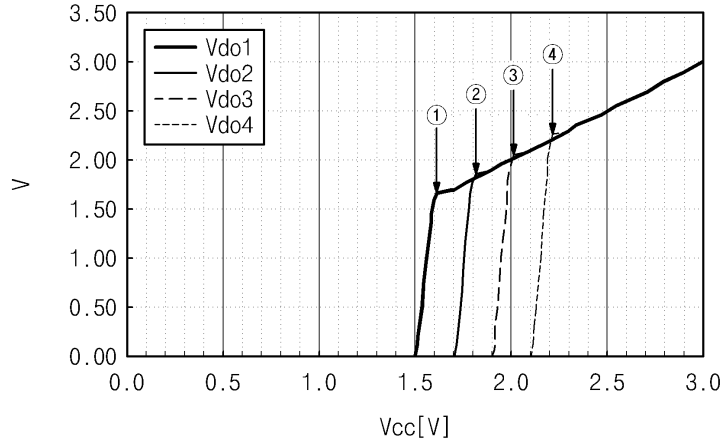
도면5



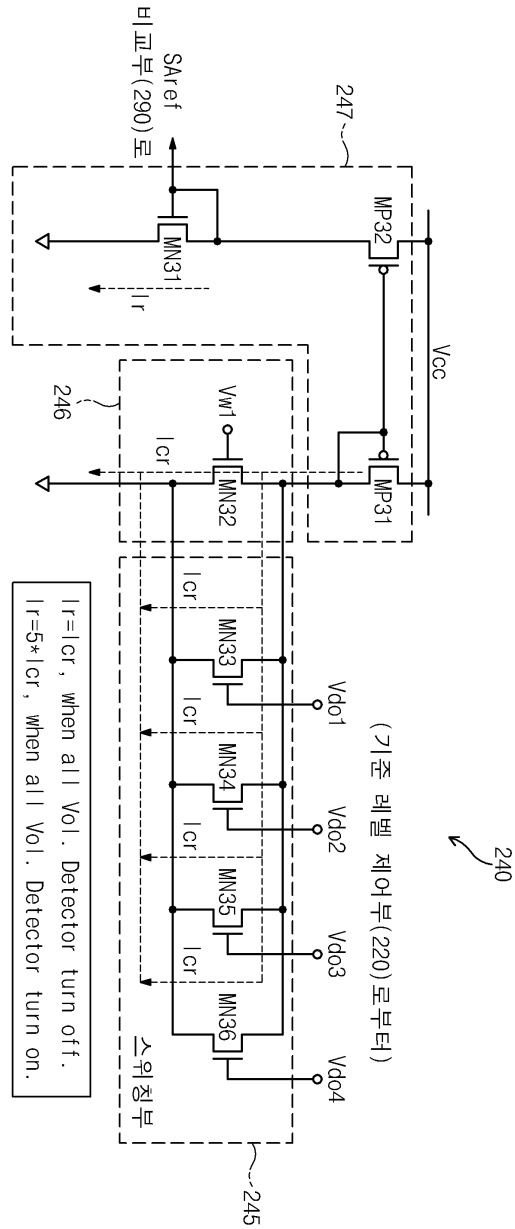
도면6



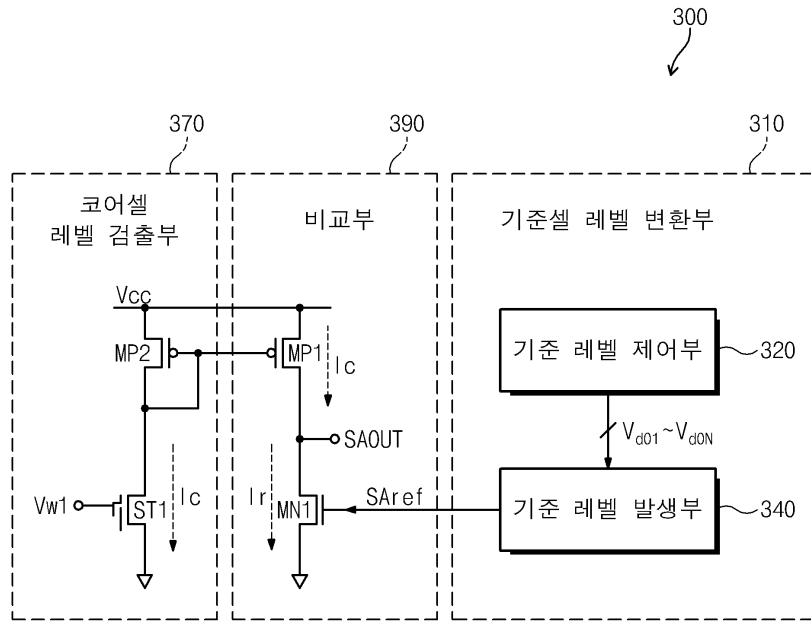
도면7



도면8

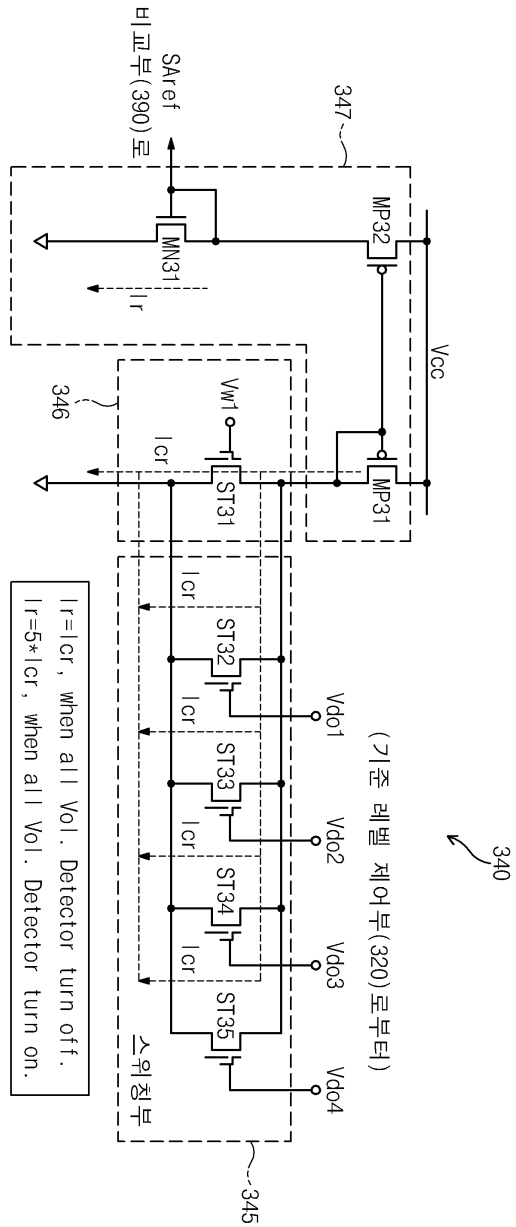


도면9

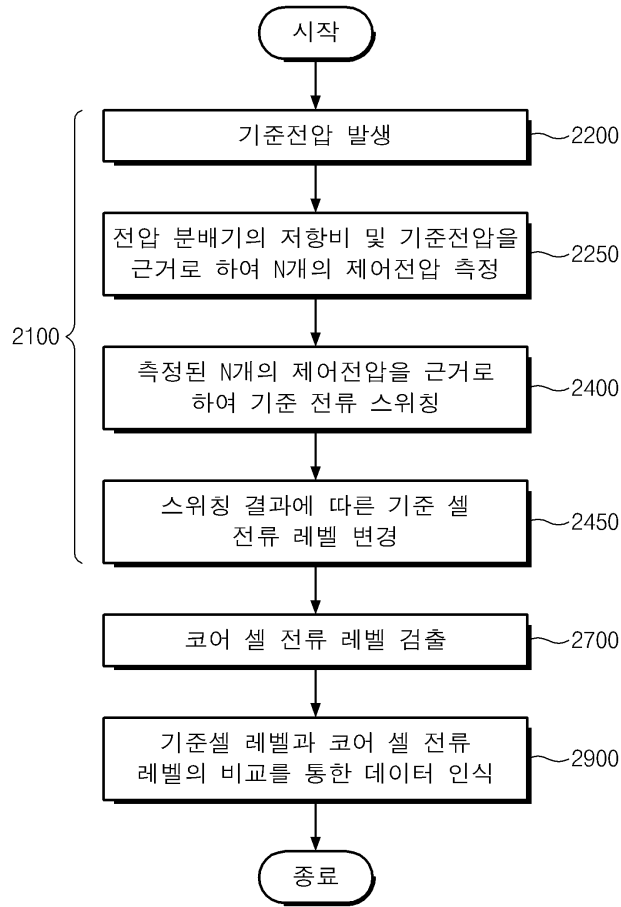




도면10



도면11



도면12

