

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5061538号
(P5061538)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int.Cl.	F I		
HO 1 L 27/06 (2006.01)	HO 1 L 27/06	3 1 1 B	
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06	1 0 2 A	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 0 1 D	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 0 1 K	
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	H	

請求項の数 19 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2006-237766 (P2006-237766)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成18年9月1日(2006.9.1)		愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2008-60468 (P2008-60468A)	(74) 代理人	100106149 弁理士 矢作 和行
(43) 公開日	平成20年3月13日(2008.3.13)	(74) 代理人	100121991 弁理士 野々部 泰平
審査請求日	平成20年12月16日(2008.12.16)	(72) 発明者	高橋 茂樹 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	中野 敬志 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板の表層部に、横型MOSトランジスタ、ツェナーダイオードおよび容量素子が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、

前記横型MOSトランジスタが、

第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、

前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、

前記第2導電型拡散領域が、前記ベース領域と同時形成されてなることを特徴とする半導体装置。

【請求項2】

半導体基板の表層部に、横型MOSトランジスタ、ツェナーダイオードおよび容量素子が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、

前記横型MOSトランジスタが、

第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、

前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、

前記ソース領域の下部に接するように、前記ベース領域内に、第2導電型で当該ベース領域より高濃度の付加ベース領域が形成され、

前記第2導電型拡散領域が、前記付加ベース領域と同時形成されてなることを特徴とする半導体装置。

【請求項3】

半導体基板の表層部に、横型MOSトランジスタ、ツェナーダイオードおよび容量素子が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、

前記横型MOSトランジスタが、

第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、

前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、

前記ソース領域に隣接して、前記ベース領域の表層部に、第2導電型で当該ベース領域より高濃度のコンタクト領域が形成され、

前記第2導電型拡散領域が、前記コンタクト領域と同時形成されてなることを特徴とする半導体装置。

【請求項4】

半導体基板の表層部に、横型MOSトランジスタ、ツェナーダイオードおよび容量素子

が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、

前記横型MOSトランジスタが、

第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、

前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、

基板面内において、

前記ソース領域、付加第1導電型ウエル領域、第2導電型拡散領域およびドレイン領域が、短冊形状に形成され、

前記第2導電型拡散領域および前記ドレイン領域が、同じ短冊幅Wを有してなり、

前記第2導電型拡散領域および前記ドレイン領域の短冊長さをそれぞれL1、L2として、 $L1/L2 = 1/5$ に設定されてなり、

前記第2導電型拡散領域と前記ドレイン領域の短冊長さ方向が、それぞれ、前記ソース領域の短冊長さ方向と平行になるように、所定間隔を開けて並んで配置されてなることを特徴とする半導体装置。

【請求項5】

前記第2導電型拡散領域が、前記短冊形状の付加第1導電型ウエル領域の端部に配置されてなることを特徴とする請求項4に記載半導体装置。

【請求項6】

半導体基板の表層部に、横型MOSトランジスタ、ツェナーダイオードおよび容量素子が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、

前記横型MOSトランジスタが、

第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、

前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、

前記第2導電型拡散領域が、複数の領域に分割形成されてなることを特徴とする半導体装置。

10

20

30

40

50

【請求項 7】

前記複数の領域が、それぞれ異なる不純物濃度を有してなり、
前記複数の各領域に、それぞれ異なる容量値の前記容量素子が直列接続されてなること
 を特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

半導体基板の表層部に、横型 MOS トランジスタ、ツェナーダイオードおよび容量素子
が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型 MOS トランジスタのドレインと
ゲートの間に直列接続されてなる半導体装置において、

前記横型 MOS トランジスタが、

第 1 導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された
第 2 導電型のベース領域と、前記ベース領域の表層部に形成された第 1 導電型のソース領
域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第
1 導電型で当該半導体層よりも高濃度の付加第 1 導電型ウエル領域と、前記付加第 1 導電
型ウエル領域の表層部に形成された第 1 導電型で当該付加第 1 導電型ウエル領域より高濃
度であるドレイン領域と、前記ソース領域と前記付加第 1 導電型ウエル領域の間に位置す
る前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極
と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第 1 導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第 2
導電型拡散領域が形成され、

前記ツェナーダイオードが、前記第 2 導電型拡散領域と前記付加第 1 導電型ウエル領域
の界面を PN 接合面とするツェナーダイオードとして構成されてなり、

前記ゲート電極が、前記第 2 導電型拡散領域の少なくとも一部を覆うように、一体形成
されてなり、

前記容量素子が、前記ゲート電極と前記第 2 導電型拡散領域間の容量で構成されてなる
ことを特徴とする半導体装置。

【請求項 9】

前記ゲート電極が、

前記ソース領域から前記半導体層に至る領域を覆う第 1 ゲート電極と、前記半導体層か
ら前記付加第 1 導電型ウエル領域に至る領域を覆う第 2 ゲート電極とからなることを特徴
とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

半導体基板の表層部に、横型 MOS トランジスタ、ツェナーダイオードおよび容量素子
が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型 MOS トランジスタのドレインと
ゲートの間に直列接続されてなる半導体装置において、

前記横型 MOS トランジスタが、

第 1 導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された
第 2 導電型のベース領域と、前記ベース領域の表層部に形成された第 1 導電型のソース領
域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第
1 導電型で当該半導体層よりも高濃度の付加第 1 導電型ウエル領域と、前記付加第 1 導電
型ウエル領域の表層部に形成された第 1 導電型で当該付加第 1 導電型ウエル領域より高濃
度であるドレイン領域と、前記ソース領域と前記付加第 1 導電型ウエル領域の間に位置す
る前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極
と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、

前記付加第 1 導電型ウエル領域の表層部にトレンチが形成され、前記ドレイン領域から
離間するように前記トレンチの側壁および底面周りに第 2 導電型拡散領域が形成され、

前記ツェナーダイオードが、前記付加第 1 導電型ウエル領域と前記第 2 導電型拡散領域

10

20

30

40

50

の界面をPN接合面とするツェナーダイオードとして構成されてなり、

前記ゲート電極が、絶縁膜を介して、前記トレンチを埋め込むように一体形成されてなり、

前記容量素子が、前記ゲート電極と前記第2導電型拡散領域間の容量で構成されてなることを特徴とする半導体装置。

【請求項11】

前記第1導電型が、N導電型であり、前記第2導電型が、P導電型であることを特徴とする請求項1乃至10のいずれか一項に記載の半導体装置。

【請求項12】

前記半導体基板が、埋め込み酸化膜を有するSOI構造の半導体基板であることを特徴とする請求項1乃至11のいずれか一項に記載の半導体装置。

10

【請求項13】

前記容量素子が、前記半導体基板上に形成されたポリシリコン層間の容量で構成されてなることを特徴とする請求項1乃至7のいずれか一項に記載の半導体装置。

【請求項14】

前記容量素子が、前記半導体基板上に形成された金属配線層間の容量で構成されてなることを特徴とする請求項1乃至7のいずれか一項に記載の半導体装置。

【請求項15】

前記容量素子が、前記半導体基板上に形成されたポリシリコン層と金属配線層間の容量で構成されてなることを特徴とする請求項1乃至7のいずれか一項に記載の半導体装置。

20

【請求項16】

前記容量素子が、前記半導体基板の表層部に形成された拡散層と半導体基板上に形成されたポリシリコン層または金属配線層間の容量で構成されてなることを特徴とする請求項1乃至7のいずれか一項に記載の半導体装置。

【請求項17】

前記容量素子が、前記半導体基板に形成されたPN接合の接合容量で構成されてなることを特徴とする請求項1乃至7のいずれか一項に記載の半導体装置。

【請求項18】

前記容量素子の容量値が、前記横型MOSトランジスタにおけるゲート・ドレイン間の寄生容量値の1/2より大きいことを特徴とする請求項1乃至17のいずれか一項に記載の半導体装置。

30

【請求項19】

前記半導体基板が、埋め込み酸化膜を有するSOI構造の半導体基板であり、前記横型MOSトランジスタおよび前記ツェナーダイオードが、前記埋め込み酸化膜に達する絶縁分離トレンチにより、互いに絶縁分離されてなることを特徴とする請求項1乃至18のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体基板の表層部に横型MOSトランジスタ素子が形成されてなる半導体装置に関する。

40

【背景技術】

【0002】

半導体基板の表層部に横型MOSトランジスタ素子が形成されてなる半導体装置およびその製造方法が、例えば、特開2001-352707号公報（特許文献1）に開示されている。

【0003】

図10は、特許文献1に開示された半導体装置で、半導体装置100の模式的な断面図である。図10に示す半導体装置100は、p型シリコン基板2、絶縁層3、n型層1からなるSOI基板に形成されている。半導体装置100においては、n+型ドレイン領域

50

5を囲むように、n型層1よりも高濃度に形成され、n+型ドレイン領域5に近づくほど高濃度となるn型領域6が配置されている。さらに、n+型ソース領域8に隣接配置されるp+型コンタクト領域9が、n+型ソース領域8の下部まで入り込むように形成されている。尚、図10において、符号4はLOCOS酸化膜、符号10はゲート絶縁膜、符号11はゲート電極、符号12は層間絶縁膜、符号13はソース電極、符号14はドレイン電極である。

【0004】

図10に示す半導体装置100は、n型層1の表層部にソースとドレインが配置され、キャリアが半導体基板の横方向に流れる、横型MOSトランジスタ素子(LDMOS, Lateral Diffused Metal Oxide Semiconductor)が形成された半導体装置となっている。LDMOSは、他のトランジスタ素子に比べて高速スイッチングが可能であることから、例えばトランジスタ素子を高速でオン・オフさせるスイッチング回路やスイッチング電源に利用される。

10

【0005】

一般的に、DC-DCコンバータやインバータ等のスイッチング回路では、回路の動作周波数を高周波化するほど、付属するインダクタンスやキャパシタンスが小さくなって、小型化することができる。このため、できるだけ高いスイッチング速度のトランジスタ素子が必要である。一方、トランジスタ素子を高速でスイッチングすると、その急激な電圧変化(dV/dt)でドレイン電圧のオーバーシュート(サージ電圧)が生じ、発生ノイズが増大すると共にスイッチング損失も増大してしまう。

20

【0006】

スイッチング回路に適用するトランジスタ素子の上記課題を解決する半導体装置が、特開2004-6598号公報(特許文献2)に開示されている。

【0007】

図11は、特許文献2に開示された半導体装置で、半導体装置90の模式的な斜視図において、要部を部分的に断面で示した図である。図11に示す半導体装置90は、半導体基板の両側にソースとドレインが配置され、キャリアが半導体基板の縦方向に流れる、縦型MOSトランジスタ素子(VDMOS, Vertical Diffused Metal Oxide Semiconductor)が形成された半導体装置である。図11の半導体装置90は、pベース層12に隣接する位置に、p導電型の不純物を低濃度に含むp層14を設けることを特徴としている。

30

【0008】

図11の半導体装置90では、p層14の形成により、ドレイン電圧が高くなるほどゲート-ドレイン間容量を増大させることができ、これによってドレインでのサージ電圧の発生を抑制している。しかしながら、p層14の形成はVDMOS構造を有する半導体装置90において有効なものであり、LDMOS構造を有する半導体装置に同様のp層14を形成すると、キャリア流路への影響が大きくてLDMOSの設計が困難となる。また、半導体装置90ではキャリアが低不純物濃度のp層14を流れるために、オン抵抗が高くなってしまふ。さらに、p層14の形成のみではゲート-ドレイン間容量の増加が不十分で、サージ電圧の抑制効果も不十分である。

【特許文献1】特開2001-352707号公報

40

【特許文献2】特開2004-6598号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

そこで、上記スイッチング回路に適用するトランジスタ素子の問題を回避するため、図12に示す新規なスイッチング回路K1が発明された。

【0010】

図12のスイッチング回路K1は、トランジスタT5のゲート電圧を切り換えることによってトランジスタT5の主電極であるドレインD-ソースS間を導通状態と非導通状態の間で時間的に切り換えるスイッチング回路である。スイッチング回路K1では、トラン

50

ジスタT5のドレインDとゲートGの間を、ツェナーダイオードDzとコンデンサCの直列回路で接続している。これによって、ドレイン電圧が低い間は、ツェナーダイオードDzが導通せずコンデンサCの容量が寄与しない状態とされ、ドレイン電流とドレイン電圧は高速に変化して、スイッチング損失を小さくする。ドレイン電圧が上昇すると、ツェナーダイオードDzが降伏し、コンデンサCの容量がD-G間に加わり、ドレイン電流とドレイン電圧は低速に変化して、サージ電圧が低く抑えられる。以上のようにして、図12に示すスイッチング回路K1は、スイッチング損失とサージ電圧の両者を同時に抑制できるスイッチング回路となっている。尚、上記スイッチング回路の発明については、すでに特許出願(出願番号2006-86225)がなされている。

【0011】

本発明は、上記スイッチング回路の構成に好適な半導体装置を提供するもので、高速スイッチングが可能な横型MOSトランジスタが形成されてなる半導体装置であって、スイッチング損失とサージ電圧(ノイズ)の両者を同時に抑制できる、小型で安価な半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0012】

請求項1に記載の半導体装置は、半導体基板の表層部に、横型MOSトランジスタ、ツェナーダイオードおよび容量素子が形成されてなる半導体装置であって、

前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、前記横型MOSトランジスタが、第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、前記第2導電型拡散領域が、前記ベース領域と同時形成されてなることを特徴としている。

【0013】

上記半導体装置は、横型MOSトランジスタ、ツェナーダイオードおよび容量素子を一つの半導体基板に形成することで、小型の半導体装置とすることができる。また、半導体基板の一方の表層部にソースとドレインが配置され、キャリアが半導体基板の横方向に流れる横型MOSトランジスタは、他のトランジスタ素子に較べて高速スイッチングが可能であり、スイッチング回路やスイッチング電源への利用に適している。

【0014】

スイッチング回路では、一般的に、高速のトランジスタ素子を用いて回路の動作周波数を上げるほど、回路全体を小型化することができるが、スイッチングによる電圧変化(dV/dt)がより急激になるため、ドレイン電圧のオーバーシュート(サージ電圧、ノイズ)が増大してしまう。

【0015】

しかしながら、上記半導体装置の横型MOSトランジスタには、ドレインとゲートの間にツェナーダイオードと容量素子が直列接続されている。このため、上記半導体装置をスイッチング回路に適用する場合、容量素子と共にドレインとゲートの間に接続されているツェナーダイオードのツェナー電圧によって、容量素子の回路への寄与を断続することができる。すなわち、上記半導体装置のオン・オフの繰り返しサイクルにおいて、横型MO

10

20

30

40

50

Sトランジスタのドレイン電圧が低い間はツェナーダイオードが導通せず、容量素子が寄与しない状態として、ドレイン電流とドレイン電圧を高速に変化させることができる。ドレイン電圧が上昇してツェナー電圧を超えると、ツェナーダイオードが降伏して容量素子がドレイン-ゲート間に加わり、ゲート電圧の変化が小さくなってドレイン電圧とドレイン電流の時間に対する変化割合が低下する。これによって、 dV/dt が小さくなるため、サージ電圧の発生を抑制することができる。また、これによってスイッチング損失を抑制する効果も得られ、上記半導体装置では、スイッチング損失とサージ電圧の両者を同時に抑制することができる。

また、上記半導体装置においては、前記横型MOSトランジスタが、第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなるように構成されている。

横型MOSトランジスタは一般的にESD(Electro Static Discharge)サージに対して弱い構造とされているが、上記半導体装置の横型MOSトランジスタにおいては、ドレイン領域を囲む付加第1導電型ウエル領域の濃度を適宜設定することによって、ESDサージ耐量を向上させることができる。

また、上記半導体装置は、前記付加第1導電型ウエル領域の表層部に、前記ドレイン領域から離間するように第2導電型拡散領域が形成され、前記ツェナーダイオードが、前記第2導電型拡散領域と前記付加第1導電型ウエル領域の界面をPN接合面とするツェナーダイオードとして構成されてなる半導体装置となっている。

これによって、上記半導体装置における横型MOSトランジスタとツェナーダイオードが、絶縁分離されることなく一体的に構成されるため、より小型の半導体装置とすることができる。

【0016】

以上のようにして、上記半導体装置は、高速スイッチングが可能な横型MOSトランジスタ素子が形成されてなる、スイッチング回路の構成に好適な半導体装置であって、スイッチング損失とサージ電圧(ノイズ)の両者を同時に抑制できる小型の半導体装置となっている。

【0025】

上記半導体装置は、例えば請求項1に記載のように、前記第2導電型拡散領域が、前記ベース領域と同時形成されてなるように構成することができる。請求項2に記載のように、前記ソース領域の下部に接するように、前記ベース領域内に、第2導電型で当該ベース領域より高濃度の付加ベース領域が形成される場合には、前記第2導電型拡散領域が、前記付加ベース領域と同時形成されてなるように構成してもよい。また、請求項3に記載のように、前記ソース領域に隣接して、前記ベース領域の表層部に、第2導電型で当該ベース領域より高濃度のコンタクト領域が形成される場合には、前記第2導電型拡散領域が、前記コンタクト領域と同時形成されてなるように構成してもよい。

【0026】

上記ベース領域、付加ベース領域およびコンタクト領域は、第2導電型拡散領域と同じ第2導電型で、一般的に不純物濃度と拡散深さが互いに異なっている。このため、必要とするツェナーダイオードの耐圧に適した第2導電型拡散領域の不純物濃度と拡散深さに合わせて、第2導電型の上記各領域の形成工程の中から適宜選択して、第2導電型拡散領域を同時形成する。これによって、上記いずれの場合においても、第2導電型拡散領域(従ってツェナーダイオード)の形成に新たな工程を必要としないため、当該半導体装置の製

10

20

30

40

50

造コストを低減することができる。

【0027】

また、上記半導体装置は、請求項4に記載のように、基板面内において、前記ソース領域、付加第1導電型ウエル領域、第2導電型拡散領域およびドレイン領域が、短冊形状に形成され、前記第2導電型拡散領域および前記ドレイン領域が、同じ短冊幅Wを有してなり、前記第2導電型拡散領域および前記ドレイン領域の短冊長さをそれぞれL1、L2として、 $L1/L2 = 1/5$ に設定されてなり、前記第2導電型拡散領域と前記ドレイン領域の短冊長さ方向が、それぞれ、前記ソース領域の短冊長さ方向と平行になるように、所定間隔を開けて並んで配置されてなるように構成することが好ましい。

【0028】

ソース領域、付加第1導電型ウエル領域、第2導電型拡散領域およびドレイン領域を短冊形状にすることで、当該半導体装置の設計が容易になる。また、デバイスシミュレーション結果によれば、第2導電型拡散領域およびドレイン領域を同じ短冊幅とし、それぞれの短冊長さL1、L2を $L1/L2 = 1/5$ に設定することで、ドレイン電圧が低い段階でのドレイン電流とドレイン電圧の高速変化と、ドレイン電圧が上昇した段階でのドレイン電流とドレイン電圧の低速変化とを、両立させることができる。

【0029】

上記半導体装置においては、請求項5に記載のように、前記第2導電型拡散領域が、前記短冊形状の付加第1導電型ウエル領域の端部に配置されてなることが好ましい。これによれば、第2導電型拡散領域への配線が容易となる。

【0030】

また、上記半導体装置は、請求項6に記載のように、前記第2導電型拡散領域が、複数の領域に分割形成されてなるように構成してもよい。また、この場合、請求項7に記載のように、前記複数の領域が、それぞれ異なる不純物濃度を有してなり、前記複数の各領域に、それぞれ異なる容量値の前記容量素子が直列接続されてなるように構成することができる。

【0031】

分割形成された上記複数の各領域は、異なるツェナー電圧を有するツェナーダイオードとして機能させることができる。また、上記複数の各領域にはそれぞれ異なる容量値の容量素子が直列接続されている。このため、上記半導体装置においては、ドレイン電圧の上昇段階において、各領域に接続されている容量素子の回路への寄与点と寄与後のドレイン電圧の変化割合を多段階で切り替え制御することができる。これによって、上記半導体装置においては、高速のスイッチングとサージ電圧の抑制を両立させるに際して、より精密な制御が可能となる。

【0032】

また、上記半導体装置は、請求項8に記載のように、前記ゲート電極が、前記第2導電型拡散領域の少なくとも一部を覆うように、一体形成されてなり、前記容量素子が、前記ゲート電極と前記第2導電型拡散領域間の容量で構成されてなる半導体装置とすることができる。この場合には、横型MOSトランジスタとツェナーダイオードだけでなく、容量素子についても一体的に構成されるため、より小型の半導体装置とすることができる。

【0033】

以上に説明した各半導体装置は、請求項9に記載のように、前記ゲート電極が、前記ソース領域から前記半導体層に至る領域を覆う第1ゲート電極と、前記半導体層から前記付加第1導電型ウエル領域に至る領域を覆う第2ゲート電極とからなるように構成することもできる。この場合には、第1ゲート電極のみが上記横型MOSトランジスタの実質的なゲート電極として機能するため、ゲート・ドレイン間の寄生容量値がより低減される。従って、前述したように、ツェナーダイオードと共にドレインとゲートの間に接続されている容量素子の回路への寄与をより効果的に発揮させることができる。

【0034】

また、請求項10に記載の半導体装置のように、半導体基板の表層部に、横型MOSト

10

20

30

40

50

ランジスタ、ツェナーダイオードおよび容量素子が形成されてなる半導体装置であって、前記ツェナーダイオードと前記容量素子が、前記横型MOSトランジスタのドレインとゲートの間に直列接続されてなる半導体装置において、前記横型MOSトランジスタが、第1導電型の半導体層を有した前記半導体基板と、前記半導体層の表層部に形成された第2導電型のベース領域と、前記ベース領域の表層部に形成された第1導電型のソース領域と、前記半導体層の表層部において、前記ベース領域から離間するように配置された第1導電型で当該半導体層よりも高濃度の付加第1導電型ウエル領域と、前記付加第1導電型ウエル領域の表層部に形成された第1導電型で当該付加第1導電型ウエル領域より高濃度であるドレイン領域と、前記ソース領域と前記付加第1導電型ウエル領域の間に位置する前記ベース領域をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ソース領域に接続されたソース電極と、前記ドレイン領域に接続されたドレイン電極とを備えてなり、前記付加第1導電型ウエル領域の表層部にトレンチが形成され、前記ドレイン領域から離間するように前記トレンチの側壁および底面周りに第2導電型拡散領域が形成され、前記ツェナーダイオードが、前記付加第1導電型ウエル領域と前記第2導電型拡散領域の界面をPN接合面とするツェナーダイオードとして構成されてなり、前記ゲート電極が、絶縁膜を介して、前記トレンチを埋め込むように一体形成されてなり、前記容量素子が、前記ゲート電極と前記第2導電型拡散領域間の容量で構成されてなる半導体装置としてもよい。

10

【0035】

この場合にも、横型MOSトランジスタ、ツェナーダイオードおよび容量素子が一体的に構成されるため、より小型の半導体装置とすることができる。また、トレンチを用いて構成される上記容量素子は、大きな容量値を持たせることが可能である。

20

例えば請求項1に記載のように、以上に説明した各半導体装置において、前記第1導電型がN導電型であり、前記第2導電型がP導電型であるように構成した場合には、上記半導体装置の横型MOSトランジスタは、電子をキャリアとする高速のNチャンネル横型MOSトランジスタとなる。尚、上記半導体装置における各部の導電型を全て逆転して、前記第1導電型がP導電型であり、前記第2導電型がN導電型であるように構成した場合には、上記半導体装置の横型MOSトランジスタは、ホールをキャリアとするPチャンネル横型MOSトランジスタとなる。

以上に説明した各半導体装置における横型MOSトランジスタの構造も、請求項12に記載のように、前記半導体基板が、埋め込み酸化膜を有するSOI構造の半導体基板である場合に適用可能で、この場合には、絶縁分離が容易になる。

30

【0036】

上記半導体装置においては、例えば請求項13に記載のように、前記容量素子が、前記半導体基板上に形成されたポリシリコン層間の容量で構成されてなるようにしてもよい。また、請求項14に記載のように、前記容量素子が、前記半導体基板上に形成された金属配線層間の容量で構成されてなるようにしてもよいし、請求項15に記載のように、前記容量素子が、前記半導体基板上に形成されたポリシリコン層と金属配線層間の容量で構成されてなるようにしてもよい。さらに、請求項16に記載のように、前記容量素子が、前記半導体基板の表層部に形成された拡散層と半導体基板上に形成されたポリシリコン層または金属配線層間の容量で構成されてなるようにしてもよいし、請求項17に記載のように、前記容量素子が、前記半導体基板に形成されたPN接合の接合容量で構成されてなるようにしてもよい。

40

【0037】

このように、当該半導体装置の各部（形成工程）を利用して、上記容量素子を構成することが可能である。これによって、容量素子が各部の開いたスペースを利用して一つの半導体基板に一体的に構成されるため、より小型の半導体装置とすることができると共に、製造工程が共通化されて安価な半導体装置とすることができる。

以上に説明した各半導体装置においては、請求項18に記載のように、前記容量素子の容量値が、前記横型MOSトランジスタにおけるゲート・ドレイン間の寄生容量値の1/

50

2より大きいことが好ましい。これによって、容量素子の容量値が横型MOSトランジスタのゲート・ドレイン間の寄生容量値より十分に大きくなり、ツェナーダイオードと共にドレインとゲートの間に接続されている容量素子の回路への寄与が効果的に発揮されることとなる。

以上に説明した各半導体装置は、例えば請求項19に記載のように、前記半導体基板が、埋め込み酸化膜を有するSOI構造の半導体基板であり、前記横型MOSトランジスタおよび前記ツェナーダイオードが、前記埋め込み酸化膜に達する絶縁分離トレンチにより、互いに絶縁分離されてなるように構成することができる。これによれば、横型MOSトランジスタの設計とツェナーダイオードの設計を独立して行うことができ、上記半導体装置の設計が容易となる。

10

【発明を実施するための最良の形態】

【0038】

以下、本発明を実施するための最良の形態を、図に基づいて説明する。

【0039】

図1は、本発明の半導体装置の一例で、半導体装置101の模式的な斜視図において、要部を部分的に断面で示した図である。尚、図1の半導体装置101において、図11に示した従来の半導体装置100と同様の部分については、同じ符号を付した。

【0040】

図1に示す半導体装置101は、半導体基板の表層部に、横型MOSトランジスタLTa、ツェナーダイオードZDaおよび容量素子Caが形成されてなる半導体装置である。また、図1の半導体装置101では、ツェナーダイオードZDaと容量素子Caが、横型MOSトランジスタLTaのドレインDとゲートGの間に直列接続されている。以下に、図1に示す半導体装置101の詳細構造を説明する。

20

【0041】

図1の半導体装置101が形成されている半導体基板は、図10に示した従来の半導体装置100と同じ、埋め込み酸化膜3を有するSOI構造の半導体基板である。尚、図1では、簡略化のためにN導電型(n-)の半導体層1と埋め込み酸化膜3のみを図示しており、埋め込み酸化膜3の下にある支持基板2は図示を省略している。このようにSOI構造の半導体基板を利用することで、半導体層1に形成する各素子の絶縁分離が容易になる。

30

【0042】

図1の半導体装置101における横型MOSトランジスタLTaは、図10に示した従来の半導体装置100における横型MOSトランジスタと基本的に同じ構造を有している。すなわち、半導体装置101における横型MOSトランジスタLTaは、埋め込み酸化膜3上のN導電型(n-)の半導体層1に形成され、半導体層1の表層部に形成されたP導電型(p)のベース領域7と、ベース領域7の表層部に形成されたN導電型(n+)のソース領域8を有している。また、横型MOSトランジスタLTaは、半導体層1の表層部において、ベース領域7から離間するように配置されたN導電型(n)で半導体層1よりも高濃度の付加N導電型ウエル領域6と、付加N導電型ウエル領域6の表層部に形成されたN導電型で付加N導電型ウエル領域6より高濃度(n+)であるドレイン領域5を有している。

40

【0043】

横型MOSトランジスタLTaは、ソース領域8と付加N導電型ウエル領域6の間に位置するベース領域7をチャンネル領域とし、該チャンネル領域上に形成されたゲート絶縁膜10と、ゲート絶縁膜10上に形成されたゲート電極11を有している。また、横型MOSトランジスタLTaは、ソース領域8に接続されたソース電極(図示省略)と、ドレイン領域5に接続されたドレイン電極(図示省略)を備えている。

【0044】

半導体基板の一方の表層部にソースとドレインが配置され、キャリアが半導体基板の横方向に流れる横型MOSトランジスタは、一般的に、他のトランジスタ素子に較べて高速

50

スイッチングが可能であり、スイッチング回路やスイッチング電源への利用に適している。一方、横型MOSトランジスタは、一般的に、ESD (Electro Static Discharge) サージに対して弱い構造とされている。これに対して、図1の半導体装置101における横型MOSトランジスタLTaでは、図10の半導体装置100における横型MOSトランジスタと同様に、ドレイン領域5を囲む付加N導電型ウエル領域6の濃度を適宜設定することによって、ESDサージ耐量を向上させることができる。

【0045】

一方、図1の半導体装置101では、図10の半導体装置100と異なり、付加N導電型ウエル領域6の表層部に、ドレイン領域5から離間するようにP導電型(p+)拡散領域20が形成されている。このP導電型拡散領域20の形成によって、P導電型拡散領域20と付加N導電型ウエル領域6の界面をPN接合面とするツェナーダイオードZDaが構成されることとなる。また、P導電型拡散領域20とゲート電極11の間には容量素子Caが接続されており、これによって、図1の半導体装置101では、ツェナーダイオードZDaと容量素子Caが、横型MOSトランジスタLTaのドレインDとゲートGの間に直列接続されることとなる。従って、図1の半導体装置101は、図12に示したスイッチング回路K1におけるトランジスタT5、ツェナーダイオードDzおよびコンデンサCを一つの半導体基板に形成した構造となっている。

【0046】

以上のように、図1に示す半導体装置101は、横型MOSトランジスタLTa、ツェナーダイオードZDaおよび容量素子Caが一つの半導体基板に形成されており、小型の半導体装置となっている。また、図1の半導体装置101における横型MOSトランジスタLTaは、他のトランジスタ素子に較べて高速スイッチングが可能であり、スイッチング回路やスイッチング電源への利用に適している。

【0047】

スイッチング回路では、一般的に、高速のトランジスタ素子を用いて回路の動作周波数を上げるほど、回路全体を小型化することができるが、スイッチングによる電圧変化(dV/dt)がより急激になるため、ドレイン電圧のオーバーシュート(サージ電圧、ノイズ)が増大してしまう。しかしながら、図1の半導体装置101の横型MOSトランジスタLTaには、ドレインDとゲートGの間にツェナーダイオードZDaと容量素子Caが直列接続されている。このため、半導体装置101をスイッチング回路に適用する場合、図12に示したスイッチング回路K1と同様に、容量素子Caと共にドレインDとゲートGの間に接続されているツェナーダイオードZDaのツェナー電圧によって、容量素子Caの回路への寄与を断続することができる。すなわち、半導体装置101のオン・オフの繰り返しサイクルにおいて、横型MOSトランジスタLTaのドレイン電圧が低い間はツェナーダイオードZDaが導通せず、容量素子Caが寄与しない状態として、ドレイン電流とドレイン電圧を高速に変化させることができる。ドレイン電圧が上昇してツェナー電圧を超えると、ツェナーダイオードZDaが降伏して容量素子CaがドレインD-ゲートG間に加わり、ゲート電圧の変化が小さくなって、ドレイン電圧とドレイン電流の時間に対する変化割合が低下する。これによって、 dV/dt が小さくなるため、サージ電圧の発生を抑制することができる。また、これによってスイッチング損失を抑制する効果も得られ、図1の半導体装置101では、スイッチング損失とサージ電圧の両者を同時に抑制することができる。

【0048】

次に、図1の半導体装置101の特性に関するシミュレーション結果を、図2~図4により説明する。

【0049】

図2(a)は、半導体装置101の特性のシミュレーションに用いた、スイッチング回路K2の回路図である。また、図2(b)は、デバイスシミュレータによる半導体装置101のシミュレーションにおいてパラメータとした、P導電型拡散領域20の短冊長さL1とドレイン領域5の短冊長さL2を示す図である。図2(a)に示すスイッチング回路

10

20

30

40

50

K 2 は、一点鎖線で囲った基本部分が図 1 2 に示したスイッチング回路 K 2 と同じ構成となっており、この基本部分が図 2 (b) に示す半導体装置 1 0 1 に相当する。

【 0 0 5 0 】

デバイスシミュレータによるシミュレーションに用いた半導体装置 1 0 1 は、図 2 (b) に示す単純な構造を有している。すなわち、半導体装置 1 0 1 においては、図 2 (b) に示すように、基板面内において、ソース領域 8、付加 N 導電型ウエル領域 6、P 導電型拡散領域 2 0 およびドレイン領域 5 が、短冊形状に形成されている。このように、ソース領域 8、付加 N 導電型ウエル領域 6、P 導電型拡散領域 2 0 およびドレイン領域 5 を短冊形状にすることで、半導体装置 1 0 1 の設計が容易になる。P 導電型拡散領域 2 0 およびドレイン領域 5 は、同じ短冊幅 W を有しており、それぞれ、短冊長さ L 1 , L 2 を有している。P 導電型拡散領域 2 0 およびドレイン領域 5 は、それぞれ、短冊長さ L 1 , L 2 方向が、ソース領域 8 の短冊長さ L 方向と平行になるように、所定間隔 S を開けて並んで配置されている。

10

【 0 0 5 1 】

図 3 (a) , (b) は、半導体装置 1 0 1 の特性に関するシミュレーション結果の一例で、容量素子 C a の容量値をパラメータとして、それぞれ、図 2 (b) の L 1 / L 2 が 1 / 1 0 0 と 1 の各場合について、スイッチング直後のドレイン電圧の経時変化をシミュレートした結果である。尚、図 3 (a) , (b) において、比較のため、横型 M O S トランジスタ L T a のドレイン D とゲート G の間にツェナーダイオード Z D a と容量素子 C a を接続していない、従来の半導体装置に関するシミュレーション結果を点線で示した。

20

【 0 0 5 2 】

図 3 (a) に示すように、L 1 / L 2 = 1 / 1 0 0 とした場合においては、半導体装置 1 0 1 のスイッチング直後におけるドレイン電圧立ち上り過程の図中の矢印で示した P 点で、ドレイン電圧立ち上りの傾き変化が現れる。この P 点は、ツェナーダイオード Z D a のツェナー電圧 (ブレークダウン電圧、 ~ 8 V) に相当し、前述したように、ドレイン電圧が上昇してこのツェナー電圧を超えると、ツェナーダイオード Z D a が降伏して容量素子 C a がドレイン D - ゲート G 間に加わる。これによって、ゲート電圧の変化が小さくなり、P 点以降でのドレイン電圧とドレイン電流の時間に対する変化割合が低下して、サージ電圧の発生が抑制される。これによって、スイッチング損失の低減も可能である。

30

【 0 0 5 3 】

以上のように、L 1 / L 2 = 1 / 1 0 0 に設定された半導体装置 1 0 1 においては、高速のスイッチングとサージ電圧の抑制を両立させることが可能である。尚、ツェナーダイオード Z D a のツェナー電圧 (ブレークダウン電圧) は、P 導電型拡散領域 2 0 の不純物濃度によって所望する値に設定可能であるが、図 2 (b) に示す P 導電型拡散領域 2 0 とドレイン領域 5 の間隔 S によっても、所望する値に設定可能である。

【 0 0 5 4 】

一方、図 3 (b) に示すように、L 1 / L 2 = 1 とした場合においては、P 導電型拡散領域 2 0 の面積が大きすぎて、P 導電型拡散領域 2 0 と付加 N 導電型ウエル領域 6 で構成されるツェナーダイオード Z D a が、接合容量として機能する。このため、図 3 (a) にあるドレイン電圧立ち上りの明確な傾き変化点 P は現れず、ドレイン電圧立ち上りの初期からドレイン電圧とドレイン電流の時間に対する変化割合が抑制されてしまう。従って、この場合には、サージ電圧の発生は抑制できるものの、半導体装置 1 0 1 の立ち上り速度が低下して高速スイッチングができなくなってしまう。

40

【 0 0 5 5 】

図 4 は、容量素子 C a の容量値を 4 0 p F とした場合のシミュレーション結果で、スイッチング直後におけるドレイン電圧の立ち上りの初期傾き (d V / d t) と L 1 / L 2 の関係をまとめた図である。

【 0 0 5 6 】

図 4 に示すように、ドレイン電圧の立ち上りの初期傾き (d V / d t) は、L 1 / L 2 が 0 . 2 より大きくなると急速に低下する。すなわち、L 1 / L 2 > 1 / 5 の場合には、

50

P導電型拡散領域20の面積が大きすぎて、ツェナーダイオードZDaが接合容量として機能し、半導体装置101の立ち上り速度が低下してしまう。従って、図2(b)に示す半導体装置101においては、 $L1/L2 = 1/5$ に設定されることが好ましい。この場合には、スイッチング直後のドレイン電圧が低い段階でのドレイン電流とドレイン電圧の高速変化と、図3(a)に示すP点を越えてドレイン電圧が上昇した段階でのドレイン電流とドレイン電圧の低速変化とを、両立させることができる。

【0057】

一方、図1および図2(b)に示す半導体装置101においては、容量素子Caの容量値が、横型MOSトランジスタLTaにおけるゲート・ドレイン間の寄生(カップリング)容量値Cgdの1/2より大きいことが好ましい。これによって、容量素子Caの容量値が横型MOSトランジスタLTaのゲート・ドレイン間の寄生容量値Cgdより十分に大きくなり、ツェナーダイオードZDaと共にドレインDとゲートGの間に接続されている容量素子Caの回路への寄与が効果的に発揮されることとなる。

【0058】

図5は、上記ゲート・ドレイン間の寄生容量値Cgdが小さな横型MOSトランジスタの一例で、横型MOSトランジスタLTbの断面を不純物の濃度分布と共に示した図である。尚、図5に示す横型MOSトランジスタLTbにおいて、図1に示した横型MOSトランジスタLTaと同様の部分については、同じ符号を付した。

【0059】

図5に示す横型MOSトランジスタLTbにおいては、図1の横型MOSトランジスタLTaにおけるゲート電極11が、ソース領域8から半導体層1に至る領域を覆う第1ゲート電極11aと、半導体層1から付加N導電型ウエル領域6に至る領域を覆う第2ゲート電極11bとからなるように、分割されて構成されている。図5の横型MOSトランジスタLTbにおいては、第1ゲート電極11aのみが横型MOSトランジスタLTbの実質的なゲート電極として機能するため、ゲート・ドレイン間の寄生容量値Cgdが、図1の横型MOSトランジスタLTaに較べてより低減される。従って、図1の半導体装置101における横型MOSトランジスタLTaの代わりに図5の横型MOSトランジスタLTbを採用することで、前述したように、ツェナーダイオードZDaと共にドレインDとゲートGの間に接続されている容量素子Caの回路への寄与をより効果的に発揮させることができる。

【0060】

尚、図5の横型MOSトランジスタLTbを図1の半導体装置101に適用するにあたっては、第2ゲート電極(ダミーゲート電極)11bに0~5V程度の正の固定電位を印加することが好ましい。また、第1ゲート電極11aと第2ゲート電極11bを形成するにあたっては、例えば同じ半導体基板の別位置に2層ゲート構造を有するEPROM(Erasable Programmable Read-Only Memory)等を形成する場合、これらの2層ゲート構造の形成工程を利用することで、製造コストの増加を抑制することができる。

【0061】

図1および図2(b)に示す半導体装置101においては、容量素子Caの具体的構造を示していないが、容量素子Caは、以下のように種々の構造を取り得る。例えば、図1および図2(b)に示す半導体装置101における容量素子Caを、半導体基板上に形成されたポリシリコン層間の容量で構成してもよい。また、容量素子Caを、半導体基板上に形成された金属配線層間の容量で構成してもよいし、半導体基板上に形成されたポリシリコン層と金属配線層間の容量で構成してもよい。さらに、容量素子Caを、半導体基板の表層部に形成された拡散層と半導体基板上に形成されたポリシリコン層または金属配線層間の容量で構成するようにしてもよいし、半導体基板に形成されたPN接合の接合容量で構成するようにしてもよい。このように、半導体装置101の各部(形成工程)を利用して、容量素子Caを構成することが可能である。これによって、容量素子Caが各部の開いたスペースを利用して一つの半導体基板に一体的に構成されるため、小型の半導体装置とすることができると共に、製造工程が共通化されて安価な半導体装置とすることがで

10

20

30

40

50

きる。

【0062】

半導体装置101におけるP導電型拡散領域20は、独立して形成してもよいが、例えば、P導電型拡散領域20をベース領域7と同時形成するようにしてもよい。また、図1の半導体装置101においては、ソース領域8の下部に接するように、ベース領域7内に、P導電型でベース領域7より高濃度(p)の付加ベース領域7aが形成されているが、この場合には、P導電型拡散領域20を付加ベース領域7aと同時形成するようにしてもよい。さらに、図1の半導体装置101においては、ソース領域8に隣接して、ベース領域7の表層部に、P導電型でベース領域7より高濃度(p+)のコンタクト領域9が形成されているが、この場合には、P導電型拡散領域20をコンタクト領域9と同時形成する

10

【0063】

図1の半導体装置101におけるベース領域7、付加ベース領域7aおよびコンタクト領域9は、P導電型拡散領域20と同じP導電型で、一般的に不純物濃度と拡散深さが互いに異なっている。このため、必要とするツェナーダイオードZDaの耐圧に適したP導電型拡散領域20の不純物濃度と拡散深さに合わせて、P導電型の上記各領域の形成工程の中から適宜選択して、P導電型拡散領域20を同時形成する。これによって、上記いずれの場合においても、P導電型拡散領域20(従ってツェナーダイオードZDa)の形成に新たな工程を必要としないため、半導体装置101の製造コストを低減することができる。

20

【0064】

以上のようにして、図1に示す半導体装置101は、高速スイッチングが可能な横型MOSトランジスタLTaが形成されてなる、スイッチング回路の構成に好適な半導体装置であって、スイッチング損失とサージ電圧(ノイズ)の両者を同時に抑制できる小型の半導体装置となっている。特に、図1に示す半導体装置101では、横型MOSトランジスタLTaとツェナーダイオードZDaが絶縁分離されることなく一体的に構成されるため、これらを絶縁分離された独立した素子として形成する場合に較べて、より小型の半導体装置となっている。

【0065】

図6は、別の半導体装置の例で、半導体装置102の模式的な斜視図において、要部を部分的に断面で示した図である。尚、図6の半導体装置102において、図1に示した半導体装置101と同様の部分については、同じ符号を付した。

30

【0066】

図6に示す半導体装置102においては、横型MOSトランジスタLTcのゲート電極11cが、P導電型拡散領域20の少なくとも一部を覆うように、一体形成されている。これによって、半導体装置102においては、横型MOSトランジスタLTcのドレインDとゲートGの間にツェナーダイオードZDaと共に直列接続される容量素子Cbが、絶縁膜10aを介して、ゲート電極11cとP導電型拡散領域20の容量で構成された構造となっている。この場合には、横型MOSトランジスタLTcとツェナーダイオードZDaだけでなく、容量素子Cbについても一体的に構成されるため、図1の半導体装置101に較べて、より小型の半導体装置とすることができる。

40

【0067】

図7は、別の半導体装置の例で、半導体装置103の模式的な斜視図において、要部を部分的に断面で示した図である。尚、図7の半導体装置103においても、図1に示した半導体装置101と同様の部分については、同じ符号を付した。

【0068】

図7に示す半導体装置103においては、図1の半導体装置101におけるP導電型拡散領域20が、2つのP導電型拡散領域21, 22に分割形成されている。2つのP導電型拡散領域21, 22は、それぞれ異なる不純物濃度を有していることが好ましく、この場合には、ツェナー電圧の異なる2つのツェナーダイオードZDb, ZDcが構成される

50

こととなる。また、図7の半導体装置103では、各P導電型拡散領域21, 22に、それぞれ異なる容量値の容量素子Cc, Cdが直列接続されている。従って、半導体装置107においては、横型MOSトランジスタLTdのドレインDとゲートGの間に、直列接続されたツェナーダイオードZDbと容量素子CcおよびツェナーダイオードZDcと容量素子Cdが、並列で接続された構成となっている。

【0069】

このため、図7に示す半導体装置103においては、図3(a)に示したスイッチング直後のドレイン電圧の上昇段階において、各P導電型拡散領域21, 22に接続されている容量素子Cc, Cdの回路への寄与点と寄与後のドレイン電圧の変化割合(P点とP点以降のドレイン電圧立ち上りの傾き変化)を、2段階で切り替え制御することができる。これによって、図7の半導体装置103は、図1の半導体装置101に較べて、高速のスイッチングとサージ電圧の抑制を両立させるに際して、より精密な制御が可能となる。

10

【0070】

尚、P導電型拡散領域21, 22の分割形成、および分割された各P導電型拡散領域21, 22への容量素子Cc, Cdの接続は、2つに限らず、任意の複数であってもよいことは言うまでもない。また、前述したように、不純物濃度の異なるP導電型拡散領域21, 22の形成には、ベース領域7、付加ベース領域7aおよびコンタクト領域9の各形成工程の中から適宜選択して、同時形成するようにしてもよい。これによって、新たな工程を必要としないため、半導体装置103の製造コストを低減することができる。さらに、P導電型拡散領域21, 22の不純物濃度は同じにして、ドレイン領域5との間隔をそれぞれ変えることによって、ツェナーダイオードZDb, ZDcのツェナー電圧(ブレークダウン電圧)を異なる値に設定可能である。

20

【0071】

図8は、別の半導体装置104の要部のみを示した模式的な平面図である。

【0072】

図8に示す半導体装置104においては、P導電型拡散領域23, 24が、基板面内において短冊形状の付加N導電型ウエル領域6の端部に配置されている。このように、P導電型拡散領域23, 24を短冊形状の付加N導電型ウエル領域6の端部に配置することで、P導電型拡散領域23, 24への配線が容易となる。

【0073】

図9は、別の半導体装置105の要部のみを示した模式的な断面図である。尚、図9の半導体装置105においても、図1に示した半導体装置101と同様の部分については、同じ符号を付した。

30

【0074】

図9に示す半導体装置105では、付加N導電型ウエル領域6の表層部にトレンチtが形成され、図に現れていないドレイン領域5から離間するように、トレンチtの側壁および底面周りに、P導電型拡散領域25が形成されている。これによって、半導体装置105では、ツェナーダイオードZDdが、前記付加第1導電型ウエル領域と前記第2導電型拡散領域の界面をPN接合面とするツェナーダイオードとして構成されている。また、ゲート電極11dが、絶縁膜10bを介して、トレンチtを埋め込むように一体形成されている。これによって、半導体装置105では、容量素子Ceが、ゲート電極11dとP導電型拡散領域25間の容量で構成されている。

40

【0075】

図9の半導体装置105についても、図6の半導体装置102と同様に、図に現れていない横型MOSトランジスタ、ツェナーダイオードZDdおよび容量素子Ceが一体的に構成されるため、図1の半導体装置101に較べて、より小型の半導体装置とすることができる。また、図9の半導体装置105においてトレンチtを用いて構成される容量素子Ceは、図6の半導体装置102における容量素子Cbに較べて、大きな容量値を持たせることが可能である。

【0076】

50

以上示のように、上記した半導体装置 101 ~ 105 は、いずれも、高速スイッチングが可能な横型 MOS トランジスタ素子が形成されてなる半導体装置であって、スイッチング損失とサージ電圧（ノイズ）の両者を同時に抑制できる、小型で安価な半導体装置となっている。従って、上記した半導体装置 101 ~ 105 は、スイッチング回路の構成に好適である。

【0077】

尚、上記した半導体装置 101 ~ 105 における N チャネル横型 MOS トランジスタは、ソース領域 8 とドレイン領域 5 が N 導電型であり、電子をキャリアとする高速の N チャネル横型 MOS トランジスタとなっていた。しかしながら、本発明の半導体装置はこれに限らず、上記した半導体装置 101 ~ 105 における各部の導電型を全て逆転した、ホールをキャリアとする P チャネル横型 MOS トランジスタを備える半導体装置であってもよい。

10

【0078】

また、上記した半導体装置 101 ~ 103 では、いずれも、埋め込み酸化膜 3 を有する SOI 構造の半導体基板が用いられ、横型 MOS トランジスタ LTa, LTc, LTd とツェナーダイオード ZDa ~ ZDc が、互いに絶縁分離されることなく、一体的に形成されていた。これによって、半導体装置 101 ~ 103 の小型化が可能となっていた。しかしながら、本発明の半導体装置はこれに限らず、横型 MOS トランジスタとツェナーダイオード（および容量素子）を、埋め込み酸化膜に達する絶縁分離トレンチにより互いに絶縁分離して、半導体基板の別位置に形成するようにしてもよい。この場合、SOI 構造の半導体基板を用いているため、横型 MOS トランジスタの設計とツェナーダイオードの設計を独立して行うことができ、半導体装置の設計が容易となる。尚、上記した半導体装置 101 ~ 103 では SOI 構造の半導体基板を用いているが、本発明の半導体装置はこれに限らず、任意の半導体基板を用いて形成することも可能である。

20

【図面の簡単な説明】

【0079】

【図 1】本発明の半導体装置の一例で、半導体装置 101 の模式的な斜視図において、要部を部分的に断面で示した図である。

【図 2】(a) は、半導体装置 101 の特性のシミュレーションに用いた、スイッチング回路 K2 の回路図である。(b) は、半導体装置 101 のシミュレーションにおいてパラメータとした、P 導電型拡散領域 20 の短冊長さ L1 とドレイン領域 5 の短冊長さ L2 を示す図である。

30

【図 3】(a), (b) は、半導体装置 101 の特性に関するシミュレーション結果の一例で、それぞれ、L1 / L2 が 1 / 100 と 1 の各場合について、スイッチング直後のドレイン電圧の経時変化をシミュレートした結果である。

【図 4】スイッチング直後におけるドレイン電圧の立ち上りの初期傾き (dV / dt) と L1 / L2 の関係をまとめた図である。

【図 5】ゲート・ドレイン間の寄生容量値 Cgd が小さな横型 MOS トランジスタの一例で、横型 MOS トランジスタ LTb の断面を不純物の濃度分布と共に示した図である。

【図 6】別の半導体装置の例で、半導体装置 102 の模式的な斜視図において、要部を部分的に断面で示した図である。

40

【図 7】別の半導体装置の例で、半導体装置 103 の模式的な斜視図において、要部を部分的に断面で示した図である。

【図 8】別の半導体装置 104 の要部のみを示した模式的な平面図である。

【図 9】別の半導体装置 105 の要部のみを示した模式的な断面図である。

【図 10】特許文献 1 に開示された半導体装置で、半導体装置 100 の模式的な断面図である。

【図 11】特許文献 2 に開示された半導体装置で、半導体装置 90 の模式的な斜視図において、要部を部分的に断面で示した図である。

【図 12】新規なスイッチング回路 K1 の回路図である。

50

【符号の説明】

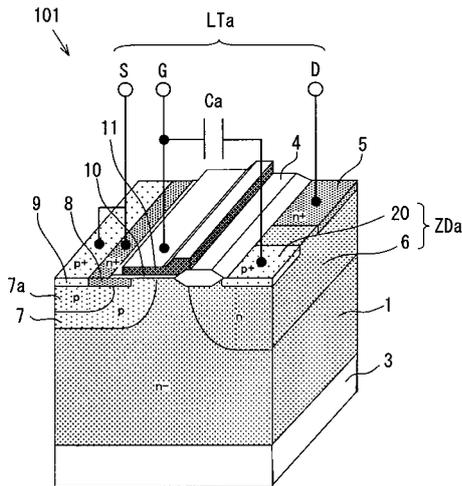
【0080】

- 90, 100, 101~105 半導体装置
- L Ta~LT d 横型MOSトランジスタ
- Z Da~Z D d ツェナーダイオード
- C a~C e 容量素子
- 1 半導体層
- 3 埋め込み酸化膜
- 5 ドレイン領域
- 6 付加N導電型ウエル領域
- 7 ベース領域
- 7 a 付加ベース領域
- 8 ソース領域
- 9 コンタクト領域
- 10 ゲート絶縁膜
- 10 a, 10 b 絶縁膜
- 11, 11 c, 11 d ゲート電極
- 11 a 第1ゲート電極
- 11 b 第2ゲート電極
- 20~25 P導電型拡散領域
- t トレンチ
- K 1, K 2 スイッチング回路

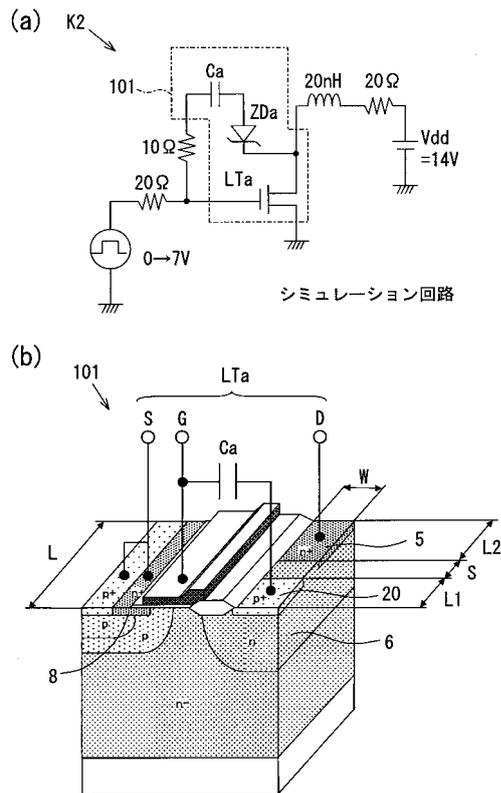
10

20

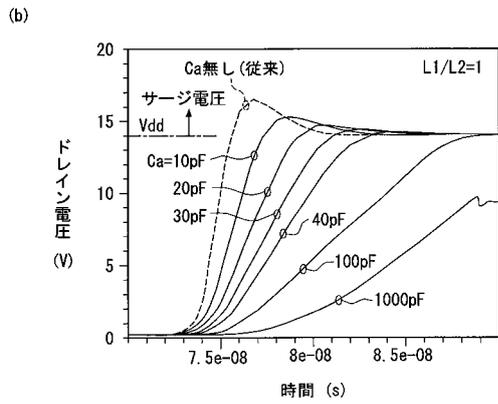
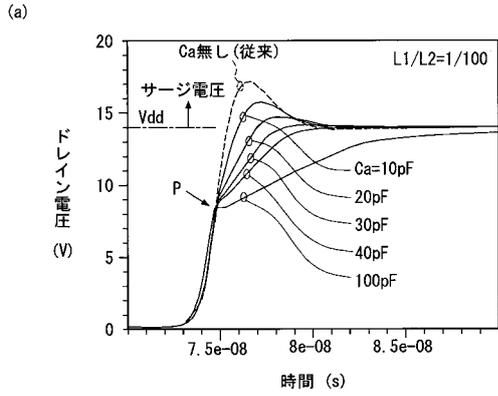
【図1】



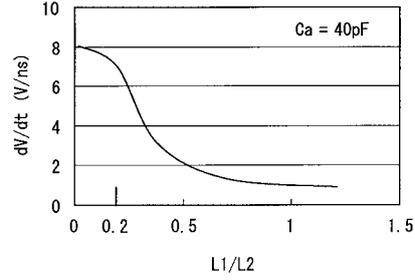
【図2】



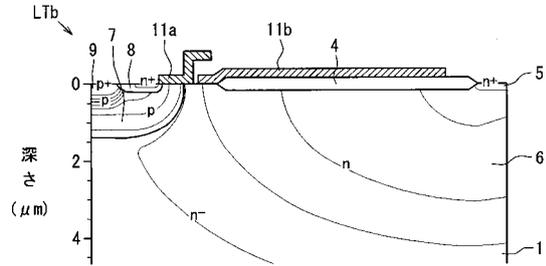
【図3】



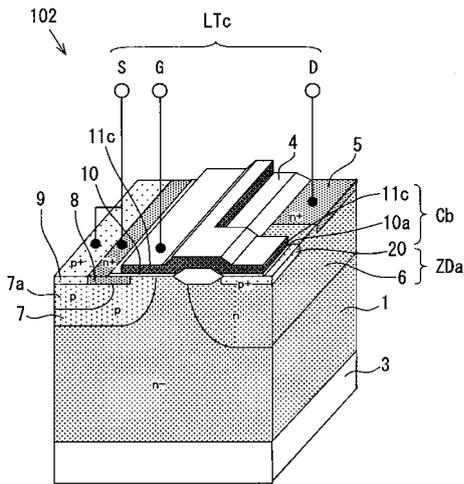
【図4】



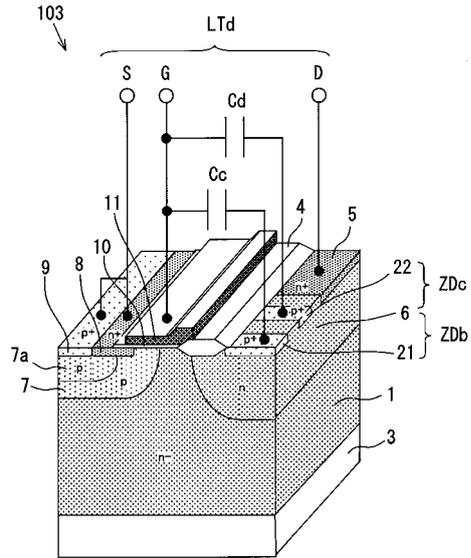
【図5】



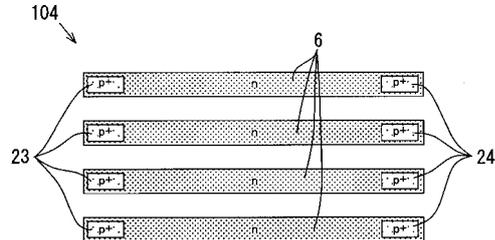
【図6】



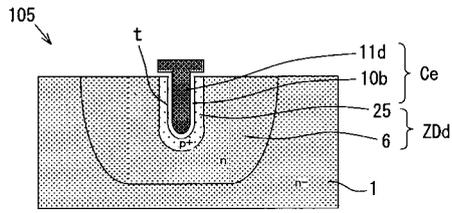
【図7】



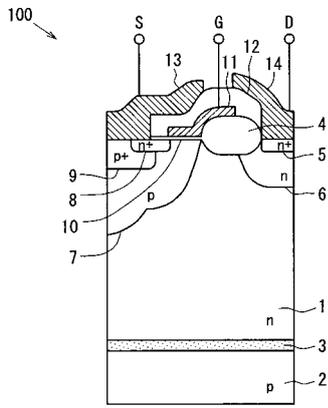
【図8】



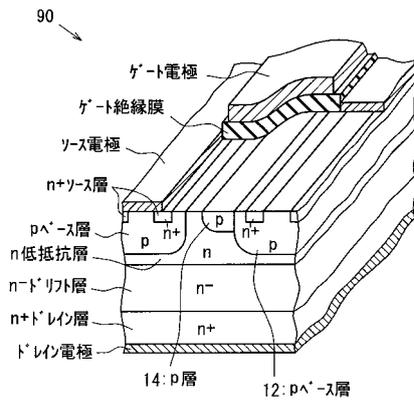
【図9】



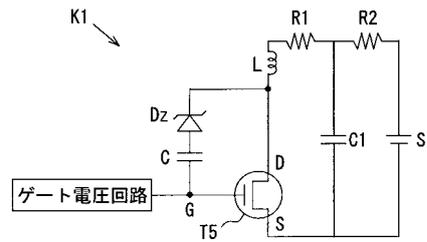
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 21/822 (2006.01) H 0 1 L 29/78 6 2 3 A
 H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 3 Z

- (72)発明者 赤木 望
 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 樋口 安史
 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 藤井 哲夫
 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 服部 佳晋
 愛知県愛知郡長久手町大字長湫字横道4番地の1 株式会社豊田中央研究所内
- (72)発明者 桑原 誠
 愛知県愛知郡長久手町大字長湫字横道4番地の1 株式会社豊田中央研究所内
- (72)発明者 岡田 京子
 愛知県愛知郡長久手町大字長湫字横道4番地の1 株式会社豊田中央研究所内

審査官 宇多川 勉

- (56)参考文献 特開平02-025107(JP,A)
 特開2005-064472(JP,A)
 特開2006-108208(JP,A)
 特開平07-297394(JP,A)
 特開平10-248237(JP,A)
 特開平08-070572(JP,A)
 特開平06-326579(JP,A)
 特開2004-006598(JP,A)
 特開2004-112987(JP,A)
 特開2002-057335(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 0 6
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 7 8 6