

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-171220

(P2015-171220A)

(43) 公開日 平成27年9月28日 (2015.9.28)

(51) Int. Cl.	F 1	テーマコード (参考)
HO2M 3/07 (2006.01)	HO2M 3/07	5H730
HO4B 1/40 (2015.01)	HO4B 1/40	5K011

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2014-44119 (P2014-44119)
 (22) 出願日 平成26年3月6日 (2014.3.6)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100117787
 弁理士 勝沼 宏仁
 (74) 代理人 100107582
 弁理士 関根 毅
 (74) 代理人 100118843
 弁理士 赤岡 明
 (74) 代理人 100103263
 弁理士 川崎 康
 (72) 発明者 加藤 一伸
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

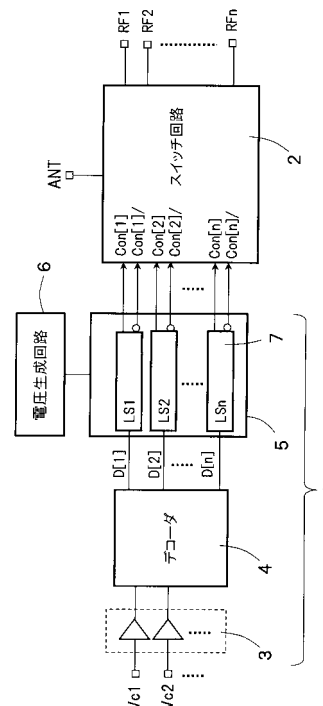
(54) 【発明の名称】 スイッチ制御回路および無線通信装置

(57) 【要約】

【課題】チャージポンプ駆動用の発振信号が受信信号と干渉を起こさないようにする。

【解決手段】スイッチ制御回路1は、切替制御データの電圧レベルを各ビットごとに変換して、スイッチ回路2を切替制御する切替制御信号を生成するレベルシフタ7と、レベルシフタ7の電源電圧を生成する電圧生成回路6と、を備える。電圧生成回路6は、発振周波数がスペクトラム拡散された第1発振信号を生成する第1発振器21と、第1発振信号に基づいて基準電圧の昇圧および降圧動作の少なくとも一方を行って、電源電圧を生成するチャージポンプ22と、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

スイッチ回路を切替制御する切替制御信号を生成するレベルシフタと、
 発振周波数がスペクトラム拡散された第 1 発振信号を生成する第 1 発振器と、前記第 1 発振信号に基づいて基準電圧の昇圧および降圧動作の少なくとも一方を行って、電源電圧を生成する電源回路と、を有し、前記レベルシフタに変換電源電圧を供給する電圧生成回路と、を備えるスイッチ制御回路。

【請求項 2】

前記第 1 発振信号の発振周波数よりも低い発振周波数で発振する第 2 発振信号を生成する第 2 発振器を備え、

前記第 1 発振器は、前記第 2 発振信号の電圧レベルに応じて、前記第 1 発振信号の発振周波数を可変制御する請求項 1 に記載のスイッチ制御回路。

10

【請求項 3】

前記第 1 発振器は、

リング状に接続された n 個 (n は 3 以上の奇数) のインバータと、

前記第 2 発振信号の電圧レベルに応じて、前記 n 個のインバータのそれぞれの遅延時間を可変制御する遅延制御回路と、を有する請求項 2 に記載のスイッチ制御回路。

【請求項 4】

前記遅延制御回路は、

前記 n 個のインバータに流れる電流を調整するカレントミラー回路と、

前記第 2 発振信号の電圧レベルに応じて、前記カレントミラー回路を介して各インバータに流れる電流を調整する可変インピーダンス回路と、を有する請求項 3 に記載のスイッチ制御回路。

20

【請求項 5】

前記第 1 発振器は、リング状に接続された n 個 (n は 3 以上の奇数) のインバータを備え、

前記 n 個のインバータのそれぞれは、互いに導電型の異なる 2 つの MOS トランジスタを有し、

前記第 2 発振信号は、前記 2 つの MOS トランジスタの少なくとも一方のボディに入力される請求項 2 に記載のスイッチ制御回路。

30

【請求項 6】

異なる無線方式の高周波信号を入出力する複数の無線部と、

前記複数の無線部に入出力される複数の高周波信号のうち一つを切替制御信号に基づいて選択するスイッチ回路と、

前記切替制御信号を生成するスイッチ制御回路と、を備え、

前記スイッチ制御回路は、

前記スイッチ回路の切替制御信号の電圧レベルを変換するレベルシフタと、

発振周波数がスペクトラム拡散された第 1 発振信号を生成する第 1 発振器と、前記第 1 発振信号に基づいて基準電圧の昇圧および降圧動作の少なくとも一方を行って、電源電圧を生成する電源回路と、を有し、前記レベルシフタに変換電源電圧を供給する電圧生成回路と、を備える無線通信装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、スイッチ回路の切替を行うスイッチ制御回路、半導体装置および無線通信装置に関する。

【背景技術】

【0002】

最近のスマートフォンや携帯電話等の移動体通信端末は、GSM (Global System for Mobile Communications、登録商標) 方式に加えて、UMTS (Universal Mobile Teleco

50

mmunications System) 方式と呼ばれる第三世代 (3G)、更に3Gのデータ通信を高速化したLTE (Long Term Evolution) と呼ばれる第四世代 (3.9G) などの無線通信規格に対応したものが増えている。これらの複数の無線方式に対応可能するには、移動体通信端末の内部に、例えばSP8T (Single-Pole 8-Throw) のような複数の高周波入出力端子の切替を行う高周波半導体スイッチ回路を設ける必要がある。

【0003】

高周波半導体スイッチ回路は、高速に無線信号を切り替える回路部分と、デジタル論理演算を行う回路部分が混在しており、両回路間で信号の送受を行う際に、信号のレベル変換が必要となる。信号のレベル変換を行うには、複数の電源電圧が必要となる。通常は、発振器と電源回路を用いて基準電圧を昇圧または降圧して複数の電源電圧を生成している。

10

【0004】

しかしながら、例えばUMTS方式の場合、送信周波数に近接した所定の周波数帯域内で受信を行うため、電源回路駆動用の発振信号の高調波成分が受信信号と干渉して正常に受信できなくなるおそれがある。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2005-515657号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、電源電圧生成用の発振信号が受信信号と干渉を起こしにくくすることができるスイッチ制御回路および無線通信装置を提供することにある。

【課題を解決するための手段】

【0007】

本実施形態によれば、スイッチ回路を切替制御する切替制御信号を生成するレベルシフタと、

発振周波数がスペクトラム拡散された第1発振信号を生成する第1発振器と、前記第1発振信号に基づいて基準電圧の昇圧および降圧動作の少なくとも一方を行って、電源電圧を生成する電源回路と、を有し、前記レベルシフタに変換電源電圧を供給する電圧生成回路と、を備えるスイッチ制御回路が提供される。

30

【図面の簡単な説明】

【0008】

【図1】一実施形態に係るスイッチ制御回路1とスイッチ回路2の概略構成を示すブロック図。

【図2】スイッチ回路2の内部構成の一例を示す回路図。

【図3】ドライバ部5内のレベルシフタ7の第1例を示す回路図。

【図4】電圧生成回路6の内部構成を具体化した一例を示すブロック図。

【図5】スイッチ制御回路1とスイッチ回路2における各信号の周波数スペクトラムを示す図。

40

【図6】第1発振信号の発振周波数が一定の場合の高調波ノイズの周波数スペクトラムを示す図。

【図7】スペクトラム拡散させた場合の周波数スペクトラムを示す図。

【図8】第1発振器21の内部構成を具体化した第1例の回路図。

【図9】第2発振器23の内部構成を具体化した一例を示す回路図。

【図10】(a)は第2発振信号の信号波形図、(b)は第2発振信号を入力した場合の第1発振信号の信号波形図、(c)は第2発振信号を入力しない場合の第1発振信号の信号波形図。

【図11】ハイレベル側の電源電圧を昇圧して、ロウレベル側の電源電圧を負電圧にする

50

レベルシフタ 7 の一例を示す回路図。

【図 1 2】第 1 発振器 2 1 の内部構成を具体化した第 2 例を示す図。

【図 1 3】第 1 リングオシレータ 3 1 内のインバータ一段分の構成を示す回路図。

【図 1 4】スイッチ制御回路 1 およびスイッチ回路 2 を実装した無線通信装置 5 1 の概略構成を示すブロック図。

【発明を実施するための形態】

【0009】

以下、図面を参照して本発明の実施形態を説明する。以下の実施形態では、スイッチ制御回路および無線通信装置内の特徴的な構成および動作を中心に説明するが、スイッチ制御回路および無線通信装置には以下の説明で省略した構成および動作が存在しうる。ただし、これらの省略した構成および動作も本実施形態の範囲に含まれるものである。

10

【0010】

図 1 は一実施形態に係るスイッチ制御回路 1 とスイッチ回路 2 の概略構成を示すブロック図である。図 1 のスイッチ制御回路 1 とスイッチ回路 2 は、半導体基板上に一体に形成してワンチップ化してもよいし、あるいは複数の半導体チップで構成してもよい。

【0011】

図 1 のスイッチ制御回路 1 は、入力インタフェース部 3 と、デコーダ 4 と、ドライバ部 5 と、電圧生成回路 6 とを有する。

【0012】

入力インタフェース部 3 は、入力された複数の切替制御信号のそれぞれをバッファリングする複数の入力バッファを有する。複数の切替制御信号は、例えば無線方式の切替を制御する不図示の通信コントローラから出力される。

20

【0013】

デコーダ 4 は、入力インタフェース部 3 でバッファリングされた複数の切替制御信号をデコードして、 n ビットの切替制御データを生成する。デコーダ 4 を設けることで、入力インタフェース部 3 に入力される複数の切替制御信号の本数を削減できる。なお、デコーダ 4 は必須の構成ではなく、省略する場合もありうる。

【0014】

ドライバ部 5 は、切替制御データの各ビット値のレベル変換を行う複数のレベルシフタ 7 を有する。複数のレベルシフタ 7 でレベル変換された信号（切替制御信号）は、スイッチ回路 2 に入力される。このように、ドライバ部 5 は、切替制御データの信号レベルを、スイッチ回路 2 で切替動作を行うのに適した電圧レベルの切替制御信号に変換する。

30

【0015】

スイッチ回路 2 は、レベル変換された切替制御信号に基づいて、複数の高周波信号 $RF 1 \sim RF n$ から一つを選択して、アンテナポート ANT に接続する。

【0016】

図 2 はスイッチ回路 2 の内部構成の一例を示す回路図である。図 2 のスイッチ回路 2 は、 $SP 8 T$ (Single-Pole 8-Throw) スイッチと呼ばれるものである。この $SP 8 T$ スイッチは、切替制御信号 (Con1a, Con1b) ~ (Con4a, Con4b) に応じて、8 つの RF ポート $RF 1 \sim RF 8$ のいずれか一つをアンテナポート ANT と導通させる切替動作を行う。

40

【0017】

図 2 の $SP 8 T$ スイッチは、アンテナポート ANT と 8 つの RF ポート $RF 1 \sim RF 8$ のそれぞれとの間に複数の FET を多段直列接続して構成されるスルー $FET 9$ と、各 RF ポートと接地電位との間に複数の FET を多段直列接続して構成されるシャント $FET 10$ とを有する。各 FET の閾値電圧 V_{th} は例えば $0 V$ である。

【0018】

スルー $FET 9$ とシャント $FET 10$ が複数の FET を多段直列接続しているのは、送信時には、数十ボルトの電圧振幅になるため、各 FET にかかる電圧を抑えるためである。

【0019】

50

図3はドライバ部5内のレベルシフタ7の第1例を示す回路図である。ドライバ部5には、複数の切替制御データに対応する複数のレベルシフタ7が設けられており、そのそれぞれが図3と同様の回路で構成されている。図3のレベルシフタ7は、正電圧からなる第1電源電圧 V_{dd} と、負電圧からなる第2電源電圧 V_n とを用いてレベル変換を行う。第2電源電圧 V_n は電圧生成回路6で生成される。第1電源電圧 V_{dd} はスイッチ制御回路1に外部から供給される外部電源電圧でもよいし、この外部電源電圧を不図示の降圧型レギュレータで降圧した電圧でもよい。

【0020】

図3のレベルシフタ7は、インバータ11と、ソース側が第1電源電圧 V_{dd} に接続された2つのPMOSトランジスタ Q_1 、 Q_2 と、一方のゲートが他方のドレインに接続されてソースが接地電位に設定される2つのNMOSトランジスタ Q_3 、 Q_4 からなる電圧保持回路12とを有する。

10

【0021】

デコーダ4が生成した切替制御データは、各ビットごとに対応するレベルシフタ7に入力される。レベルシフタ7内のインバータは、切替制御データを反転出力する。

【0022】

例えば、切替制御データがハイレベルであれば、インバータ11の出力はロウレベルになり、PMOSトランジスタ Q_1 がオンして、第1電源電圧 V_{dd} に近い電圧レベルのハイ電圧が $Con[i]$ から出力される。このとき、PMOSトランジスタ Q_2 はオフ状態であるため、 $Con[i]$ は第2電源電圧 V_n に近い電圧レベルのロウ電圧を出力する。

20

【0023】

図4は電圧生成回路6の内部構成を具体化した一例を示すブロック図である。図示のように、電圧生成回路6は、第1発振器21と、チャージポンプ(電源回路)22と、第2発振器23とを有する。このうち、第1発振器21とチャージポンプ22は負電圧生成回路6aを構成する。第1発振器21は、発振周波数がスペクトラム拡散された第1発振信号を生成する。チャージポンプ22は、第1発振信号に基づいて、基準電圧の昇圧または降圧動作を行う。チャージポンプ22で昇圧または降圧された電圧は、リップル成分を含んでいるため、フィルタ24でリップル成分を除去して負電圧が生成される。生成された負電圧は、ドライバ部5内の各レベルシフタ7に供給される。第2発振器23は、後述するように、第1発振器21の発振周波数を連続的に変化させるために用いられる。このように、電圧生成回路6は、レベルシフタ7に変換電源電圧を供給する。

30

【0024】

図5はスイッチ制御回路1とスイッチ回路2における各信号の周波数スペクトラムを示す図である。図5の横軸は周波数、縦軸は電力レベルである。図5の例では、送信信号周波数 f_{RF} を1GHzとしている。例えばUMTS方式の場合、送信信号周波数よりも45MHz高い周波数を中心とする4MHzの帯域幅が受信帯域である。一方、図3の第1発振器21で生成される第1発振信号の発振周波数 f_{R0} は例えば15MHzである。第1発振信号の発振周波数が常に15MHzであるとすると、15MHzの整数倍の周波数間隔で第1発振信号の高調波ノイズが発生する。よって、図4に示すように、受信帯域の中心周波数である1GHz+45MHzにこの高調波ノイズが重畳されてしまい、場合によっては、高調波ノイズがUMTS方式のノイズレベルの制限閾値を超えてしまい、正常な受信動作を行えないおそれがある。

40

【0025】

図6は第1発振信号の発振周波数が一定の場合の高調波ノイズの周波数スペクトラムを示す図である。図示のように、発振周波数(例えば15MHz)の整数倍の周波数をピーク値として指数関数的に電力レベルが低下するような波形となる。このため、受信帯域の中心周波数である1GHz+45MHzでの高調波ノイズは最大となり、UMTS等で定めた規格値よりも高調波ノイズが大きくなってしまのおそれがある。これは、受信時のS/N比の低下につながる。

【0026】

50

これに対して、本実施形態では、第2発振器23で生成された第2発振信号を第1発振器21に入力して、第1発振器21で生成される第1発振信号の発振周波数を連続的に変化させる。すなわち、本実施形態による第1発振器21は、第1発振信号の発振周波数をスペクトラム拡散させる。このため、図7に示すように、第1発振信号の高調波の発振周波数は広範な周波数範囲に拡散し、またピーク値も下がる。これにより、第1発振信号の高調波ノイズが受信帯域内で規格値を超えるおそれが少なくなり、受信時のS/N比が向上し、受信性能がよくなる。

【0027】

次に、第1発振信号の発振周波数をスペクトラム拡散させる具体的な手法について説明する。図4の負電圧生成回路6aは、第1発振器21とは別個に、第2発振器23を備えている。第2発振器23が生成する第2発振信号の発振周波数は、第1発振器21が生成する第1発振信号の発振周波数よりも低く設定されている。したがって、第2発振信号は、第1発振信号よりもゆったりした周波数で信号レベルが変化する。よって、第2発振信号を第1発振器21内の所定の場所に入力することで、第1発振器21が生成する第1発振信号の発振周波数を第2発振信号の発振周波数に合わせて連続的に可変させることができる。

【0028】

(第1発振器21の第1例)

図8は第1発振器21の内部構成を具体化した第1例の回路図である。図8の第1発振器21は、 n 個(n は3以上の奇数)のインバータをリング状に接続した第1リングオシレータ31と、各インバータの正側電源経路に接続される第1カレントミラー回路32と、負側電源経路に接続される第2カレントミラー回路33と、これら第1および第2カレントミラー回路32, 33の間に接続される可変インピーダンス回路34とを有する。第1および第2カレントミラー回路32, 33と可変インピーダンス回路34は、第1リングオシレータ31内の各インバータの遅延時間を可変制御する遅延制御回路として機能する。

【0029】

各インバータは、カスコード接続されるPMOSトランジスタQ21およびNMOSトランジスタQ22を有する。各インバータのPMOSトランジスタQ21には、カレントミラー回路内の対応するPMOSトランジスタQ23がカスコード接続されており、各インバータのNMOSトランジスタQ22には、カレントミラー回路内の対応するNMOSトランジスタQ24がカスコード接続されている。

【0030】

可変インピーダンス回路34のインピーダンスは、周波数可変ポート20に入力される信号により制御される。より具体的には、周波数可変ポート20に入力される信号の電圧レベルに応じて、可変インピーダンス回路34のインピーダンスは変化する。可変インピーダンス回路34は、可変抵抗素子で構成してもよいし、トランジスタと可変抵抗素子で構成してもよいし、その他の回路で構成してもよい。

【0031】

第1発振器21の第1例では、第2発振器23が生成した第2発振信号を、周波数可変ポート20に入力する。第2発振信号は、所定の発振周波数で電圧レベルが変化する信号であるため、可変インピーダンス回路34のインピーダンスも連続的に変化することになる。可変インピーダンス回路34のインピーダンスが連続的に変化すると、第1および第2カレントミラー回路32, 33に流れる電流が連続的に変化する。これにより、各インバータの正側電源経路から負側電源経路に流れる電流が連続的に変化する。これはすなわち、各インバータの遅延時間が連続的に変化することを意味する。各インバータの遅延時間が連続的に変化すると、第1発振器21で生成される第1発振信号の発振周波数が連続的に変化する。よって、図7に示すように、第1発振信号の周波数スペクトラムは広範な周波数範囲に拡散する。

【0032】

図9は第2発振器23の内部構成を具体化した一例を示す回路図である。図9の第2発振器23は、 m 個(m は3以上の奇数)のインバータをリング状に接続した第2リングオシレータ35と、各インバータの正側電源経路に接続される第3カレントミラー回路36と、負側電源経路に接続される第4カレントミラー回路37と、これら第3および第4カレントミラー回路36, 37の間に接続されるインピーダンス回路38とを有する。

【0033】

第2発振器23で生成される第2発振信号の発振周波数は固定でよいため、第2発振器23には可変インピーダンス回路と周波数可変ポートを設ける必要はない。また、第2発振信号は、第1発振信号よりも発振周波数が低いため、 $m > n$ として、第2リングオシレータ35のインバータの接続段数を第1リングオシレータ31よりも多くすればよい。一例として、第2リングオシレータ35の発振周波数は、第1リングオシレータ31の発振周波数の $1/10$ 程度に設定される。あるいは、第3および第4カレントミラー回路36, 37にて、第2リングオシレータ35内の各インバータの電源経路に流れる電流を調整して、第2発振信号の発振周波数を第1発振信号の発振周波数よりも低くしてもよい。

10

【0034】

図9では、第2発振器23で生成された第2発振信号を、カップリングコンデンサ39を介して第1発振器21内の第1リングオシレータ31に入力している。カップリングコンデンサ39を設ける理由は、直流電圧成分を除去するためである。また、図8の第1発振器21内の可変インピーダンス回路34は、第1および第2カレントミラー回路32, 33の間に直列接続されるNMOSトランジスタQ5とインピーダンス素子R1とを有する。第2発振信号はNMOSトランジスタのゲートに入力されるため、第2発振信号の信号レベルに応じてNMOSトランジスタのドレイン-ソース抵抗が変化し、これにより、第1および第2カレントミラー回路32, 33を流れる電流を連続的に変化させることができる。

20

【0035】

本発明者は、第2発振信号を第1発振器21内の周波数可変ポート20に入力した場合と入力しない場合の第1発振信号の信号波形をシミュレーションで求めた。このシミュレーションでは、第2発振信号の発振周波数を400kHzとし、第2発振信号を周波数可変ポート20に入力しない場合の第1発振信号の発振周波数を4.53MHzとした。

【0036】

図10はシミュレーション結果を示す信号波形図であり、図10(a)は第2発振信号の信号波形図、図10(b)は第2発振信号を入力した場合の第1発振信号の信号波形図、図10(c)は第2発振信号を入力しない場合の第1発振信号の信号波形図を示している。

30

【0037】

図10(b)と図10(c)の信号波形を比較してわかるように、第2発振信号を周波数可変ポート20に入力することで、第1発振信号は第2発振信号の信号レベルの変化に応じて周波数変調されて、第1発振信号の発振周波数は第2発振信号の周期で連続的に変化する。これにより、第1発振器21で生成される高調波成分も、広範な周波数範囲に拡散され、高調波成分のピークレベルを全体的に抑制することができる。

40

【0038】

図3のレベルシフタ7は、切替制御データのロウレベル側を負電圧にレベル変換するものであるが、ハイレベル側をより高い昇圧電圧にレベル変換するレベルシフタ7を用いてもよい。図11はハイレベル側の電源電圧を昇圧して、ロウレベル側の電源電圧を負電圧にするレベルシフタ7の一例を示す回路図である。

【0039】

図11のレベルシフタ7は、インバータ40と、初段レベル変換部41と、後段レベル変換部42とを有する。初段レベル変換部41は、デコーダ4が生成した切替制御データのハイレベル信号を昇圧電圧にまで引き上げる動作を行う。後段レベル変換部42は、デコーダ4が生成した切替制御データのロウレベル信号を負電圧にまで引き下げる動作を行

50

う。

【0040】

初段レベル変換部41は、電圧保持回路43と、2つのNMOSトランジスタQ6, Q7とを有する。電圧保持回路43は、一方のゲートが他方のソースに接続された2つのPMOSトランジスタQ8, Q9を有する。同様に、後段レベル変換部42は、電圧保持回路44と、2つのPMOSトランジスタQ10, Q11とを有する。電圧保持回路44は、一方のゲートが他方のソースに接続された2つのNMOSトランジスタQ12, Q13を有する。

【0041】

図3のレベルシフタ7は、切替制御データのロウレベル側を負電圧にするのに対し、図11のレベルシフタ7は、切替制御データのロウレベル側を負電圧にすることに加えて、ハイレベル側を昇圧電圧にまで引き上げるため、より大振幅のスイッチ駆動信号を生成することができる。

10

【0042】

このように、ドライバ部5に、図3のレベルシフタ7と図11のレベルシフタ7のどちらを設けるかは、後段のスイッチ回路2の仕様によって決まる。

【0043】

図11の昇圧電圧は、不図示の昇圧電圧生成回路にて生成される。この昇圧電圧生成回路は、図3の負電圧生成回路6aと同様に、発振器と、チャージポンプと、フィルタとを用いて構成される。発振器は、例えば図3の第1発振器21と同様に、2つのリングオシレータで構成され、発振器の発振周波数が連続的に変化するようにしている。これにより、図11のレベルシフタ7を用いた場合でも、発振器から発生される高調波ノイズが受信帯域中に高いピークとなって出現するおそれなくなる。

20

【0044】

(第1発振器21の第2例)

図8では、第1発振器21内の第1リングオシレータ31を構成する各インバータの電源経路に流れる電流を調整することで、第1リングオシレータ31の発振周波数を連続的に変化させていたが、第1リングオシレータ31の発振周波数を連続的に変化させる手法は、図8の回路に限定されない。

【0045】

30

図12は第1発振器21の内部構成を具体化した第2例を示す図である。図12の第1発振器21は、第1リングオシレータ31内の各段のインバータのボディに第2リングオシレータ35で生成された第2発振信号を入力する。

【0046】

図13は第1リングオシレータ31内のインバータ一段分の構成を示す回路図である。図13からわかるように、第1リングオシレータ31内のインバータは、PMOSトランジスタQ21とNMOSトランジスタQ22とで構成されており、図3のような第1および第2カレントミラー回路32, 33用のトランジスタは接続されていない。その代わりに、これらトランジスタのボディには、第2リングオシレータ35で生成された第2発振信号が入力されている。

40

【0047】

なお、PMOSトランジスタQ21のボディに入力される第2発振信号の最小信号レベルは、第1リングオシレータ31の電源電圧レベルVd1以上に設定される。例えば、Vd1 = 2V、ボディの最低電圧は2V、最大電圧は3.5Vに設定される。

【0048】

また、NMOSトランジスタQ22のボディに入力される第2発振信号の最大信号レベルは、0V以下に設定される。例えば、ボディの最大電圧は0V、最低電圧は-2Vに設定される。

【0049】

第2リングオシレータ35で生成された第2発振信号の発振周波数は、第1リングオシ

50

レータ 3 1 内のボディ電圧を変調しない場合の第 1 発振信号の発振周波数の 1 / 1 0 程度に設定される。

【 0 0 5 0 】

これにより、第 1 リングオシレータ 3 1 内の各インバータのボディ電圧は、第 2 発振信号の発振周波数に応じて緩やかに変動する。ボディ電圧が変動すると、各インバータの閾値電圧が変化するため、各インバータの遅延時間が変化し、結果として、第 1 発振器 2 1 で生成される第 1 発振信号の発振周波数も連続的に変化する。

【 0 0 5 1 】

図 1 3 では、第 1 リングオシレータ 3 1 内の各インバータを構成する P M O S トランジスタ Q 2 2 のボディと N M O S トランジスタ Q 2 1 のボディの双方に第 2 発振信号を入力しているが、これらボディのうち、いずれか一方のみに第 2 発振信号を入力し、他方のボディは対応するトランジスタのソースに接続してもよい。

【 0 0 5 2 】

図 1 4 は上述した実施形態によるスイッチ制御回路 1 およびスイッチ回路 2 を実装した無線通信装置 5 1 の概略構成を示すブロック図である。図 1 4 の無線通信装置 5 1 は、例えば携帯電話やスマートフォン、P C などの複数の無線方式を切り替えて使用可能な各種の無線機器である。

【 0 0 5 3 】

図 1 4 の無線通信装置 5 1 は、周波数帯域および無線方式の少なくとも一方がそれぞれ異なっておりそれぞれ別個に無線通信を行う複数の無線部 5 2 と、これら無線部 5 2 に接続される上述のスイッチ回路 2 およびスイッチ制御回路 1 を有する。これら複数の無線部 5 2、スイッチ回路 2 およびスイッチ制御回路 1 は、それぞれ別チップとして支持基板（例えばプリント配線板）に実装されてもよいし、あるいは、複数の無線部 5 2、スイッチ回路 2 およびスイッチ制御回路 1 を同一の半導体基板上に形成してもよい。また、無線通信装置 5 1 内にスイッチ回路 2 およびスイッチ制御回路 1 を複数組設けてもよい。

【 0 0 5 4 】

このように、本実施形態では、レベルシフタ 7 の電源電圧を生成するために用いられる第 1 発振信号の発振周波数をスペクトラム拡散させるため、第 1 発振信号の高調波成分の信号レベルを抑制でき、受信帯域での S / N 比を向上させることができる。

【 0 0 5 5 】

特に、本実施形態は、第 1 発振信号を生成する第 1 リングオシレータ 3 1 に別個の第 2 リングオシレータ 3 5 を接続するだけで実現でき、回路パラメータの複雑な調整も必要ないため、従来の回路構成からの設計変更手間を省くことができる。

【 0 0 5 6 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 0 5 7 】

1 スイッチ制御回路、2 スイッチ回路、3 入力インタフェース部、4 デコーダ、5 ドライバ部、6 電圧生成回路、6 a 負電圧生成回路、7 レベルシフタ、9 スルー F E T、1 0 シャント F E T、1 1 インバータ、1 2 電圧保持回路、2 0 周波数可変ポート、2 1 第 1 発振器、2 2 チャージポンプ、2 3 第 2 発振器、2 4 フィルタ、3 1 第 1 リングオシレータ、3 2 第 1 カレントミラー回路、3 3 第 2 カレントミラー回路、3 4 可変インピーダンス回路、3 5 第 2 リングオシレータ、3 6 第 3 カレントミラー回路、3 7 第 4 カレントミラー回路、3 8 インピーダンス回路、3 9 カップリングコンデンサ、4 0 インバータ、4 1 初段レベル変換部、4 2

10

20

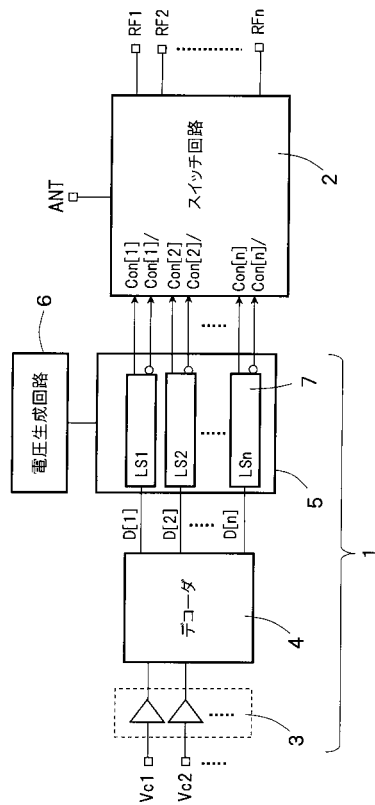
30

40

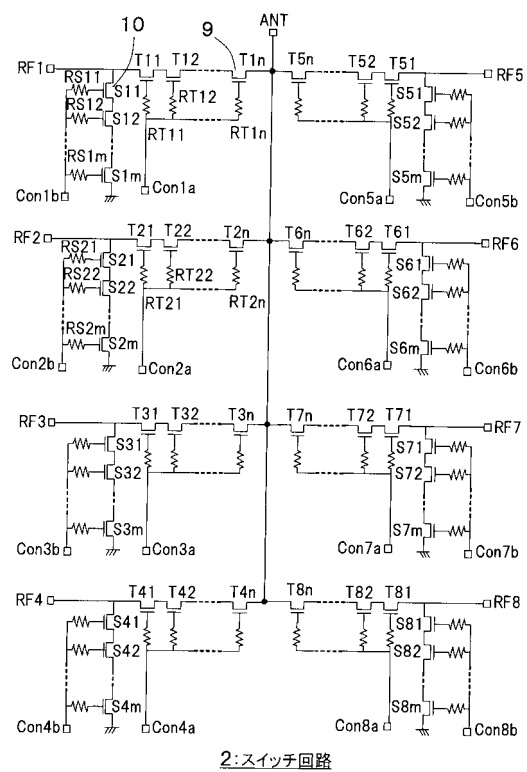
50

後段レベル変換部、43, 44 電圧保持回路

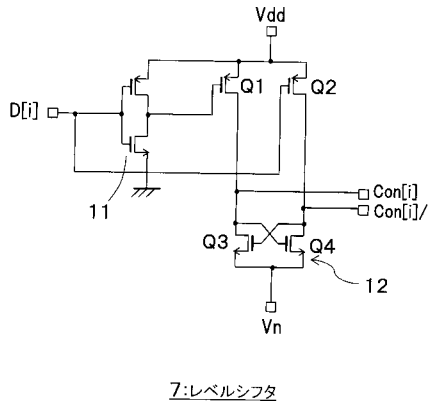
【図1】



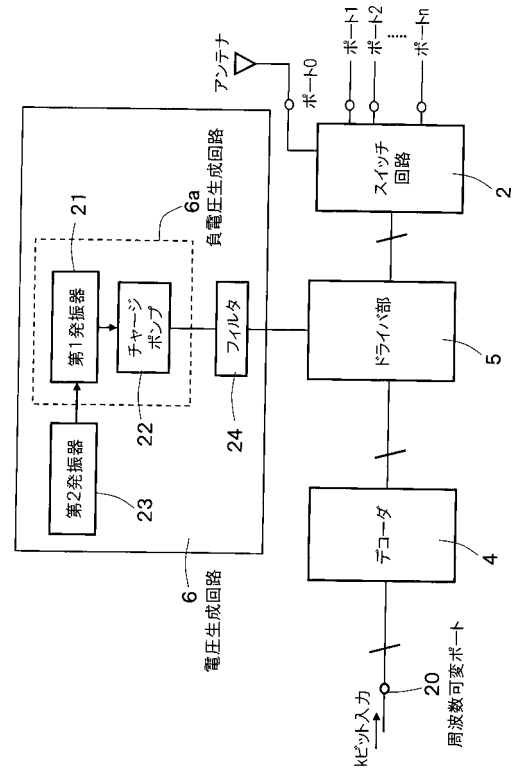
【図2】



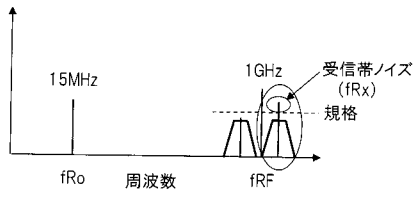
【 図 3 】



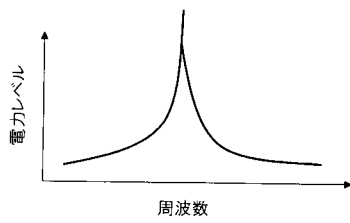
【 図 4 】



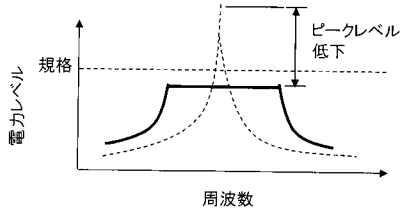
【 図 5 】



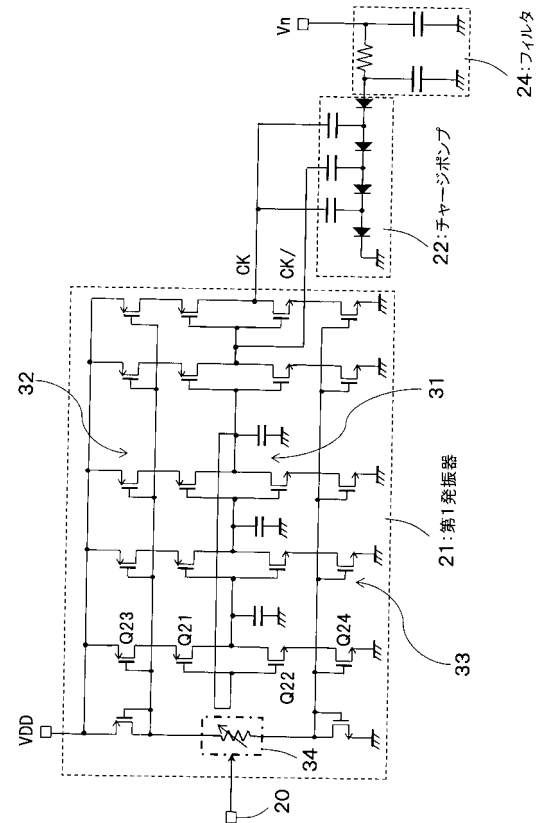
【 図 6 】



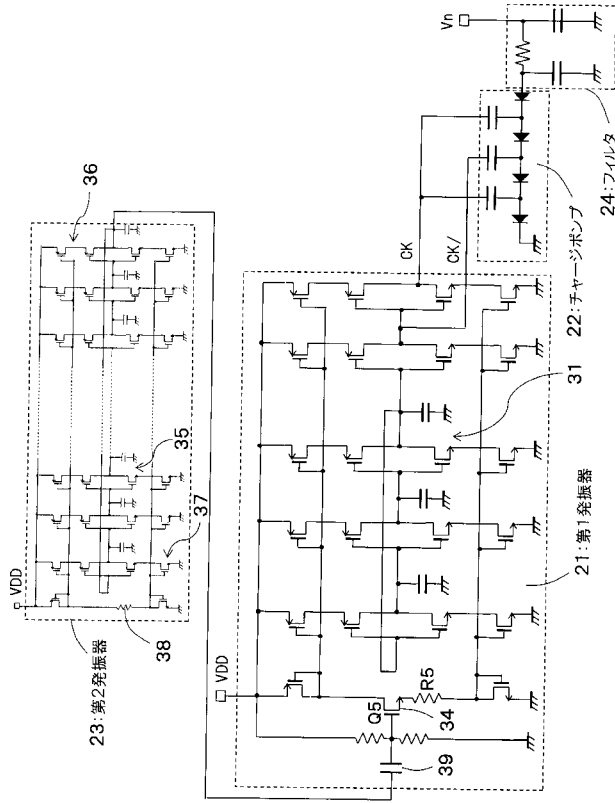
【 図 7 】



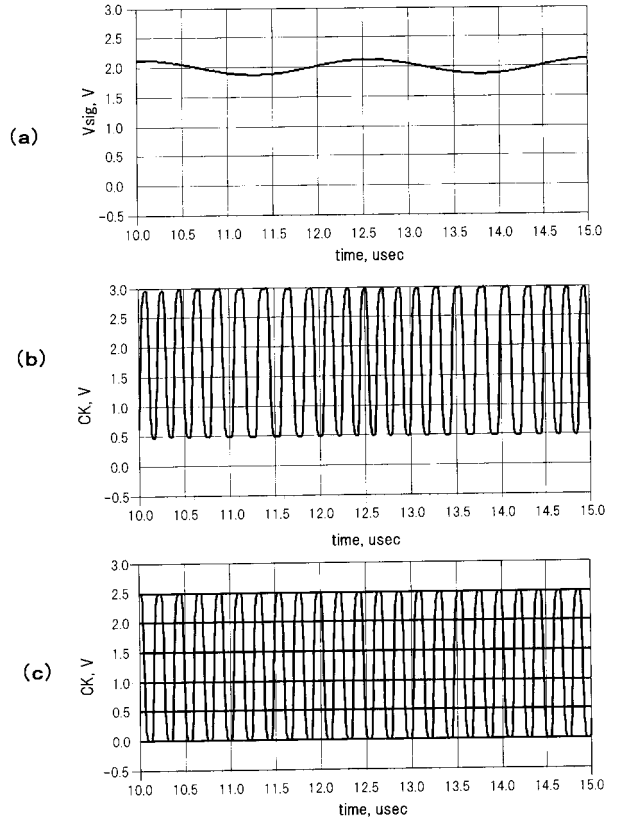
【 図 8 】



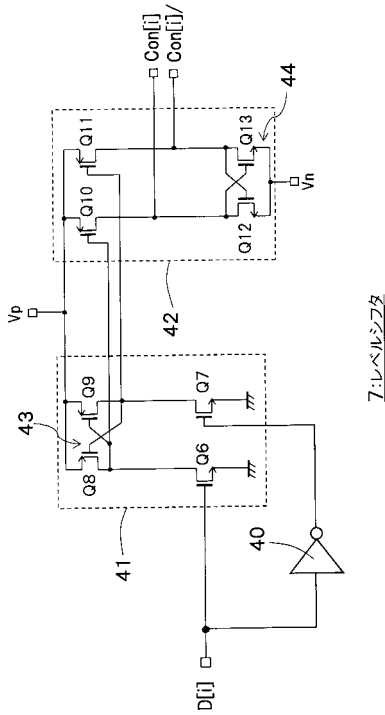
【図9】



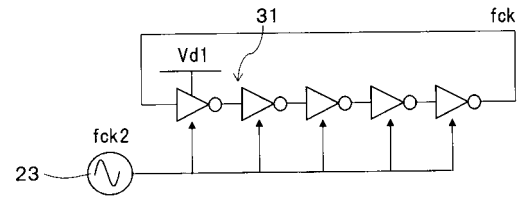
【図10】



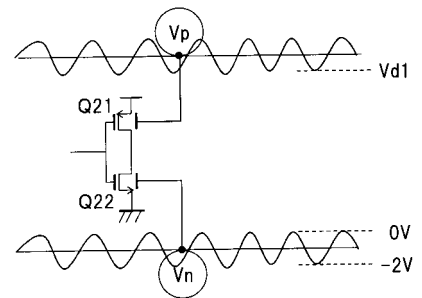
【図11】



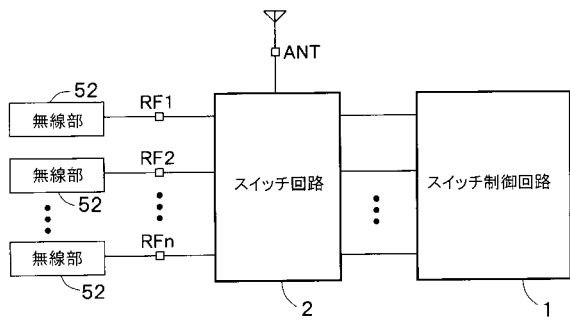
【図12】



【図13】



【図 1 4】



51:無線通信装置

フロントページの続き

(72)発明者 瀬下 敏樹

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5H730 AA11 AS04 AS05 BB02 BB03 BB57 BB98 DD04 EE58 EE60

FG01

5K011 DA01 DA21 DA29 JA01 KA04