

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92130172

※ 申請日期： 92.10.30

※IPC 分類：H03K⁵/₃，H04L27/00

※ 壹、發明名稱：(中文/英文)

資料回復電路、相位誤差偵測電路及偵測與修正相位誤差之方法 / DATA RECOVERY CIRCUIT, PHASE DETECTION CIRCUIT AND METHOD FOR DETECTING AND CORRECTING PHASE CONDITIONS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章) ID : 80336647

晨星半導體股份有限公司

MStar Semiconductor, Inc.

代表人：(中文/英文) 梁公偉 / Wayne Liang

住居所或營業所地址：(中文/英文)

新竹縣竹北市台元街 26 號 4 樓之 1

4F-1, No.26, Tai-Yuan St., Chu-Pei, HsinChu Hsien, Taiwan 302, R.O.C.

國籍：(中文/英文) 中華民國 / TW

參、發明人：(共 3 人)

姓名：(中文/英文)

- | | |
|-------------------------|-----------------|
| 1. 史德立 / STERLING SMITH | ID : |
| 2. 劉聖堯 / SHENG-YAO LIU | ID : A121581145 |
| 3. 蔡惠民 / HUIMIN TSAI | ID : A122982155 |

住居所地址：(中文/英文)

1. 新竹縣寶山鄉明湖路 51 巷 2 弄 21 號 / No. 21, Alley 2, Lane 51, Ming-Hu Road, Pao-Shan Hsiang, HsinChu Hsien, Taiwan 308, R.O.C.

2. 台北縣新莊市民本街 11 巷 29 弄 4 號 2 樓/ 2F, No. 4, Alley 29, Lane 11,
Min-Pen Street, Hsin-Chuang, Taipei Hsien, Taiwan 242, R.O.C.

3. 新竹市大學路 68 號 11 樓之 2 / 11F-2, No. 68, University Road, Hsinchu,
Taiwan 300, R.O.C.

國 籍：(中文/英文)

1. 美國/USA
2. 中華民國/TW
3. 中華民國/TW

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：有

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 US；2002/11/4；60/423,392

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係關於一種資料回復電路，特別係關於一種在資料回復電路中用於消除取樣時脈之相位誤差的電路與方法。

【先前技術】

數位影像介面 (DVI; Digital Visual Interface) 係為一種數位顯示介面標準，其係由多家電腦與繪圖卡大廠所共同發展之介面。由於 DVI 標準的傳輸速率快，且數位方式之傳輸可達到較佳的顯示效果，因此可預見其未來將成為廣泛使用之影像顯示的標準介面。

圖 1 例示一 DVI 顯示系統之資料傳輸架構，其主要可分為一電腦主機端 10 與一顯示器端 20。在電腦主機端 10 中，一繪圖卡 12 係用於產生紅、綠、藍三原色個別之 8 位元影像信號 $R[0:7]$ 、 $G[0:7]$ 與 $B[0:7]$ 。根據 DVI 之標準，此等 8 位元影像信號被傳輸至一 DVI 編碼器 14 進行編碼，轉換成 10 位元 DVI 影像信號 $R'[0:9]$ 、 $G'[0:9]$ 與 $B'[0:9]$ 。接著，一 DVI 發送器 16 將此等 10 位元 DVI 影像信號轉換成串列之差動影像信號 $[R+:R-]$ 、 $[G+:G-]$ 與 $[B+:B-]$ ，並透過一 DVI 傳輸線 18 傳送至顯示器端 20。此三原色之差動影像信號係分別利用一對信號線傳送。此外，由於將 10 位元 DVI 影像信號轉換成差動影像信號係經過一並列至串列之轉換，因此，三原色之差動影像信號應以十倍的速度傳送。然而，DVI 發送器 16 所產生之差動時脈信號

[CK+:CK-]仍係以原速度傳送。在圖 1 中，僅以一 DVI 傳輸線 18 代表所有差動傳輸線。顯示器端 20 的一 DVI 接收器 22 係用於接收差動影像信號，並將其回復成 10 位元 DVI 影像信號。接著，利用一 DVI 解碼器 24 將 10 位元 DVI 影像信號轉換成 8 位元影像信號，即可將影像資料顯示於一顯示器面板（圖未示）上。

為了將所接收之差動影像信號回復，DVI 接收器 22 中必須設置一資料回復電路，利用所接收之時脈信號產生一取樣時脈，來取樣所接收之差動影像信號，以獲得回復資料信號。習知串列傳輸之資料取樣方法係顯示於圖 3(a)，一頻率與輸入資料 30 相同之時脈信號 32 係用於取樣輸入資料 30。時脈信號 32 之上升邊緣係大約地對準輸入資料 30 每一資料位元之中央部位 36，以確保能獲得正確的取樣值。然而，由於 DVI 資料傳輸係以極高之速率進行，例如頻率約為數十億赫茲 (GHz)，產生此種高頻取樣時脈相當困難。再者，在頻率高達數十億赫茲 (GHz) 之資料傳輸中，傳輸資料信號極易受到抖動 (jitter) 與高頻反射干擾的影響，使得一資料位元的有效取樣區間大幅減小。此種情形係顯示於圖 2，受到反射干擾 28a 的影響，一週期為 T 之資料位元 28 的有效取樣區間縮小成僅剩 T/2。當取樣時脈產生偏移時，亦即，如圖 3(b)所示，取樣時脈 34 與輸入資料 30 不同相，使其取樣邊緣之位置 38 未對準輸入資料 30 資料位元之中央部位 36，則很可能會得到錯誤的取樣。

因此，亟需要發展出一種適合用於高頻串列傳輸之資料

回復電路，其可使用較低頻率之取樣時脈信號進行取樣，並可確保取樣時脈之取樣邊緣隨時對準所欲取樣之資料位元的中央部位。

【發明內容】

本發明之目的在於提供一種資料回復電路，其具有可操作於較低頻率之取樣電路，因此可應用於高頻串列傳輸之資料回復。

本發明之另一目的在於提供一種資料回復電路，其具有一相位誤差偵測與修正電路，可動態地控制取樣時脈信號之相位，確保其取樣邊緣隨時對準所欲取樣之資料位元的中央部位，以獲得最正確之回復資料。

為達成上述目的，本發明之資料回復電路包含：一時脈產生器，用於產生一第一組取樣時脈與一第二組取樣時脈，其可受控於一相位修正控制信號，而改變所產生之第一組取樣時脈與第二組取樣時脈之相位；一資料與時脈取樣電路，其可利用第一組取樣時脈對一輸入資料序列之鄰近每一資料位元中央部位進行取樣，而產生一第一取樣資料序列，並利用第二組取樣時脈對輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，而產生一第二取樣資料序列；及一相位誤差偵測與修正電路，其可判別第二取樣資料序列中之每一位元以及第一取樣資料序列中對應之前、後相鄰之二位元的相似性，若較相似於對應二位元之前者，則判定取樣時脈之相位為提前，若較相似於對應二位元之後者，則判定取樣時脈之相位為遲延，根據提前

或遲延之判定結果，相位誤差偵測與修正電路可產生相位修正控制信號輸出至時脈產生器，以對取樣時脈之相位進行向後調整或向前調整。

【實施方式】

為能讓貴審查委員能更瞭解本發明之技術內容，特舉一較佳具體例說明如下。

請再次參照圖 1，並同時參照圖 4 與圖 5。圖 4 顯示本發明之資料回復電路 40 之較佳具體例的示意方塊圖。資料回復電路 40 主要包含一時脈產生器 42、一資料與時脈取樣電路 44 及一相位誤差偵測與修正電路 48。此外，並設置一解多工器 46，耦接於資料與時脈取樣電路 44 及相位誤差偵測與修正電路 48 之間。

透過圖 1 之 DVI 傳輸線 18 從電腦主機端 10 傳送至顯示器端 20 之差動時脈信號[CK+:CK-]，係耦接至時脈產生器 42。時脈產生器 42 可利用所接收之差動時脈信號[CK+:CK-]，來產生頻率為差動時脈信號[CK+:CK-]之五倍的一第一組取樣時脈與一第二組取樣時脈，其中，第一組取樣時脈包括一第一時脈信號 CKI 與一第三時脈信號 CKIZ，第二組取樣時脈包括一第二時脈信號 CKQ 與一第四時脈信號 CKQZ。如先前圖 1 中所述，三原色之差動影像信號[R+:R-]、[G+:G-]與[B+:B-]係以十倍的速度傳送，因此本發明之資料回復電路 40 中所使用之第一組取樣時脈 CKI、CKIZ 與第二組取樣時脈 CKQ、CKQZ 的頻率僅為輸入資料的一半。四時脈信號 CKI、CKIZ、CKQ、CKQZ

之波形係顯示於圖 5 中。第一時脈信號 CKI 與第二時脈信號 CKQ 之相位實質上相差 90 度，本例中，第一時脈信號 CKI 之相位領先第二時脈信號 CKQ。第三時脈信號 CKIZ 係為第一時脈信號 CKI 之反向信號，亦即，相位相差 180 度。第四時脈信號 CKQZ 之相位則與第二時脈信號 CKQ 相差 180 度。一種用於產生相位相差 90 度之二時脈信號的範例電路係揭示於同一申請人於 92 年 7 月 23 日所提出之中華民國發明專利申請案第 092120139 號。此外，亦可使用其他電路來產生上述之四時脈信號。

資料與時脈取樣電路 44 係連接於時脈產生器 42，其可利用時脈產生器 42 所產生之四時脈信號 CKI、CKIZ、CKQ、CKQZ 來取樣一輸入資料序列 $In[n]$ 50。為了簡化說明起見，此處僅以輸入資料序列 $In[n]$ 代表圖 1 中所述三原色之差動影像信號 $[R+:R-]$ 、 $[G+:G-]$ 與 $[B+:B-]$ 其中的任何一者。資料與時脈取樣電路 44 係設計成利用第一時脈信號 CKI 之上升邊緣來取樣輸入資料序列 $In[n]$ 50 之偶數位元 $In[0]$ 、 $In[2]$ 、... 之鄰近中央部位 52a，產生圖 5 所示之取樣資料序列 D-cki，並利用第三時脈信號 CKIZ 之上升邊緣來取樣輸入資料序列 $In[n]$ 50 之奇數位元 $In[1]$ 、 $In[3]$ 、... 之鄰近中央部位 52b，產生取樣資料序列 D-ckiz。並且，資料與時脈取樣電路 44 可利用第二時脈信號 CKQ 之上升邊緣來取樣輸入資料序列 $In[n]$ 50 之偶數位元至奇數位元之間的鄰近轉態部位 54a，產生取樣資料序列 Q-ckq，並利用第四時脈信號 CKQZ 之上升邊緣來取樣輸入資料序列

$In[n]$ 50 之奇數位元至偶數位元之間的鄰近轉態部位 54b，產生取樣資料序列 $Q-ckqz$ 。取樣資料序列 $D-cki$ 與取樣資料序列 $D-ckiz$ 結合形成一第一取樣資料序列 $D[n]$ ，而取樣資料序列 $Q-ckq$ 與取樣資料序列 $Q-ckqz$ 結合形成一第二取樣資料序列 $Q[n]$ 。

雖然本具體例中係使用四時脈信號 CKI 、 $CKIZ$ 、 CKQ 、 $CKQZ$ 之上升邊緣來取樣輸入資料序列 $In[n]$ ，然其僅係舉例說明，而非限制本發明之範圍。在其他具體例中，亦可僅使用二相位相差 90 度之時脈信號 CKI 、 CKQ 進行取樣，在此種情況中，可同時利用時脈信號 CKI 、 CKQ 之上升邊緣與下降邊緣做為取樣邊緣。另一種方式，可使用頻率與輸入資料序列相同、且相位相差 180 度之二時脈信號，來分別取樣每一資料位元的中央部位及二相鄰資料位元之間的轉態部位。此外，亦可使用其他頻率及其他數量之時脈信號，只要可達到上述之取樣效果即可。

解多工器 46 係連接於資料與時脈取樣電路 44 之輸出端，其係為一 1:8 解多工器，可將資料與時脈取樣電路 44 所產生之第一取樣資料序列 $D[n]$ 與第二取樣資料序列 $Q[n]$ 從串列信號轉換成並列信號，即第一取樣資料序列 $Dbus$ 與第二取樣資料序列 $Qbus$ ，同時使其頻率降為原來的 1/8。經轉換之第一取樣資料序列 $Dbus$ 可供輸出進行後續之資料回復步驟。此處之 1:8 解多工器之設置係為了便於後續資料回復處理，其僅為舉例性質，而非限制性。亦可將此 1:8 解多工器替換成 1:4、1:16 或其他解多工器，或者，

亦可不設置解多工器。

相位誤差偵測與修正電路 48 係連接於解多工器 46 之輸出端，接收已轉換成並列信號之第一取樣資料序列 Dbus 與第二取樣資料序列 Qbus。相位誤差偵測與修正電路 48 可根據第一取樣資料序列 Dbus 與第二取樣資料序列 Qbus 而判斷時脈信號 CKI、CKIZ、CKQ、CKQZ 之相位是否具有偏移，如具有偏移，其可產生一相位修正控制信號至時脈產生器 42，以適當地調整時脈信號 CKI、CKIZ、CKQ、CKQZ 之相位，使得第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣對準二相鄰資料位元之間的轉態部位，藉此可確保第一時脈信號 CKI 與第三時脈信號 CKIZ 之取樣邊緣對準每一資料位元之中央部位，以獲得最正確之回復資料。

相位誤差偵測與修正電路 48 之相位判別原理係說明如下。當第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣對準之轉態部位恰有發生轉態時，亦即，其所對應前、後二相鄰資料位元之其中一位元為"1"而另一位元為"0"，則其所獲得之取樣值為"1"的機率應相等於取樣值為"0"的機率。因此，參照圖 5 之時序圖中的第一取樣資料序列 $D[n]$ 與第二取樣資料序列 $Q[n]$ ，若第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣向左偏移，而未對準二相鄰資料位元之間的轉態部位，則其所獲得之取樣值將有較大的機率會相同於對應二相鄰資料位元的前者，亦即， $Q[0]$ 相同於 $D[0]$ 、 $Q[1]$ 相同於 $D[1]$ 、 $Q[2]$ 相同於 $D[2]$...。若第二

時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣向右偏移，而未對準二相鄰資料位元之間的轉態部位，則其所獲得之取樣值將有較大的機率會相似於對應二相鄰資料位元的後者，亦即， $Q[0]$ 相同於 $D[1]$ 、 $Q[1]$ 相同於 $D[2]$ 、 $Q[2]$ 相同於 $D[3]$...。利用此原理，在相位誤差偵測與修正電路 48 中，可判別第二取樣資料序列 $Q[n]$ 中之每一位元以及第一取樣資料序列 $D[n]$ 中對應前、後相鄰之二位元的相似性，並定義相似於前者之狀態表示第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣「提前」(即向左偏移)，而相似於後者之狀態表示第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣「遲延」(即向右偏移)。依據「提前」或「遲延」之判別結果，產生相位修正控制信號輸出至時脈產生器 42，以對取樣時脈 CKQ 與 CKQZ 進行向後修正或向前修正。

參照圖 6，其顯示本發明相位誤差偵測與修正電路 48 之較佳具體例的電路方塊圖。如圖所示，相位誤差偵測與修正電路 48 包含一提前/遲延判別電路 482、一提前/遲延累計電路 483 與一低通濾波器 489。經 1:8 解多工器 46 轉換之第一取樣資料序列 Dbus 與第二取樣資料序列 Qbus 饋入提前/遲延判別電路 482，以 8 個取樣資料位元為一組之方式，判別第二取樣資料序列 Qbus 中每一位元係相似於第一取樣資料序列 Dbus 中對應二相鄰位元的前者或後者，並根據判別結果而產生一提前信號 Early 或一遲延信號 Late。提前/遲延判別電路 482 之詳細電路結構係說明如下。

請參照圖 7，其例示圖 6 中提前/遲延判別電路 482 之較佳具體例的電路圖。當第一取樣資料序列 Dbus 中的一組 8 位元取樣資料 D[0:7]與第二取樣資料序列 Qbus 中的一組 8 位元取樣 Q[0:7]資料饋入提前/遲延判別電路 482 時，其中之取樣資料 D[0:7]與 Q[0:6]係連同 D-正反器 72a 與 72b 中所留置之前一組取樣資料之最後一位元 D'[7]與 Q'[7]一同送入一相似性偵測電路 74 進行相似性的判別。相似性偵測電路 74 之較佳具體例的電路圖係顯示於圖 8，其包含 8 個相似性偵測單元 741~748，每一相似性偵測單元 741~748 可偵測第一取樣資料序列中的取樣資料 D'[7]與 D[0:7]中之二相鄰位元是否相同（亦即偵測其是否發生轉態），在其為不相同的情況下（亦即有發生轉態），偵測第二取樣資料序列中對應該轉態之位元係相同於二相鄰位元之前者或後者，而針對該對應轉態之位元產生一相似性信號 early[n] 或 late[n]。以相似性偵測單元 742 為例，在 D[0]≠D[1]的情況下，即 D[0]與 D[1]之間發生轉態，此時若 Q[0]=D[0]，則相似性信號 early[1]=1 而 late[1]=0，反之若 Q[0]=D[1]，則相似性信號 early[1]=0 而 late[1]=1。在 D[0]=D[1]的情況下，由於未發生轉態，無法判別取樣時脈之取樣邊緣為提前或遲延，故 early[1]與 late[1]均為 0。以此方式所產生之二組 8 位元相似性信號 early[0:7]與 late[0:7]被饋入一提前/遲延決定電路 75 中，其包含二計數器 76a 與 76b，可分別計算一組 8 位元相似性信號 early[0:7]與一組 8 位元相似性信號 late[0:7]中值為“1”的次數 N-early 與 N-late。提

前/遲延決定電路 75 又包含一比較電路 78，用於比較次數 $N\text{-early}$ 與 $N\text{-late}$ 的大小。當 $N\text{-early} > N\text{-late}$ 時，表示在此一組判別中，取樣資料 $Q[n]$ 較相似於第一取樣資料序列對應二相鄰位元的前者，因此輸出提前信號 $\text{Early}=1$ ；反之，當 $N\text{-early} < N\text{-late}$ 時，則輸出遲延信號 $\text{Late}=1$ 。若 $N\text{-early} = N\text{-late}$ ，無法判別取樣時脈之取樣邊緣為提前或遲延，故提前信號 Early 與遲延信號 Late 均為 0。

請再次參照圖 6，提前/遲延判別電路 482 所產生之提前信號 Early 與遲延信號 Late 被進一步送至提前/遲延累計電路 483 進行累計。提前/遲延累計電路 483 具有一多工器 484，當提前信號 Early 為 "1" 而遲延信號 Late 為 "0" 時，其輸出值為 "1"，當提前信號 Early 為 "0" 而遲延信號 Late 為 "1" 時，其輸出值為 "-1"，當提前信號 Early 與遲延信號 Late 均為 "0" 時，其輸出值為 "0"。提前/遲延累計電路 483 又包含一加法器 486 與一例如為 20 位元之暫存器 488。加法器 486 可對多工器 484 之輸出值 (-1、0、1) 與暫存器 488 所儲存之累計值進行加法運算，產生一新的累計值儲存於暫存器 488 中，做為一提前/遲延累計信號。藉此，每當提前/遲延累計電路 483 接收到一提前信號 Early 時，則可對累計值進行加一運算，而接收到一遲延信號 Late 時，則可對累計值進行減一運算。

提前/遲延累計電路 483 之輸出端係連接至低通濾波器 489。在經過一預定時間之後、或經過一預定次數之累計運算之後，低通濾波器 489 可檢查提前/遲延累計信號。若提

前/遲延累計信號為正值，則表示提前信號 Early 之次數多於遲延信號 Late 之次數，因此判定第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣為「提前」，故低通濾波器 489 產生一相位修正控制信號輸出至時脈產生器 42，以對取樣時脈 CKQ 與 CKQZ 進行適當的向後修正。相反地，若提前/遲延累計信號為負值，則表示遲延信號 Late 之次數多於提前信號 Early 之次數，因此判定第二時脈信號 CKQ 與第四時脈信號 CKQZ 之取樣邊緣為「遲延」，故低通濾波器 489 產生一相位修正控制信號輸出至時脈產生器 42，以對取樣時脈 CKQ 與 CKQZ 進行適當的向前修正。當提前/遲延累計信號為零的情況，則不進行任何修正。每當低通濾波器 489 檢查提前/遲延累計信號之後，便將暫存器之累計值歸零，以便進行後續之累計。關於低通濾波器 489 檢查提前/遲延累計信號之時間點，較佳係選擇於非傳送顯示資料之空白區間 (blank period) 進行，以避免影響顯示品質。在實際應用中，當初始系統尚未達到穩定狀態時，低通濾波器 489 可較頻繁地檢查提前/遲延累計信號，並執行相位修正，例如，每 100~200 次累計即進行檢查；而，當經過一段時間使系統達到穩定狀態時，則可降低檢查的頻率，例如，每 600~1000 次累計才進行檢查。

上述具體例僅為例示性說明本發明之原理及其功效，而非用於限制本發明之範圍。任何熟於此項技藝之人士均可在不違背本發明之技術原理及精神下，對具體例作修改與變化。本發明之權利保護範圍應如後述之申請專利範圍所

述。

【圖式簡單說明】

圖 1 係為一 DVI 顯示系統之資料傳輸架構圖。

圖 2 顯示高頻傳輸資料受干擾之示意圖。

圖 3(a)與 3(b)顯示習知技術之串列資料取樣方法，其中圖 3(a)之取樣時脈不具有相位偏移，而圖 3(b)之取樣時脈具有相位偏移。

圖 4 係為本發明之資料回復電路之較佳具體例的示意方塊圖。

圖 5 係為本發明資料回復電路中各信號之時序圖。

圖 6 係為本發明相位誤差偵測與修正電路之較佳具體例的電路方塊圖。

圖 7 係為圖 6 中提前/遲延判別電路之較佳具體例的電路圖。

圖 8 係為圖 7 中相似性偵測電路之較佳具體例的電路圖。

(元件符號說明)

10：電腦主機端

12：繪圖卡

14：DVI 編碼器

16：DVI 發送器

18：DVI 傳輸線

20：顯示器端

22：DVI 接收器

24：DVI 解碼器

28：資料位元

28a：反射干擾

30：輸入資料

32：時脈信號

34：取樣時脈

36：資料位元之中央部位

38：取樣邊緣之位置

40：資料回復電路

- | | |
|-------------------|------------------|
| 42 : 時脈產生器 | 44 : 資料與時脈取樣電路 |
| 46 : 解多工器 | 48 : 相位誤差偵測與修正電路 |
| 482 : 提前/遲延判別電路 | 483 : 提前/遲延累計電路 |
| 484 : 多工器 | 486 : 加法器 |
| 488 : 暫存器 | 489 : 低通濾波器 |
| 50 : 輸入資料序列 | 52a : 鄰近中央部位 |
| 52b : 鄰近中央部位 | 54a : 鄰近轉態部位 |
| 54b : 鄰近轉態部位 | 72a : D-正反器 |
| 72b : D-正反器 | 74 : 相似性偵測電路 |
| 741~748 : 相似性偵測單元 | |
| 75 : 提前/遲延決定電路 | 76a : 計數器 |
| 76b : 計數器 | 78 : 比較電路 |

伍、中文發明摘要

本發明之資料回復電路係利用一第一組取樣時脈對一輸入資料序列之鄰近每一資料位元中央部位進行取樣，產生一第一取樣資料序列，並利用一第二組取樣時脈對輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，產生一第二取樣資料序列。一相位誤差偵測與修正電路可偵測第二取樣資料序列中之每一位元以及第一取樣資料序列中對應之前、後相鄰之二位元的相似性，以判定取樣時脈之相位為提前或遲延，並據以對取樣時脈之相位進行向後修正或向前修正。根據本發明，可使用頻率較低之取樣時脈，並可隨時修正其取樣邊緣之偏移，以確保獲得最正確之回復資料。

陸、英文發明摘要

In the data recovery circuit of the invention, a first group of sampling clock pulses is used for sampling approximately the central portions of the data bits in an incoming data stream to produce a first sampled data stream, while a second group of sampling clock pulses is used for sampling approximately the transition portions between every two adjacent data bits in the incoming data stream to produce a second sampled data stream. By detecting the resemblance of each bit in the second sampled data stream to the corresponding two adjacent bits in the first sampled data

stream, a phase detection and correction circuit determines an early condition or a late condition for the phases of the sampling clocks and produces a signal to correct the phases of the sampling clocks by shifting the phases backwards or forwards. According to the invention, sampling clocks with lower frequencies can be used for sampling, and the phase error can be corrected to obtain the correct data recovery.

拾、申請專利範圍

1. 一種資料回復電路，包含：

一時脈產生器，其可產生一第一組取樣時脈與一第二組取樣時脈，用於對一輸入資料序列進行取樣，該第一組取樣時脈之每一個取樣邊緣與該第二組取樣時脈之每一個取樣邊緣彼此交替相間，且彼此之間隔係為該輸入資料序列之週期的一半，該時脈產生器可受控於一相位修正控制信號，而改變該第一組取樣時脈與該第二組取樣時脈之相位；

一資料與時脈取樣電路，其接收該輸入資料序列及該第一組取樣時脈與該第二組取樣時脈，以該第一組取樣時脈對該輸入資料序列進行取樣，而產生一第一取樣資料序列，並以該第二組取樣時脈對該輸入資料序列進行取樣，而產生一第二取樣資料序列；及

一相位誤差偵測與修正電路，耦接至該資料與時脈取樣電路，其可判別該第二取樣資料序列中之每一位元以及該第一取樣資料序列中對應取樣邊緣與該每一位元之取樣邊緣前、後相鄰之二位元的相似性，並依據判別結果而產生該相位修正控制信號。

2. 如申請專利範圍第 1 項之資料回復電路，其中，該第一取樣資料序列係做為資料回復輸出。
3. 如申請專利範圍第 1 項之資料回復電路，其中，該第一組取樣時脈與該第二組取樣時脈之頻率相同，且係為該輸入資料序列之頻率的一半。

4. 如申請專利範圍第 3 項之資料回復電路，其中，該第一組取樣時脈係包含一第一時脈信號，該第二組取樣時脈係包含一第二時脈信號，該第一時脈信號與該第二時脈信號之相位相差 90 度，且該第一時脈信號與該第二時脈信號之上升邊緣與下降邊緣均做為該取樣邊緣。
5. 如申請專利範圍第 3 項之資料回復電路，其中，該第一組取樣時脈係包含一第一時脈信號與一第三時脈信號，該第二組取樣時脈係包含一第二時脈信號與一第四時脈信號，該第一時脈信號與該第二時脈信號之相位相差 90 度，且該第三時脈信號與該第四時脈信號之相位分別和該第一時脈信號與該第二時脈信號之相位相差 180 度。
6. 如申請專利範圍第 5 項之資料回復電路，其中，該第一至第四時脈信號之上升邊緣做為該取樣邊緣。
7. 如申請專利範圍第 5 項之資料回復電路，其中，該第一至第四時脈信號之下降邊緣做為該取樣邊緣。
8. 如申請專利範圍第 1 項之資料回復電路，其中，該第一組取樣時脈與該第二組取樣時脈之頻率相同，且等於該輸入資料序列之頻率。
9. 如申請專利範圍第 1 項之資料回復電路，其又包含一解多工器，耦接於該資料與時脈取樣電路與該相位誤差偵測與修正電路之間，用以將該第一取樣資料序列與該第二取樣資料序列之串列信號轉換為並列信號。
10. 如申請專利範圍第 1 項之資料回復電路，其中，該相位

誤差偵測與修正電路包含：

一提前/遲延判別電路，接收該第一取樣資料序列與該第二取樣資料序列，判別該第二取樣資料序列中之每一位元以及該第一取樣資料序列中對應取樣邊緣與該每一位元之取樣邊緣前、後相鄰之二位元的相似性，而選擇性地產生一提前信號或一遲延信號；

一提前/遲延累計電路，接收複數個該提前信號與該遲延信號，並根據其累計之結果，而產生一提前/遲延累計信號；及

一低通濾波器，接收該提前/遲延累計信號，而產生該相位修正控制信號。

11. 如申請專利範圍第 10 項之資料回復電路，其中，該提前/遲延判別電路包含：

一相似性偵測電路，偵測該第一取樣資料序列中之該前、後相鄰之二位元是否相同，在其為不相同的情況下，偵測該第二取樣資料序列中之該每一位元係相同於該二位元之前者或後者，而產生該每一位元之相似性信號；及

一提前/遲延決定電路，接收一預定數量位元之相似性信號，比較相同於前者與相同於後者之次數，而選擇性地產生該提前信號或該遲延信號。

12. 如申請專利範圍第 10 項之資料回復電路，其中，該提前/遲延累計電路，係根據所接收之該提前信號或該遲延信號，而對於一累計值進行加一運算或減一運算，做為

該提前/遲延累計信號，而，該低通濾波器係根據該提前/遲延累計電路進行一預定次數之累計運算後所得到之該提前/遲延累計信號的正負，而產生該相位修正控制信號。

13. 一種相位誤差偵測電路，用於在一資料回復電路中偵測一第一組取樣時脈與一第二組取樣時脈之相位狀態，該第一組取樣時脈係用於對一輸入資料序列之鄰近每一資料位元中央部位進行取樣，產生一第一取樣資料序列，而該第二組取樣時脈係用於對該輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，產生一第二取樣資料序列，該相位誤差偵測電路包含：

一提前/遲延判別電路，其接收該第一取樣資料序列與該第二取樣資料序列，包含：

一相似性偵測電路，具有複數個相似性偵測單元，分別用於偵測該第二取樣資料序列中複數個位元之每一位元係相同於該第一取樣資料序列中對應之二相鄰位元的前者或後者，而產生複數個相似性信號；及

一提前/遲延決定電路，接收該複數個對應於該每一位元之相似性信號，比較相同於前者與相同於後者之次數，而選擇性地產生一提前信號或一遲延信號。

14. 如申請專利範圍第 13 項之相位誤差偵測電路，其又包含一提前/遲延累計電路，接收複數個該提前信號與該遲延信號，並根據其累計之結果，而產生一提前/遲延累計

信號。

15. 如申請專利範圍第 14 項之相位誤差偵測電路，其中，該提前/遲延累計電路係根據所接收之該提前信號或該遲延信號，而對於一累計值進行加一運算或減一運算，做為該提前/遲延累計信號。

16. 一種相位誤差偵測電路，用於在一資料回復電路中偵測一第一組取樣時脈與一第二組取樣時脈之相位狀態，該第一組取樣時脈係用於對一輸入資料序列之鄰近每一資料位元中央部位進行取樣，產生一第一取樣資料序列，而該第二組取樣時脈係用於對該輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，產生一第二取樣資料序列，該相位誤差偵測電路包含：

一提前/遲延判別電路，其接收該第一取樣資料序列與該第二取樣資料序列，藉由偵測該第二取樣資料序列中複數個位元之每一位元係相同於該第一取樣資料序列中對應之二相鄰位元的前者或後者，而判斷該第一取樣資料序列與該第二取樣資料序列之相似性，並產生一提前信號或一遲延信號；及

一提前/遲延累計電路，接收複數個該提前信號與該遲延信號，並根據其累計之結果，而產生一提前/遲延累計信號。

17. 一種資料回復電路，包含：

一時脈產生器，其可產生一第一組取樣時脈與一第二組取樣時脈，用於對一輸入資料序列進行取樣，該第一

組取樣時脈之每一個取樣邊緣與該第二組取樣時脈之每一個取樣邊緣彼此交替相間，且彼此之間隔係為該輸入資料序列之週期的一半，該時脈產生器可受控於一相位修正控制信號，而改變該第一組取樣時脈與該第二組取樣時脈之相位；

一資料與時脈取樣電路，其接收該輸入資料序列及該第一組取樣時脈與該第二組取樣時脈，以該第一組取樣時脈對該輸入資料序列之鄰近每一資料位元中央部位進行取樣，而產生一第一取樣資料序列，並以該第二組取樣時脈對該輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，而產生一第二取樣資料序列；及

一相位誤差偵測與修正電路，耦接至該資料與時脈取樣電路，其可判別該第二取樣資料序列中之每一位元以及該第一取樣資料序列中對應之前、後相鄰之二位元的相似性，若該每一位元較相似於對應二位元之前者，則判定該第一組取樣時脈與該第二組取樣時脈之相位為提前，若該每一位元較相似於對應二位元之後者，則判定該第一組取樣時脈與該第二組取樣時脈之相位為遲延，並根據提前或遲延之判定結果產生該相位修正控制信號，以對該第一組取樣時脈與該第二組取樣時脈之相位進行向後調整或向前調整。

18. 如申請專利範圍第 17 項之資料回復電路，其中，該第一取樣資料序列係做為資料回復輸出。

19. 如申請專利範圍第 17 項之資料回復電路，其中，該第

一組取樣時脈與該第二組取樣時脈之頻率相同，且係為該輸入資料序列之頻率的一半。

20. 如申請專利範圍第 19 項之資料回復電路，其中，該第一組取樣時脈係包含一第一時脈信號，該第二組取樣時脈係包含一第二時脈信號，該第一時脈信號與該第二時脈信號之相位相差 90 度，且該第一時脈信號與該第二時脈信號之上升邊緣與下降邊緣均做為該取樣邊緣。
21. 如申請專利範圍第 19 項之資料回復電路，其中，該第一組取樣時脈係包含一第一時脈信號與一第三時脈信號，該第二組取樣時脈係包含一第二時脈信號與一第四時脈信號，該第一時脈信號與該第二時脈信號之相位相差 90 度，且該第三時脈信號與該第四時脈信號之相位分別與該第一時脈信號與該第二時脈信號之相位相差 180 度。
22. 如申請專利範圍第 21 項之資料回復電路，其中，該第一至第四時脈信號之上升邊緣做為該取樣邊緣。
23. 如申請專利範圍第 21 項之資料回復電路，其中，該第一至第四時脈信號之下降邊緣做為該取樣邊緣。
24. 如申請專利範圍第 17 項之資料回復電路，其中，該第一組取樣時脈與該第二組取樣時脈之頻率相同，且等於該輸入資料序列之頻率。
25. 如申請專利範圍第 17 項之資料回復電路，其又包含一解多工器，耦接於該資料與時脈取樣電路與該相位誤差偵測與修正電路之間，用以將該第一取樣資料序列與該

第二取樣資料序列之串列信號轉換為並列信號。

26. 如申請專利範圍第 17 項之資料回復電路，其中，該相位誤差偵測與修正電路包含：

一提前/遲延判別電路，接收該第一取樣資料序列與該第二取樣資料序列，可判別該第二取樣資料序列中之每一位元係相似於該第一取樣資料序列中對應之前、後相鄰之二位元的前者或後者，而選擇性地產生一提前信號或一遲延信號；

一提前/遲延累計電路，接收複數個該提前信號與該遲延信號，並根據其累計之結果，而產生一提前/遲延累計信號；及

一低通濾波器，接收該提前/遲延累計信號，而產生該相位修正控制信號，以對該第一組取樣時脈與該第二組取樣時脈之相位進行向後調整或向前調整。

27. 如申請專利範圍第 26 項之資料回復電路，其中，該提前/遲延累計電路，係根據所接收之該提前信號或該遲延信號，而對於一累計值進行加一運算或減一運算，做為該提前/遲延累計信號，而，該低通濾波器係根據該提前/遲延累計電路進行一預定次數之累計運算後所得到之該提前/遲延累計信號的正負，而產生該相位修正控制信號。

28. 一種在資料回復電路中用於偵測與修正相位誤差之方法，包含：

以一第一組取樣時脈對一輸入資料序列之鄰近每一

資料位元中央部位進行取樣，而產生一第一取樣資料序列，並以一第二組取樣時脈對該輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，而產生一第二取樣資料序列；

偵測該第二取樣資料序列之每一位元係相同於該第一取樣資料序列中對應之二相鄰位元的前者或後者；

累計複數次偵測結果，以判別該第一組取樣時脈與該第二組取樣時脈之相位為提前或遲延；及

根據提前或遲延判別結果，以對該第一組取樣時脈與該第二組取樣時脈之相位進行向後調整或向前調整。

29. 一種在資料回復電路中用於偵測與修正相位誤差之方法，包含：

以一第一組取樣時脈對一輸入資料序列之鄰近每一資料位元中央部位進行取樣，而產生一第一取樣資料序列，並以一第二組取樣時脈對該輸入資料序列之鄰近每相鄰二資料位元間轉態部位進行取樣，而產生一第二取樣資料序列；

將第一取樣資料序列中一預定數目之位元結合為一群組，形成複數個第一取樣資料群組，並將第二取樣資料序列中一預定數目之位元結合為一群組，形成複數個第二取樣資料群組；

在每一第一取樣資料群組與其對應第二取樣資料群組中，偵測該第二取樣資料序列之每一位元係相同於該第一取樣資料序列中對應之二相鄰位元的前者或後

者，並分別計算相同於前者與相同於後者之次數；

在每一第一取樣資料群組與其對應第二取樣資料群組中，若相同於前者之次數大於相同於後者之次數，則產生一提前信號，若相同於後者之次數大於相同於前者之次數，則產生一遲延信號；

累計複數次該提前信號與該遲延信號，以判別該第一組取樣時脈與該第二組取樣時脈之相位為提前或遲延；及

根據提前或遲延判別結果，以對該第一組取樣時脈與該第二組取樣時脈之相位進行向後調整或向前調整。

30. 如申請專利範圍第 29 項之方法，其中，該累計複數次該提前信號與該遲延信號之步驟，係根據所接收之該提前信號或該遲延信號，而對於一累計值進行加一運算或減一運算，以做為一提前/遲延累計信號。

31. 如申請專利範圍第 30 項之方法，其中，該對該第一組取樣時脈與該第二組取樣時脈之相位進行向後調整或向前調整之步驟，係依據該提前/遲延累計信號的正負而執行。

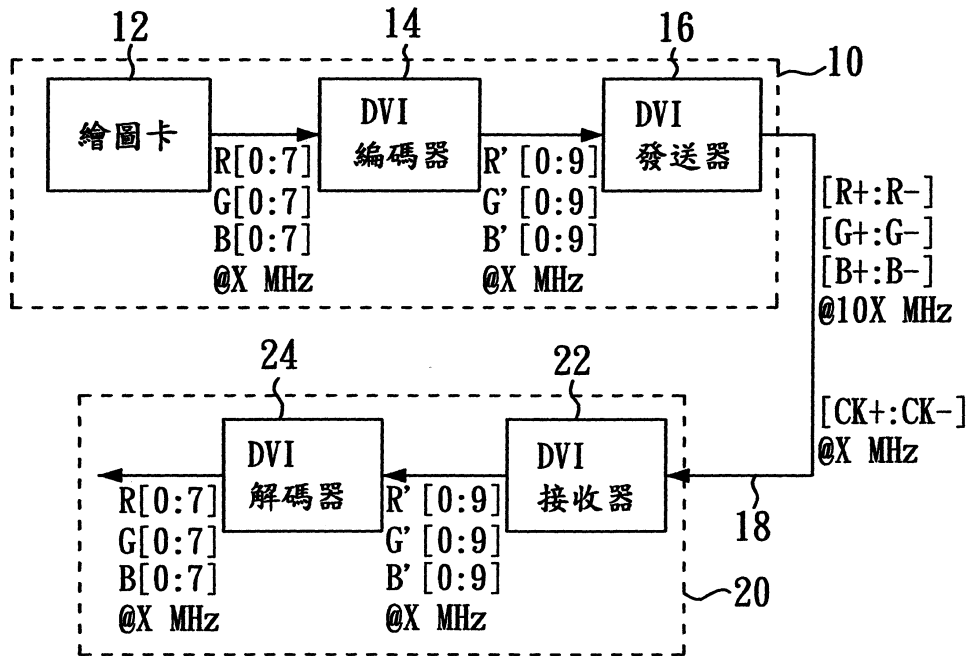


圖 1

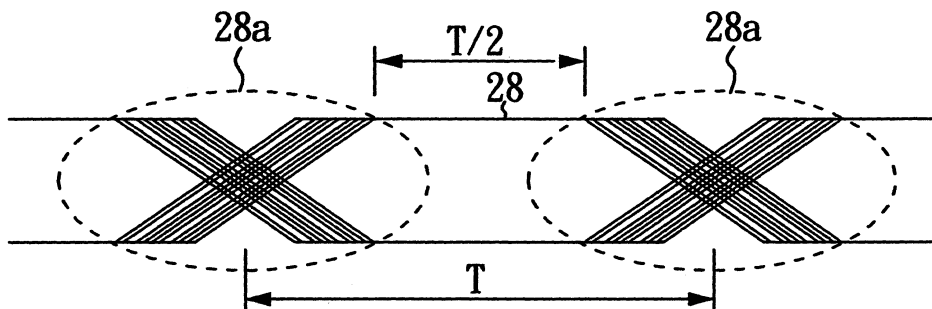


圖 2

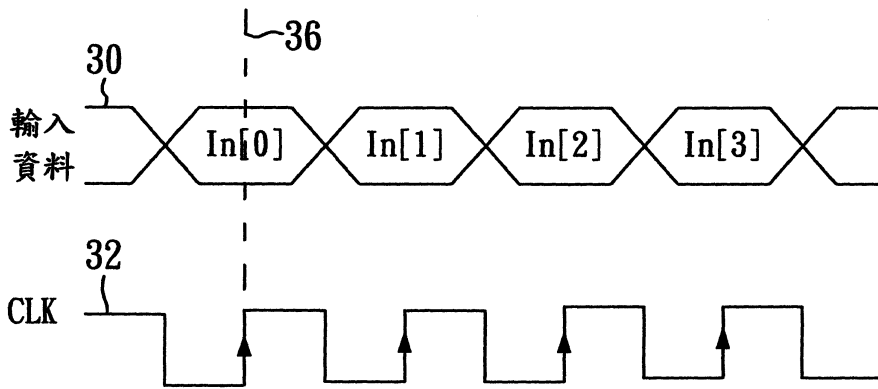


圖3(a)

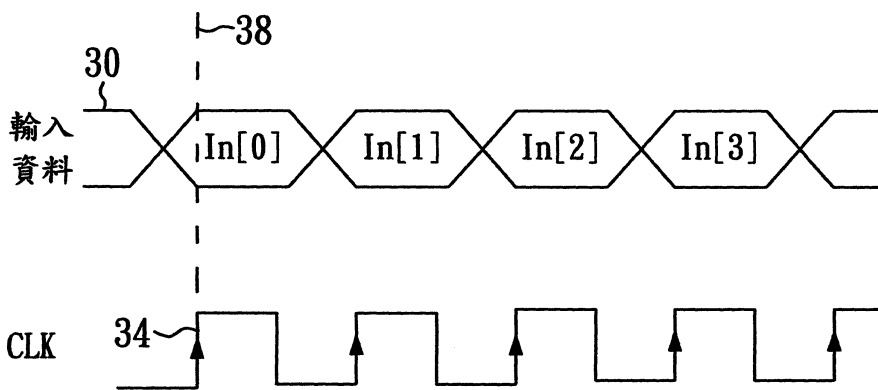


圖3(b)

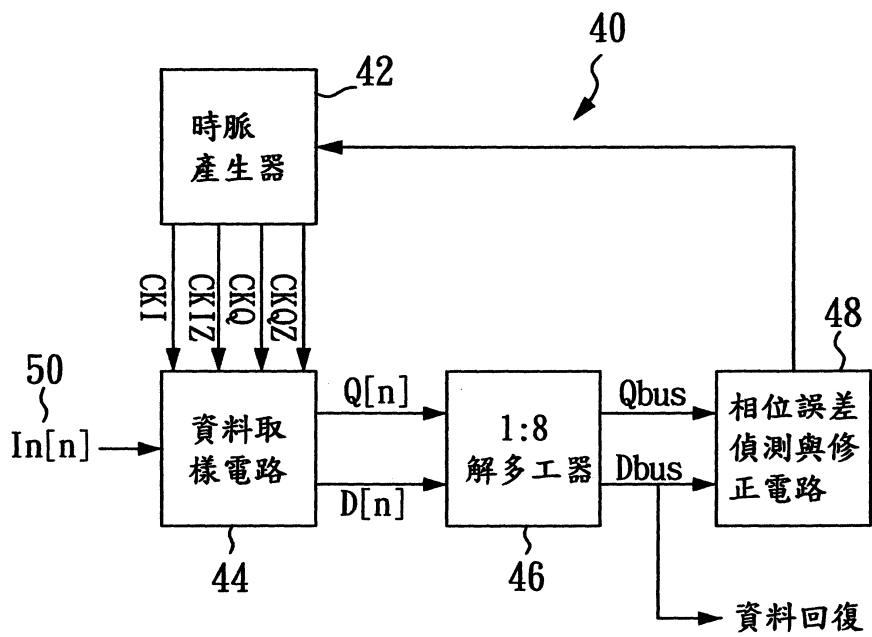


圖4

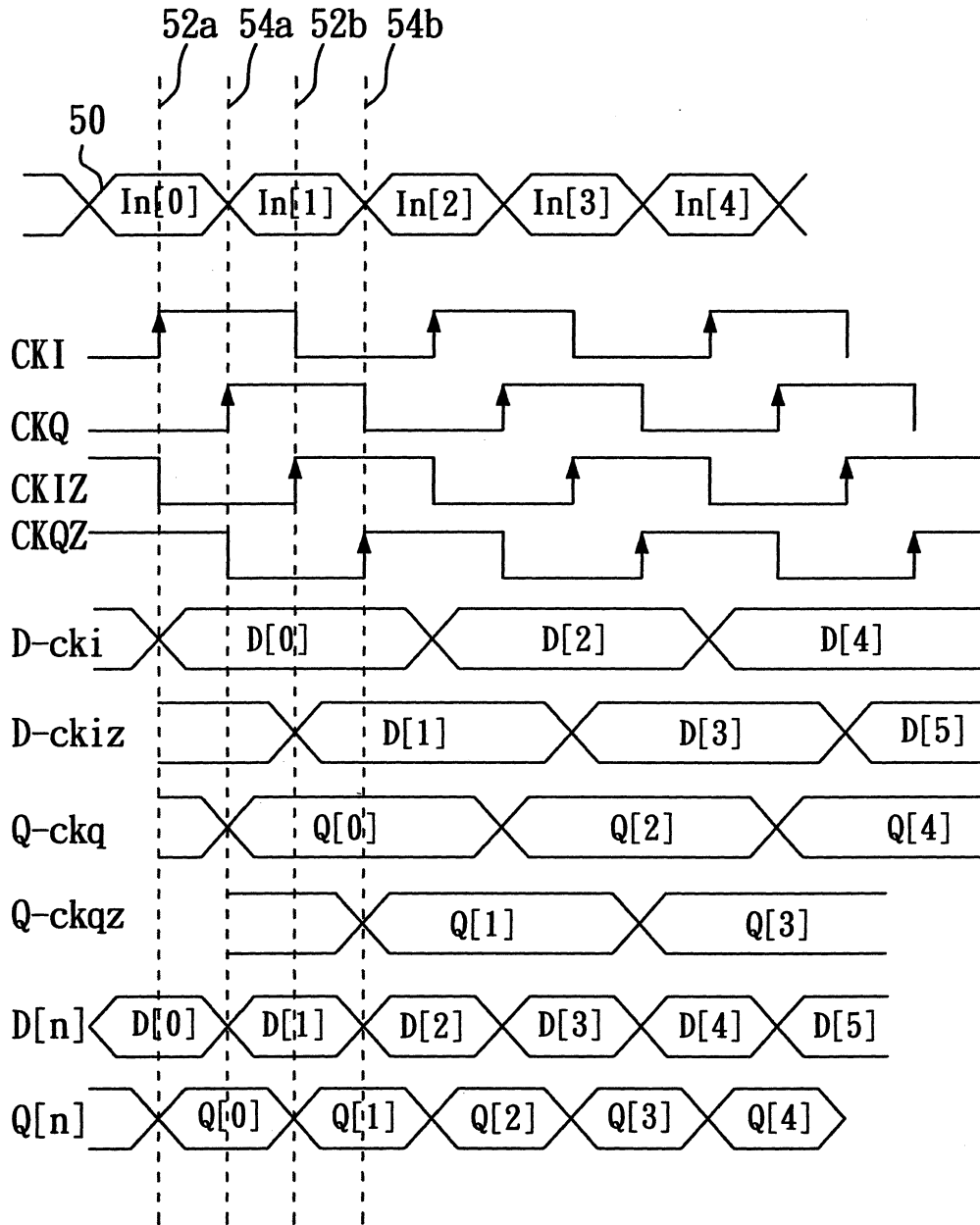


圖5

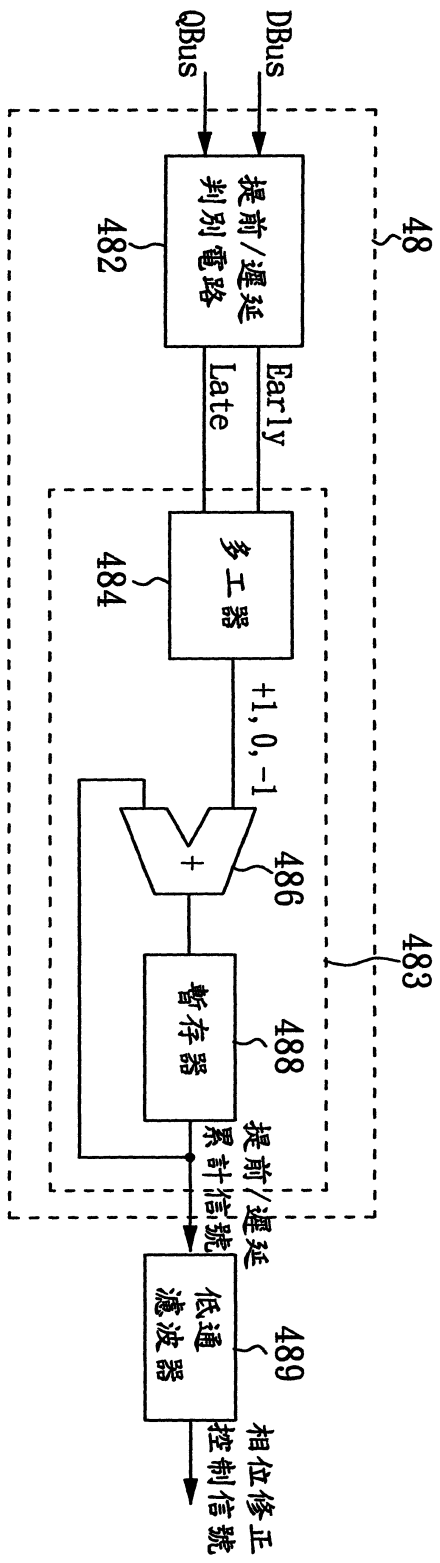


圖 6

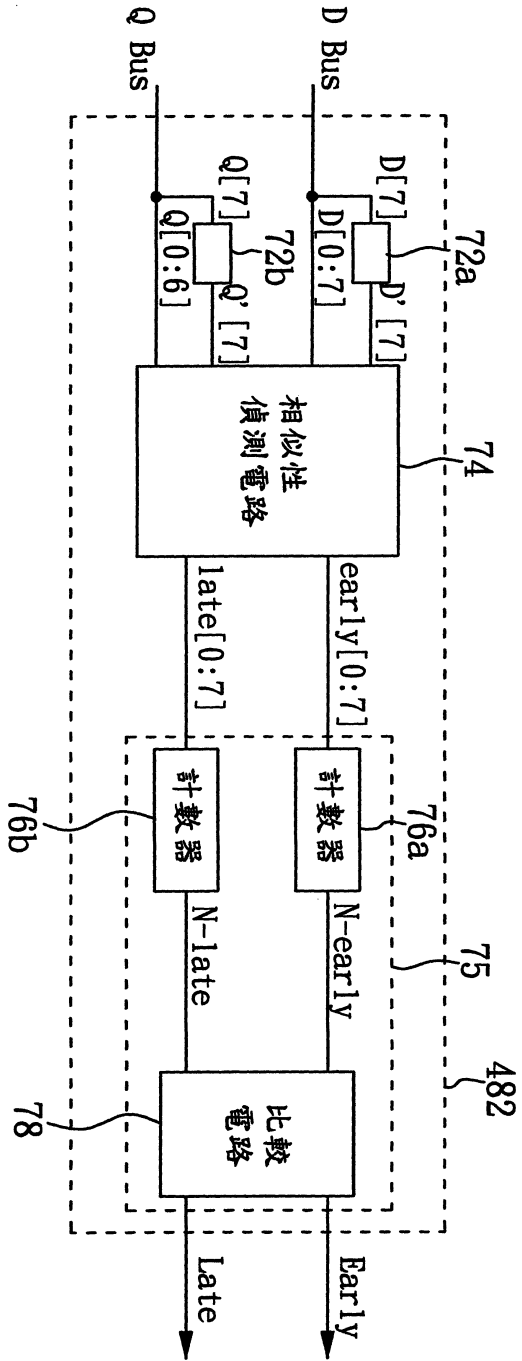


圖 7

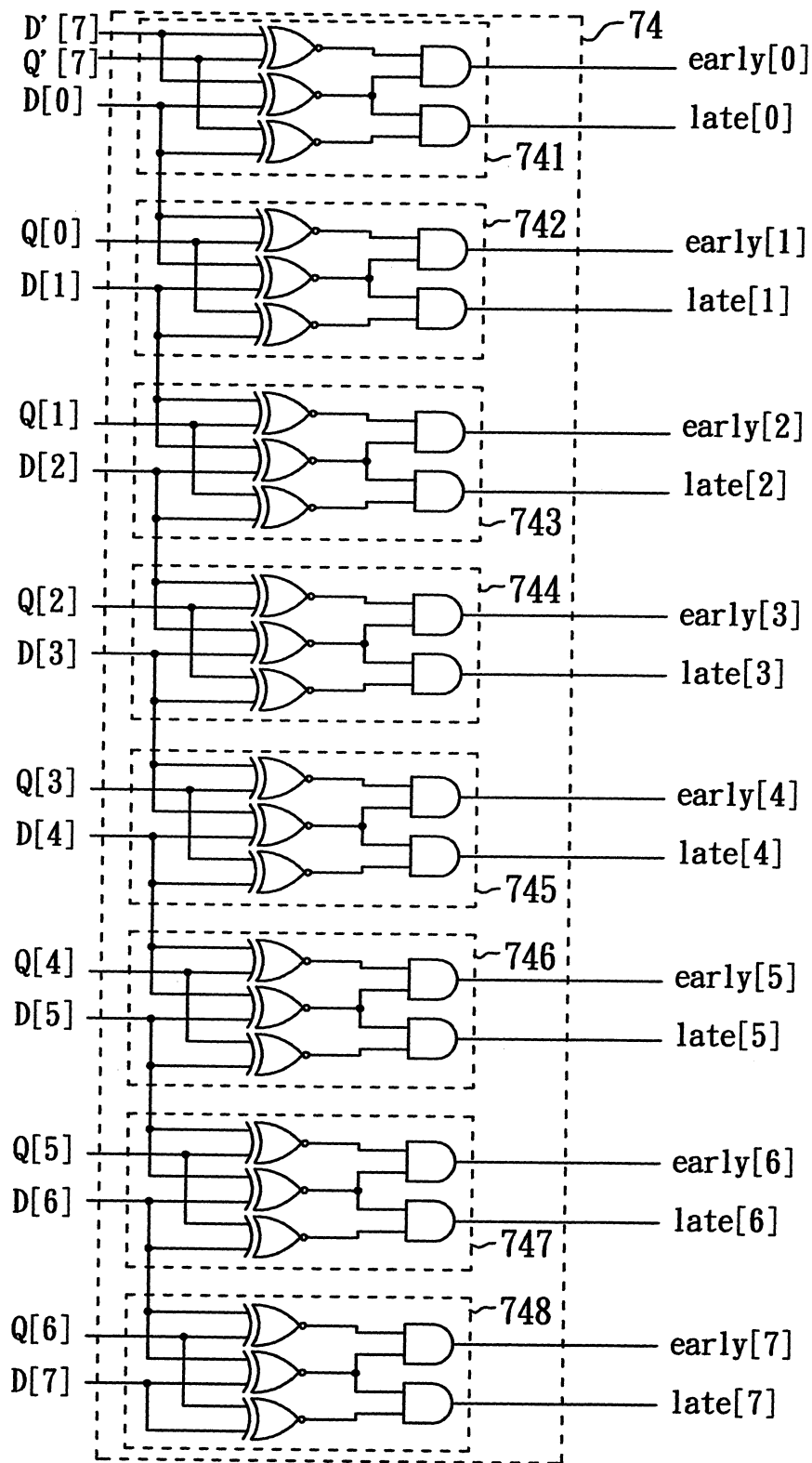


圖8

柒、指定代表圖：

(一) 本案指定代表圖為：第(4)圖。

(二) 本代表圖之元件代表符號簡單說明：

40：資料回復電路

42：時脈產生器

44：資料與時脈取樣電路

46：解多工器

48：相位誤差偵測與修正電路

50：輸入資料序列

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：