

1. 一种功率金属氧化物半导体结构,包括:
半导体基底;
栅极电极,设置在该半导体基底之上;
场板,设置在该半导体基底之上;以及
导电图案,在垂直方向上设置在该场板与该半导体基底之间,其中该场板与该导电图案位于该栅极电极在水平方向上的同一侧。
2. 如权利要求1所述的功率金属氧化物半导体结构,其中该导电图案为与该场板以及该栅极电极电性分离的电性浮置(electrically floating)图案。
3. 如权利要求1所述的功率金属氧化物半导体结构,还包括:
漏极掺杂区,设置在该半导体基底中,其中该场板以及该导电图案在该水平方向上位于该漏极掺杂区与该栅极电极之间。
4. 如权利要求3所述的功率金属氧化物半导体结构,还包括:
漂移区,设置在该半导体基底中,其中该漏极掺杂区位于该漂移区中,且该导电图案的至少一部分以及该场板的至少一部分在该垂直方向上位于该漂移区之上;以及
源极掺杂区,设置在该半导体基底中,其中该源极掺杂区与该漏极掺杂区分别位于该栅极电极在该水平方向上的两相对侧。
5. 如权利要求1所述的功率金属氧化物半导体结构,还包括:
第一介电结构,在该垂直方向上设置在该场板与该导电图案之间。
6. 如权利要求5所述的功率金属氧化物半导体结构,其中该第一介电结构包括氧化物-氮化物-氧化物(oxide-nitride-oxide,ONO)结构。
7. 如权利要求1所述的功率金属氧化物半导体结构,还包括:
第二介电结构,设置在该半导体基底之上,其中该第二介电结构在该水平方向上部分设置在该场板与该栅极电极之间且在该水平方向上部分设置在该导电图案与该栅极电极之间。
8. 如权利要求7所述的功率金属氧化物半导体结构,其中该第二介电结构包括氧化物-氮化物-氧化物(oxide-nitride-oxide,ONO)结构。
9. 如权利要求7所述的功率金属氧化物半导体结构,其中该第二介电结构的一部分在该垂直方向上位于该导电图案之上。
10. 如权利要求1所述的功率金属氧化物半导体结构,其中该场板与该栅极电极电连接。
11. 一种功率金属氧化物半导体结构的制作方法,包括:
在半导体基底的第一区之上形成第一导电图案以及第一场板,其中该第一导电图案在垂直方向上位于该第一场板与该半导体基底之间;以及
在该半导体基底的该第一区之上形成第一栅极电极,其中该第一场板与该第一导电图案位于该第一栅极电极在水平方向上的同一侧。
12. 如权利要求11所述的功率金属氧化物半导体结构的制作方法,其中该第一场板是在该第一导电图案之前形成。
13. 如权利要求11所述的功率金属氧化物半导体结构的制作方法,还包括:
在该半导体基底的该第一区之上形成第二导电图案以及第二场板,其中该第二导电图

案在该垂直方向上位于该第二场板与该半导体基底之间;以及

在该半导体基底的该第一区之上形成第二栅极电极,其中该第一场板、该第二场板、该第一导电图案以及该第二导电图案在该水平方向上位于该第一栅极电极与该第二栅极电极之间。

14.如权利要求13所述的功率金属氧化物半导体结构的制作方法,其中形成该第一栅极电极与该第二栅极电极的方法包括:

在该半导体基底之上形成图案化导电层,其中该图案化导电层包括虚置部分在该水平方向上位于该第一场板与该第二场板之间且在该水平方向上位于该第一导电图案与该第二导电图案之间;以及

将该图案化导电层的该虚置部分移除,其中该第一栅极电极与该第二栅极电极为该图案化导电层中互相分离的两个部分。

15.如权利要求14所述的功率金属氧化物半导体结构的制作方法,还包括:

在该图案化导电层的该虚置部分被移除之后,在该半导体基底中形成漏极掺杂区,其中该漏极掺杂区在该水平方向上位于该第一导电图案与该第二导电图案之间。

16.如权利要求15所述的功率金属氧化物半导体结构的制作方法,还包括:

在该第一场板、该第二场板、该第一导电图案以及该第二导电图案形成之前,在该半导体基底中形成漂移区,其中该漏极掺杂区形成在该漂移区中,且该第一导电图案的至少一部分、该第二导电图案的至少一部分、该第一场板的至少一部分以及该第二场板的至少一部分在该垂直方向上位于该漂移区之上;以及

在该半导体基底中形成第一源极掺杂区以及第二源极掺杂区,其中该第一源极掺杂区与该漏极掺杂区分别位于该第一栅极电极在该水平方向上的两相对侧,且该第二源极掺杂区与该漏极掺杂区分别位于该第二栅极电极在该水平方向上的两相对侧。

17.如权利要求11所述的功率金属氧化物半导体结构的制作方法,还包括:

在该半导体基底的第二区之上形成存储器结构的浮置栅极,其中该浮置栅极与该第一导电图案为形成在该半导体基底之上的第一导电层中不同且互相分离的两个部分。

18.如权利要求11所述的功率金属氧化物半导体结构的制作方法,还包括:

在该半导体基底的第二区之上形成存储器结构的控制栅极,其中该控制栅极与该第一场板为形成在该半导体基底之上的第二导电层中不同且互相分离的两个部分。

19.如权利要求11所述的功率金属氧化物半导体结构的制作方法,还包括:

在该半导体基底的第二区之上形成存储器结构的选择栅极,其中该选择栅极与该第一栅极电极为形成在该半导体基底之上的第三导电层中不同且互相分离的两个部分。

20.如权利要求11所述的功率金属氧化物半导体结构的制作方法,其中该第一导电图案为与该第一场板以及该第一栅极电极电性分离的电性浮置图案。

功率金属氧化物半导体结构以及其制作方法

技术领域

[0001] 本发明涉及一种功率金属氧化物半导体结构以及其制作方法,尤其是涉及一种包括场板的功率金属氧化物半导体结构以及其制作方法。

背景技术

[0002] 在具有高压处理能力的功率元件中,双扩散金属氧化物半导体(double-diffused MOS,DMOS)晶体管元件持续受到重视。常见的DMOS晶体管元件有垂直双扩散金属氧化物半导体(vertical double-diffused MOS,VDMOS)与横向双扩散金属氧化物半导体(LDMOS)晶体管元件。LDMOS晶体管元件因具有较高的操作频宽与操作效率,以及易与其他集成电路整合的平面结构,现已广泛地应用于高电压操作环境中,例如中央处理器电源供应(CPU power supply)、电源管理系统(power management system)、直流/交流转换器(AC/DC converter)以及高功率或高频段的功率放大器等等。LDMOS晶体管元件主要的特征为利用设置具有低掺杂浓度、大面积的横向扩散漂移区域来缓和源极端与漏极端之间的高电压,故可使LDMOS晶体管元件获得较高的击穿电压(breakdown voltage)。然而,随着相关产品的要求越来越高,如何通过结构或/及制作工艺上的设计来更进一步改善功率元件的电性表现或/及缩小所占面积仍是相关领域人员持续努力的方向。

发明内容

[0003] 本发明提供了一种功率金属氧化物半导体(power MOS)结构以及其制作方法,利用在栅极电极的同一侧形成堆叠的导电图案与场板,由此达到改善功率金属氧化物半导体结构的电性表现或/及制作工艺整合的效果。

[0004] 本发明的一实施例提供一种功率金属氧化物半导体结构,包括一半导体基底、一栅极电极、一场板以及一导电图案。栅极电极与场板设置在半导体基底之上,导电图案在一垂直方向上设置在场板与半导体基底之间,且场板与导电图案位于栅极电极在一水平方向上的同一侧。

[0005] 本发明的一实施例提供一种功率金属氧化物半导体结构的制作方法,包括下列步骤。在一半导体基底的一第一区之上形成一第一导电图案以及一第一场板。第一导电图案在一垂直方向上位于第一场板与半导体基底之间。然后,在半导体基底的第一区之上形成一第一栅极电极,且第一场板与第一导电图案位于第一栅极电极在一水平方向上的同一侧。

附图说明

[0006] 图1为本发明第一实施例的功率金属氧化物半导体结构的示意图;

[0007] 图2至图5为本发明一实施例的功率金属氧化物半导体结构的制作方法示意图,其中

[0008] 图3为图2之后的状况示意图;

- [0009] 图4为图3之后的状况示意图；
- [0010] 图5为图4之后的状况示意图；
- [0011] 图6至图10为本发明一实施例的存储器结构的制作方法示意图，其中
- [0012] 图7为图6之后的状况示意图；
- [0013] 图8为图7之后的状况示意图；
- [0014] 图9为图8之后的状况示意图；
- [0015] 图10为图9之后的状况示意图；
- [0016] 图11为本发明第二实施例的功率金属氧化物半导体结构的示意图。
- [0017] 符号说明
- [0018] 10: 半导体基底
- [0019] 10BS: 底表面
- [0020] 10TS: 上表面
- [0021] 12: 阱区
- [0022] 13: 阱区
- [0023] 14: 漂移区
- [0024] 16-1: 阱区
- [0025] 16-2: 阱区
- [0026] 18: 介电层
- [0027] 20: 导电层
- [0028] 22: 介电层
- [0029] 24: 介电层
- [0030] 26: 介电层
- [0031] 28A: 介电结构
- [0032] 28B: 介电结构
- [0033] 30: 导电层
- [0034] 32: 掩模层
- [0035] 32A: 掩模图案
- [0036] 32B: 掩模图案
- [0037] 34A: 间隙子
- [0038] 34B: 间隙子
- [0039] 36A: 间隙子
- [0040] 36B: 间隙子
- [0041] 38: 间隙子
- [0042] 40: 掺杂区
- [0043] 42A: 间隙子
- [0044] 42B: 间隙子
- [0045] 46A: 介电结构
- [0046] 46B: 介电结构
- [0047] 50: 图案化导电层

- [0048] 50P:虚置部分
- [0049] 52:漏极掺杂区
- [0050] 54-1:源极掺杂区
- [0051] 54-2:源极掺杂区
- [0052] 56:掺杂区
- [0053] 58A:介电层
- [0054] 58B:介电层
- [0055] 60:导电层
- [0056] 60A:部分
- [0057] 60B:部分
- [0058] 60C:部分
- [0059] 101:功率金属氧化物半导体结构
- [0060] 102:功率金属氧化物半导体结构
- [0061] 200:存储器结构
- [0062] CG:控制栅极
- [0063] CP1:导电图案
- [0064] CP2:导电图案
- [0065] CT1:接触结构
- [0066] CT2:接触结构
- [0067] CT3:接触结构
- [0068] CT4:接触结构
- [0069] CT5:接触结构
- [0070] CT6:接触结构
- [0071] CT7:接触结构
- [0072] CT8:接触结构
- [0073] D1:垂直方向
- [0074] D2:水平方向
- [0075] D3:水平方向
- [0076] D4:水平方向
- [0077] D5:水平方向
- [0078] EG:抹除栅极
- [0079] FG:浮置栅极
- [0080] FP1:场板
- [0081] FP2:场板
- [0082] GE1:栅极电极
- [0083] GE2:栅极电极
- [0084] R1:第一区
- [0085] R2:第二区
- [0086] SG:选择栅极

具体实施方式

[0087] 以下本发明的详细描述已披露足够的细节以使本领域的技术人员能够实践本发明。以下阐述的实施例应被认为是说明性的而非限制性的。对于本领域的一般技术人员而言显而易见的是,在不脱离本发明的精神和范围的情况下,可以进行形式及细节上的各种改变与修改。

[0088] 在进一步的描述各实施例之前,以下先针对全文中使用的特定用语进行说明。

[0089] 用语“在…上”、“在…上方”和“在…之上”的含义应当以最宽方式被解读,以使得“在…上”不仅表示“直接在”某物上而且还包括在某物上且其间有其他居间特征或层的含义,并且“在…上方”或“在…之上”不仅表示在某物“上方”或“之上”的含义,而且还可以包括其在某物“上方”或“之上”且其间没有其他居间特征或层(即,直接在某物上)的含义。

[0090] 说明书与权利要求中所使用的序数例如“第一”、“第二”等用词,是用以修饰权利要求的元件,除非特别说明,其本身并不意含及代表该请求元件有任何之前的序数,也不代表某一请求元件与另一请求元件的顺序、或是制造方法上的顺序,该些序数的使用仅用来使具有某命名的一请求元件得以和另一具有相同命名的请求元件能作出清楚区分。

[0091] 用语“蚀刻”在本文中通常用来描述用以图案化材料的制作工艺,使得在蚀刻完成后的材料的至少一部分能被留下。当“蚀刻”一材料时,该材料的至少一部分在蚀刻结束后可被保留。与此相反的是,当“移除”材料时,基本上所有的材料可在过程中被除去。然而,在一些实施例中,“移除”可被认为是一个广义的用语而包括蚀刻。

[0092] 在下文中使用术语“形成”或“设置”来描述将材料层施加到基底的行为。这些术语旨在描述任何可行的层形成技术,包括但不限于热生长、溅射、蒸发、化学气相沉积、外延生长、电镀等。

[0093] 请参阅图1。图1所绘示为本发明第一实施例的功率金属氧化物半导体(power metal-oxide-semiconductor, power MOS)结构101的示意图。如图1所示,功率金属氧化物半导体结构101包括一半导体基底10、一栅极电极GE1、一场板(field plate)FP1以及一导电图案CP1。栅极电极GE1与场板FP1设置在半导体基底10之上,导电图案CP1在一垂直方向D1上设置在场板FP1与半导体基底10之间,且场板FP1与导电图案CP1位于栅极电极GE1在一水平方向D2上的同一侧。通过将场板FP1与导电图案CP1设置在栅极电极GE1的同一侧,且将导电图案CP1设置在场板FP1与半导体基底10之间,可改善功率金属氧化物半导体结构101的电性表现,例如可提升击穿电压(breakdown voltage)或/及降低导通电阻(on-resistance, Ron),但并不以此为限。

[0094] 在一些实施例中,上述的垂直方向D1可被视为半导体基底10的厚度方向,半导体基底10可在垂直方向D1上具有相对的上表面10TS与底表面10BS,而上述的栅极电极GE1、导电图案CP1以及场板FP1可设置在半导体基底10的上表面10TS的一侧。与垂直方向D1大体上正交的水平方向(例如水平方向D2、水平方向D3以及其他与垂直方向D1正交的方向)可大体上与半导体基底10的上表面10TS或/及底表面10BS平行,但并不以此为限。在本文中所述在垂直方向D1上相对较高的位置或/及部件与半导体基底10的底表面10BS之间在垂直方向D1上的距离可大于在垂直方向D1上相对较低的位置或/及部件与半导体基底10的底表面10BS之间在垂直方向D1上的距离,各部件的下部或底部可比此部件的上部或顶部在垂直方向D1上更接近半导体基底10的底表面10BS,在某个部件之上的另一部件可被视为在垂直方向D1

上相对较远离半导体基底10的底表面10BS,而在某个部件之下的另一部件可被视为在垂直方向D1上相对较接近半导体基底10的底表面10BS。此外,在本文中所述某个部件的上表面可包括此部件在垂直方向D1上的最上(topmost)表面,而某个部件的底表面可包括此部件在垂直方向D1上的最底(bottommost)表面,但并不以此为限。此外,在本文中所述某个部件在一特定方向上设置在另外两个部件之间的状况可包括在此特定方向上被夹设(sandwiched)在此两个部件之间的状况,但并不以此为限。

[0095] 在一些实施例中,半导体基底10可包括硅基底、外延硅基底、硅锗基底、碳化硅基底、硅覆绝缘(silicon-on-insulator, SOI)基底或其他适合的半导体材料或/及结构所形成的半导体基底。导电图案CP1、场板FP1以及栅极电极GE1可分别包括非金属导电材料(例如经掺杂的多晶硅)或其他适合的导电材料,而导电图案CP1可为分别与场板FP1以及栅极电极GE1电性分离的电性浮置(electrically floating)图案,但并不以此为限。如图1所示,在一些实施例中,功率金属氧化物半导体结构101可还包括一漏极掺杂区52、一源极掺杂区54-1以及一介电层18。漏极掺杂区52可设置在半导体基底10中,且导电图案CP1可在水平方向D2上位于漏极掺杂区52与栅极电极GE1之间。源极掺杂区54-1可设置在半导体基底10中,且栅极电极GE1的至少一部分可在水平方向D2上位于导电图案CP1与源极掺杂区54-1之间。换句话说,源极掺杂区54-1与漏极掺杂区52可分别位于栅极电极GE1在水平方向D2上的两相对侧,且场板FP1以及导电图案CP1可在水平方向D2上位于漏极掺杂区52与栅极电极GE1之间。介电层18可设置在半导体基底10上,介电层18的一部分可在垂直方向D1上被夹设在导电图案CP1与半导体基底10之间,而介电层18的另一部分可在垂直方向D1上被夹设在栅极电极GE1与半导体基底10之间。介电层18可包括氧化物介电材料(例如氧化硅)或其他适合的介电材料。

[0096] 在一些实施例中,功率金属氧化物半导体结构101可还包括一阱区12、一漂移区14以及一阱区16-1。阱区12、漂移区14以及阱区16-1可设置在半导体基底10中,阱区12的至少一部分可在垂直方向D1上位于漂移区14的下方以及阱区16-1的下方,漏极掺杂区52可位于漂移区14中,而源极掺杂区54-1可位于阱区16-1中。在一些实施例中,漂移区14的导电型态可与阱区12的导电型态以及阱区16-1的导电型态互补,漏极掺杂区52的导电型态可与漂移区14的导电型态相同,而源极掺杂区54-1的导电型态可与阱区16-1的导电型态互补,但并不以此为限。举例来说,阱区12可为p型深阱区,阱区16-1可为p型阱区,漂移区14可为n型掺杂区,而漏极掺杂区52与源极掺杂区54-1可分别为n型重掺杂区,但并不以此为限。此外,在一些实施例中,导电图案CP1的至少一部分、场板FP1的至少一部分或/及栅极电极GE1的一部分可在垂直方向D1上位于漂移区14之上,而阱区16-1的一部分可在垂直方向D1上位于栅极电极GE1之下,但并不以此为限。

[0097] 在一些实施例中,功率金属氧化物半导体结构101可还包括一介电结构28A、一介电结构46A以及一掩模图案32A。掩模图案32A可设置在场板FP1上,介电结构28A可在垂直方向D1上设置在场板FP1与导电图案CP1之间,介电结构46A可设置在半导体基底10之上,而介电结构46A可设置在掩模图案32A、场板FP1介电结构28A以及导电图案CP1的侧壁上。此外,介电结构46A可在水平方向D2上部分设置在场板FP1与栅极电极GE1之间且在水平方向D2上部分设置在导电图案CP1与栅极电极GE1之间。在一些实施例中,介电结构28A与介电结构46A可分别包括由单层或多层的介电材料所构成的介电结构,而上述的介电材料可包括氧

化物(例如但不限于氧化硅)、氮化物(例如但不限于氮化硅)、氮氧化物、碳氮化物或其他适合的介电材料,而掩模图案32A可包括氮化物或其他适合的绝缘材料。

[0098] 在一些实施例中,介电结构28A可包括一介电层22、一介电层24以及一介电层26在垂直方向D1上自靠近导电图案CP1的一端朝向靠近场板FP1的一端依序堆叠设置,而介电结构46A可包括一间隙子34A、一间隙子36A以及一间隙子42A在水平方向D2上自介电结构46A靠近场板FP1的一端朝向远离场板FP1的另一端依序堆叠设置,但并不以此为限。在一些实施例中,介电层22、介电层24以及介电层26可分别为氧化物、氮化物以及氧化物,而介电结构28A可因此被视为一氧化物-氮化物-氧化物(oxide-nitride-oxide,ONO)结构,但并不以此为限。在一些实施例中,间隙子34A、间隙子36A以及间隙子42A可分别为氧化物、氮化物以及氧化物,而介电结构46A可因此被视为氧化物-氮化物-氧化物(ONO)结构,但并不以此为限。在一些实施例中,介电结构28A可直接接触场板FP1与导电图案CP1,例如介电层22可直接接触导电图案CP1,而介电层26可直接接触场板FP1,但并不以此为限。此外,介电结构46A可直接接触场板FP1与栅极电极GE1,例如间隙子34A可直接接触场板FP1,而间隙子42A可直接接触栅极电极GE1,但并不以此为限。在一些实施例中,介电结构46A的一部分(例如间隙子34A与间隙子36A)可在垂直方向D1上位于导电图案CP1之上,间隙子42A的一部分可在水平方向D2上被夹设在栅极电极GE1与导电图案CP1之间,且间隙子34A可与介电结构28A直接相连,但并不以此为限。

[0099] 在一些实施例中,上述的栅极电极GE1、场板FP1、导电图案CP1、介电层18、介电结构28A、介电结构46A、漂移区14、阱区16-1、漏极掺杂区52以及源极掺杂区54-1可构成一功率金属氧化物半导体元件的至少一部分,而此功率金属氧化物半导体元件可包括横向双扩散金属氧化物半导体(LDMOS)晶体管或其他类型的半导体元件。本实施例的场板FP1以及设置在场板FP1与半导体基底10之间的导电图案CP1以及介电材料(例如介电结构28A)可用以调整栅极电极GE1与漏极掺杂区52之间的电场分布状况,进而可改善功率金属氧化物半导体元件的操作表现,例如可提升击穿电压或/及降低导通电阻,但并不以此为限。

[0100] 在一些实施例中,功率金属氧化物半导体结构101可包括共用同一个漏极掺杂区52的多个上述的功率金属氧化物半导体元件。举例来说,功率金属氧化物半导体结构101可包括一第一栅极电极(例如上述的栅极电极GE1)、一第二栅极电极(例如栅极电极GE2)、一第一导电图案(例如上述的导电图案CP1)、一第二导电图案(例如导电图案CP2)、一第一场板(例如上述的场板FP1)、一第二场板(例如场板FP2)、一第一源极掺杂区(例如上述的源极掺杂区54-1)、一第二源极掺杂区(例如源极掺杂区54-2)以及一阱区16-2。导电图案CP2在垂直方向D1上设置在场板FP2与半导体基底10之间,且场板FP2与导电图案CP2在水平方向D2上位于栅极电极GE2与漏极掺杂区52之间。漂移区14可还部分设置在场板FP2、导电图案CP2以及栅极电极GE2的下方,阱区16-1与阱区16-2可分别位于漂移区14在水平方向D2上的两相对侧,而源极掺杂区54-2可设置在阱区16-2中。在一些实施例中,包括有场板FP1、导电图案CP1以及栅极电极GE1的晶体管元件以及包括有场板FP2、导电图案CP2以及栅极电极GE2的晶体管元件可依据贯穿漏极掺杂区52的中心轴(未绘示)为轴心而大体上镜像对称,故另一个介电结构28A可设置在场板FP2与导电图案CP2之间,另一个介电结构46A可设置在掩模图案32A、场板FP2、介电结构28A以及导电图案CP2的侧壁上,且此介电结构46A可部分设置在场板FP2与栅极电极GE2之间且部分设置在导电图案CP2与栅极电极GE2之间。另一个

掩模图案32A可设置在场板FP2上,介电层18的一部分可在垂直方向D1上被夹设在导电图案CP2与半导体基底10之间,且介电层18的另一部分可在垂直方向D1上被夹设在栅极电极GE2与半导体基底10之间。

[0101] 在一些实施例中,导电图案CP1与导电图案CP2可为一导电层(例如导电层20)中的不同且互相分离的两个部分,故导电图案CP1与导电图案CP2可具有相同的材料组成;场板FP1与场板FP2可为一导电层(例如导电层30)中的不同且互相分离的两个部分,故场板FP1与场板FP2可具有相同的材料组成;而栅极电极GE1与栅极电极GE2可为一导电层(例如图案化导电层50)中的不同且互相分离的两个部分,故栅极电极GE1与栅极电极GE2可具有相同的材料组成,但并不以此为限。此外,阱区16-2与源极掺杂区54-2的材料组成或/及掺杂状况可分别与上述的阱区16-1与源极掺杂区54-1相同,但并不以此为限。

[0102] 在一些实施例中,功率金属氧化物半导体结构101可还包括一介电层58A以及多个接触结构(例如接触结构CT1、接触结构CT2、接触结构CT3以及接触结构CT4)设置在半导体基底10上。介电层58A可覆盖漏极掺杂区52、源极掺杂区54-1、源极掺杂区54-2、栅极电极GE1、栅极电极GE2、场板FP1上的掩模图案32A以及场板FP2上的掩模图案32A。接触结构CT1可贯穿介电层58A而与对应的栅极电极(例如栅极电极GE1或栅极电极GE2)接触而形成电连接,接触结构CT2可贯穿介电层58A与掩模图案32A而与对应的场板(例如场板FP1或场板FP2)接触而形成电连接,接触结构CT3可贯穿介电层58A与介电层18而与对应的源极掺杂区(例如源极掺杂区54-1或源极掺杂区54-2)接触而形成电连接,而接触结构CT4可贯穿介电层58A而与漏极掺杂区52接触而形成电连接。介电层58A可包括单层或多层的介电材料例如氧化硅、氮化硅、氮氧化硅或其他适合的介电材料,而各接触结构可分别包括一阻障层以及一低电阻材料设置于阻障层上,但并不以此为限。上述的阻障层可包括氮化钛、氮化钽或其他适合的阻障材料,而上述的低电阻材料可包括电阻率相对较低的材料例如铜、铝、钨等,但并不以此为限。

[0103] 请参阅图1至图5。图2至图5所绘示为本发明一实施例的功率金属氧化物半导体结构的制作方法示意图,其中图3绘示了图2之后的状况示意图,图4绘示了图3之后的状况示意图,图5绘示了图4之后的状况示意图。在一些实施例中,图1可被视为绘示了图5之后的状况示意图,但并不以此为限。如图1所示,本实施例的制作方法可包括下列步骤。在半导体基底10的第一区R1之上形成第一导电图案(例如导电图案CP1)以及第一场板(例如场板FP1),且导电图案CP1在垂直方向D1上位于场板FP1与半导体基底10之间。然后,在半导体基底10的第一区R1之上形成第一栅极电极(例如栅极电极GE1),且场板FP1与导电图案CP1位于栅极电极GE1在水平方向D2上的同一侧。

[0104] 进一步说明,本实施例的制作方法可包括但并不限于下列步骤。如图2所示,可在半导体基底10的第一区R1中形成上述的阱区12、漂移区14、阱区16-1以及阱区16-2。然后,在半导体基底10的上表面10TS上依序形成介电层18、导电层20、介电层22、介电层24、介电层26、导电层30以及掩模层32。导电层20与导电层30可分别包括非金属导电材料(例如经掺杂的多晶硅)或其他适合的导电材料。之后,如图2至图3所示,可对掩模层32、导电层30、介电层26、介电层24以及介电层22进行图案化制作工艺而形成上述的掩模图案32A、场板FP1、场板FP2以及介电结构28A。换句话说,至少一部分的掩模层32可被图案化制作工艺图案化而成为两个互相分离的掩模图案32A,至少一部分的导电层30可被图案化制作工艺图案化

而成为互相分离的场板FP1与场板FP2,而至少部分的介电层26、至少部分的介电层24以及至少部分的介电层22可被图案化制作工艺图案化而成为两个互相分离的介电结构28A。然后,可在掩模图案32A的侧壁上、场板FP1的侧壁上、场板FP2的侧壁上以及介电结构28A的侧壁上形成间隙子34A与间隙子36A。如图3至图4所示,在间隙子34A与间隙子36A形成之后,可对导电层20进行另一图案化制作工艺而形成导电图案CP1与导电图案CP2。换句话说,至少一部分的导电层20可被另一图案化制作工艺图案化而成为互相分离的导电图案CP1与导电图案CP2。此外,在本文中所述的图案化制作工艺可包括光刻蚀刻制作工艺或其他适合的制作方法。通过上述制作方法,可在半导体基底10的第一区R1之上形成介电层18、导电图案CP1、导电图案CP2、介电结构28A、场板FP1、场板FP2、掩模图案32A、间隙子34A以及间隙子36A,其中漂移区14、阱区16-1以及阱区16-2可在场板FP1、场板FP2、导电图案CP1以及导电图案CP2形成之前形成在半导体基底10的第一区R1中,而场板FP1与场板FP2可在导电图案CP1与导电图案CP2之前形成。

[0105] 如图4至图5所示,在导电图案CP1与导电图案CP2形成之后,可形成间隙子42A、栅极电极GE1以及栅极电极GE2。间隙子42A可形成在间隙子36A、导电图案CP1以及导电图案CP2的侧壁上,栅极电极GE1与栅极电极GE2可形成在半导体基底10的第一区R1之上,且场板FP1、场板FP2、导电图案CP1以及导电图案CP2可在水平方向D2上位于栅极电极GE1与栅极电极GE2之间。在一些实施例中,形成栅极电极GE1与栅极电极GE2的方法可包括但不限于在半导体基底10之上形成一图案化导电层50,其中栅极电极GE1与栅极电极GE2可为图案化导电层50中互相分离的两个部分,且图案化导电层50可还包括一虚置部分50P在水平方向D2上位于场板FP1与场板FP2之间且在水平方向D2上位于导电图案CP1与导电图案CP2之间。图案化导电层50可包括非金属导电材料(例如经掺杂的多晶硅)或其他适合的导电材料。在一些实施例中,间隙子42A的一部分、间隙子36A的一部分以及间隙子34A的一部分可在水平方向D2上位于虚置部分50P与掩模图案32A之间、虚置部分50P与场板FP1之间、虚置部分50P与场板FP2之间以及虚置部分50P与介电结构28A之间,且间隙子42A的一部分可在水平方向上位于虚置部分50P与导电图案CP1之间以及虚置部分50P与导电图案CP2之间。

[0106] 如图5与图1所示,可进行一移除制作工艺,用以将虚置部分50P移除,而暴露出半导体基底10或/及漂移区14的一部分。在移除图案化导电层50的虚置部分50P之后,可在半导体基底10中形成漏极掺杂区52、源极掺杂区54-1与源极掺杂区54-2。在一些实施例中,漏极掺杂区52可形成在漂移区14中,且源极掺杂区54-1与源极掺杂区54-2可分别形成在阱区16-1与阱区16-2中。此外,漏极掺杂区52可在水平方向D2上位于第一导电图案CP1与第二导电图案CP2之间,源极掺杂区54-1与漏极掺杂区52可分别位于栅极电极GE1在水平方向D2上的两相对侧,且源极掺杂区54-2与漏极掺杂区52可分别位于栅极电极GE2在水平方向D2上的两相对侧。此外,导电图案CP1的至少一部分、导电图案CP2的至少一部分、场板FP1的至少一部分以及场板FP2的至少一部分可在垂直方向D1上位于漂移区14之上,但并不以此为限。在一些实施例中,在漏极掺杂区52、源极掺杂区54-1以及源极掺杂区54-2形成之后,可形成上述的介电层58A以及接触结构,由此形成如图1中所示的功率金属氧化物半导体结构101。

[0107] 请参阅图1至图10。图6至图10所绘示为本发明一实施例的存储器结构200的制作方法示意图,其中图7绘示了图6之后的状况示意图,图8绘示了图7之后的状况示意图,图9绘示了图8之后的状况示意图,图10绘示了图9之后的状况示意图。如图10所示,在一些实施

例中,可在半导体基底10的另一区域(例如第二区R2)上形成存储器结构200,而存储器结构200可包括一阱区13、一掺杂区40、一掺杂区56、介电层18、一浮置栅极FG、一介电结构28B、一控制栅极CG、一掩模图案32B、一间隙子42B、一介电结构46B、一选择栅极SG以及一抹除栅极EG。阱区13设置在半导体基底10中,且掺杂区40与掺杂区56设置在阱区13中。浮置栅极FG在垂直方向D1上位于控制栅极CG与半导体基底之间,而介电结构28B在垂直方向D1上位于控制栅极CG与浮置栅极FG之间。在一些实施例中,介电结构28B可包括上述的介电层22、介电层22以及介电层28,但并不以此为限。选择栅极SG设置在半导体基底10上,掩模图案32B设置在控制栅极CG上,浮置栅极FG可在一水平方向D4上位于掺杂区40与选择栅极SG之间,且选择栅极SG可在水平方向D4上位于掺杂区56与浮置栅极FG之间。介电结构46B可在水平方向D4上位于选择栅极SG与掩模图案32B之间、选择栅极SG与控制栅极CG之间以及选择栅极SG与介电结构28B之间,且介电结构46B的一部分(例如间隙子42B)可在水平方向D4上位于选择栅极SG与浮置栅极FG之间。在一些实施例中,介电结构46B可包括一间隙子34B、一间隙子36B以及间隙子42B的一部分在水平方向D4上自靠近控制栅极CG的一端朝向靠近选择栅极SG的一端依序堆叠设置,且间隙子34B、间隙子36B以及间隙子42B的材料组成可分别与上述图1中的介电结构46A中的间隙子34A、间隙子36A以及间隙子42A的材料组成相同,但并不以此为限。此外,抹除栅极EG可设置在掺杂区40之上,间隙子42B的另一部分可在水平方向D4上位于抹除栅极EG与掩模图案32B之间、抹除栅极EG与控制栅极CG之间、抹除栅极EG与介电结构28B之间以及抹除栅极EG与浮置栅极FG之间,且间隙子42B的一部分可在垂直方向D1上被夹设在抹除栅极EG与浮置栅极FG之间。在一些实施例中,间隙子42B的材料可与上述图1中的间隙子42A的材料组成相同,但并不以此为限。

[0108] 在一些实施例中,掺杂区40与掺杂区56可分别为源极线掺杂区与位线掺杂区,而掺杂区40、掺杂区56、介电层18、浮置栅极FG、控制栅极CG、选择栅极SG、抹除栅极EG、介电结构28B、介电结构46B以及间隙子42B可构成一存储器元件的至少一部分,而此存储器元件可包括闪存存储器元件(例如嵌入式闪存存储器, embedded flash memory),但并不以此为限。此外,在一些实施例中,存储器结构200可包括共用同一个抹除栅极EG以及同一个掺杂区40的两个上述的存储器元件,且此两个存储器元件可依据贯穿抹除栅极EG或/及掺杂区40的中心轴(未绘示)为轴心而大体上镜像对称,但并不以此为限。在一些实施例中,存储器结构200可还包括一介电层58B以及多个接触结构(例如接触结构CT5、接触结构CT6、接触结构CT7以及接触结构CT8)设置在半导体基底10的第二区R2之上。介电层58B可覆盖掺杂区56、选择栅极SG、控制栅极CG上的掩模图案32B以及抹除栅极。接触结构CT5可贯穿介电层58B而与对应的选择栅极SG接触而形成电连接,接触结构CT6可贯穿介电层58B与掩模图案32B而与对应的控制栅极CG接触而形成电连接,接触结构CT7可贯穿介电层58B与介电层18而与对应的掺杂区56接触而形成电连接,接触结构CT8可贯穿介电层58B而与抹除栅极EG接触而形成电连接,而另一接触结构(未绘示)则可与掺杂区40电连接。介电层58B可包括单层或多层的介电材料例如氧化硅、氮化硅、氮氧化硅或其他适合的介电材料,且介电层58B的材料组成可与上述图1中的介电层58A的材料组成相同或相似,但并不以此为限。此外,存储器结构200中的各接触结构的材料组成也可与上述图1中的各接触结构的材料组成相同或相似,但并不以此为限。

[0109] 如图1与图10所示,功率金属氧化物半导体结构101与存储器结构200可分别形成

在半导体基底10的第一区R1与第二区R2上,而第一区R1与第二区R2可分别被视为功率半导体单元区与存储单元区,但并不以此为限。在一些实施例中,功率金属氧化物半导体结构101中的栅极电极、场板以及导电图案可分别沿水平方向D3延伸,水平方向D3可大体上与水平方向D2正交,而存储器结构200中的选择栅极SG、控制栅极CG以及浮置栅极FG可分别沿水平方向D5延伸,且水平方向D5可大体上与水平方向D4正交,但并不以此为限。此外,上述的水平方向可分别大体上与垂直方向D1正交,但水平方向D2与水平方向D4可视设计需要而彼此平行或不平行。此外,在一些实施例中,功率金属氧化物半导体结构101的制作方法可与存储器结构200的制作方法整合,由此达到简化整体制作工艺或/及降低生产成本的效果,但本发明并不以此为限。在一些实施例中,也可利用不同的制作方法分别在半导体基底10上形成功率金属氧化物半导体结构101与存储器结构200。

[0110] 如图2与图6所示,在一些实施例中,介电层18、导电层20、介电层22、介电层24、介电层26、导电层30以及掩模层32可分别形成在半导体基底10的第一区R1与第二区R2之上,且可在半导体基底10的第二区R2中形成上述的阱区13。然后,如图2至图3以及图6至图7所示,可对第一区R1以及第二区R2之上的掩模层32、导电层30、介电层26、介电层24以及介电层22进行图案化制作工艺而在第一区R1上形成掩模图案32A、场板FP1、场板FP2以及介电结构28A,并在第二区R2上形成掩模图案32B、控制栅极CG以及介电结构28B。因此,介电结构28A与介电结构28B可具有相同的材料组成,控制栅极CG、场板FP1与场板FP2可具有相同的材料组成,而掩模图案32A与掩模图案32B可具有相同的材料组成。换句话说,控制栅极CG与场板(例如场板FP1或场板FP2)可为形成在半导体基底10之上的导电层(例如经图案化的导电层30)中不同且互相分离的部分,且控制栅极CG、场板FP1以及场板FP2可由相同制作工艺一并形成,但并不以此为限。然后,可在第一区R1上形成间隙子34A与间隙子36A,并在第二区R2上形成间隙子34B、间隙子36B以及间隙子38。在一些实施例中,间隙子38可形成在间隙子36B的侧壁上并在水平方向D4上位于两个控制栅极CG之间,间隙子38可包括氧化物介电材料或其他适合的材料,且间隙子38可当作在后续制作工艺中定义浮置栅极的掩模的一部分,但并不以此为限。

[0111] 如图3至图4以及图7至图8所示,可对导电层20进行另一图案化制作工艺而在第一区R1之上形成导电图案CP1与导电图案CP2,并在第二区R2之上形成浮置栅极FG。换句话说,浮置栅极FG与导电图案(例如导电图案CP1或导电图案CP2)可为形成在半导体基底10之上的导电层(例如经图案化的导电层20)中不同且互相分离的两个部分,且浮置栅极FG、导电图案CP1以及导电图案CP2可由相同制作工艺一并形成,但并不以此为限。此外,在浮置栅极FG形成之后,可在半导体基底10的第二区R2中形成掺杂区40,故第一区R1中的漂移区14、阱区16-1以及阱区16-2可在掺杂区40之前形成,但并不以此为限。之后,如图4至图5以及图8至图9所示,可在半导体基底10的第一区R1与第二区R2之上形成图案化导电层50,抹除栅极EG以及两个选择栅极SG可为第二区R2之上的图案化导电层50中互相分离的多个部分,故选择栅极SG、抹除栅极EG、栅极电极GE1、栅极电极GE2以及虚置部分50P可为形成在半导体基底10之上的导电层(例如图案化导电层50)中不同且互相分离的多个部分,且选择栅极SG、抹除栅极EG、栅极电极GE1、栅极电极GE2以及虚置部分50P可由相同制作工艺一并形成,但并不以此为限。此外,间隙子42B可在形成图案化导电层50之前形成在第二区R2之上,且在间隙子42B形成之前,可将位于两个控制栅极CG之间的间隙子34B、间隙子36B以及间隙子38

移除。在一些实施例中，间隙子42A与间隙子42B可由相同制作工艺一并形成，但并不以此为限。

[0112] 在上述的制作方法中，第一区R1之上的场板FP1以及场板FP2可与第二区R2之上的控制栅极CG以相同制作工艺一并形成，故可不须额外的制作工艺来形成功率金属氧化物半导体结构中的场板，进而可达到简化整体制作工艺或/及降低生产成本的效果。此外，由于场板与半导体基底10之间还设置有导电图案以及介电结构，且场板与控制栅极CG可利用相同制作工艺一并形成，故场板的尺寸可受控制栅极CG的设计规格影响而相对地缩小，进而可缩小功率金属氧化物半导体结构101在半导体基底10上的所占面积，但并不以此为限。

[0113] 下文将针对本发明的不同实施例进行说明，且为简化说明，以下说明主要针对各实施例不同之处进行详述，而不再对相同之处作重复赘述。此外，本发明的各实施例中相同的元件是以相同的标号进行标示，以利于各实施例间互相对照。

[0114] 请参阅图11。图11所绘示为本发明第二实施例的功率金属氧化物半导体结构102的示意图。如图11所示，功率金属氧化物半导体结构102可还包括一导电层60，导电层的60材料组成可与接触结构的材料组成相同或相似，且导电层60可包括多个互相分离的部分，例如与接触结构CT1以及接触结构CT2相连的部分60A、与接触结构CT3相连的部分60B以及与接触结构CT4相连的部分60C，但并不以此为限。因此，场板FP1可通过接触结构CT1、接触结构CT2以及导电层60的部分60A而与栅极电极GE1电连接，且场板FP2可通过接触结构CT1、接触结构CT2以及导电层60的部分60A而与栅极电极GE2电连接，由此可使场板FP1与场板FP2在操作时可分别与栅极电极GE1与栅极电极GE2具有相同的电位而符合操作需求。相对地，对于图1所示的功率金属氧化物半导体结构101来说，则可视设计需要而在操作时使场板与栅极电极具有相同或不同的电位状况。

[0115] 综上所述，在本发明的功率金属氧化物半导体结构以及其制作方法中，可利用在栅极电极的同一侧形成堆叠的导电图案与场板，由此改善功率金属氧化物半导体结构的电性表现，例如可提升击穿电压或/及降低导通电阻，但并不以此为限。此外，功率金属氧化物半导体结构的制作方法可与存储器结构的制作方法整合，由此达到简化整体制作工艺、降低生产成本或/及缩小功率金属氧化物半导体结构在半导体基底上的所占面积等效果，但并不以此为限。

[0116] 以上所述仅为本发明的优选实施例，凡依本发明权利要求所做的均等变化与修饰，都应属本发明的涵盖范围。

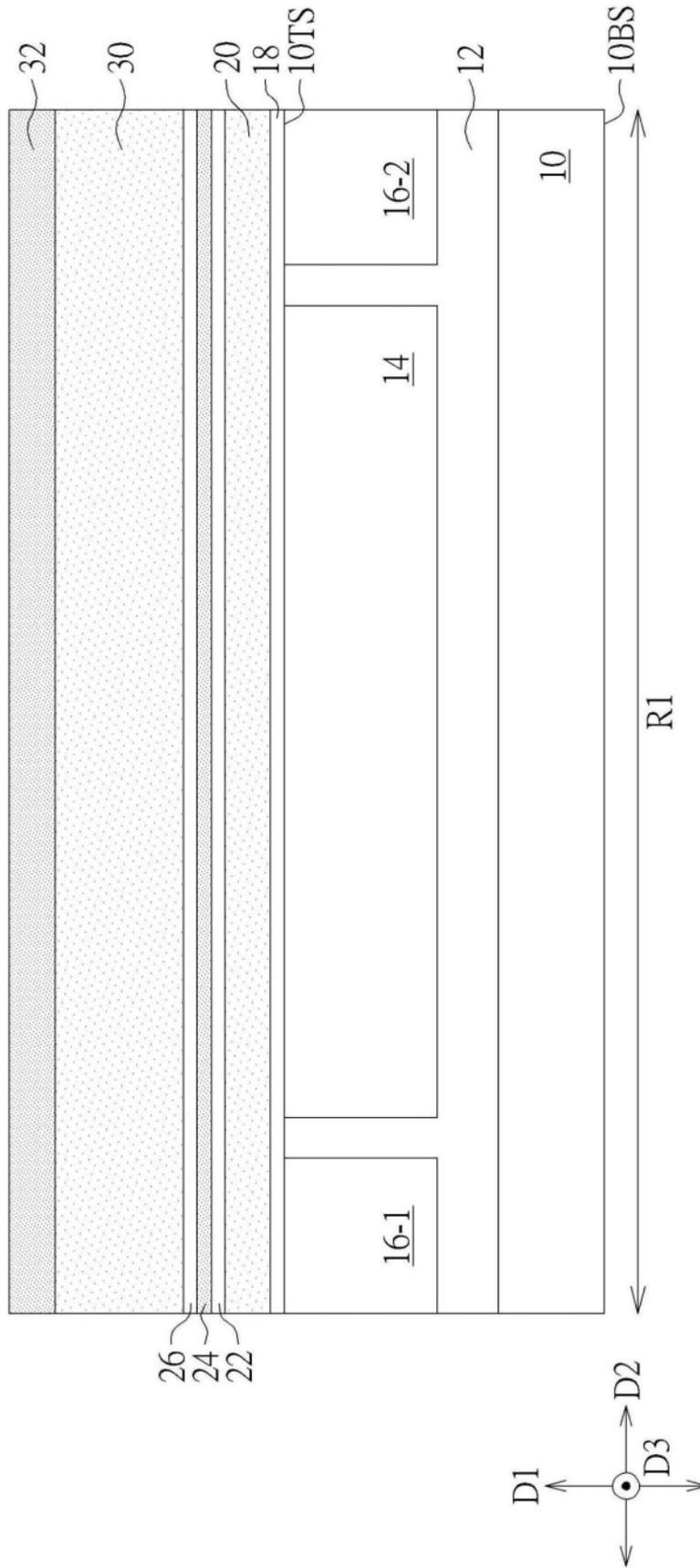


图2

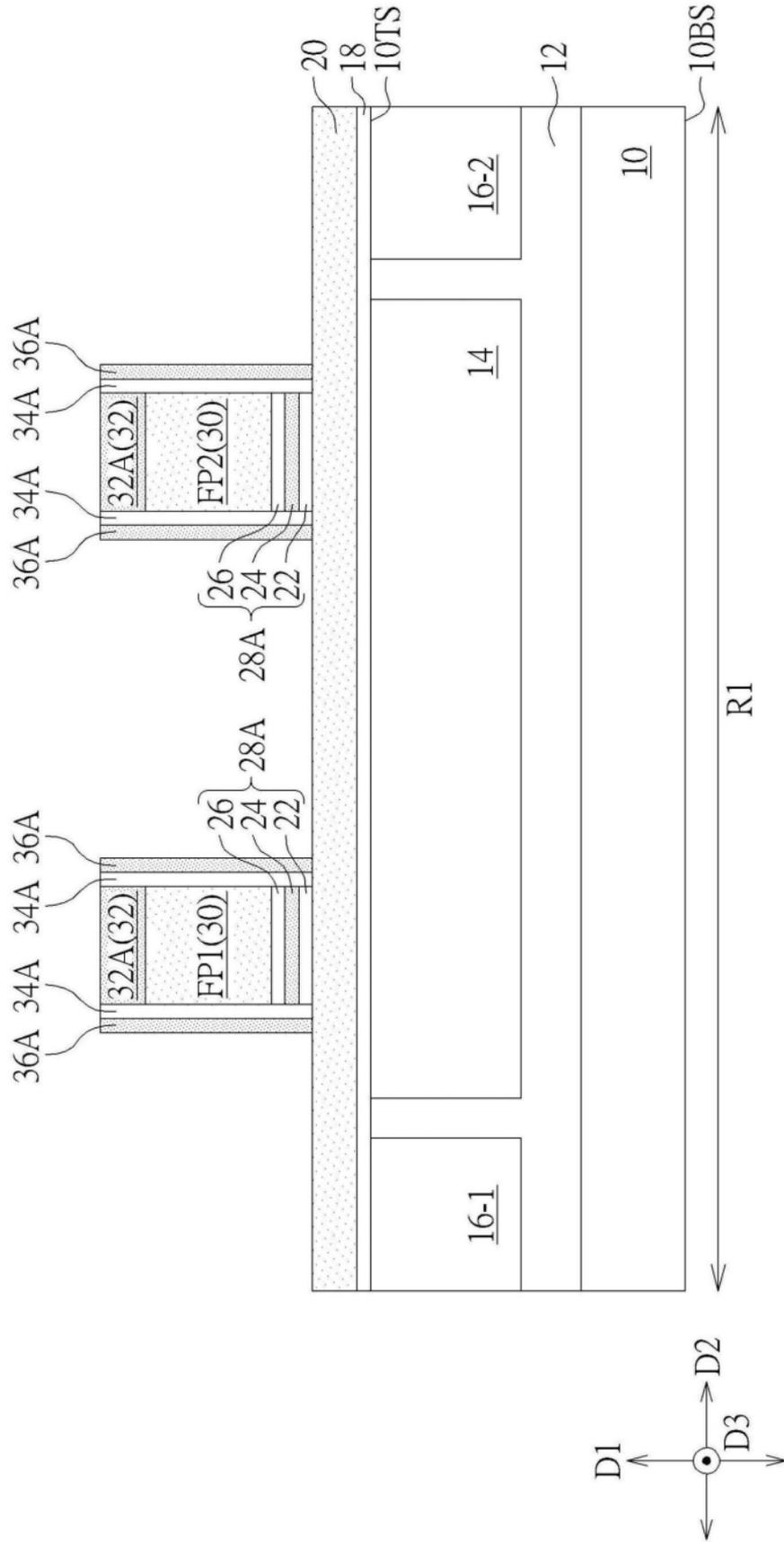


图3

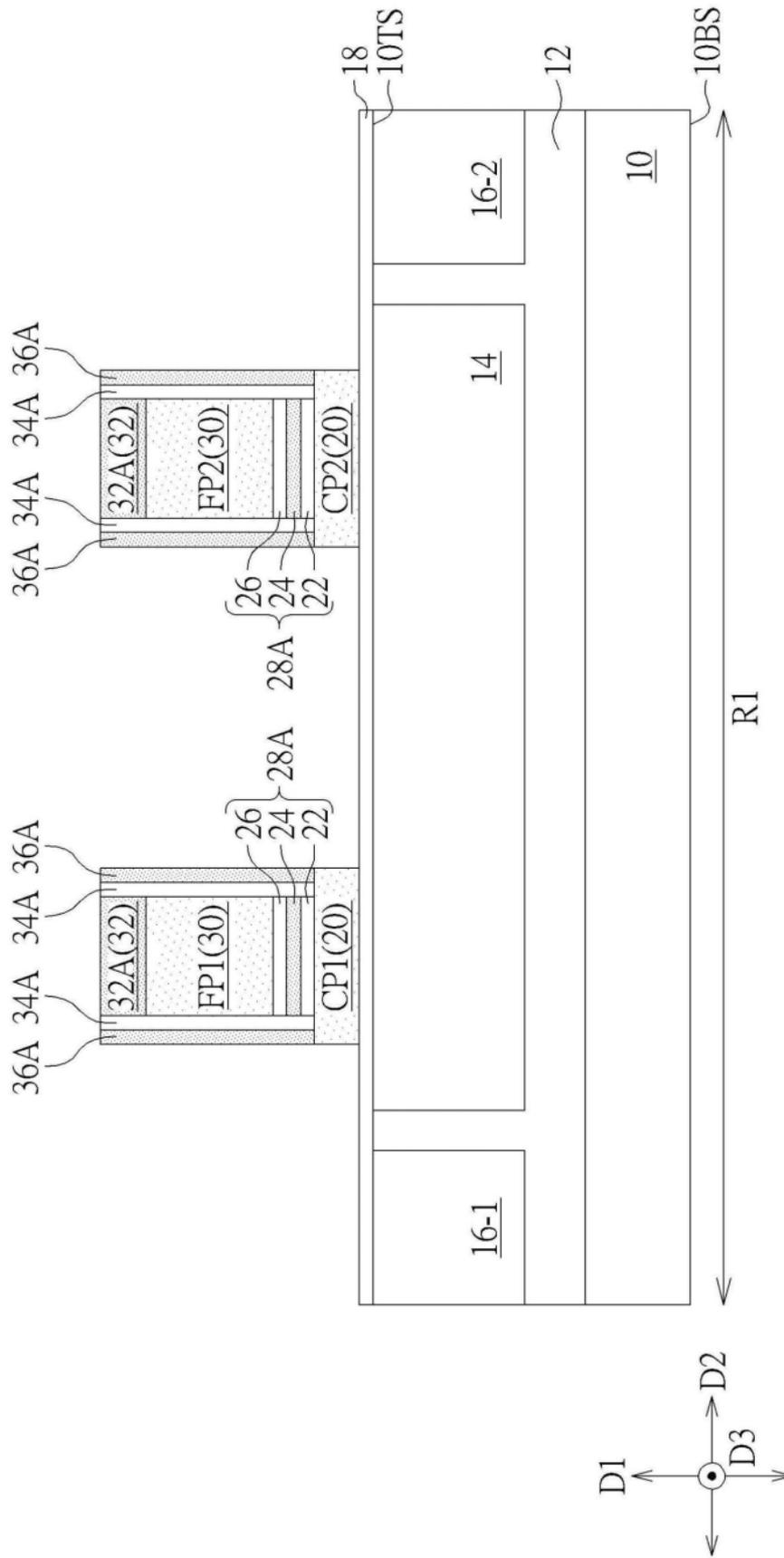


图4

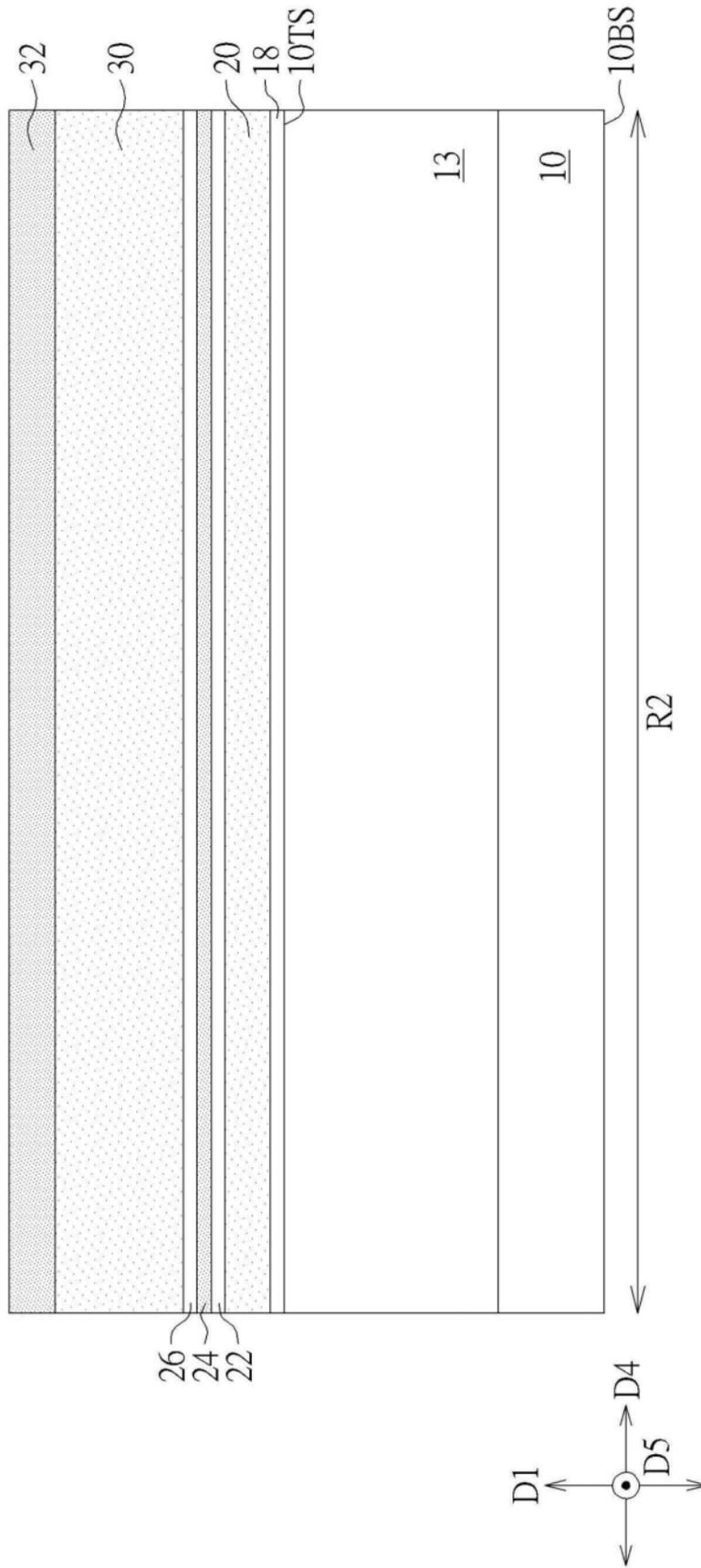


图6

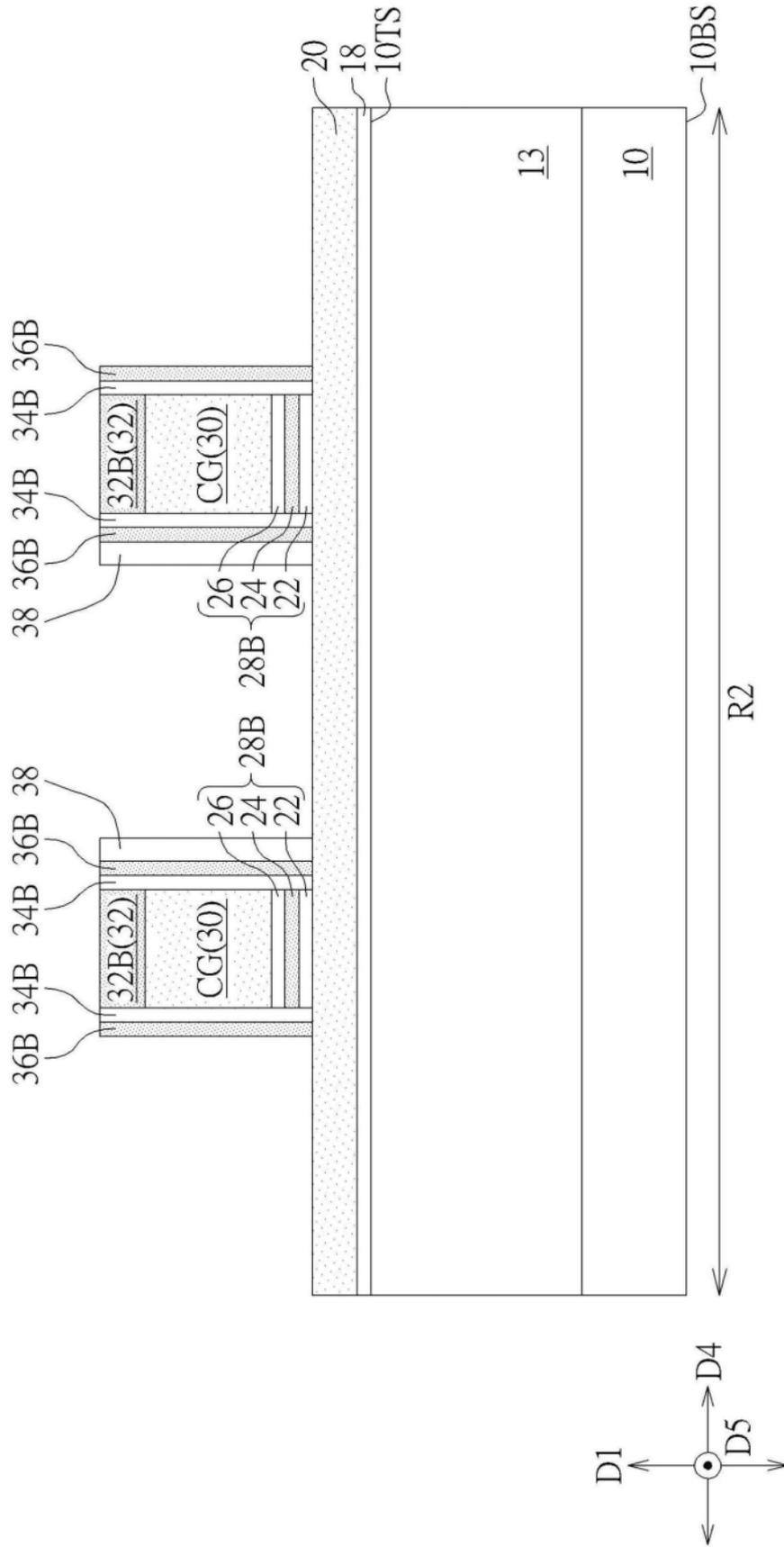


图7

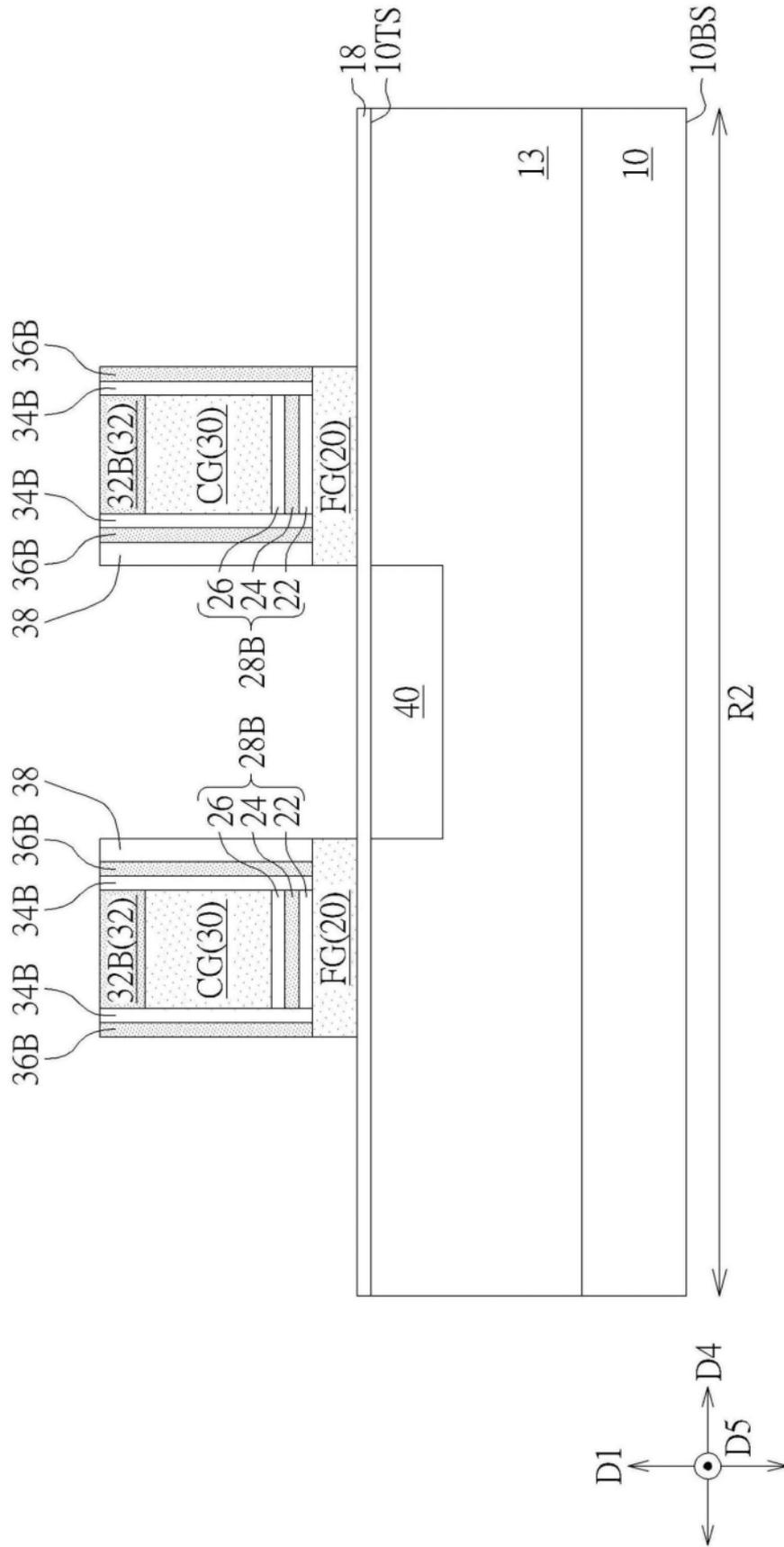


图8

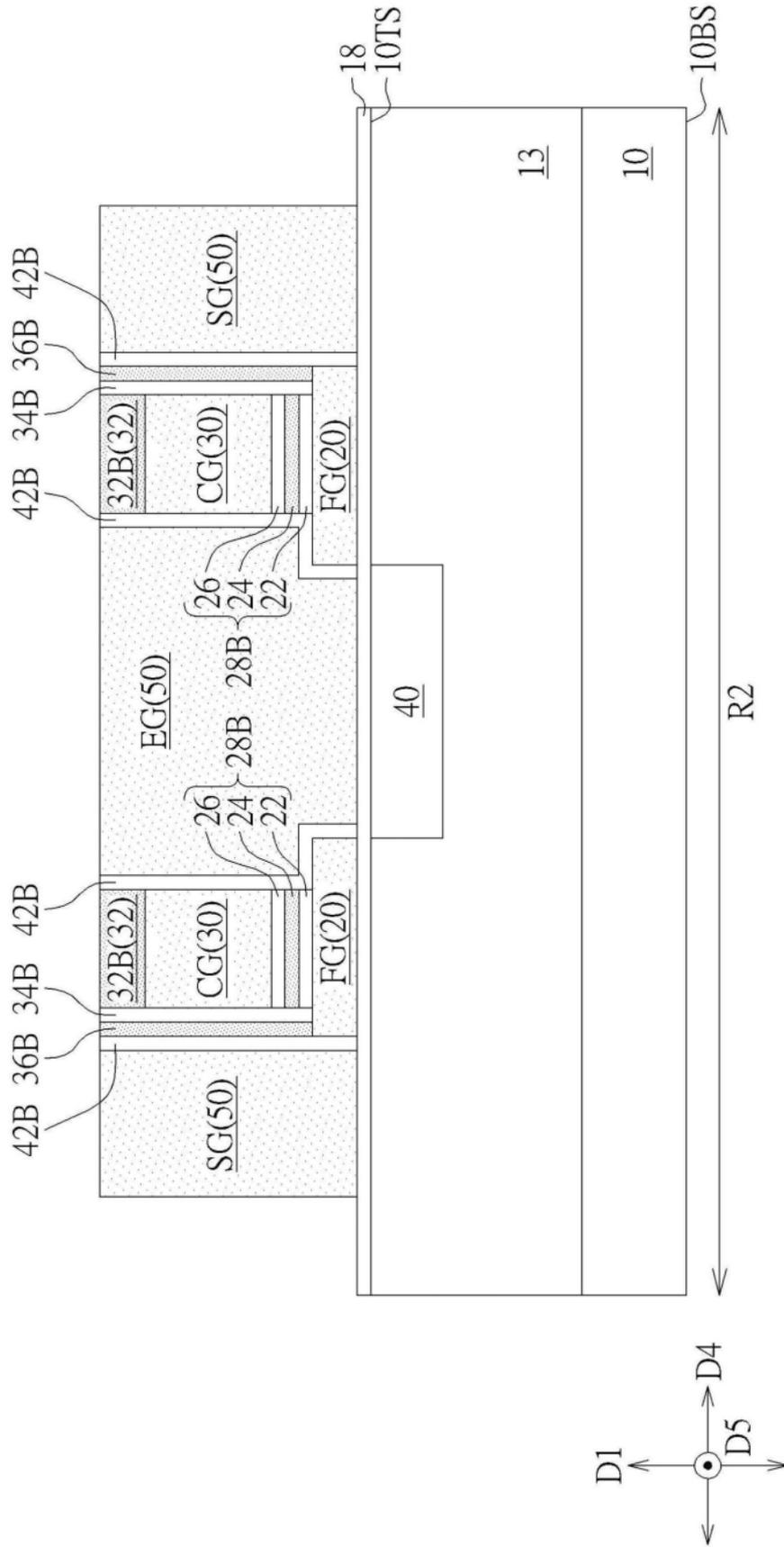


图9

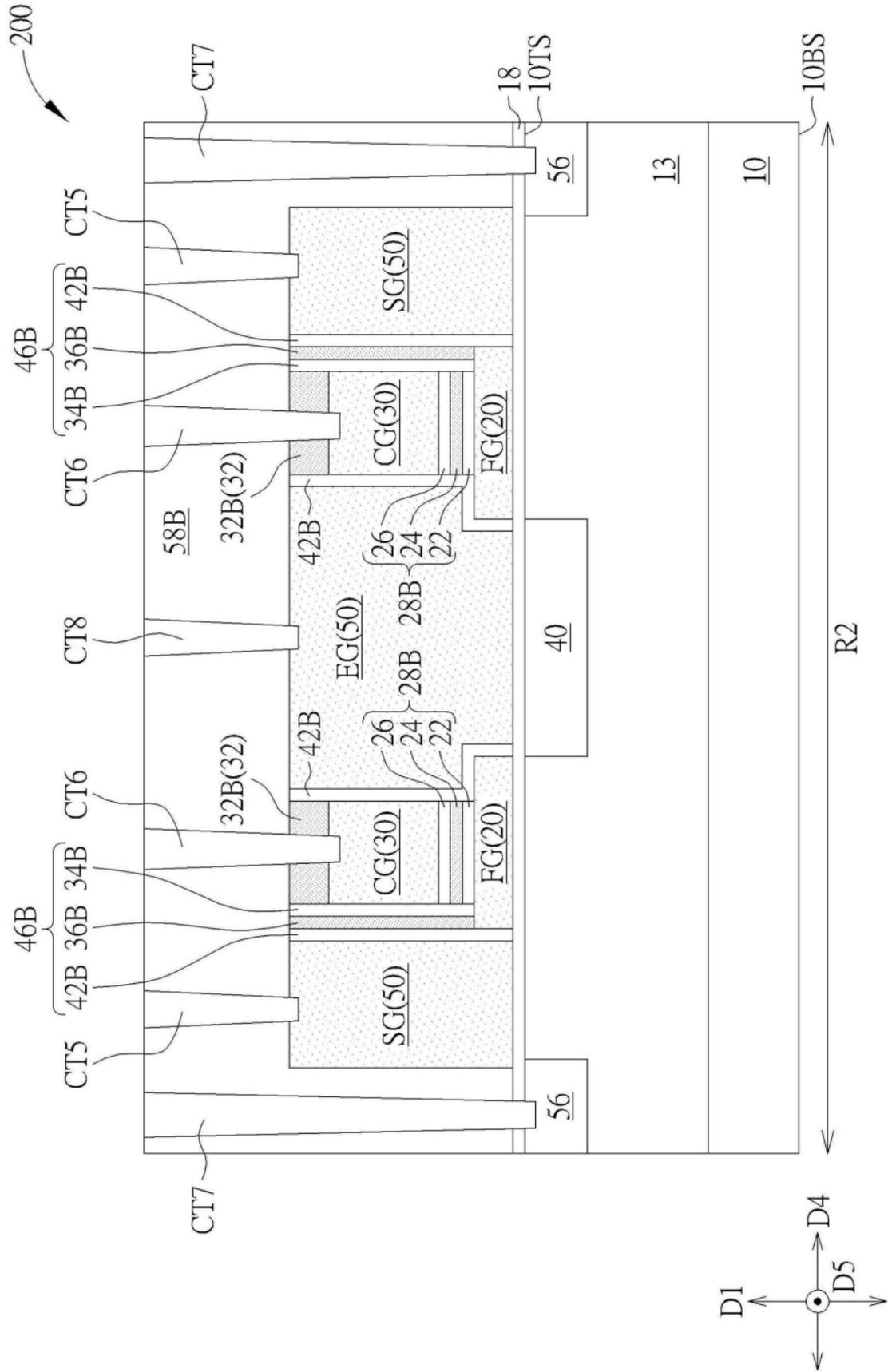


图10

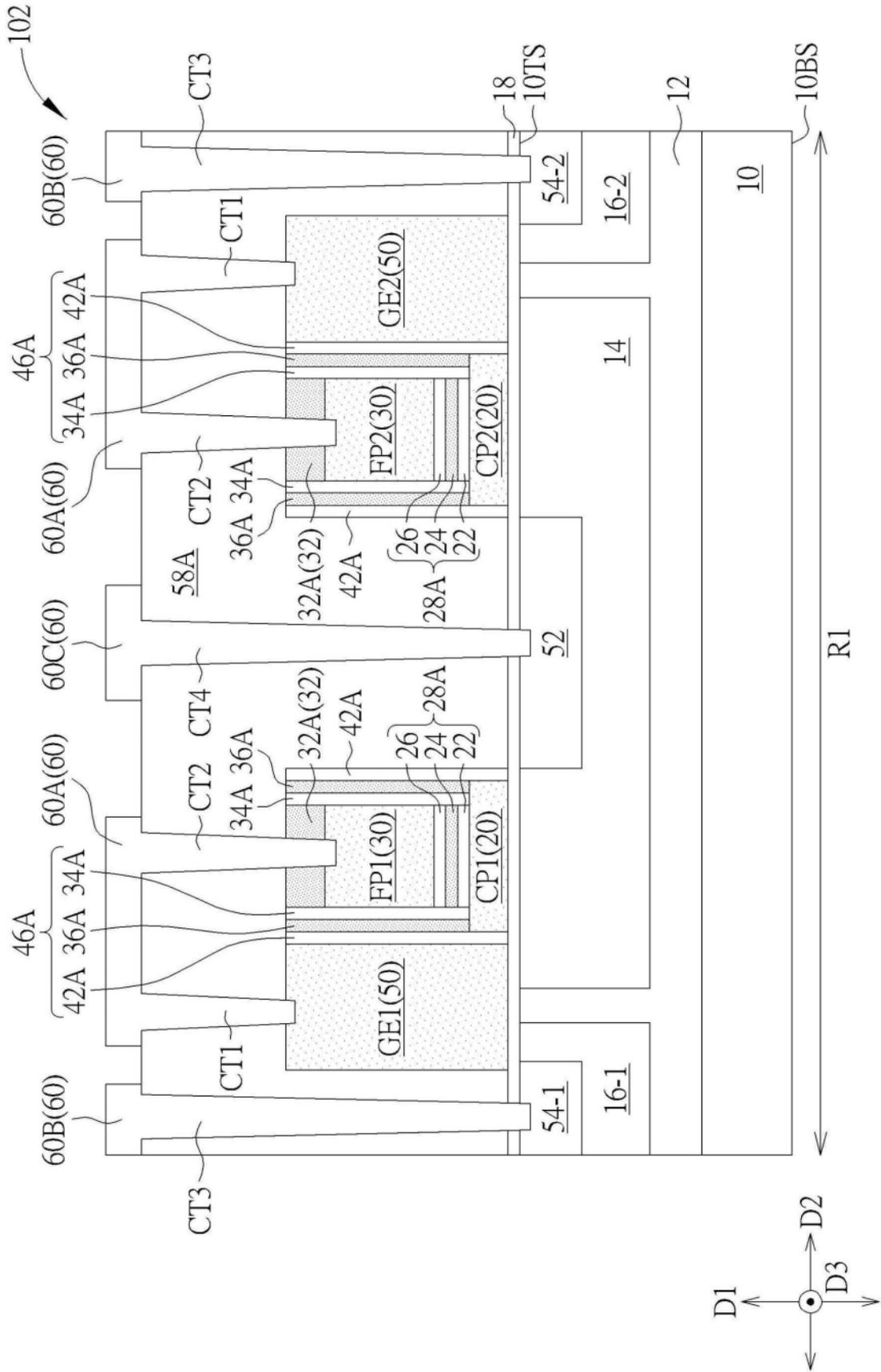


图11