

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4059712号
(P4059712)

(45) 発行日 平成20年3月12日(2008.3.12)

(24) 登録日 平成19年12月28日(2007.12.28)

(51) Int.Cl.			F I		
G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	611J
			G09G	3/20	612E
			G09G	3/20	621M
			G09G	3/20	623B
			請求項の数 10 (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2002-169636 (P2002-169636)
 (22) 出願日 平成14年6月11日(2002.6.11)
 (65) 公開番号 特開2004-13053 (P2004-13053A)
 (43) 公開日 平成16年1月15日(2004.1.15)
 審査請求日 平成17年4月14日(2005.4.14)

(73) 特許権者 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (74) 代理人 100083840
 弁理士 前田 実
 (74) 代理人 100116964
 弁理士 山形 洋一
 (72) 発明者 清水 信行
 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 審査官 後藤 亮治

最終頁に続く

(54) 【発明の名称】 表示素子用電流出力回路部の制御回路

(57) 【特許請求の範囲】

【請求項1】

回路基板上の所定方向に連続して設けられた複数の表示素子用電流出力回路部を備える駆動回路部に対して、出力電流の制御電圧を供給する制御電圧発生回路部の出力電圧を制御する制御回路であって、

前記制御電圧発生回路部から前記表示素子用電流出力回路部が連続して設けられた所定方向に向かって、駆動回路部内の各表示素子用電流出力回路部を任意数で分割して複数の表示素子用電流出力回路部群を設定し、該表示素子用電流出力回路部群の各々に対する電流制御電圧が段階的に変化するように直列接続された複数の分圧抵抗と、各分圧抵抗により分割された各電流制御電圧の出力端子を有する分圧回路部と、

分圧回路部の各電流制御電圧における制御電圧発生回路部に最も近い側の電流制御電圧により駆動される電流源回路を有し、該電流制御電圧に対応する第1の電流を出力する第1電流出力回路部と、

分圧回路部の各電流制御電圧における制御電圧発生回路部から最も遠い側の電流制御電圧により駆動される電流源回路を有し、該電流制御電圧に対応する第2の電流を出力する第2電流出力回路部と、

第1の電流と、第2の電流とが入力されて、前記両電流の差が小さくなる方向に、前記分圧回路部における制御電圧発生回路部から最も遠い側の電流制御電圧を制御する補償電圧生成回路部と

を備えることを特徴とする表示素子用電流出力回路部の制御回路。

【請求項 2】

前記第 1 電流出力回路部および第 2 電流出力回路部は、前記駆動回路部内の各表示素子用電流出力回路部と相似した特性を有するトランジスタ素子を用いて構成することを特徴とする請求項 1 に記載の表示素子用電流出力回路部の制御回路。

【請求項 3】

前記第 1 電流出力回路部および第 2 電流出力回路部は、前記駆動回路部内の各表示素子用電流出力回路部と同様な P 型 MOS トランジスタを用いて構成することを特徴とする請求項 2 に記載の表示素子用電流出力回路部の制御回路。

【請求項 4】

前記回路基板上において、

第 1 電流出力回路部は、前記駆動回路部内における前記制御電圧発生回路部に最も近い側の表示素子用電流出力回路部群内の何れかの表示素子用電力出力回路に隣接させて配置され、

第 2 電流出力回路部は、前記駆動回路部内における前記制御電圧発生回路部から最も遠い側の表示素子用電流出力回路部群内の何れかの表示素子用電力出力回路に隣接させて配置される

ことを特徴とする請求項 1 ~ 3 の何れかに記載の表示素子用電流出力回路部の制御回路。

【請求項 5】

回路基板上の所定方向に連続して設けられた複数の表示素子用電流出力回路部を備える駆動回路部に対して、出力電流の制御電圧を供給する制御回路であって、

前記表示素子用電流出力回路部が連続して設けられた所定方向に向かって、駆動回路部内の各表示素子用電流出力回路部を任意数で分割して複数の表示素子用電流出力回路部群を設定し、該表示素子用電流出力回路部群の各々に対する電流制御電圧が段階的に変化するように直列接続された複数の分圧抵抗と、各分圧抵抗により分割された各電流制御電圧の出力端子を有する分圧回路部と、

第 1 の基準電流が入力され、該基準電流に対応する第 1 の電圧を前記分圧回路の、前記所定方向の一方の側の一端の電流制御電圧として出力し、且つ電流 - 電圧変換特性が、前記駆動回路部の前記所定方向の一方の側の一端に位置する表示素子用電流出力回路部の電圧 - 電流変換特性と略逆関数の関係にある第 1 電流電圧変換回路部と、

第 2 の基準電流が入力され、該基準電流に対応する第 2 の電圧を前記分圧回路の、前記所定方向の他方の側の他端の電流制御電圧として出力し、且つ電流 - 電圧変換特性が、前記駆動回路部の前記所定方向の他方の側の他端に位置する表示素子用電流出力回路部の電圧 - 電流変換特性と略逆関数の関係にある第 2 電流電圧変換回路部と、

前記第 1 の基準電流と前記第 2 の基準電流を略同値の関係で出力する基準電流生成回路部と

を備えることを特徴とする表示素子用電流出力回路部の制御回路。

【請求項 6】

前記第 1 電流電圧変換回路部および第 2 電流電圧変換回路部は、前記駆動回路部内の各表示素子用電流出力回路部と相似した特性を有するトランジスタ素子を用いて構成することを特徴とする請求項 5 に記載の表示素子用電流出力回路部の制御回路。

【請求項 7】

前記第 1 電流電圧変換回路部および第 2 電流電圧変換回路部は、前記駆動回路部内の各表示素子用電流出力回路部と同様な P 型 MOS トランジスタを用いて構成することを特徴とする請求項 6 に記載の表示素子用電流出力回路部の制御回路。

【請求項 8】

前記回路基板上において、

第 1 電流電圧変換回路部は、前記駆動回路部の一端に配置された表示素子用電流出力回路部群内の何れかの表示素子用電力出力回路に隣接させて配置され、

第 2 電流電圧変換回路部は、前記駆動回路部の他端に配置された表示素子用電流出力回路部群内の何れかの表示素子用電力出力回路に隣接させて配置される

10

20

30

40

50

ことを特徴とする請求項 5 ~ 7 の何れかに記載の表示素子用電流出力回路部の制御回路。

【請求項 9】

前記第 1 電流電圧変換回路部および前記第 2 電流電圧変換回路部は、各電流電圧変換回路部と並列に設けられ、前記基準電流が入力される入力端と前記電圧値を出力する出力端との間のインピーダンスを変換するインピーダンス変換回路を有する

ことを特徴とする請求項 8 に記載の表示素子用電流出力回路部の制御回路。

【請求項 10】

前記インピーダンス変換回路は、

前記第 1 電流電圧変換回路部および前記第 2 電流電圧変換回路部の電源電圧と、各電流電圧変換回路部の電流制御電圧との間に配置される抵抗素子と、

前記電流制御電圧の入力端と接地電圧との間に配置され、前記電流値を制御入力とするトランジスタ素子

を有することを特徴とする請求項 9 に記載の表示素子用電流出力回路部の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、エレクトロルミネッセンス (EL) 素子あるいは発光ダイオード (LED) 素子のように電流が供給されることにより発光する表示素子を多数使用した装置の駆動回路部を制御する制御回路に関し、特に、多数の発光素子の輝度が均等になるように駆動回路部を制御する回路に関する。

【0002】

【従来の技術】

図 7 は、多数の発光表示素子の従来の駆動回路部および制御回路を示す図である。

図 7 において、D1 ~ D6 が EL 素子あるいは LED 素子等の発光表示素子であり、10 が発光表示素子 D1 ~ D6 を個別に発光させるための各電流を出力する駆動回路部であり、20 が駆動回路部 10 の各駆動回路部から出力される電流の大きさを制御するための制御電圧 Vc1 を出力する制御電圧発生回路部である。

【0003】

制御電圧発生回路部 20 は、電源電圧 Vdd および接地電圧 Vss と接続されている。駆動回路部 10 は、電源電圧 Vdd および発光表示素子 D1 ~ D6 のアノードと接続されており、発光表示素子 D1 ~ D6 のカソードが接地電圧 Vss と接続されている。

【0004】

駆動回路部 10 の中には、各発光表示素子 D1 ~ D6 を個別に発光させるための各電流を出力する電流出力回路部 Dr1 ~ Dr6 が備えられている。電流出力回路部 Dr1 ~ Dr6 は、電源電圧 Vdd および制御電圧 Vc を入力し、各発光表示素子 D1 ~ D6 用の電流 Id1 ~ Id6 を出力する。

【0005】

各電流出力回路部 Dr1 ~ Dr6 の中には、P 型の MOS (Metal Oxide Semiconductor) トランジスタが 2 個ずつ備えられている。例えば、電流出力回路部 Dr1 の中では、第 1 の P 型 MOS トランジスタ Q1 のドレインと、第 2 の P 型 MOS トランジスタ Q2 のソースが直列に接続されている。第 1 の P 型 MOS トランジスタ Q1 のソースは電源電圧 Vdd に接続され、また、第 1 の P 型 MOS トランジスタ Q1 のゲートは制御電圧発生回路部 20 に接続されて制御電圧 Vc1 が入力される。他の電流出力回路部 Dr2 ~ Dr6 中の第 1 の P 型 MOS トランジスタ Q3、Q5、Q7、Q9、および、Q11 も、同様に各々電源電圧 Vdd と制御電圧発生回路部 20 に接続される。

【0006】

電流出力回路部 Dr1 中の第 2 の P 型 MOS トランジスタ Q2 のゲートには、この MOS トランジスタをオン/オフするためのスイッチ信号 S1 が入力される。そして、この MOS トランジスタがオンになると、ドレインからは発光表示素子 D1 用の電流 Id1 が出力される。他の電流出力回路部 Dr2 ~ Dr6 中の第 2 の P 型 MOS トランジスタ Q4、Q

10

20

30

40

50

6、Q 8、Q 10、および、Q 12の各ゲートにも、同様に各スイッチ信号S 2、S 3、S 4、S 5、および、S 6が入力され、各ドレインからは発光表示素子D 2～D 6用の電流I d 2～I d 6が各々出力される。

【0007】

制御電圧発生回路部20の中には、P型MOSトランジスタQ 21とP型MOSトランジスタQ 22と、演算増幅回路OP 1が設けられている。

【0008】

P型MOSトランジスタQ 21は、各電流出力回路部Dr 1～Dr 6中の第1のP型MOSトランジスタQ 1、Q 3、Q 5、Q 7、Q 9、および、Q 11のディメンジョンと同一のディメンジョンを有するか、相似の特性を有する素子である。また、P型MOSトランジスタQ 22は、各電流出力回路部Dr 1～Dr 6中の第2のP型MOSトランジスタQ 2、Q 4、Q 6、Q 8、Q 10、および、Q 12のディメンジョンと同一のディメンジョンを有するか、相似の特性を有する素子である。

10

【0009】

P型MOSトランジスタQ 21と、各電流出力回路部Dr 1～Dr 6中の第1のP型MOSトランジスタQ 1、Q 3、Q 5、Q 7、Q 9、および、Q 11とは、上記したように同様あるいは相似の特性を有しており、ゲートも共通して制御電圧V c 1が供給されているため、カレントミラー回路を形成している。また、P型MOSトランジスタQ 21のドレインには、P型MOSトランジスタQ 22のソースが直列に接続され、さらに、P型MOSトランジスタQ 22のドレインには、抵抗R 1が接続されている。

20

【0010】

演算増幅回路OP 1は、参照電圧V r e fおよびP型MOSトランジスタQ 22のドレイン出力電圧を入力し、制御電圧V c 1を出力する。このV c 1がP型MOSトランジスタQ 21に供給されると共に、各電流出力回路部Dr 1～Dr 6に制御信号として供給される。演算増幅回路OP 1は、参照電圧V r e f（演算増幅回路OP 1の反転入力端子の電位）と抵抗R 1の電位（演算増幅回路OP 1の非反転入力端子の電位）が等しくなるように制御電圧V c 1を制御するため、Q 21の出力電流I r e fは参照電圧V r e fおよび抵抗R 1の値によって決まる一定の電流が維持される。

【0011】

また、上記したようにP型MOSトランジスタQ 21と、各電流出力回路部Dr 1～Dr 6中の第1のP型MOSトランジスタQ 1、Q 3、Q 5、Q 7、Q 9、および、Q 11とは、カレントミラー回路を形成するため、電流出力回路部Dr 1～Dr 6の出力電流I d 1～I d 6は、P型MOSトランジスタQ 21のドレインからの出力電流I r e fと同等か、比例関係となり、かつ、一定に維持される。

30

【0012】

図8は、図7の発光表示素子、駆動回路部および制御電圧発生回路部が設けられた集積回路の基板上の従来の配置例を示す図である。

基板100上では、制御電圧発生回路部20の近傍に駆動回路部10が設けられている。電源電圧V d dが制御電圧発生回路部20と駆動回路部10に供給され、制御電圧発生回路部20から駆動回路部10に制御電圧V c 1が供給されている。基板100の外部には駆動回路部10の各出力電流I d 1～I d 6が出力される導電路に対応して発光表示素子D 1～D 6が設けられている。また、駆動回路部10内には、方向Aの順に並べて各電流出力回路部Dr 1～Dr 6が設けられている。一般的に、基板100の上では、トランジスタ特性のマッチングを良くするために、制御電圧発生回路部20のブロックと、駆動回路部10のブロックとの距離が近くなるように設けられる。

40

【0013】

駆動回路部10の各出力電流I d 1～I d 6は、ほぼ同じ値になるように設計され、製造されるが、集積回路で多くの電流出力回路部を形成する場合には、各電流出力回路部毎に素子特性もばらつくため、各電流出力回路部毎に電流値がばらつくことは避けられない。

【0014】

50

【発明が解決しようとする課題】

近年の表示装置に対する高解像度要求により、駆動回路部10内の電流出力回路部Dr1～Dr6の数は増加傾向にあり、数百個以上を並べる必要が生じてきた。その結果、図8の方向Aの寸法も増大している。

【0015】

しかしながら、駆動回路部10の各出力電流Id1～Id6は、制御電圧発生回路部20から遠ざかる程基準電流Irefとの差が大きくなる傾向があることがわかった。

【0016】

図9(a)は、図7の各表示素子用電流出力回路部Dr1～Dr6の制御電圧Vcを示す図であり、(b)は図7の制御電圧発生回路部20からの距離によって異なる各表示素子用電流出力回路部Dr1～Dr6の出力電流の値Id1～Id6を示した図である。

図9(b)では、例えば、制御電圧発生回路部20に最も近い電流出力回路部Dr1の出力電流Id1よりも、制御電圧発生回路部20から最も遠い電流出力回路部Dr6の出力電流Id6の方が小さな値であり、制御電圧発生回路部20から遠ざかるほど減少傾向である場合を示している。なお、実際の駆動回路部から出力される電流値は、図9(b)のように直線とはならない。しかし、一般的な傾向として、例えば、図8に方向Aで示した電流出力回路部Dr1から電流出力回路部Dr6に向かう方向で、制御電圧発生回路部20から距離が遠ざかるほど、その距離に対応して電流値Id1とId6との差は増加する。

【0017】

従って、高解像度要求等により発光表示素子の駆動回路部10内の電流出力回路部Dr1～Dr6の数が増加すればするほど、具体的に言い換えれば、駆動回路部10内の電流出力回路部が制御電圧発生回路部20から距離が離れれば離れるほど、その電流出力回路部から出力される電流値と、最も近い電流出力回路部Dr1の出力電流との差は増加する。

【0018】

本発明は、上述した如き従来の問題を解決するためになされたものであって、発光表示素子の駆動回路部内の電流出力回路部の数が増加しても、各電流出力回路部から出力される電流値間のばらつきが少ない表示素子用電流出力回路部の制御回路を提供することを目的とする。

【0019】**【課題を解決するための手段】**

上述の目的を達成するため、請求項1に記載した本発明の表示素子用電流出力回路部の制御回路は、回路基板上の所定方向に連続して設けられた複数の表示素子用電流出力回路部を備える駆動回路部に対して、出力電流の制御電圧を供給する制御電圧発生回路部の出力電圧を制御する制御回路であって、制御電圧発生回路部から表示素子用電流出力回路部が連続して設けられた所定方向に向かって、駆動回路部内の各表示素子用電流出力回路部を任意数で分割して複数の表示素子用電流出力回路部群を設定し、該表示素子用電流出力回路部群の各々に対する電流制御電圧が段階的に変化するように直列接続された複数の分圧抵抗と、各分圧抵抗により分割された各電流制御電圧の出力端子を有する分圧回路部と、分圧回路部の各電流制御電圧における制御電圧発生回路部に最も近い側の電流制御電圧により駆動される電流源回路を有し、該電流制御電圧に対応する第1の電流を出力する第1電流出力回路部と、分圧回路部の各電流制御電圧における制御電圧発生回路部から最も遠い側の電流制御電圧により駆動される電流源回路を有し、該電流制御電圧に対応する第2の電流を出力する第2電流出力回路部と、第1の電流と、第2の電流とが入力されて、両電流の差が小さくなる方向に、分圧回路部における制御電圧発生回路部から最も遠い側の電流制御電圧を制御する補償電圧生成回路部とを備えることを特徴とする。

【0020】

また、請求項2の本発明は、請求項1に記載の表示素子用電流出力回路部の制御回路において、第1電流出力回路部および第2電流出力回路部は、駆動回路部内の各表示素子用電流出力回路部と相似した特性を有するトランジスタ素子を用いて構成することを特徴とす

る。

【0021】

また、請求項3の本発明は、請求項2に記載の表示素子用電流出力回路部の制御回路において、第1電流出力回路部および第2電流出力回路部は、駆動回路部内の各表示素子用電流出力回路部と同様なP型MOSトランジスタを用いて構成することを特徴とする。

【0022】

また、請求項4の本発明は、請求項1～3の何れかに記載の表示素子用電流出力回路部の制御回路において、回路基板上において、第1電流出力回路部は、駆動回路部内における制御電圧発生回路部に最も近い側の表示素子用電流出力回路部群内の何れかの表示素子用電流出力回路部に隣接させて配置され、第2電流出力回路部は、駆動回路部内における制御電圧発生回路部から最も遠い側の表示素子用電流出力回路部群内の何れかの表示素子用電流出力回路部に隣接させて配置されることを特徴とする。

【0023】

また、請求項5に記載した本発明の表示素子用電流出力回路部の制御回路は、回路基板上の所定方向に連続して設けられた複数の表示素子用電流出力回路部を備える駆動回路部に対して、出力電流の制御電圧を供給する制御回路であって、表示素子用電流出力回路部が連続して設けられた所定方向に向かって、駆動回路部内の各表示素子用電流出力回路部を任意数で分割して複数の表示素子用電流出力回路部群を設定し、該表示素子用電流出力回路部群の各々に対する電流制御電圧が段階的に変化するように直列接続された複数の分圧抵抗と、各分圧抵抗により分割された各電流制御電圧の出力端子を有する分圧回路部と、第1の基準電流が入力され、該基準電流に対応する第1の電圧を前記分圧回路の、前記所定方向の一方の側の一端の電流制御電圧として出力し、且つ電流-電圧変換特性が、前記駆動回路部の前記所定方向の一方の側の一端に位置する表示素子用電流出力回路部の電圧-電流変換特性と略逆関数の関係にある第1電流電圧変換回路部と、

第2の基準電流が入力され、該基準電流に対応する第2の電圧を前記分圧回路の、前記所定方向の他方の側の他端の電流制御電圧として出力し、且つ電流-電圧変換特性が、前記駆動回路部の前記所定方向の他方の側の他端に位置する表示素子用電流出力回路部の電圧-電流変換特性と略逆関数の関係にある第2電流電圧変換回路部と、

前記第1の基準電流と前記第2の基準電流を略同値の関係で出力する基準電流生成回路部とを備えることを特徴とする。

【0024】

また、請求項6の本発明は、請求項5に記載の表示素子用電流出力回路部の制御回路において、第1電流電圧変換回路部および第2電流電圧変換回路部は、駆動回路部内の各表示素子用電流出力回路部と相似した特性を有するトランジスタ素子を用いて構成することを特徴とする。

【0025】

また、請求項7の本発明は、請求項6に記載の表示素子用電流出力回路部の制御回路において、第1電流電圧変換回路部および第2電流電圧変換回路部は、駆動回路部内の各表示素子用電流出力回路部と同様なP型MOSトランジスタを用いて構成することを特徴とする。

【0026】

また、請求項8の本発明は、請求項5～7の何れかに記載の表示素子用電流出力回路部の制御回路において、回路基板上において、第1電流電圧変換回路部は、駆動回路部の一端に配置された表示素子用電流出力回路部群内の何れかの表示素子用電流出力回路部に隣接させて配置され、第2電流電圧変換回路部は、駆動回路部の他端に配置された表示素子用電流出力回路部群内の何れかの表示素子用電流出力回路部に隣接させて配置されることを特徴とする。

【0027】

また、請求項9の本発明は、請求項8に記載の表示素子用電流出力回路部の制御回路において、第1電流電圧変換回路部および第2電流電圧変換回路部は、各電流電圧変換回路部

と並列に設けられ、基準電流が入力される入力端と電圧値を出力する出力端との間のインピーダンスを変換するインピーダンス変換回路を有することを特徴とする。

【0028】

また、請求項10の本発明は、請求項9に記載の表示素子用電流出力回路部の制御回路において、インピーダンス変換回路は、第1電流電圧変換回路部および第2電流電圧変換回路部の電源電圧と、各電流電圧変換回路部の電流制御電圧との間に配置される抵抗素子と、電流制御電圧の入力端と接地電圧との間に配置され、電流値を制御入力とするトランジスタ素子を有することを特徴とする。

【0029】

【発明の実施の形態】

以下、本発明を図示した実施形態に基づいて説明する。

【0030】

第1の実施形態．

図1は、本発明の第1の実施形態の表示素子用電流出力回路部の制御回路を示す図である。

尚、図1において、図7に示した従来の制御回路と同じ機能の部分については同じ符号を付し、重複する説明を省略する。

なお、以下の説明は、駆動回路部10内に、多数(数百単位)の表示素子用電流出力回路部Dr1~Dr6が連続して設けられ、その連続する方向が、例えば、図8の回路基板上(半導体チップ上)の所定方向である方向Aとした場合で、制御電圧発生回路部20からは、出力電圧として、制御電圧Vc1が供給される場合である。

【0031】

図1に示した実施形態が図7に示した従来の制御回路と主に異なる点としては、以下の各点となる。

(1) 制御電圧発生回路部20から表示素子用電流出力回路部が連続して設けられた所定方向Aに向かって、駆動回路部10内の各表示素子用電流出力回路部Dr1~Dr6を任意数で分割して複数の表示素子用電流出力回路部群11~13を設定した点。

【0032】

(2) 表示素子用電流出力回路部群11~13の各々に対する制御電圧Vc1~Vc3が段階的に変化するように直列接続された複数の分圧抵抗R31~R33と、各分圧抵抗R31~R33により分割された各制御電圧Vc1~Vc3の出力端子Tp1~Tp3を有する分圧回路部30が設けられた点。

【0033】

(3) 分圧回路部30の各制御電圧Vc1~Vc3における制御電圧発生回路部20に最も近い側の制御電圧Vc1を検出し、その制御電圧Vc1に対応する第1の電流Ic1を出力する第1電流出力回路部50が設けられた点。

【0034】

(4) 分圧回路部30の各制御電圧Vc1~Vc3における制御電圧発生回路部20から最も遠い側の制御電圧Vc3を検出し、その制御電圧Vc3に対応する第2の電流Ic3を出力する第2電流出力回路部40が設けられた点。

【0035】

(5) 第1電流出力回路部50と接地電圧との間に、第1抵抗素子である抵抗R62を配置した点。

【0036】

(6) 第2電流出力回路部40と接地電圧との間に、第2抵抗素子である抵抗R61を配置した点。

【0037】

(7) 第1抵抗素子である抵抗R62に第1の電流Ic1が流れることにより発生する第1の電圧Vh1と、第2抵抗素子である抵抗R61を第2の電流Ic3が流れることにより発生する第2の電圧Vh3とが入力されて、両電圧(Vh1およびVh3)の差分に

10

20

30

40

50

対応した補償電圧 V_{cn} を、分圧回路部30における制御電圧発生回路部20から最も遠い側の制御電圧の出力端子 $Tp3$ に出力する演算増幅回路部 $OP61$ を設けた点。

【0038】

ここで、抵抗 $R61$ 、抵抗 $R62$ 、および、演算増幅回路部 $OP61$ を有する回路を、以降の説明では補償電圧生成回路60と称することとする。本実施形態の第1抵抗素子である抵抗 $R62$ と、第2抵抗素子である抵抗 $R61$ は同一の抵抗値に設定されている。

【0039】

本実施形態の第1電流出力回路部50および第2電流出力回路部40は、例えば、各表示素子用電流出力回路部 $Dr1 \sim Dr6$ と同様なP型MOSトランジスタ $Q41 \sim Q42$ 、 $Q51 \sim Q52$ を用いて構成する。あるいは、駆動回路部10内の各表示素子用電流出力回路部 $Dr1 \sim Dr6$ と相似した特性を有するトランジスタ素子を用いて構成しても良い。

10

【0040】

図2は、図1の実施形態の発光表示素子、駆動回路部および制御電圧発生回路部が設けられた集積回路の基板上(半導体チップ上)の配置例を示す図である。

尚、図2においても、図8に示した従来の制御回路と同じ機能の部分については同じ符号を付し、重複する説明を省略する。

【0041】

本実施形態の基板200上では、制御電圧発生回路部20と駆動回路部10との間に第1電流出力回路部50が設けられる。言い換えれば、第1電流出力回路部50は、駆動回路部10内で制御電圧発生回路部20に最も近い側の表示素子用電流出力回路部 $Dr1$ に隣接するように配置される。

20

【0042】

一方、第2電流出力回路部40は、駆動回路部10における制御電圧発生回路部20から最遠端側に設けられる。言い換えれば、駆動回路部10内で制御電圧発生回路部から最も遠い側の表示素子用電流出力回路部 $Dr6$ に隣接するように配置される。

【0043】

分圧回路部30は、駆動回路部10と略並列に、第1電流出力回路部50と第2電流出力回路部40と挟まれるように配置される。

【0044】

補償電圧生成回路60は、基板200上の任意の位置に配置しても良いが、補償電圧 V_{cn} (補償電流 I_{co})を分圧回路部30の出力端子 $Tp3$ に出力するため、第2電流出力回路部40の近傍に配置されることが望ましい。

30

【0045】

図2に示したように、第1電流出力回路部50を駆動回路部10内で制御電圧発生回路部20に最も近い側の表示素子用電流出力回路部 $Dr1$ に隣接するように配置することで、表示素子用電流出力回路部 $Dr1$ に流れる電流 I_{d1} と、第1電流出力回路部50を流れる電流 I_{c1} は略同等の値となる。また、第2電流出力回路部40を駆動回路部10内で制御電圧発生回路部20から最も遠い側の表示素子用電流出力回路部 $Dr6$ に隣接するように配置することで、表示素子用電流出力回路部 $Dr6$ に流れる電流 I_{d6} と、第2電流出力回路部40を流れる電流 I_{c3} は略同等の値となる。また、第1電流出力回路部50および第2電流出力回路部40内のP型MOSトランジスタ $Q42$ および $Q52$ のゲートには、これらのトランジスタが常時オン状態となるように接地電圧が加えられる。

40

【0046】

図1および図2に示したように第1電流出力回路部50および第2電流出力回路部40を配置することにより、表示素子用電流出力回路部 $Dr1$ に流れる電流 I_{d1} と、表示素子用電流出力回路部 $Dr6$ に流れる電流 I_{d6} と同等な電流を発生させることができる。そして、抵抗 $R61$ と $R62$ の抵抗値を同様にすることで、分圧回路部30における制御電圧発生回路部20に最も近い側の出力端子 $Tp1$ の制御電圧 V_{c1} に対応する電圧 V_{h1} と、制御電圧発生回路部20に最も遠い側の出力端子 $Tp3$ の制御電圧 V_{c3} に対応する

50

電圧 V_{h3} とを発生させることができる。

【0047】

演算増幅回路部 OP61 では、電圧 V_{h1} と電圧 V_{h3} との差分に対応した補償電圧 V_{cn} (補償電圧 I_o) を生成して出力端子 Tp3 に加える。この補償電圧 V_{cn} が出力端子 Tp3 に加えられることにより、制御電圧 V_{c3} は、制御電圧 $V_{c1} + (R_{31} + R_{32} + \dots + R_{33}) \times I_{c0}$ となる。また、制御電圧 V_{c2} は、制御電圧 $V_{c1} + R_{31} \times I_{c0}$ となる。その結果、駆動回路部 10 内の各表示素子用電流出力回路部 Dr1 ~ Dr6 から出力される各発光表示素子 D1 ~ D6 用の電流 $I_{d1} \sim I_{d6}$ 間の差は少なくなる。

【0048】

なお、駆動回路部 10 内の各表示素子用電流出力回路部 Dr1 ~ Dr6 を任意数で分割して複数の表示素子用電流出力回路部群 11 ~ 13 を設定し、分圧回路部 30 内に表示素子用電流出力回路部群 11 ~ 13 の各々に対する制御電圧 $V_{c1} \sim V_{c3}$ が段階的に変化するように直列接続された複数の分圧抵抗 $R_{31} \sim R_{33}$ を設ける理由は、演算増幅回路部 OP61 で入力される電圧 V_{h1} と電圧 V_{h3} の差分を補間するためであり、隣接する電流出力回路部群間の電流差が所望の範囲内であれば任意に分割数を変更しても良く、分割数の変更に対応させて分圧抵抗の数を変更しても良い。

【0049】

図3(a)、(b)は、制御電圧が一定の場合で、出力電流 $I_{d1} \sim I_{d6}$ が図9に示した特性になる場合に、本実施の形態を適用したときの各出力端子 Tp1 ~ Tp3 に現れる制御電圧および出力電流の位置による変化を示した図である。

具体的には、図3(a)は、図1の各表示素子用電流出力回路部 Dr1 ~ Dr6 の出力電流特性に対応して各出力端子 Tp1 ~ Tp3 の位置毎に変化する制御電圧 $V_{c1} \sim V_{c3}$ を示す図であり、(b)は図1の制御電圧発生回路部 20 からの距離によって、各表示素子用電流出力回路部 Dr1 ~ Dr6 の出力電流特性に対応して各出力端子 Tp1 ~ Tp3 の位置毎に変化する出力電流 $I_{d1} \sim I_{d6}$ を示した図である。

図3(a)、(b)では、例えば、図1において制御電圧発生回路部 20 に最も近い表示素子用電流出力回路部群 11 (電流出力回路部 Dr1 と電流出力回路部 Dr2 を含む) への制御電圧 V_{c1} よりも、次の表示素子用電流出力回路部群 12 (電流出力回路部 Dr3 と電流出力回路部 Dr4 を含む) への制御電圧 V_{c2} の方が低い値となっている。また、図1において制御電圧発生回路部 20 から最も遠い表示素子用電流出力回路部群 13 (電流出力回路部 Dr5 と電流出力回路部 Dr6 を含む) への制御電圧 V_{c3} が最低値となっている。

【0050】

なお、本実施の形態では、演算増幅回路部 OP61 が、トランスコンダクタンスアンプ構成になっているので、入力電圧の差に対応した電流を出力することができる。以下に図を用いて、トランスコンダクタアンプ構成について説明する。

【0051】

図4は、本実施の形態に用いられるトランスコンダクタアンプ構成の演算増幅回路部の構成の一例を示す図である。

電圧 V_{h1} がトランジスタ Q201 に印加されると、トランジスタ Q203 に電流が流れ、その電流と同等の電流がトランジスタ Q205 と Q207 にも流れる。すると、Q207 と同等の電流がトランジスタ Q208 にも流れることになる。同様にして、電圧 V_{h3} がトランジスタ Q202 に印加されると、トランジスタ Q204 に電流が流れ、その電流と同等の電流がトランジスタ Q206 と Q208 にも流れることになる。このようにして、図4の構成では、電圧 V_{h1} の電圧の大きさにより、トランジスタ Q208 を流れる電流の値が決まり、電圧 V_{h3} の電圧の大きさにより、トランジスタ Q206 を流れる電流の値が決まる。しかし、トランジスタ Q206 とトランジスタ Q208 の間に出力端子 Tp3 があるので、トランジスタ Q206 の出力電流と、トランジスタ Q208 の出力電流は逆方向になるので、両トランジスタの電流のうち、大きい方に電流が流れる。

10

20

30

40

50

【 0 0 5 2 】

例えば、補償電圧生成回路 6 0 に入力される 2 つの電流値 I_{c1} および I_{c3} が等しい値であれば、補償電圧生成回路 6 0 から分圧回路 3 0 への出力電流、もしくは、分圧回路 3 0 から補償電圧生成回路 6 0 への出力電流は 0 であり、電流値 I_{c3} が基準値である電流値 I_{c1} よりも小さい場合には、補償電圧生成回路 6 0 の出力電流は引き込み方向となる。すなわち、出力電流は分圧回路 3 0 から接地電圧 V_{ss} へと流れる。電流値 I_{c3} が基準値である電流値 I_{c1} よりも大きい場合には、補償電圧生成回路 6 0 の出力電流は、流し出し方向となる。すなわち、出力電流は電源 V_{dd} から分圧回路 3 0 へと流れる。

【 0 0 5 3 】

制御電圧発生回路部 2 0 に最も近い電流出力回路部 D_{r1} に供給される制御電圧 V_{c1} により流れる電流 I_{d1} に対して、制御電圧発生回路部 2 0 から最も遠い電流出力回路部 D_{r6} に供給される制御電圧 V_{c3} により流れる電流 I_{c3} は減少することから、演算増幅回路部 $OP61$ の 2 つの入力を比較すると、電流値 I_{c3} が基準値である電流値 I_{c1} よりも小さくなる。このような場合には、補償電圧生成回路 6 0 の出力電流 I_{c0} は引き込み方向となる。

10

【 0 0 5 4 】

補償電圧生成回路 6 0 の出力電流 I_{c0} は、演算増幅回路部 $OP61$ を介して分圧回路部 3 0 から接地電圧 V_{ss} へと流れる。その結果、制御電圧は分圧回路部 3 0 における制御電圧発生回路部 2 0 に最も近い側の出力端子 T_{p1} では最も高い値となり、制御電圧発生回路部 2 0 に最も遠い側の出力端子 T_{p3} では最も低い値となる。

20

【 0 0 5 5 】

このように、本実施形態では、駆動回路部 1 0 内で制御電圧発生回路部 2 0 に最も近い側の表示素子用電流出力回路部 D_{r1} の出力電流と、制御電圧発生回路部 2 0 から最も遠い側の表示素子用電流出力回路部 D_{r6} の出力電流を検出し、その差分を補償する電流 I_{c0} を分圧回路部 3 0 における制御電圧発生回路部 2 0 から最も遠い側の出力端子 T_{p3} に加えることで、駆動回路部 1 0 の両端における出力電位差を減少させ、さらに中間の電流制御電圧を補間するので、各表示素子用電流出力回路部 $D_{r1} \sim D_{r6}$ から出力される各発光表示素子 $D1 \sim D6$ 用の電流 $I_{d1} \sim I_{d6}$ の相違を減少させることができる。

【 0 0 5 6 】

第 2 の実施形態。

30

上記した第 1 の実施形態では、駆動回路部 1 0 における制御電圧発生回路部 2 0 に最近端側と最遠端側の表示素子用電流出力回路部に供給される電流を検出して、その差が小さくなる方向に、最遠端側の制御電圧を変化させることで、各表示素子用電流出力回路部から出力される電流の値を揃えていたが、以下に説明する第 2 の実施形態では、2 つの基準電流をもとに駆動回路部 1 0 の一端側と他端側において、等しい出力電流を与える制御電圧を生成し、間を補間することで、各発光表示素子 $D1 \sim D6$ 用の電流 $I_{d1} \sim I_{d6}$ を揃える場合について説明する。

【 0 0 5 7 】

図 5 は、本発明の第 2 の実施形態の表示素子用電流出力回路部の制御回路を示す図である。

40

図 5 に示した実施形態が図 1 に示した第 1 の実施形態の制御回路と主に異なる点としては、以下の各点となる。

【 0 0 5 8 】

(8) 第 1 の基準電流に基づき、分圧回路部 3 0 の 1 端へ制御電圧 V_{c1} を出力する第 1 電流電圧変換回路部 8 0 が設けられた点。

【 0 0 5 9 】

(9) 第 2 の基準電圧に基づき、分圧回路部 3 0 の他端へ制御電圧 V_{c3} を出力する第 2 電流電圧変換回路部 7 0 が設けられた点。

【 0 0 6 0 】

(1 0) 2 つの基準電流を生成する基準電流生成回路部 9 0 が設けられた点。

50

【 0 0 6 1 】

(1 1) 基準電流生成回路部 9 0 は、第 1 電流電圧変換回路部 8 0 および第 2 電流電圧変換回路部 7 0 と接地電圧との間に配置される抵抗素子 R 9 1 と、抵抗素子 R 9 1 と第 1 電流電圧変換回路部 8 0 との間に配置される第 1 トランジスタ素子 Q 9 2 と、抵抗素子 R 9 1 と第 2 電流電圧変換回路部 7 0 との間に配置される第 2 トランジスタ素子 Q 9 1 が設けられた点。

【 0 0 6 2 】

(1 2) 抵抗素子 R 9 1 を第 1 の基準電流 I_{e1} および第 2 の基準電流 I_{e2} が流れることにより発生する電圧 V_{h3} を入力する入力端子と、所定の基準電圧 V_{ref2} を入力する入力端子と、第 1 トランジスタ素子 Q 9 2 のゲートおよび第 2 トランジスタ Q 9 1 のゲートに接続された出力端子とを有する演算増幅回路部 O P 9 1 が設けられた点。

10

【 0 0 6 3 】

(1 3) 回路基板 2 0 0 上において、第 1 電流電圧変換回路部 8 0 は、駆動回路部 1 0 内の一端に配置された表示素子用電流出力回路部群 1 1 内の表示素子用電流出力回路部 D r 1 に隣接させて配置され、第 2 電流電圧変換回路部 7 0 は、駆動回路部 1 0 内の他端に配置された表示素子用電流出力回路部群 1 3 内の表示素子用電流出力回路部 D r 6 に隣接させて配置される点。

【 0 0 6 4 】

第 1 電流電圧変換回路部 8 0 を駆動回路部 1 0 内の一端に位置する表示素子用電流出力回路部 D r 1 に隣接するように配置することで、制御電圧 V_{c1} と、表示素子用電流出力回路部 D r 1 に流れる電流 I_{d1} との関係は、第 1 電流電圧変換回路部 8 0 の入力電流 - 電圧特性が略同等の値となる。また、第 2 電流電圧変換回路部 7 0 を駆動回路部 1 0 内の他端に位置する表示素子用電流出力回路部 D r 6 に隣接するように配置することで、制御電圧 V_{c3} と、表示素子用電流出力回路部 D r 6 に流れる電流 I_{d6} との関係は、第 2 電流電圧変換回路部 7 0 の入力電流 - 電圧特性が略同等の値となる。また、第 1 電流電圧変換回路部 8 0 の P 型 MOS トランジスタ Q 8 2 および第 2 電流電圧変換回路部 7 0 内の P 型 MOS トランジスタ Q 7 2 は、本実施形態では接地電圧 V_{ss} と接続される。

20

【 0 0 6 5 】

回路基板 2 0 0 上における第 1 電流電圧変換回路部 8 0 、第 2 電流電圧変換回路部 7 0 、および、基準電流生成回路部 9 0 の配置は、例えば、図 2 において、第 1 電流出力回路部 5 0 を第 1 電流電圧変換回路部 8 0 に置き換え、第 2 電流出力回路部 4 0 を第 2 電流電圧変換回路部 7 0 に置き換え、補償電圧生成回路 6 0 を基準電流生成回路部 9 0 に置き換えた構成である。

30

【 0 0 6 6 】

上記したように図 2 における一部回路を置き換えて示したように第 1 電流電圧変換回路部 8 0 を配置することにより、表示素子用電流出力回路部 D r 1 に流れる電流 I_{d1} を第 1 の基準電流 I_{e1} の値と相似した電流値にすることができる。また、図 2 における一部回路を置き換えて示した上記配置により、表示素子用電流出力回路部 D r 6 に流れる電流 I_{d6} を第 2 の基準電流 I_{e2} の値と相似した電流値にすることができる。

【 0 0 6 7 】

ここで、第 1 電流電圧変換回路部 8 0 内の P 型 MOS トランジスタ Q 8 1 、および、第 2 電流電圧変換回路部 7 0 内の P 型 MOS トランジスタ Q 7 1 は、第 1 の P 型 MOS トランジスタ Q 1 、Q 3 、Q 5 、Q 7 、Q 9 、Q 1 1 と同等もしくは相似の特性を有している。第 1 電流電圧変換回路部 8 0 内の P 型 MOS トランジスタ Q 8 2 、および、第 2 電流電圧変換回路部 7 0 内の P 型 MOS トランジスタ Q 7 2 は、第 2 の P 型 MOS トランジスタ Q 2 、Q 4 、Q 6 、Q 8 、Q 1 0 、Q 1 2 と同等もしくは相似の特性を有している。また、基準電流生成回路部 9 0 内の P 型 MOS トランジスタ Q 9 1 と Q 9 2 は互いに同等な特性を有するか相似した特性を有している。

40

【 0 0 6 8 】

基準電流生成回路 9 0 は、実施の形態 1 の制御電圧発生回路 2 0 と類似した構成で、演算

50

増幅回路部OP91の出力側はトランジスタQ91とQ92のゲートに接続されており、演算増幅回路部OP91の入力側は、非反転入力基準電圧Vref2に接続され、反転入力は、トランジスタQ91とQ92のドレインに接続されている。

【0069】

また、トランジスタQ91を流れる電流Ie2と、トランジスタQ92を流れる電流Ie1は合計されて基準電流(Ie1 + Ie2)となり抵抗R91を介して接地電圧Vssに流れる。

【0070】

その際に、演算増幅回路部OP91の出力電圧の値は、演算増幅回路部OP91の2個の入力電圧(非反転入力=基準電圧Vref2、および、反転入力=電圧Vh3)を等しくする値となる。また、P型MOSトランジスタQ91とQ92は、同様な回路に接続され、近接して配置され、かつ、互いに同等な特性を有することから、トランジスタQ91を流れる基準電流Ie2と、トランジスタQ92に流れる基準電流Ie1とは、略等しい値となる。

10

【0071】

また、電流電圧変換回路70では、トランジスタQ71のドレイン電流が基準電流Ie2となるように制御されて、トランジスタQ71のゲート電圧Vc3が決定され、電流電圧変換回路80では、トランジスタQ81のドレイン電流が基準電流Ie1となるように制御されて、トランジスタQ81のゲート電圧Vc1が決定される。

【0072】

言い換えると、基準電流生成回路90は、抵抗R91の両端の電位差(電圧Vh3=演算増幅回路部OP91の反転入力)と、基準電圧Vref2(演算増幅回路部OP91の非反転入力)とが等しくなるように帰還がかけられており、トランジスタQ91とトランジスタQ92が同じ特性を有している場合には、トランジスタQ91を流れる基準電流Ie2と、トランジスタQ92に流れる基準電流Ie1とは略等しくなって、共に(Vref/R91)の1/2づつが流れる。また、基準電流生成回路90には、トランジスタの出力は2個のみであるので、図5のように帰還をかけた場合には、両トランジスタの出力間の差を小さく抑えることは、比較的容易に実施することができる。

20

【0073】

ここで、本実施の形態では、上記したように基準電流Ie1と基準電流Ie2が略等しい値となるように設定されることから、トランジスタQ71のドレイン電流と、トランジスタQ81のドレイン電流も略等しい値となる。また、そのトランジスタQ71を制御するゲート電圧の値Vc3は、ドレイン電流Ie2を制御する電圧でもあることから、逆に、ドレイン電流Ie2によっても制御され、トランジスタQ81を制御するゲート電圧の値Vc1は、ドレイン電流Ie1を制御する電圧でもあることから、逆に、ドレイン電流Ie1によっても制御される。

30

【0074】

ここで、例えば、図1に示した実施の形態1で、図1の第1電流出力回路部50、第2電流出力回路部40、および、補償電圧生成回路60を有していない回路を従来の表示素子用電流出力回路と仮定すると、その従来の表示素子用電流出力回路では、図9(a)に示した電圧Vcが、制御電圧発生回路部20により駆動回路部10に供給される。

40

【0075】

駆動回路10内の各表示素子用電流出力回路部Dr1~Dr6から出力される各出力電流Id1~Id6の値は、図9(b)に示したように、制御電圧発生回路部20から最も遠い距離(位置)にある表示素子用電流出力回路部Dr6の出力電流Id6が、制御電圧発生回路部20に最も近い距離(位置)にある表示素子用電流出力回路部Dr1の出力電流Id1よりも小さくなる。この場合、表示素子用電流出力回路部Dr6(駆動回路10の他端側)内のトランジスタQ11の導電度は、表示素子用電流出力回路部Dr1(駆動回路10の一端側)内のトランジスタQ1の導電度よりも低くなったままである。

【0076】

50

なお、その間に位置する表示素子用電流出力回路部 D r 2 ~ 5 の出力電流 I d 2 ~ 5 は、制御電圧発生回路部 2 0 からの距離（位置）に対応して、出力電流 I d 6 と出力電流 I d 1 を補間する値となる。

【 0 0 7 7 】

しかし、本実施の形態では、上記したように、基準電流 I e 2 は、基準電流 I e 1 と等しくなるように制御され、その結果、トランジスタ Q 7 1 のドレイン電流と、トランジスタ Q 8 1 のドレイン電流も略等しい値となるように制御される。この場合、表示素子用電流出力回路部 D r 6 内のトランジスタ Q 1 1 の導電度が表示素子用電流出力回路部 D r 1 内のトランジスタ Q 1 の導電度よりも低いので、トランジスタ Q 7 1 のドレイン電流は、トランジスタ Q 8 1 のドレイン電流よりも少なくなりがちである。

10

【 0 0 7 8 】

そこで、基準電流 I e 2 を基準電流 I e 1 と等しくするためには、トランジスタ Q 7 1 のドレイン電流を、トランジスタ Q 8 1 のドレイン電流と同じにしようとする制御が行われ、同じ電流を流すためには、より大きなゲート - ソース間の電位差が必要であることから、トランジスタ Q 7 1 のゲート電圧 V c 3 が、より低下するように制御される。その結果、駆動回路 1 0 の他端（ T p 3 ）の電圧（ = 電圧 V c 3 ）も、上記した従来の場合よりも低下するので、表示素子用電流出力回路部 D r 6 の出力電流 I d 6 の値を増加させることができる。

【 0 0 7 9 】

また、分圧回路 3 0 を設けているので、表示素子用電流出力回路部 D r 1 と表示素子用電流出力回路部 D r 6 の中間に位置する表示素子用電流出力回路部 D r 2 ~ 5 についても、駆動回路 1 0 の他端（ T p 3 ）の電圧（ = 電圧 V c 3 ）が低下した結果、分圧回路 3 0 の分圧比率に応じて改善することができる。

20

【 0 0 8 0 】

従って、本実施の形態の場合でも、実施の形態 1 の図 3（ a ）に示したように、表示素子用電流出力回路部群 1 1（電流出力回路部 D r 1 と電流出力回路部 D r 2 を含む）への制御電圧 V c 1 よりも、表示素子用電流出力回路部群 1 3（電流出力回路部 D r 5 と電流出力回路部 D r 6 を含む）への制御電圧 V c 3 の方を低い値にでき、かつ、その間の各表示素子用電流出力回路部群への制御電圧についても、位置に応じて段階的に補間する電圧にするように制御することができる。

30

【 0 0 8 1 】

つまり、本実施の形態では、駆動回路 1 0 を制御する制御電圧を、駆動回路 1 0 の一端側の電圧 V c 1 と、駆動回路 1 0 の他端側の電圧 V c 3 として個別に、かつ、電流変化量に対応させて発生させることで、実施の形態 1 と同様に、駆動回路部 1 0 の両端における出力電位差を減少させることを可能にしており、さらに、制御電圧を分圧回路により分圧することで両端の表示素子用電流出力回路ばかりでなく中間の表示素子用電流出力回路に対しても適切な制御電圧を供給することができるようにしている。

【 0 0 8 2 】

このように、本実施形態では、駆動回路部 1 0 の一端側および他端側の表示素子用電流出力回路部（ D r 1 および D r 6 ）に隣接させて電流電圧変換回路 8 0、7 0 を設け、駆動回路部 1 0 の一端の表示素子用電流出力回路部群 1 1 に供給される制御電圧 V c 1 と、他端の表示素子用電流出力回路部群 1 3 に供給される制御電圧 V c 3 を個別に発生させるように構成したので、両端の出力電流 I d 1 と I d 6 が共に基準電流と揃う値となる。従って、各表示素子用電流出力回路部 D r 1 ~ D r 6 から出力される各発光表示素子 D 1 ~ D 6 用の電流 I d 1 ~ I d 6 の差を小さくすることができる。

40

【 0 0 8 3 】

また、第 2 の実施形態では、第 1 の実施形態のように帰還ループを有していないため、外乱等により制御電圧 V c 1 ~ V c 3 が変化した場合でも、発振等を起こす可能性がなくなり安定した回路を供給することができる。

【 0 0 8 4 】

50

第3の実施形態

上記した第2の実施形態では、電流電圧変換回路80、70の出力インピーダンスは電流-電圧変換特性によって決まり、比較的高値なため、分圧回路部30内の各抵抗R31~R33の値も比較的高い値にする必要があった。その結果、駆動回路部10内の各表示素子用電流出力回路部Dr1~Dr6をオン/オフさせた場合の制御電圧Vc1~Vc3に誘起されるクロストークノイズも比較的大きくなってしまっていた。

【0085】

そこで、以下に説明する第3の実施形態では、各電流電圧変換回路80、70にインピーダンス変換回路を付加して出力インピーダンスを低下させることにより、分圧回路部30内の各抵抗R31~R33の値を減少させ、駆動回路部10内の各表示素子用電流出力回路部Dr1~Dr6の制御電圧Vc1~Vc3に誘起されるクロストークノイズを減少させる場合について説明する。

【0086】

図6は、本発明の第3の実施形態の表示素子用電流出力回路部の制御回路を示す図である。

図6に示した実施形態が図5に示した第2の実施形態の制御回路と主に異なる点としては、以下の各点となる。

【0087】

(14) 第1電流電圧変換回路部110および第2電流電圧変換回路部120は、基準電流If1、If2が入力される入力端と、制御電圧Vc1、Vc3が出力される出力端との間にインピーダンス値を変換するインピーダンス変換回路を有する点。

【0088】

(15) インピーダンス変換回路は、第1電流電圧変換回路部110および第2電流電圧変換回路部100の電源電圧Vddと、各電流電圧変換回路部110、100の制御電圧Vc1、Vc3との間に配置される抵抗素子R102、R101と、制御電圧Vc1、Vc3の入力端と接地電圧Vssとの間に配置され、基準電流If1、If2を制御入力とするトランジスタ素子Q113、Q103を有する点。

【0089】

インピーダンス変換回路は、第1電流電圧変換回路部110については、抵抗素子R102とトランジスタ素子Q113により構成され、第2電流電圧変換回路部100については、抵抗素子R101とトランジスタ素子Q103により構成される。

【0090】

本実施形態のインピーダンス変換回路は、ソースホロア回路である。ソースホロア回路の出力インピーダンスz0は、例えば、第1電流電圧変換回路部110の場合で、トランジスタ素子Q113のトランスコンダクタンスをgmとすると、z0は1/gmで与えられる。このことから、トランジスタ素子Q113の特性を適切な値に選ぶことにより、トランジスタ素子Q111およびQ112による電流電圧変換特性のインピーダンスとは別に、出力インピーダンスz0を低い値に設定することができる。また、第2電流電圧変換回路部100についても同様にして、出力インピーダンスを低い値に設定することができる。

【0091】

このように、本実施形態では、第1電流電圧変換回路部110および第2電流電圧変換回路部100のインピーダンス値が低くなることから、分圧回路部30内の各抵抗R31~R33の値を減少させることができ、駆動回路部10内の各表示素子用電流出力回路部Dr1~Dr6の制御電圧Vc1~Vc3に誘起されるクロストークノイズを減少させることができる。

【0092】

また、本実施形態では、上記した実施の形態2と異なり、分圧回路30内を流れる電流が基準電流If1、If2に加算される経路が存在しなくなる。従って、各表示用電流出力回路から出力される発光素子を表示させるための電流の相違を、実施の形態2の場合より

10

20

30

40

50

も正確に減少させることができる。

【0093】

なお、本実施形態では、P型MOSトランジスタによるソースホロア回路でインピーダンス変換回路を構成したが、例えば、PNP型バイポーラトランジスタによるエミッタホロア回路や、演算増幅器を用いたボルテージホロア回路等、他のインピーダンス変換回路を用いても良い。

【0094】

また、上記した各実施形態では、表示素子用電流出力回路部群11～13として表示素子用電流出力回路部Dr1～Dr6から2個ずつを各群内に含ませたが、各表示素子用電流出力回路部Dr1～Dr6の分割数は任意であり、従って、1つの群に含まれる表示素子用電流出力回路部の数を1個または3個以上の任意数としても良い。

10

【0095】

また、上記した第2及び第3の実施形態では、回路基板200上において、第1電流電圧変換回路部が、駆動回路部10内の一端にある表示素子用電流出力回路部Dr1に隣接させて配置され、第2電流電圧変換回路部が、駆動回路部10内の他端にある表示素子用電流出力回路部Dr6に隣接させて配置される場合について説明したが、例えば、回路基板200上に並んで搭載された複数の表示素子用電流出力回路部Drの出力電流が、単調増加傾向ではなく、任意位置の表示素子用電流出力回路部Drの出力電流が極値となる場合等には、電流電圧変換回路部を3個以上に増加させることができる。その場合には、例えば、増加させた電流電圧変換回路部を極値が出力される表示素子用電流出力回路部Drに隣接させて設けるようにすることで、より良い補正が可能になる。

20

【0096】

【発明の効果】

上記のように本発明では、駆動回路部内における制御電圧発生回路部に最も近い側の表示素子用電流出力回路部の出力電流と、制御電圧発生回路部から最も遠い側の表示素子用電流出力回路部の出力電流を検出し、その差分を補償する電圧を分圧回路部における制御電圧発生回路部から最も遠い側の出力端子に加えることで、制御電圧を回路基板内の位置によって変化するように構成したので、各表示素子用電流出力回路部から出力される各発光表示素子用の電流の相違を減少させることができる。

【0097】

また、本発明では、駆動回路部における両端の表示素子用電流出力回路部に隣接させて各々電流電圧変換回路を設け、駆動回路部の両端において同じ出力電流を与える電流制御電圧を発生させるように構成したので、各表示素子用電流出力回路部から出力される各発光表示素子用の電流の相違を減少させることができる。

30

【0098】

また、電流電圧変換回路を設ける本発明では、帰還ループを有していないため、外乱等により電流制御電圧が変化する場合でも、発振等を起こす可能性がなくなり安定した回路を供給することができる。

【0099】

また、電流電圧変換回路にインピーダンス変換回路を設けた本発明では、電流電圧変換回路部のインピーダンス値が低くなることから、分圧回路部内の各抵抗の値を減少させることができ、駆動回路部内の各表示素子用電流出力回路部の電流制御電圧に誘起されるクロストークノイズを減少させることができ、各発光表示素子用の電流の相違をより正確に減少させることができる。

40

【図面の簡単な説明】

【図1】 本発明の第1の実施形態の表示素子用電流出力回路部の制御回路を示す図である。

【図2】 図1の実施形態の駆動回路部および制御電圧発生回路部が設けられた集積回路の基板上の配置例を示す図である。

【図3】 図3(a)は図1の各表示素子用電流出力回路部の出力電流特性に対応して各

50

出力端子の位置毎に変化する制御電圧を示す図であり、(b)は図1の制御電圧発生回路部からの距離によって各表示素子用電流出力回路部の出力電流特性に対応して各出力端子の位置毎に変化する出力電流を示した図である。

【図4】 実施の形態1に用いられるトランスコンダクタアンプ構成の演算増幅回路部の構成の一例を示す図である。

【図5】 本発明の第2の実施形態の表示素子用電流出力回路部の制御回路を示す図である。

【図6】 本発明の第3の実施形態の表示素子用電流出力回路部の制御回路を示す図である。

【図7】 多数の発光表示素子の従来の駆動回路部および制御回路を示す図である。

10

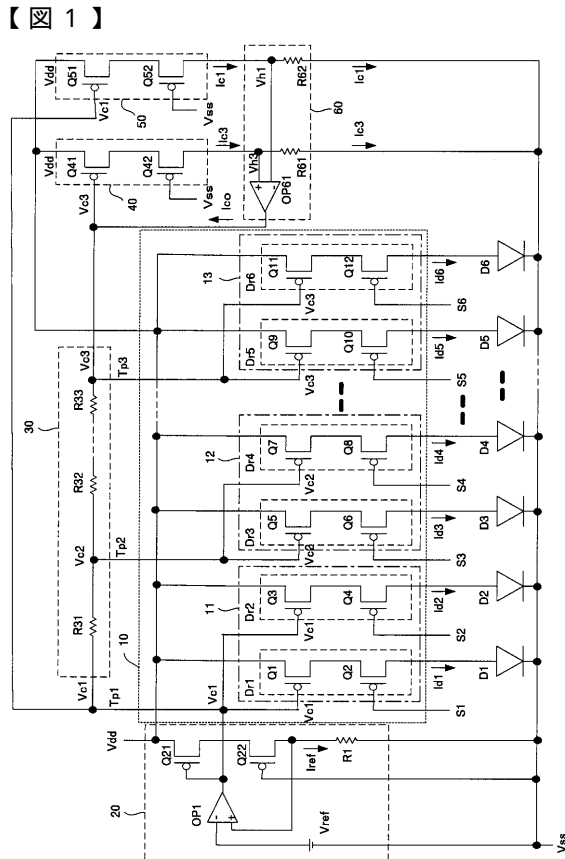
【図8】 図7の発光表示素子、駆動回路部および制御電圧発生回路部が設けられた集積回路の基板上的従来の配置例を示す図である。

【図9】 (a)は図7の各表示素子用電流出力回路部の制御電圧を示す図であり、(b)は図7の制御電圧発生回路部からの距離によって異なる各表示素子用電流出力回路部の出力電流の値を示した図である。

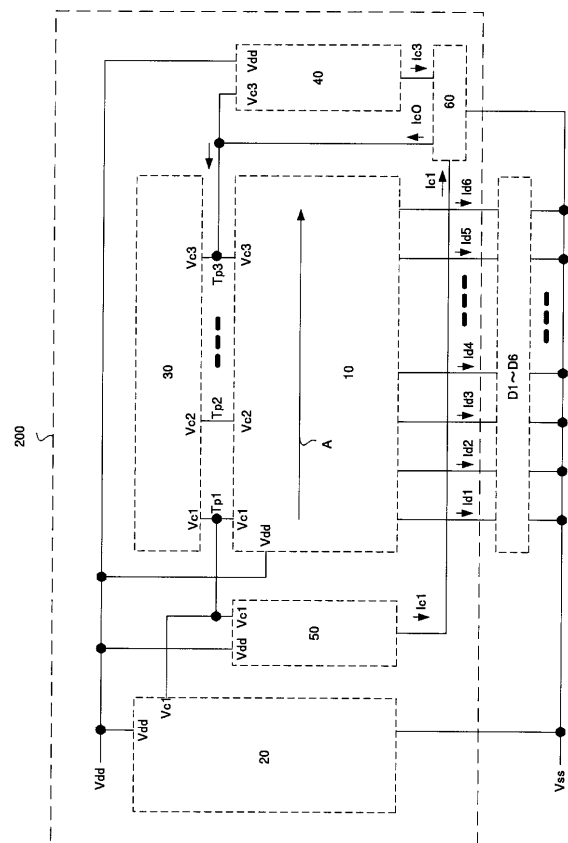
【符号の説明】

10 駆動回路部、 11~13 表示素子用電流出力回路部群、 20 制御電圧発生回路部、 30 分圧回路部、 40 第2電流出力回路部、 50 第1電流出力回路部、 60 補償電圧生成回路、 OP1、OP61 演算増幅回路部、 Dr1~Dr6 電流出力回路部、 D1~D6 発光表示素子、 Q1~Q92 P型MOSトランジスタ、 R62 第1抵抗素子、 R61 第2抵抗素子、 Vdd 電源電圧、 Vss 接地電圧、 Vc、Vc1~Vc3 電流制御電圧、 Vh1 第1の電圧、 Vh3 第2の電圧、 Vcn 補償電圧、 Id1~Id6 電流、 S1~S6 スイッチ信号、 A 所定方向、 Tp1~Tp3 出力端子、 Ic1 第1の基準電流、 Ic2 第2の基準電流。

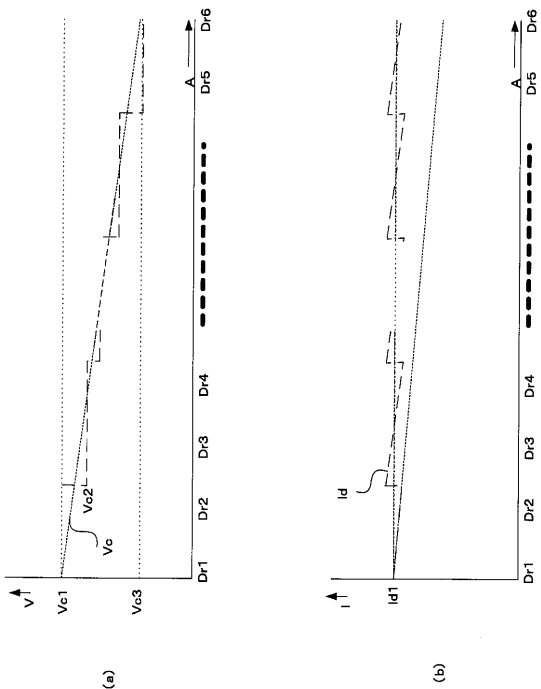
20



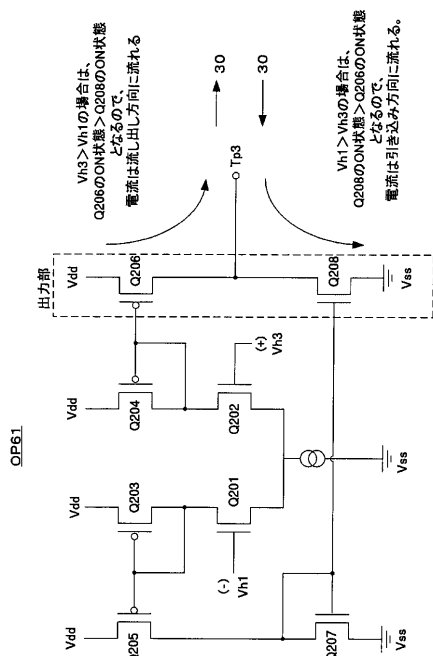
【図2】



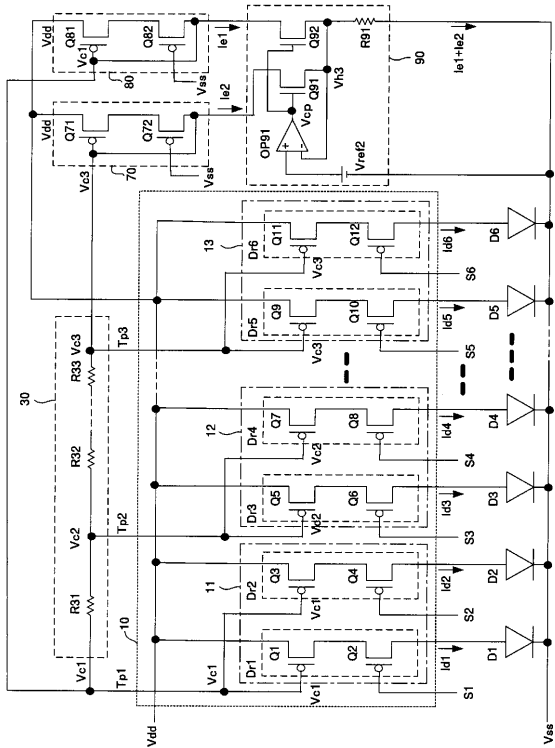
【図 3】



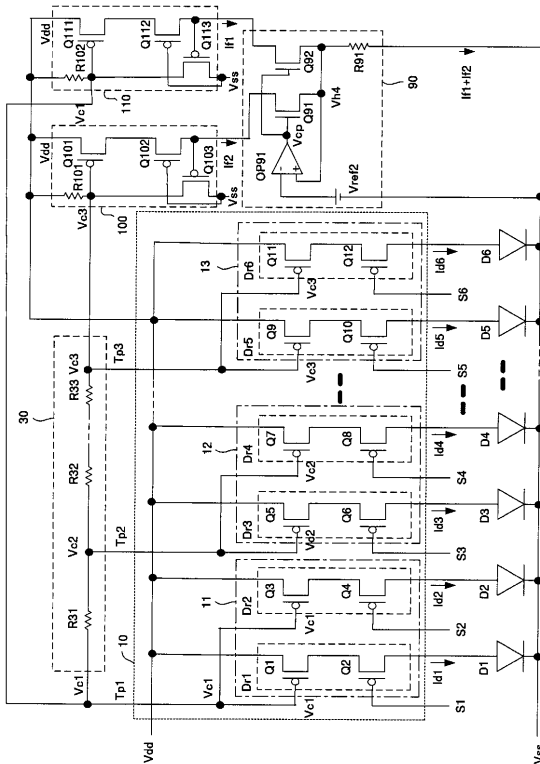
【図 4】



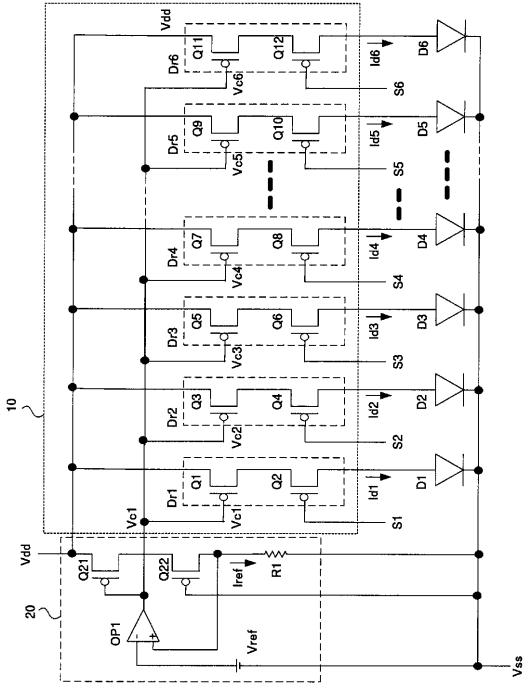
【図 5】



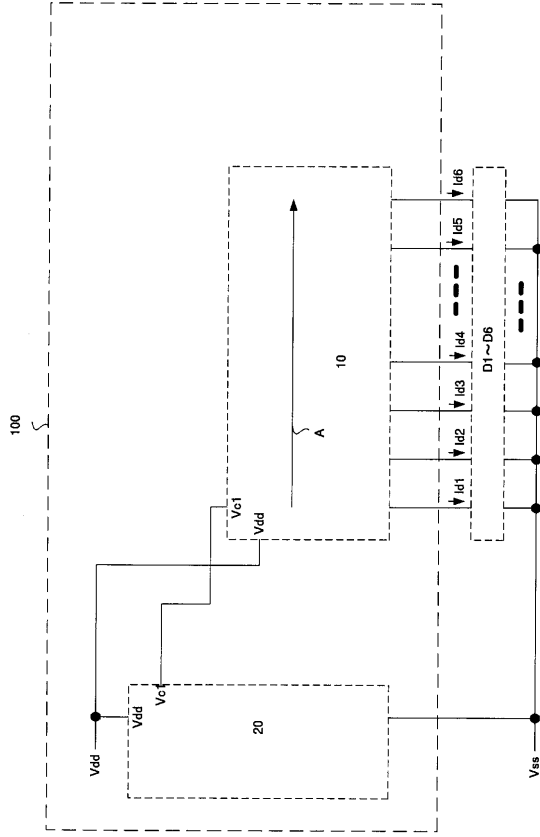
【図 6】



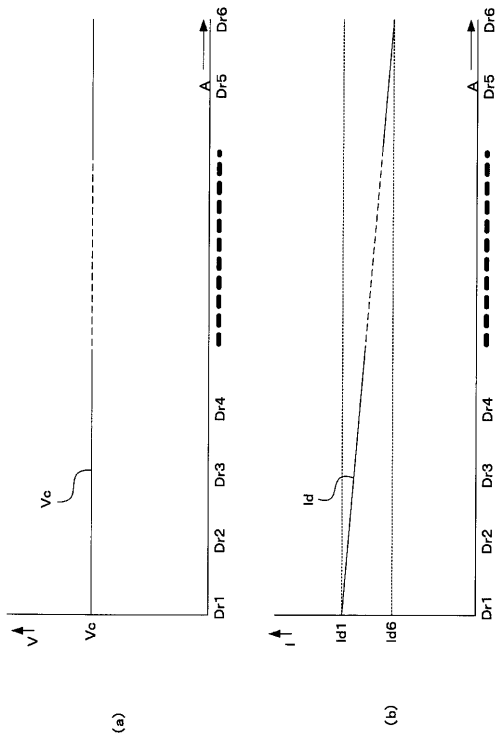
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 8 0 G

(56)参考文献 特開2001-138567(JP,A)

特開2002-326391(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

B41J 2/44 - 2/465