



(12)发明专利

(10)授权公告号 CN 109473516 B

(45)授权公告日 2020.04.07

(21)申请号 201811276028.2

H01L 33/14(2010.01)

(22)申请日 2018.10.30

H01L 33/32(2010.01)

(65)同一申请的已公布的文献号

审查员 倪晓东

申请公布号 CN 109473516 A

(43)申请公布日 2019.03.15

(73)专利权人 华灿光电(苏州)有限公司

地址 215600 江苏省苏州市张家港市经济
开发区晨丰公路

(72)发明人 王曼 李科 韦春余 陆香花

周飏 胡加辉

(74)专利代理机构 北京三高永信知识产权代理

有限责任公司 11138

代理人 徐立

(51)Int.Cl.

H01L 33/00(2010.01)

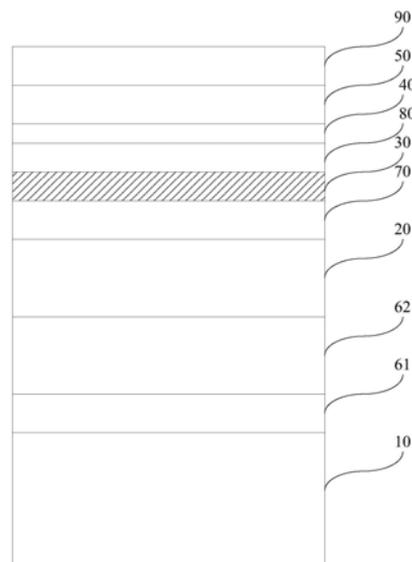
权利要求书1页 说明书7页 附图2页

(54)发明名称

一种氮化镓基发光二极管外延片及其生长方法

(57)摘要

本发明公开了一种氮化镓基发光二极管外延片及其生长方法,属于半导体技术领域。所述氮化镓基发光二极管外延片包括衬底以及依次层叠在衬底上的N型半导体层、有源层、电子阻挡层和P型半导体层,所述有源层包括依次层叠的多个周期结构,每个所述周期结构包括依次层叠的量子阱和量子垒;最靠近所述电子阻挡层的量子垒包括依次层叠的多个复合结构,每个所述复合结构包括依次层叠的第一子层、第二子层和第三子层,所述第一子层的材料采用未掺杂的氮化铝镓,所述第二子层的材料采用未掺杂的氮化镁,所述第三子层的材料采用未掺杂的氮化镓。本发明可以提高电子和空穴的注入效率。



1. 一种氮化镓基发光二极管外延片,所述氮化镓基发光二极管外延片包括衬底、N型半导体层、有源层、电子阻挡层和P型半导体层,所述N型半导体层、所述有源层、所述电子阻挡层和所述P型半导体层依次层叠在所述衬底上,所述有源层包括依次层叠的多个周期结构,每个所述周期结构包括依次层叠的量子阱和量子垒;其特征在于,最靠近所述电子阻挡层的量子垒包括依次层叠的多个复合结构,每个所述复合结构包括依次层叠的第一子层、第二子层和第三子层,所述第一子层的材料采用未掺杂的氮化铝镓,所述第二子层的材料采用未掺杂的氮化镁,所述第三子层的材料采用未掺杂的氮化镓。

2. 根据权利要求1所述的氮化镓基发光二极管外延片,其特征在于,所述第一子层形成时铝源的流量为5sccm~20sccm。

3. 根据权利要求2所述的氮化镓基发光二极管外延片,其特征在于,所述第一子层的厚度为1nm~2nm。

4. 根据权利要求1~3任一项所述的氮化镓基发光二极管外延片,其特征在于,所述第二子层的厚度与所述第一子层的厚度相同。

5. 根据权利要求1~3任一项所述的氮化镓基发光二极管外延片,其特征在于,所述第三子层的厚度为所述复合结构的厚度的 $2/3 \sim 3/4$ 。

6. 根据权利要求1~3任一项所述的氮化镓基发光二极管外延片,其特征在于,所述复合结构的数量为5个~10个。

7. 一种氮化镓基发光二极管外延片的生长方法,其特征在于,所述生长方法包括:
提供一衬底;

在所述衬底上依次生长N型半导体层、有源层、电子阻挡层和P型半导体层;

其中,所述有源层包括依次层叠的多个周期结构,每个所述周期结构包括依次层叠的量子阱和量子垒;最靠近所述电子阻挡层的量子垒包括依次层叠的多个复合结构,每个所述复合结构包括依次层叠的第一子层、第二子层和第三子层,所述第一子层的材料采用未掺杂的氮化铝镓,所述第二子层的材料采用未掺杂的氮化镁,所述第三子层的材料采用未掺杂的氮化镓。

8. 根据权利要求7所述的生长方法,其特征在于,所述第一子层、所述第二子层和所述第三子层的生长条件相同,生长条件包括生长温度和生长压力。

9. 根据权利要求8所述的生长方法,其特征在于,所述复合结构的生长温度为 $500^{\circ}\text{C} \sim 1200^{\circ}\text{C}$ 。

10. 根据权利要求8所述的生长方法,其特征在于,所述复合结构的生长压力为100torr~550torr。

一种氮化镓基发光二极管外延片及其生长方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种氮化镓基发光二极管外延片及其生长方法。

背景技术

[0002] 发光二极管(英文:Light Emitting Diode,简称:LED)是一种可以把电能转化成光能的半导体二极管。氮化镓(GaN)具有良好的热导性能,同时具有耐高温、耐酸碱、高硬度等优良特性,使氮化镓(GaN)基LED受到越来越多的关注和研究。

[0003] 外延片是LED制备过程中的初级成品。现有的LED外延片包括衬底、N型半导体层、有源层和P型半导体层,N型半导体层、有源层和P型半导体层依次层叠在衬底上。P型半导体层用于提供进行复合发光的空穴,N型半导体层用于提供进行复合发光的电子,有源层用于进行电子和空穴的辐射复合发光,衬底用于为外延材料提供生长表面。

[0004] N型半导体提供的电子数量远大于P型半导体层的空穴数量,加上电子的体积远小于空穴的体积,导致注入有源层中的电子数量远大于空穴数量。为了避免N型半导体层提供的电子迁移到P型半导体层中与空穴进行非辐射复合,通常会在有源层和P型半导体层之间设置电子阻挡层,可以阻挡电子从有源层跃迁到P型半导体层。

[0005] 在实现本发明的过程中,发明人发现现有技术至少存在以下问题:

[0006] 如果电子阻挡层的阻挡作用太强,如电子阻挡层较厚,则电子阻挡层在阻挡电子跃迁到P型半导体层的同时,也会阻挡P型半导体层提供的空穴注入有源层,降低有源层中电子和空穴的复合发光效率。如果电子阻挡层的阻挡作用太弱,又无法有效阻挡电子跃迁到P型半导体层,还是会降低有源层中电子和空穴的复合发光效率。

发明内容

[0007] 本发明实施例提供了一种氮化镓基发光二极管外延片及其生长方法,能够解决现有技术电子阻挡层很难兼顾电子的阻挡和空穴的迁移,导致有源层中电子和空穴的复合效率较低的问题。所述技术方案如下:

[0008] 一方面,本发明实施例提供了一种氮化镓基发光二极管外延片,所述氮化镓基发光二极管外延片包括衬底、N型半导体层、有源层、电子阻挡层和P型半导体层,所述N型半导体层、所述有源层、所述电子阻挡层和所述P型半导体层依次层叠在所述衬底上,所述有源层包括依次层叠的多个周期结构,每个所述周期结构包括依次层叠的量子阱和量子垒;最靠近所述电子阻挡层的量子垒包括依次层叠的多个复合结构,每个所述复合结构包括依次层叠的第一子层、第二子层和第三子层,所述第一子层的材料采用未掺杂的氮化铝镓,所述第二子层的材料采用未掺杂的氮化镁,所述第三子层的材料采用未掺杂的氮化镓。

[0009] 可选地,所述第一子层形成时铝源的流量为5sccm~20sccm。

[0010] 优选地,所述第一子层的厚度为1nm~2nm。

[0011] 可选地,所述第二子层的厚度与所述第一子层的厚度相同。

[0012] 可选地,所述第三子层的厚度为所述复合结构的厚度的 $2/3\sim 3/4$ 。

[0013] 可选地,所述复合结构的数量为5个~10个。

[0014] 另一方面,本发明实施例提供了一种氮化镓基发光二极管外延片的生长方法,所述生长方法包括:

[0015] 提供一衬底;

[0016] 在所述衬底上依次生长N型半导体层、有源层、电子阻挡层和P型半导体层;

[0017] 其中,所述有源层包括依次层叠的多个周期结构,每个所述周期结构包括依次层叠的量子阱和量子垒;最靠近所述电子阻挡层的量子垒包括依次层叠的多个复合结构,每个所述复合结构包括依次层叠的第一子层、第二子层和第三子层,所述第一子层的材料采用未掺杂的氮化铝镓,所述第二子层的材料采用未掺杂的氮化镁,所述第三子层的材料采用未掺杂的氮化镓。

[0018] 可选地,所述第一子层、所述第二子层和所述第三子层的生长条件相同。

[0019] 优选地,所述复合结构的生长温度为 $500^{\circ}\text{C}\sim 1200^{\circ}\text{C}$ 。

[0020] 优选地,所述复合结构的生长压力为 $100\text{torr}\sim 550\text{torr}$ 。

[0021] 本发明实施例提供的技术方案带来的有益效果是:

[0022] 通过将最靠近电子阻挡层的一个量子垒改为多个复合结构依次层叠形成的超晶格结构,每个复合结构由三个材料不同的子层组成,第一子层的材料采用未掺杂的氮化铝镓,可以利用氮化铝较高的势垒辅助电子阻挡层,有效阻挡电子跃迁到P型半导体层中,防止电子溢流,增加有源层中电子的注入效率;第二子层的材料采用未掺杂的氮化镁,可以利用镁原子形成空穴,增加空穴浓度,弱化第一子层对空穴的阻挡作用,提高有源层中空穴的注入效率;第三子层的材料采用未掺杂的氮化镓,加上整体为超晶格结构,可以尽可能减小晶格失配的作用,提高整体的晶体质量,最终提高LED的发光效率。

附图说明

[0023] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1是本发明实施例提供的一种氮化镓基发光二极管外延片的结构示意图;

[0025] 图2是本发明实施例提供的有源层的结构示意图;

[0026] 图3是本发明实施例提供的最靠近电子阻挡层的量子垒的结构示意图;

[0027] 图4是本发明实施例提供的一种氮化镓基发光二极管外延片的生长方法的流程图。

具体实施方式

[0028] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0029] 本发明实施例提供了一种氮化镓基发光二极管外延片。图1为本发明实施例提供的一种氮化镓基发光二极管外延片的结构示意图。参见图1,该氮化镓基发光二极管外延片

包括衬底10、N型半导体层20、有源层30、电子阻挡层40和P型半导体层50，N型半导体层20、有源层30、电子阻挡层40和P型半导体层50依次层叠在衬底10上。

[0030] 图2为本发明实施例提供的有源层的结构示意图。参见图2，有源层30包括多个周期结构31，每个周期结构31包括依次层叠的量子阱32和量子垒33。

[0031] 图3为本发明实施例提供的最靠近电子阻挡层的量子垒的结构示意图。参见图3，在本实施例中，最靠近电子阻挡层的量子垒包括依次层叠的多个复合结构34，每个复合结构34包括依次层叠的第一子层35、第二子层36和第三子层37，第一子层35的材料采用未掺杂的氮化铝镓，第二子层36的材料采用未掺杂的氮化镁，第三子层37的材料采用未掺杂的氮化镓。

[0032] 本发明实施例通过将最靠近电子阻挡层的一个量子垒改为多个复合结构依次层叠形成的超晶格结构，每个复合结构由三个材料不同的子层组成，第一子层的材料采用未掺杂的氮化铝镓，可以利用氮化铝较高的势垒辅助电子阻挡层，有效阻挡电子跃迁到P型半导体层中，防止电子溢流，增加有源层中电子的注入效率；第二子层的材料采用未掺杂的氮化镁，可以利用镁原子形成空穴，增加空穴浓度，弱化第一子层对空穴的阻挡作用，提高有源层中空穴的注入效率；第三子层的材料采用未掺杂的氮化镓，加上整体为超晶格结构，可以尽可能减小晶格失配的作用，提高整体的晶体质量，最终提高LED的发光效率。

[0033] 可选地，第一子层35形成时铝源的流量可以为5sccm~20sccm，如13sccm。如果第一子层形成时铝源的流量小于5sccm，则可能由于第一形成时铝源的流量较小而导致第一子层中铝组分的含量较低，无法有效阻挡电子跃迁到P型半导体层；如果第一子层形成时铝源的流量大于20sccm，则可能由于第一子层形成时铝源的流量较大而导致第一子层中铝组分的含量较高，不利于空穴注入有源层。

[0034] 优选地，第一子层35的厚度可以为1nm~2nm，如1.5nm。如果第一子层的厚度小于1nm，则可能由于第一子层较薄而无法有效阻挡电子跃迁到P型半导体层；如果第一子层的厚度大于2nm，则可能由于第一子层较厚而不利于空穴注入有源层。

[0035] 可选地，第二子层36的厚度可以与第一子层35的厚度相同，可以较好地兼顾电子的阻挡和空穴的迁移。

[0036] 具体地，第二子层36的厚度可以为1nm~2nm，如1.5nm。如果第二子层的厚度小于1nm，则可能由于第二子层较薄而无法有效促进空穴注入有源层；如果第二子层的厚度大于2nm，则可能由于第二子层较厚而造成较大的晶格失配。

[0037] 可选地，第三子层37的厚度可以为复合结构34的厚度的 $2/3 \sim 3/4$ 。如果第三子层的厚度小于复合结构的厚度的 $2/3$ ，则可能由于第三子层较薄而无法保持量子垒的主体结构；如果第三子层的厚度大于复合结构的厚度的 $3/4$ ，则可能由于第三子层较厚而影响对电子迁移的阻挡和对空穴迁移的促进。

[0038] 具体地，第三子层37的厚度可以为4nm~8nm，如6nm。在保持量子垒主体结构不变的情况下，尽可能有效阻挡电子的迁移和促进空穴的迁移。

[0039] 可选地，复合结构34的数量可以为5个~10个，如8个。如果复合结构的数量小于5个，则可能由于复合结构的数量较少而无法有效提高量子垒的晶体质量；如果复合结构的数量大于10个，则可能由于复合结构的数量较多而造成工艺复杂，材料浪费，增加生产成本。

[0040] 具体地,最靠近电子阻挡层的量子垒的厚度可以为20nm~100nm,如60nm。

[0041] 具体地,衬底10的材料可以采用蓝宝石(主要材料为三氧化二铝),如晶向为[0001]的蓝宝石。N型半导体层20的材料可以采用N型掺杂(如硅)的氮化镓。电子阻挡层40的材料可以采用P型掺杂的氮化铝镓,如 $\text{Al}_y\text{Ga}_{1-y}\text{N}$, $0.1 < y < 0.5$;电子阻挡层40中P型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,优选为 $10^{19}/\text{cm}^3$ 。有源层30包括多个量子阱和多个量子垒,多个量子阱和多个量子垒交替层叠设置;量子阱的材料可以采用未掺杂的氮化镓,量子垒的材料可以采用未掺杂的氮化镓。P型半导体层50的材料可以采用P型掺杂(如镁)的氮化镓。

[0042] 进一步地,N型半导体层20的厚度可以为 $1.5\mu\text{m} \sim 5.5\mu\text{m}$,优选为 $3.5\mu\text{m}$;N型半导体层20中N型掺杂剂的掺杂浓度可以为 $10^{18}\text{cm}^{-3} \sim 10^{19}\text{cm}^{-3}$,优选为 $5 \times 10^{18}\text{cm}^{-3}$ 。量子阱的厚度可以为1nm~4nm,优选为2.5nm;量子垒的厚度可以为8nm~18nm,优选为13nm;量子垒的数量与量子阱的数量相同,量子阱的数量可以为6个~12个,优选为9个。电子阻挡层40的厚度可以为200nm~1000nm,优选为600nm。P型半导体层50的厚度可以为100nm~800nm,优选为450nm;P型半导体层50中P型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,优选为 $10^{19}/\text{cm}^3$ 。

[0043] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括缓冲层61,缓冲层61设置在衬底10和N型半导体层20之间,以缓解衬底材料与氮化镓之间晶格失配产生的应力和缺陷,并为氮化镓材料外延生长提供成核中心。

[0044] 具体地,缓冲层61的材料可以采用氮化镓或氮化铝。

[0045] 进一步地,缓冲层61的厚度可以为15nm~35nm,优选为25nm。

[0046] 优选地,如图1所示,该氮化镓基发光二极管外延片还可以包括未掺杂氮化镓层62,未掺杂氮化镓层62设置在缓冲层61和N型半导体层20之间,以进一步缓解衬底材料与氮化镓之间晶格失配产生的应力和缺陷,为外延片主体结构提供晶体质量较好的生长表面。

[0047] 在具体实现时,缓冲层为首先在图形化衬底上低温生长的一层较薄的氮化镓,因此也称为低温缓冲层。再在低温缓冲层进行氮化镓的纵向生长,会形成多个相互独立的三维岛状结构,称为三维成核层;然后在所有三维岛状结构上和各个三维岛状结构之间进行氮化镓的横向生长,形成二维平面结构,称为二维恢复层;最后在二维生长层上高温生长一层较厚的氮化镓,称为本征氮化镓层。本实施例中将三维成核层、二维恢复层和本征氮化镓层统称为未掺杂氮化镓层。

[0048] 进一步地,未掺杂氮化镓层62的厚度可以为 $0.5\mu\text{m} \sim 4.5\mu\text{m}$,优选为 $2.5\mu\text{m}$ 。

[0049] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括应力释放层70,应力释放层70设置在N型半导体层20和有源层30之间,以释放晶格失配产生的应力。

[0050] 具体地,应力释放层70可以包括多个第一子层和多个第二子层,多个第一子层和多个第二子层交替层叠设置。第一子层的材料采用未掺杂的氮化镓,第二子层的材料采用未掺杂的氮化镓。

[0051] 进一步地,第一子层的厚度可以为1nm~3nm,优选为2nm;第二子层的厚度可以为45nm~50nm,优选为48nm。第二子层的数量与第一子层的数量相同,第一子层的数量可以为2个~20个,优选为11个。

[0052] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括低温P型层80,低温P型层80设置在有源层30和电子阻挡层40之间,以避免电子阻挡层较高的生长温度造成有

源层中的镉原子析出,影响发光二极管的发光效率。

[0053] 具体地,低温P型层80的材料可以为与P型半导体层50的材料相同。在本实施例中,低温P型层80的材料可以为P型掺杂的氮化镓。

[0054] 进一步地,低温P型层80的厚度可以为20nm~1000nm,优选为60nm;低温P型层80中P型掺杂剂的掺杂浓度可以为 $10^{18}/\text{cm}^3 \sim 10^{20}/\text{cm}^3$,优选为 $10^{19}/\text{cm}^3$ 。

[0055] 可选地,如图1所示,该氮化镓基发光二极管外延片还可以包括接触层90,接触层90设置在P型半导体层50上,以与芯片制作工艺中形成的电极或者透明导电薄膜之间形成欧姆接触。

[0056] 具体地,接触层90的材料可以采用P型掺杂的氮化镓或者氮化镓。

[0057] 进一步地,接触层90的厚度可以为5nm~300nm,优选为100nm;接触层90中P型掺杂剂的掺杂浓度可以为 $10^{21}/\text{cm}^3 \sim 10^{22}/\text{cm}^3$,优选为 $5 \times 10^{21}/\text{cm}^3$ 。

[0058] 本发明实施例提供了一种氮化镓基发光二极管外延片的制备方法,适用于制备图1所示的氮化镓基发光二极管外延片。图4为本发明实施例提供的一种氮化镓基发光二极管外延片的制备方法的流程图。参见图4,该制备方法包括:

[0059] 步骤201:提供一衬底。

[0060] 可选地,该步骤201可以包括:

[0061] 控制温度为 $1000^\circ\text{C} \sim 1200^\circ\text{C}$ (优选为 1100°C),在氢气气氛中对衬底进行6分钟~10分钟(优选为8分钟)退火处理;

[0062] 对衬底进行氮化处理。

[0063] 通过上述步骤清洁衬底的表面,避免杂质掺入外延片中,有利于提高外延片的生长质量。

[0064] 步骤202:在衬底上依次生长N型半导体层、有源层、电子阻挡层和P型半导体层。

[0065] 在本实施例中,有源层包括依次层叠的多个周期结构,每个周期结构包括依次层叠的量子阱和量子垒;最靠近电子阻挡层的量子垒包括依次层叠的多个复合结构,每个复合结构包括依次层叠的第一子层、第二子层和第三子层,第一子层的材料采用未掺杂的氮化铝镓,第二子层的材料采用未掺杂的氮化镁,第三子层的材料采用未掺杂的氮化镓。

[0066] 可选地,第一子层、第二子层和第三子层的生长条件可以相同,生长条件包括生长温度和生长压力。采用相同的生长条件,可以方便实现。

[0067] 优选地,复合结构的生长温度可以为 $500^\circ\text{C} \sim 1200^\circ\text{C}$ 。如果复合结构的生长温度低于 500°C ,则可能由于复合结构的生长温度较低而造成量子垒的晶体质量较差;如果复合结构的生长温度高于 1200°C ,则可能由于复合结构的生长温度高于 1200°C ,则可能由于复合结构的生长温度较高而造成量子阱中的镉解析。

[0068] 优选地,复合结构的生长压力可以为100torr~550torr,以配合复合结构的生长温度,提高复合结构的晶体质量。

[0069] 具体地,该步骤202可以包括:

[0070] 第一步,控制温度为 $950^\circ\text{C} \sim 1150^\circ\text{C}$ (优选为 1050°C),压力为50torr~450torr(优选为250torr),在衬底上生长N型半导体层;

[0071] 第二步,在N型半导体层上生长有源层;量子阱的生长温度为 $750^\circ\text{C} \sim 840^\circ\text{C}$ (优选为 800°C),生长压力为50torr~550torr(优选为300torr);除最靠近电子阻挡层的量子垒

之外的量子垒的生长温度为820℃~950℃(优选为880℃),生长压力为50torr~550torr(优选为300torr);最靠近电子阻挡层的生长温度为500℃~1200℃(优选为850℃),生长压力为50torr~550torr(优选为300torr);

[0072] 第三步,控制温度为600℃~1000℃(优选为800℃),压力为50torr~550torr(优选为300torr),在有源层上生长电子阻挡层;

[0073] 第四步,控制温度为800℃~1100℃(优选为950℃),压力为20torr~400torr(优选为210torr),在电子阻挡层上生长P型半导体层。

[0074] 可选地,在第一步之前,该生长方法还可以包括:

[0075] 在衬底上形成缓冲层。

[0076] 相应地,N型半导体层生长在缓冲层上。

[0077] 具体地,在衬底上生长缓冲层,可以包括:

[0078] 控制温度为400℃~600℃(优选为500℃),压力为400torr~600torr(优选为500torr),在衬底上生长缓冲层;

[0079] 控制温度为1000℃~1200℃(优选为1100℃),压力为400torr~600torr(优选为500torr),对缓冲层进行5分钟~10分钟(优选为8分钟)的原位退火处理;

[0080] 或者,在衬底上生长缓冲层,可以包括:

[0081] 采用物理沉积技术在衬底上沉积缓冲层;

[0082] 在氢气气氛中进行10分钟~15分钟的高温热处理。

[0083] 优选地,在衬底上形成缓冲层之后,该生长方法还可以包括:

[0084] 在缓冲层上生长未掺杂氮化镓层。

[0085] 相应地,N型半导体层生长在未掺杂氮化镓层上。

[0086] 具体地,在缓冲层上生长未掺杂氮化镓层,可以包括:

[0087] 控制温度为900℃~1120℃(优选为1010℃),压力为150torr~550torr(优选为300torr),在缓冲层上生长未掺杂氮化镓层。

[0088] 可选地,在第二步之前,该生长方法还可以包括:

[0089] 在N型半导体层上生长应力释放层。

[0090] 相应地,电子阻挡层生长在应力释放层上。

[0091] 具体地,在N型半导体层上生长应力释放层,可以包括:

[0092] 控制温度为800℃~1100℃(优选为950℃),压力为100torr~500torr(优选为300torr),在N型半导体层上生长应力释放层。

[0093] 可选地,在第三步之前,该生长方法还可以包括:

[0094] 在有源层上生长低温P型层。

[0095] 相应地,电子阻挡层生长在低温P型层上。

[0096] 具体地,在有源层上生长低温P型层,可以包括:

[0097] 控制温度为500℃~1200℃(优选为750℃),压力为100torr~550torr(优选为300torr),在有源层上生长低温P型层。

[0098] 可选地,在第四步之后,该生长方法还可以包括:

[0099] 在P型半导体层上生长接触层。

[0100] 具体地,在P型半导体层上生长接触层,可以包括:

[0101] 控制温度为850℃~1050℃(优选为950℃),压力为100torr~300torr(优选为200torr),在P型半导体层上生长接触层。

[0102] 需要说明的是,在上述外延生长结束之后,会先将温度降低至650℃~850℃(优选为750℃),在氮气气氛中对外延片进行5分钟~15分钟(优选为10分钟)的退火处理,然后再将外延片的温度降低至室温。

[0103] 控制温度、压力均是指控制生长外延片的反应腔中的温度、压力,具体为金属有机化合物化学气相沉淀(英文: Metal-organic Chemical Vapor Deposition,简称: MOCVD) 设备的反应腔。实现时以三甲基镓或三乙基镓作为镓源,高纯氨气作为氮源,三甲基镱作为镱源,三甲基铝作为铝源,N型掺杂剂选用硅烷,P型掺杂剂选用二茂镁。

[0104] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

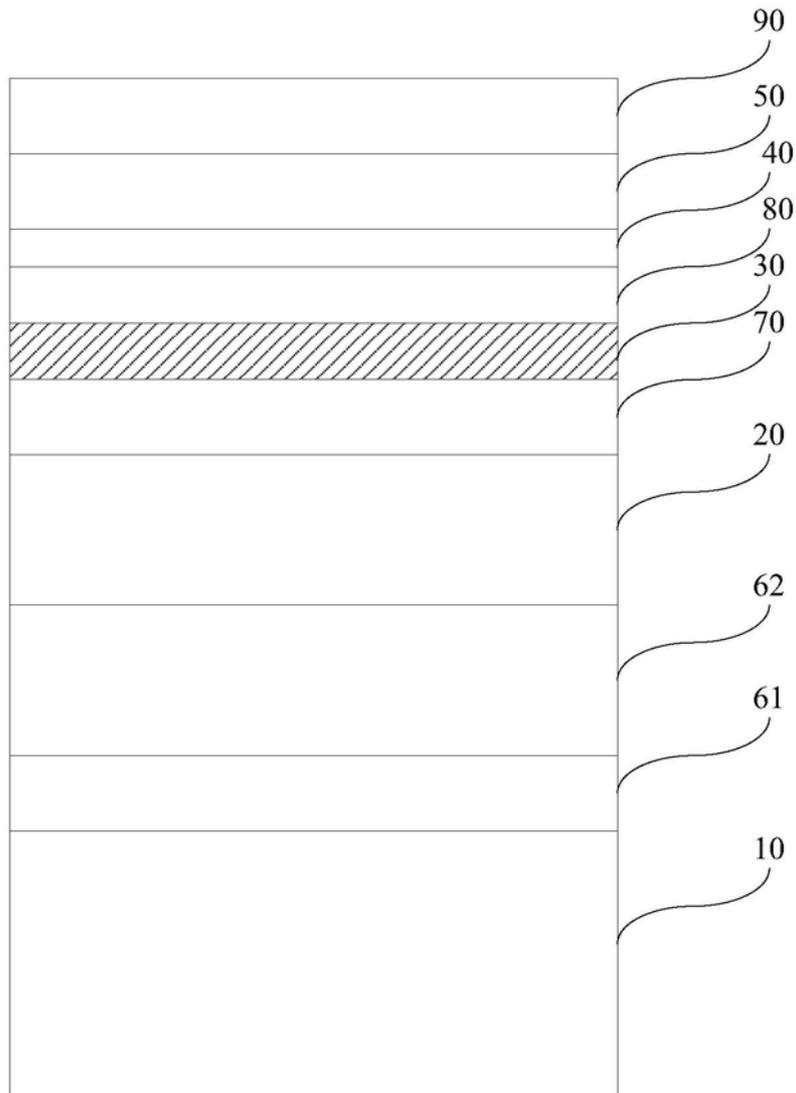


图1

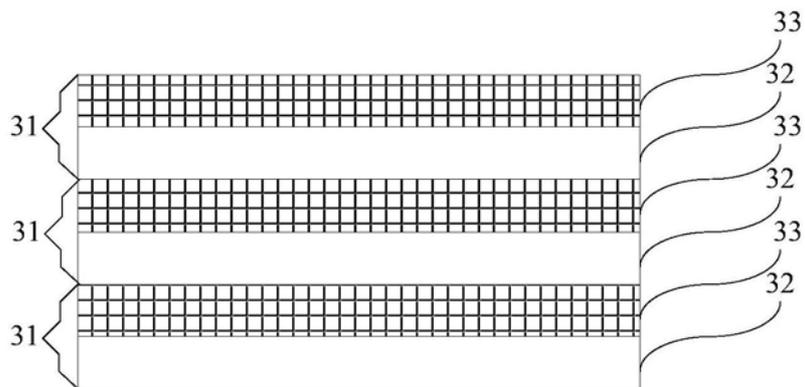


图2

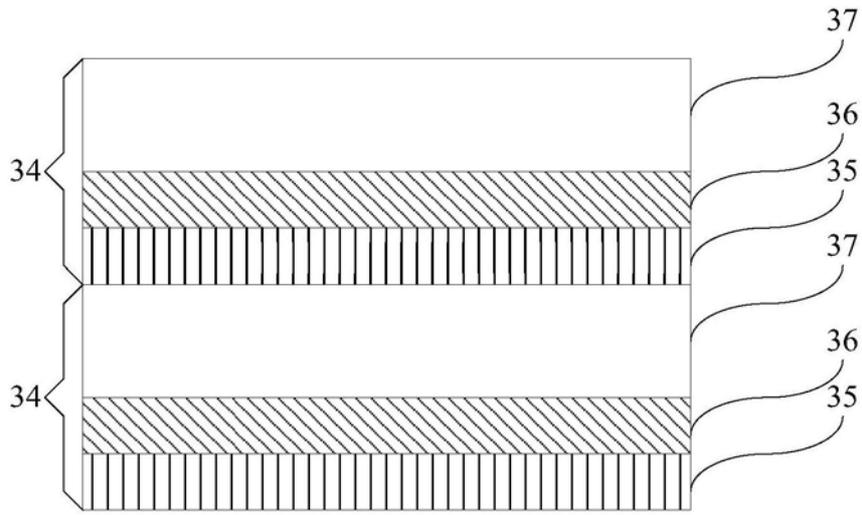


图3

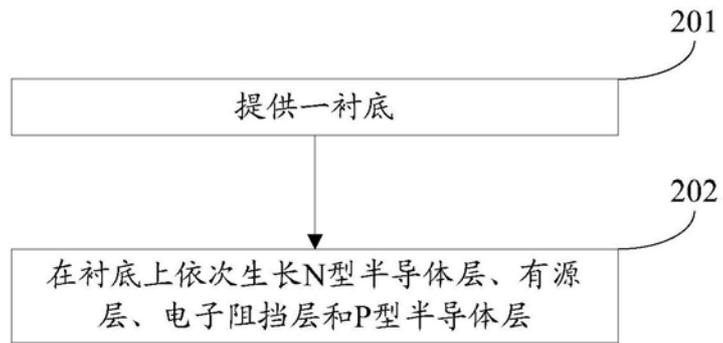


图4