

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-174843  
(P2019-174843A)

(43) 公開日 令和1年10月10日(2019.10.10)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611D	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 612U	5C080
	G09G 3/20 641P	
	G02F 1/133 505	

審査請求 有 請求項の数 3 O L (全 24 頁)

(21) 出願番号	特願2019-125932 (P2019-125932)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区新宿四丁目1番6号
(22) 出願日	令和1年7月5日(2019.7.5)	(74) 代理人	100125689 弁理士 大林 章
(62) 分割の表示	特願2017-147394 (P2017-147394) の分割	(74) 代理人	100128598 弁理士 高田 聖一
原出願日	平成29年7月31日(2017.7.31)	(74) 代理人	100121108 弁理士 高橋 太朗
		(72) 発明者	水迫 和久 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	保坂 宏行 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

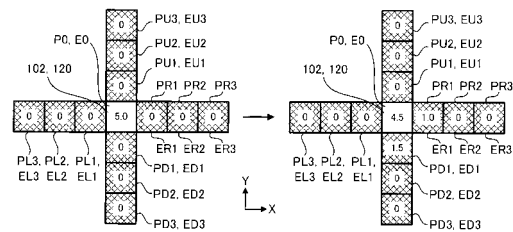
(54) 【発明の名称】 液晶表示装置および電子機器

(57) 【要約】

【課題】 交差する遮光膜のうち幅の狭い方の遮光膜の近傍においてリバースチルトドメインが視認されやすい状況を抑制する。

【解決手段】 液晶表示装置は、第1、第2方向に配列された画素電極が設けられた素子基板、対向基板、液晶層、画素電極の辺に沿って第1、第2方向に延びた第1、第2遮光膜を有し、第2遮光膜と比べ第1遮光膜の幅が狭い液晶パネルと、リバースチルトドメインが発生する画素電極の組を入力画像信号に基づいて特定し、特定された画素電極の組における印加電圧の差が減少するように入力画像信号を補正する補正部と、補正された入力画像信号に基づいて画素電極に電圧を印加する駆動部とを備え、補正部は、特定された画素電極の組に含まれる2つの画素電極が第2方向に並ぶ場合、2つの画素電極が第1方向に並ぶ場合の補正と比べて、印加電圧の差の減少量が大きくなるよう入力画像信号を補正する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

第 1 方向と当該第 1 方向に交差する第 2 方向とに配列された複数の画素電極が設けられた素子基板と、

共通電極が設けられた対向基板と、

前記素子基板と前記対向基板とに挟持された液晶層と、

前記画素電極の辺に沿って前記第 1 方向に延びた第 1 遮光膜、および、前記画素電極の辺に沿って前記第 2 方向に延びた第 2 遮光膜と、

を有し、当該第 2 遮光膜の幅と比べて当該第 1 遮光膜の幅が狭い、

液晶パネルと、

並んだ 2 つの前記画素電極の各々に印加すべき電圧同士の差が所定値以上であってリバースチルトドメインが発生すると判定される画素電極の組を、入力画像信号に基づいて特定し、当該特定された画素電極の組における印加電圧の差が減少するように、当該入力画像信号を補正する補正部と、

前記補正部で補正された入力画像信号に基づいて、前記複数の画素電極に電圧を印加する駆動部と、

を備え、

前記補正部は、

前記特定された画素電極の組に含まれる 2 つの画素電極が前記第 2 方向に並ぶ場合は、当該 2 つの画素電極が前記第 1 方向に並ぶとした場合に行われる補正と比べて、前記印加電圧の差の減少量が大きくなるように、前記入力画像信号を補正し、

前記特定された画素電極の組に含まれる 2 つの画素電極が前記第 1 方向に並ぶ場合は、当該 2 つの画素電極が前記第 2 方向に並ぶとした場合に行われる補正と比べて、前記印加電圧の差の減少量が小さくなるように、前記入力画像信号を補正する、

液晶表示装置。

## 【請求項 2】

第 1 方向と当該第 1 方向に交差する第 2 方向とに配列された複数の画素電極が設けられた素子基板と、

共通電極が設けられた対向基板と、

前記素子基板と前記対向基板とに挟持された液晶層と、

前記画素電極の辺に沿って前記第 1 方向に延びた第 1 遮光膜、および、前記画素電極の辺に沿って前記第 2 方向に延びた第 2 遮光膜と、

を有し、当該第 2 遮光膜の幅と比べて当該第 1 遮光膜の幅が狭い、

液晶パネルと、

入力画像信号に基づいて、前記複数の画素電極に電圧を印加する信号処理部と、

を備え、

前記信号処理部は、

前記入力画像信号として、

前記複数の画素電極のうち第 1 画素電極に対応する画素は第 1 の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第 1 の階調レベルと比べて小さい第 2 の階調レベルで表示する画像信号、

または、

前記複数の画素電極のうち第 1 画素電極に対応する画素は第 3 の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第 3 の階調レベルと比べて大きい第 4 の階調レベルで表示する画像信号、

が入力された場合に、

当該第 1 画素電極と、当該第 1 画素電極に対し前記第 1 方向においてリバースチルトドメインが発生しやすい側に並んだ第 2 画素電極との印加電圧の差である第 1 印加電圧差、

当該第 1 画素電極と、当該第 1 画素電極に対し前記第 1 方向においてリバースチルトドメインが発生しにくい側に並んだ第 3 画素電極との印加電圧の差である第 2 印加電圧差、

10

20

30

40

50

当該第 1 画素電極と、当該第 1 画素電極に対し前記第 2 方向においてリバーチルトドメインが発生しやすい側に並んだ第 4 画素電極との印加電圧の差である第 3 印加電圧差、および、

当該第 1 画素電極と、当該第 1 画素電極に対し前記第 2 方向においてリバーチルトドメインが発生しにくい側に並んだ第 5 画素電極との印加電圧の差である第 4 印加電圧差、について、

前記第 2 印加電圧差と比べて前記第 1 印加電圧差が小さく、

前記第 4 印加電圧差と比べて前記第 3 印加電圧差が小さく、かつ、

前記第 1 印加電圧差と比べて前記第 3 印加電圧差が小さくなるように、

前記入力画像信号を補正して、前記複数の画素電極に電圧を印加する、

液晶表示装置。

10

### 【請求項 3】

第 1 方向と当該第 1 方向に交差する第 2 方向とに配列された複数の画素電極が設けられた素子基板と、

共通電極が設けられた対向基板と、

前記素子基板と前記対向基板とに挟持された液晶層と、

前記画素電極の辺に沿って前記第 1 方向に延びた第 1 遮光膜、および、前記画素電極の辺に沿って前記第 2 方向に延びた第 2 遮光膜と、

を有し、当該第 2 遮光膜の幅と比べて当該第 1 遮光膜の幅が狭い、

液晶パネルと、

20

入力画像信号に基づいて、前記複数の画素電極に電圧を印加する信号処理部と、を備え、

前記信号処理部は、

前記入力画像信号として、

前記複数の画素電極のうち第 1 画素電極に対応する画素は第 1 の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第 1 の階調レベルと比べて小さい第 2 の階調レベルで表示する画像信号、

または、

前記複数の画素電極のうち第 1 画素電極に対応する画素は第 3 の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第 3 の階調レベルと比べて大きい第 4 の階調レベルで表示する画像信号、

30

が入力された場合に、

当該第 1 画素電極に対応する画素と、当該第 1 画素電極と前記第 1 方向においてリバーチルトドメインが発生しやすい側に並んだ第 2 画素電極に対応する画素との透過率の差である第 1 透過率差、

当該第 1 画素電極に対応する画素と、当該第 1 画素電極と前記第 1 方向においてリバーチルトドメインが発生しにくい側に並んだ第 3 画素電極に対応する画素との透過率の差である第 2 透過率差、

当該第 1 画素電極に対応する画素と、当該第 1 画素電極と前記第 2 方向においてリバーチルトドメインが発生しやすい側に並んだ第 4 画素電極に対応する画素との透過率の差である第 3 透過率差、および、

40

当該第 1 画素電極に対応する画素と、当該第 1 画素電極と前記第 2 方向においてリバーチルトドメインが発生しにくい側に並んだ第 5 画素電極に対応する画素との透過率の差である第 4 透過率差、

について、

前記第 2 透過率差と比べて前記第 1 透過率差が小さく、

前記第 4 透過率差と比べて前記第 3 透過率差が小さく、かつ、

前記第 1 透過率差と比べて前記第 3 透過率差が小さくなるように、

前記入力画像信号を補正して、前記複数の画素電極に電圧を印加する、

液晶表示装置。

50

## 【請求項 4】

請求項 1 ~ 3 のうちいずれか 1 項に記載の液晶表示装置、  
を備える電子機器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶表示装置および電子機器に関する。

## 【背景技術】

## 【0002】

プロジェクターのライトバルブ等として、液晶表示装置が用いられている。液晶表示装置が備える液晶パネルにおいて、複数の画素電極が、水平方向と垂直方向とに配列されている。各画素電極には、画像信号に基づいて、所定の電圧が印加される。水平方向または垂直方向に並ぶ画素電極間で、異なる電圧が印加されることに起因して、横電界が生じる。横電界に起因して、液晶の配向が乱れた領域であるリバースチルトドメインが発生することがある。リバースチルトドメインの発生を抑制するために、画像信号を補正する技術が提案されている（例えば特許文献 1 参照）。 10

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特許第 5 4 5 4 0 9 2 号公報 20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

ところで、液晶パネルには、各画素の開口領域（透光領域）を画定するように、水平方向と垂直方向とに延びて平面視において交差する遮光膜が設けられている。これらの遮光膜は、例えば走査線とデータ線とにより形成される。走査線の幅とデータ線の幅とは、必ずしも等しくはない。

## 【0005】

詳細は後述するように、本願発明者の検討によれば、交差する遮光膜のうち、相対的に幅の狭い方の遮光膜の近傍に発生するリバースチルトドメインは、相対的に幅の広い方の遮光膜の近傍に発生するリバースチルトドメインよりも、画素の開口領域内で視認されやすいことがわかった。 30

## 【0006】

本発明は、上述した事情に鑑みてなされたものであり、交差する遮光膜のうち幅の狭い方の遮光膜の近傍においてリバースチルトドメインが視認されやすい状況を抑制することができる技術を提供することを、解決課題の一つとする。

## 【課題を解決するための手段】

## 【0007】

以上の課題を解決するため、本発明に係る液晶表示装置の一態様は、第 1 方向と当該第 1 方向に交差する第 2 方向とに配列された複数の画素電極が設けられた素子基板と、共通電極が設けられた対向基板と、前記素子基板と前記対向基板とに挟持された液晶層と、前記画素電極の辺に沿って前記第 1 方向に延びた第 1 遮光膜、および、前記画素電極の辺に沿って前記第 2 方向に延びた第 2 遮光膜と、を有し、当該第 2 遮光膜の幅と比べて当該第 1 遮光膜の幅が狭い、液晶パネルと、並んだ 2 つの前記画素電極の各々に印加すべき電圧同士の差が所定値以上であってリバースチルトドメインが発生すると判定される画素電極の組を、入力画像信号に基づいて特定し、当該特定された画素電極の組における印加電圧の差が減少するように、当該入力画像信号を補正する補正部と、前記補正部で補正された入力画像信号に基づいて、前記複数の画素電極に電圧を印加する駆動部と、を備え、前記補正部は、前記特定された画素電極の組に含まれる 2 つの画素電極が前記第 2 方向に並ぶ場合は、当該 2 つの画素電極が前記第 1 方向に並ぶとした場合に行われる補正と比べて、 40 50

前記印加電圧の差の減少量が大きくなるように、前記入力画像信号を補正し、前記特定された画素電極の組に含まれる2つの画素電極が前記第1方向に並ぶ場合は、当該2つの画素電極が前記第2方向に並ぶとした場合に行われる補正と比べて、前記印加電圧の差の減少量が小さくなるように、前記入力画像信号を補正する。

【0008】

前記態様によれば、補正部で特定された画素電極の組に含まれる2つの画素電極が、第2方向に並ぶ場合は、印加電圧の差の減少量が大きい補正を行うことで、第1方向と比べて第2方向においてリバースチルトドメインが視認されやすい状況を抑制できる。また、補正部で特定された画素電極の組に含まれる2つの画素電極が第1方向に並ぶ場合は、印加電圧の差の減少量が小さい補正を行うことで、補正に起因する表示状態の変化を抑制できる。

10

【0009】

以上の課題を解決するため、本発明に係る液晶表示装置の一態様は、第1方向と当該第1方向に交差する第2方向とに配列された複数の画素電極が設けられた素子基板と、共通電極が設けられた対向基板と、前記素子基板と前記対向基板とに挟持された液晶層と、前記画素電極の辺に沿って前記第1方向に延びた第1遮光膜、および、前記画素電極の辺に沿って前記第2方向に延びた第2遮光膜と、を有し、当該第2遮光膜の幅と比べて当該第1遮光膜の幅が狭い、液晶パネルと、入力画像信号に基づいて、前記複数の画素電極に電圧を印加する信号処理部と、を備え、前記信号処理部は、前記入力画像信号として、前記複数の画素電極のうち第1画素電極に対応する画素は第1の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第1の階調レベルと比べて小さい第2の階調レベルで表示する画像信号、または、前記複数の画素電極のうち第1画素電極に対応する画素は第3の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第3の階調レベルと比べて大きい第4の階調レベルで表示する画像信号、が入力された場合に、当該第1画素電極と、当該第1画素電極に対し前記第1方向においてリバースチルトドメインが発生しやすい側に並んだ第2画素電極との印加電圧の差である第1印加電圧差、当該第1画素電極と、当該第1画素電極に対し前記第1方向においてリバースチルトドメインが発生しにくい側に並んだ第3画素電極との印加電圧の差である第2印加電圧差、当該第1画素電極と、当該第1画素電極に対し前記第2方向においてリバースチルトドメインが発生しやすい側に並んだ第4画素電極との印加電圧の差である第3印加電圧差、および、当該第1画素電極と、当該第1画素電極に対し前記第2方向においてリバースチルトドメインが発生しにくい側に並んだ第5画素電極との印加電圧の差である第4印加電圧差、について、前記第2印加電圧差と比べて前記第1印加電圧差が小さく、前記第4印加電圧差と比べて前記第3印加電圧差が小さく、かつ、前記第1印加電圧差と比べて前記第3印加電圧差が小さくなるように、前記入力画像信号を補正して、前記複数の画素電極に電圧を印加する。

20

30

【0010】

前記態様によれば、第1印加電圧差と比べて第3印加電圧差を小さくすることで、第1方向と比べて第2方向においてリバースチルトドメインが視認されやすい状況を抑制できる。

【0011】

以上の課題を解決するため、本発明に係る液晶表示装置の一態様は、第1方向と当該第1方向に交差する第2方向とに配列された複数の画素電極が設けられた素子基板と、共通電極が設けられた対向基板と、前記素子基板と前記対向基板とに挟持された液晶層と、前記画素電極の辺に沿って前記第1方向に延びた第1遮光膜、および、前記画素電極の辺に沿って前記第2方向に延びた第2遮光膜と、を有し、当該第2遮光膜の幅と比べて当該第1遮光膜の幅が狭い、液晶パネルと、入力画像信号に基づいて、前記複数の画素電極に電圧を印加する信号処理部と、を備え、前記信号処理部は、前記入力画像信号として、前記複数の画素電極のうち第1画素電極に対応する画素は第1の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第1の階調レベルと比べて小さい第2の階調レベルで表示する画像信号、または、前記複数の画素電極のうち第1画素電極に対応する画素は第

40

50

3の階調レベルで表示し、残りの他の画素電極に対応する画素は前記第3の階調レベルと比べて大きい第4の階調レベルで表示する画像信号、が入力された場合に、当該第1画素電極に対応する画素と、当該第1画素電極と前記第1方向においてリバースチルトドメインが発生しやすい側に並んだ第2画素電極に対応する画素との透過率の差である第1透過率差、当該第1画素電極に対応する画素と、当該第1画素電極と前記第1方向においてリバースチルトドメインが発生しにくい側に並んだ第3画素電極に対応する画素との透過率の差である第2透過率差、当該第1画素電極に対応する画素と、当該第1画素電極と前記第2方向においてリバースチルトドメインが発生しやすい側に並んだ第4画素電極に対応する画素との透過率の差である第3透過率差、および、当該第1画素電極に対応する画素と、当該第1画素電極と前記第2方向においてリバースチルトドメインが発生しにくい側に並んだ第5画素電極に対応する画素との透過率の差である第4透過率差、について、前記第2透過率差と比べて前記第1透過率差が小さく、前記第4透過率差と比べて前記第3透過率差が小さく、かつ、前記第1透過率差と比べて前記第3透過率差が小さくなるように、前記入力画像信号を補正して、前記複数の画素電極に電圧を印加する。

10

#### 【0012】

前記態様によれば、第1透過率差と比べて第3透過率差を小さくすることで、第1方向と比べて第2方向においてリバースチルトドメインが視認されやすい状況を抑制できる。

#### 【0013】

以上の課題を解決するため、本発明に係る電子機器の一態様は、上述した液晶表示装置を備える。

20

#### 【0014】

前記態様によれば、電子機器が上述した液晶表示装置を備えることで、第1方向と比べて第2方向においてリバースチルトドメインが視認されやすい状況を抑制できる。

#### 【図面の簡単な説明】

#### 【0015】

【図1】実施形態による液晶表示装置の全体構成を示すブロック図である。

【図2】画素の配列を示す概略平面図である。

【図3】第1実施形態における1画素の近傍を拡大して示す概略平面図である。

【図4】画像処理回路の構成を示すブロック図である。

【図5】補正の例1における画素の配列を示す概略平面図である。

30

【図6】補正の例2における画素の配列を示す概略平面図である。

【図7】補正の例3における画素の配列を示す概略平面図である。

【図8】補正の例4における画素の配列を示す概略平面図である。

【図9】第2実施形態における1画素の近傍を拡大して示す概略平面図である。

【図10】補正の例5における画素の配列を示す概略平面図である。

【図11】1画素の遮光膜を示す概略平面図である。

【図12】試験の例を示す表示領域の概略平面図である。

【図13】応用例によるプロジェクターの光学系を示す模式図である。

#### 【発明を実施するための形態】

#### 【0016】

40

以下、この発明の好適な実施の形態を、添付図面等を参照しながら詳細に説明する。ただし、各図において、各部の寸法および縮尺は、実際のものとは適宜に異ならせてある。また、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

#### 【0017】

#### <第1実施形態>

本発明の第1実施形態による液晶表示装置10について説明する。まず、液晶表示装置10の全体的な構成について説明する。図1は、液晶表示装置10の全体構成を示すブロック図である。液晶表示装置10は、液晶パネル100と、信号処理部400とを有する

50

。

## 【0018】

液晶パネル100は、素子基板110と、対向基板150と、液晶層170とを有する。素子基板110と対向基板150とは一定の間隙を保って貼り合わせられ、液晶層170は素子基板110と対向基板150との間に挟持されている。液晶パネル100の表示領域101内に、複数の画素102が、水平方向（X方向）と垂直方向（Y方向）とに配列されている。画素102の、X方向に並んだ配列を行と呼び、Y方向に並んだ配列を列と呼ぶこととする。

## 【0019】

素子基板110は、画素電極120と、薄膜トランジスタ（TFT）130と、走査線141と、データ線142とを有する。画素電極120とTFT130とは、画素102ごとに設けられている。各画素電極120は、透光性の導電材料で形成され、X方向に延びる一对の辺とY方向に延びる一对の辺とを有する矩形形状である。

10

## 【0020】

走査線141は、画素102の行ごとに設けられ、画素102の隣接する行と行の間に配置され、行方向に（X方向に）延び、遮光性の導電材料で形成された配線である。データ線142は、画素102の列ごとに設けられ、画素102の隣接する列と列の間に配置され、列方向に（Y方向に）延び、遮光性の導電材料で形成された配線である。各TFT130において、ゲート電極は、走査線141と電気的に接続され、ソース電極は、データ線142と電気的に接続され、ドレイン電極は、画素電極120と電気的に接続されている。

20

## 【0021】

対向基板150は、共通電極160を有する。共通電極160は、透光性の導電材料で形成され、対向基板150の全面に亘って形成されている。共通電極160には、電圧LCCOMが印加される。本例では、電圧LCCOMを0Vとする。液晶層170は、正または負の誘電異方性を有する液晶で形成されている。液晶パネル100は、例えば、TN（Twisted Nematic）モードやVA（Vertical Alignment）モードで動作する。液晶の配向方位を制御するために、素子基板110および対向基板150のそれぞれに、配向膜が形成されている。液晶パネル100は、素子基板110の外側に配置された偏光板と、対向基板150の外側に配置された偏光板とに挟まれた状態で、表示装置として使用される。

30

。

## 【0022】

信号処理部400は、制御部200と、駆動部300とを有する。以下説明するように、信号処理部400は、入力画像信号（以下、画像信号とも呼ぶ）Viaに基づいて、複数の画素電極120に電圧を印加する。制御部200には、上位装置から画像信号Viaが同期信号Syncに同期して供給される。画像信号Viaは、液晶パネル100における各画素102の階調レベルをそれぞれ指定するデジタルデータであり、同期信号Syncに含まれる垂直走査信号、水平走査信号およびドットクロック信号にしたがった走査の順番で供給される。画像信号Viaは階調レベルを指定するが、階調レベルに応じて各画素102の画素電極120への印加電圧が定まるので、画像信号Viaは、画素電極120への印加電圧を指定する信号と捉えてもよい。

40

## 【0023】

制御部200は、走査制御回路210と、画像処理回路220とを有する。走査制御回路210は、各種の制御信号を生成するとともに、同期信号Syncに同期して各部を制御する。画像処理回路220は、デジタルの画像信号Viaを処理して、アナログの画像信号Vxを出力する。また、画像処理回路220は、画像信号Viaを補正する。画像処理回路220について、詳細は後述する。

## 【0024】

駆動部300は、走査線駆動回路310と、データ線駆動回路320とを有する。走査線駆動回路310は、走査制御回路210から与えられる制御信号Yctrにしたがって

50

、走査線 141 に、走査信号 Y1、Y2、Y3、・・・、Ym を供給する。データ線駆動回路 320 は、走査制御回路 210 から与えられる制御信号 Xctr にしたがって、データ線 142 に、データ信号 X1、X2、X3、・・・、Xn を供給する。データ信号 X1、X2、X3、・・・、Xn は、画像処理回路 220 から供給される画像信号 Vx に基づいて生成される。

**【0025】**

走査信号 Y1、Y2、Y3、・・・、Ym に応じて、所定のタイミングで TFT130 がオン状態にされることで、データ信号 X1、X2、X3、・・・、Xn は、画素電極 120 に書き込まれる。つまり、画素電極 120 に、データ信号に対応する電圧が印加される。書き込まれたデータ信号は、画素電極 120 と共通電極 160 との間に形成される液晶容量で所定期間保持される。なお、書き込まれたデータ信号のリークを抑制するために、各画素 102 に蓄積容量が設けられていてもよい。

10

**【0026】**

このように、各画素 102 において、画素電極 120 に電圧が印加され、印加された電圧レベルに応じて液晶層 170 の配向状態が変化することで、液晶層 170 に入射した光が変調されて、階調表示が可能となる。

**【0027】**

次に、液晶パネル 100 の構造の詳細について説明する。また併せて、液晶層 170 に生じるリバースチルトドメインについて説明する。以下、ノーマリーブラックモードでの動作について説明する。図 2 は、画素 102 の配列を示す概略的な平面図である。画素電極 120 の表面に対して垂直な方向、または、共通電極 160 の表面に対して垂直な方向から液晶パネル 100 を見ることを、平面視と称する。

20

**【0028】**

図 2 は、画素 P0 と、画素 P0 に対して X 方向の一方側（紙面右側）に並んだ画素 PR1 と、画素 P0 に対して X 方向の他方側（紙面左側）に並んだ画素 PL1 と、画素 P0 に対して Y 方向の一方側（紙面下側）に並んだ画素 PD1 と、画素 P0 に対して Y 方向の他方側（紙面上側）に並んだ画素 PU1 とを示す。画素 P0、PR1、PL1、PD1 および PU1 のそれぞれに、画素電極 E0、ER1、EL1、ED1 および EU1 が設けられている。画素 P0、PR1、PL1、PD1 および PU1 の輪郭を二点鎖線で示し、画素電極 E0、ER1、EL1、ED1 および EU1 の輪郭を破線で示す。

30

**【0029】**

図 2 に示す例において、画素 P0 は、表現可能な最も大きい階調レベルで表示されている。つまり、画素電極 E0 に、印加可能な最も大きい電圧（例えば 5V）が印加されている。また、残りの他の画素 PR1、PL1、PD1 および PU1 は、表現可能な最も小さい階調レベルで表示されている。つまり、画素電極 ER1、EL1、ED1 および EU1 に、印加可能な最も小さい電圧（例えば 0V）が印加されている。なお、表現可能な最も大きい階調レベルに対応する印加電圧は、液晶表示装置 10 の動作モードによって異なってよい。例えば、ある動作モードで表現可能な最も大きい階調レベルに対応する印加電圧は 5V であり、他の動作モードで表現可能な最も大きい階調レベルに対応する印加電圧は 4V であってよい。

40

**【0030】**

液晶表示装置に係る技術において、隣接する画素電極間で印加電圧の差（横電界）が大きくなることに起因して、隣接する辺に概ね沿う形状で、液晶の配向が乱れた領域であるリバースチルトドメイン（以下、ドメインとも呼ぶ）が発生することが知られている。ただし、横電界の大きさが同じであっても、ある向きに隣接する画素電極側にはドメインが発生しやすいが、それと反対向きに隣接する画素電極側にはドメインが発生しにくい、という傾向がある。なお、斜め方向に配置された画素電極間では、ドメインの発生は特に問題とならない。

**【0031】**

図 2 の例は、画素電極 E0 と、画素電極 E0 に X 方向で隣接する画素電極 ER1 および

50



EL1のそれぞれとの間で、同様に大きな横電界が生じているが、画素電極ER1側にはドメインRTXが発生し、画素電極EL1側にはドメインが発生していない状況を示す。また、図2の例は、画素電極E0と、画素電極E0にY方向で隣接する画素電極ED1およびEU1のそれぞれとの間で、同様に大きな横電界が生じているが、画素電極ED1側にはドメインRTYが発生し、画素電極EU1側にはドメインが発生していない状況を示す。ドメインRTX、RTYは、右上がりのハッチングを付して示す。ドメインRTX、RTYは、大きい階調レベルで表示された画素P0において、明るさが低下した領域として視認されやすい。

#### 【0032】

走査線141は、Y方向において相互に隣接する画素102同士境界上に配置されており、Y方向に隣接する画素102のうち下側の画素102に設けられた画素電極120の上端部と、上側の画素102に設けられた画素電極120の下端部とに重なる幅で設けられている。データ線142は、X方向において相互に隣接する画素102同士境界上に配置されており、X方向に隣接する画素102のうち右側の画素102に設けられた画素電極120の左端部と、左側の画素102に設けられた画素電極120の右端部とに重なる幅で設けられている。

10

#### 【0033】

走査線141は、画素電極120のX方向に延びる辺に沿ってX方向に延びた遮光膜を構成する。データ線142は、平面視において走査線141と交差し、画素電極120のY方向に延びる辺に沿ってY方向に延びた遮光膜を構成する。平面視において走査線141とデータ線142とに囲まれた、画素電極120の(画素102の)内部の領域は、光が透過する開口領域(透光領域)103となる。一方、平面視において走査線141またはデータ線142が設けられた領域は、画素102同士境界部分において光が遮光される非開口領域(遮光領域)104となる。

20

#### 【0034】

図3は、図2における画素P0の近傍を拡大して示す概略的な平面図である。第1実施形態において、液晶パネル100が有する走査線141およびデータ線142は、データ線142の幅(X方向の寸法)wxと比べて、走査線141の幅(Y方向の寸法)wyが狭い態様で設けられている。

30

#### 【0035】

ドメインRTXは、X方向に隣接する画素電極E0と画素電極ER1との間に(画素電極E0、ER1の相互に対向する辺の近傍に)、画素電極E0のY方向に延びる辺に沿って発生している。ドメインRTXの幅(X方向の寸法)をdxとする。ドメインRTYは、Y方向に隣接する画素電極E0と画素電極ED1との間に(画素電極E0、ED1の相互に対向する辺の近傍に)、画素電極E0のX方向に延びる辺に沿って発生している。ドメインRTYの幅(Y方向の寸法)をdyとする。

#### 【0036】

液晶層170における液晶の配向方位171は、ドメインRTXが沿う画素電極E0の辺と、ドメインRTXが沿う画素電極E0の辺とがなす角を二等分する方向に沿い、X方向およびY方向のそれぞれと45°をなす。液晶の配向方位171が、X方向およびY方向のそれぞれと等しい角度(すなわち45°)をなすように設定されていることで、X方向に隣接する画素102間で生じるドメインRTXと、Y方向に隣接する画素102間で生じるドメインRTYとは同様な条件で発生して、ドメインRTXの幅dxとドメインRTYの幅dyとは等しくなる。

40

#### 【0037】

走査線141の幅wyがデータ線142の幅wxと比べて狭いことに起因して、ドメインRTYが画素P0の開口領域103内にはみ出す幅dyaは、ドメインRTXが画素P0の開口領域103内にはみ出す幅dxaと比べて広がっている。このため、画素P0の開口領域103内において、ドメインRTXよりもドメインRTYの方が視認されやすい。

50

## 【 0 0 3 8 】

なお、以上の説明から理解されるように、図3の例とは逆に、走査線141およびデータ線142が、走査線141の幅 $w_y$ と比べてデータ線142の幅 $w_x$ が狭い態様で設けられている場合であれば、ドメインRTYよりもドメインRTXの方が視認されやすくなる。

## 【 0 0 3 9 】

つまり、相対的に幅の狭い方の（幅狭の）遮光膜（図3の例では走査線141）の近傍に発生するドメイン（図3の例ではドメインRTY）は、相対的に幅の広い方の（幅広の）遮光膜（図3の例ではデータ線142）の近傍に発生するドメイン（図3の例ではドメインRTX）と比べて視認されやすく、幅狭の遮光膜の幅方向（図3の例では、走査線141の幅方向であるY方向）は、幅広の遮光膜の幅方向（図3の例では、データ線142の幅方向であるX方向）と比べて、ドメイン（図3の例ではドメインRTY）が視認されやすい方向となる。

## 【 0 0 4 0 】

本実施形態による液晶表示装置10は、詳細は後述するように、画像処理回路220に入力される画像信号Viaを画像処理回路220により補正することで、ドメイン発生を抑制する。そして、この補正において、交差する遮光膜のうち幅狭の遮光膜の幅方向に対応する、ドメインが視認されやすい方向に対して、より強い補正を行うことで、幅狭の遮光膜の近傍に発生するドメインが視認されやすいという状況を抑制する。

## 【 0 0 4 1 】

次に、画像処理回路220について説明する。また併せて、画像処理回路220による画像信号Viaの補正の例について説明する。図4は、画像処理回路220の構成を例示するブロック図である。例示の画像処理回路220は、フレームメモリコントローラ（FMC）230と、フレームメモリ（FM）231と、補正部240と、デジタルアナログ（D/A）変換器250とを有する。

## 【 0 0 4 2 】

画像信号Viaが、上位装置からFMC230に供給され、FMC230を介してFM231に記憶される。FM231に記憶された画像信号Viaは、FMC230を介して補正部240に供給される。

## 【 0 0 4 3 】

画像信号Viaは、補正部240によって補正される。そこで以下、補正部240に入力される画像信号Viaを補正前画像信号Viaと呼び、補正部240から出力される画像信号Vibを補正後画像信号Vibと呼ぶことがある。なお、補正前画像信号Viaは、後述の説明から理解されるように、ドメイン発生を抑制する必要に応じて補正される。したがって、補正前画像信号Viaは、ドメインを発生させない信号（後述のリスク境界検出部241で特定される画素電極120の組を含まない信号）である場合は、補正されなくてよい。補正前画像信号Viaが補正されない場合は、補正部240に入力される画像信号Viaである補正前画像信号Viaと、補正部240から出力される画像信号Vibである補正後画像信号Vibとは、一致してよい。

## 【 0 0 4 4 】

補正前画像信号Viaは、各画素102の階調レベルを定めることにより、各画素102に設けられた画素電極120に印加すべき電圧を定める。ここで、ある画素電極120に「印加すべき電圧」とは、補正前画像信号Viaが指定するそのままの階調レベルに対応する印加電圧を示す。したがって、補正後画像信号Vibにおいて、当該画素電極120への印加電圧が補正されている場合、実際の印加電圧は、当該「印加すべき電圧」とは異なった値となる。

## 【 0 0 4 5 】

補正部240は、リスク境界検出部241と、補正量設定部242と、補正演算部243とを有する。リスク境界検出部241に、補正前画像信号Viaが供給される。リスク境界検出部241は、補正前画像信号Viaに基づいて、並んだ（隣接した）2つの画素

10

20

30

40

50

電極 1 2 0 の各々に印加すべき電圧同士の差が所定値以上であってドメインが発生すると判定される画素電極 1 2 0 の組を特定する。つまり、特定された画素電極 1 2 0 の組に含まれる 2 つの画素電極 1 2 0 同士の境界、すなわち、これらの画素電極 1 2 0 に対応する画素 1 0 2 同士の境界が、ドメインの発生する境界（リスク境界）として検出される。

【 0 0 4 6 】

図 4 に加え図 5 も参照して、説明を続ける。図 5 は、画像信号 V i a の補正の例 1 を示す、画素 1 0 2 の配列の概略的な平面図である。図 5 の左側部分に、補正前画像信号 V i a に対応する印加電圧（つまり「印加すべき電圧」）を示し、図 5 の右側部分に、補正後画像信号 V i b に対応する印加電圧を示す。各画素 1 0 2 内に、印加電圧を V 単位で示す。

10

【 0 0 4 7 】

図 5 の左側部分に示すように、補正前画像信号 V i a に対応する印加電圧は、図 2 に示した例と同様である。図 5 には、画素 P 0 に対し X 方向右側に配置された 2 つ隣の画素 P R 2 および 3 つ隣の画素 P R 3 と、画素 P 0 に対し X 方向左側に配置された 2 つ隣の画素 P L 2 および 3 つ隣の画素 P L 3 と、画素 P 0 に対し Y 方向下側に配置された 2 つ隣の画素 P D 2 および 3 つ隣の画素 P D 3 と、画素 P 0 に対し Y 方向上側に配置された 2 つ隣の画素 P U 2 および 3 つ隣の画素 P U 3 とを追加して示す。画素 P 0、P R 1 ~ P R 3、P L 1 ~ P L 3、P D 1 ~ P D 3 および P U 1 ~ P U 3 のそれぞれに、画素電極 E 0、E R 1 ~ E R 3、E L 1 ~ E L 3、E D 1 ~ E D 3 および E U 1 ~ E U 3 が設けられている。印加すべき電圧が 5 V であり大きい階調レベルで表示される画素 P 0 は、白抜きで示す。また、印加すべき電圧が 0 V であり小さい階調レベルで表示される画素 P R 1 ~ P R 3、P L 1 ~ P L 3、P D 1 ~ P D 3 および P U 1 ~ P U 3 は、クロスハッチングを付して示す。

20

【 0 0 4 8 】

図 5 に示す例では、リスク境界検出部 2 4 1 によって、以下のような画素電極 1 2 0 の組が特定される。印加すべき電圧同士の差の所定値は、例えば 4 . 0 V とする。並んだ 2 つの画素電極 1 2 0 の各々に印加すべき電圧同士の差が 4 . 0 V 以上であってドメインが発生すると判定される画素電極 1 2 0 の組として、画素電極 E 0、E R 1 の組、および、画素電極 E 0、E D 1 の組の 2 組が特定される。画素電極 E 0、E R 1 の組のように、X 方向に並ぶ画素電極 1 2 0 の組を、X 方向の組と呼ぶこととし、画素電極 E 0、E D 1 の組のように、Y 方向に並ぶ画素電極 1 2 0 の組を、Y 方向の組と呼ぶこととする。

30

【 0 0 4 9 】

なお、画素電極 E 0、E L 1 の組、および、画素電極 E 0、E U 1 の組については、並んだ 2 つの画素電極 1 2 0 の各々に印加すべき電圧同士の差が 4 . 0 V 以上であるが、図 2 を参照して説明したように、ドメインは発生しないと判定される。このため、画素電極 E 0、E L 1 の組、および、画素電極 E 0、E U 1 の組は、リスク境界検出部 2 4 1 で特定される画素電極 1 2 0 の組とはならない。なお、印加すべき電圧差（横電界）が大きい場合に、どのように並んだ画素電極 1 2 0 の組においてドメインが発生するかは、液晶層 1 7 0 に設定された配向方位により判定することができる。

【 0 0 5 0 】

リスク境界検出部 2 4 1 によって特定された画素電極 1 2 0 の組（以下単に、画素電極 1 2 0 の組と呼ぶことがある）を示すデータは、補正量設定部（算出部）2 4 2 に入力される。補正量設定部 2 4 2 は、画素電極 1 2 0 の組における印加電圧の差が減少するように、当該画素電極 1 2 0 の組に含まれる 2 つの画素電極 1 2 0 への印加電圧の補正量を設定（算出）する。なお、補正量は、電圧値でなく階調レベルとして設定されてもよい。

40

【 0 0 5 1 】

補正量設定部 2 4 2 は、水平用設定部 2 4 2 x と、垂直用設定部 2 4 2 y とを有する。X 方向（つまり水平方向）の組である画素電極 1 2 0 の組に対しては、水平用設定部 2 4 2 x により補正量が設定される。Y 方向（つまり垂直方向）の組である画素電極 1 2 0 の組に対しては、垂直用設定部 2 4 2 y により補正量が設定される。

50

## 【 0 0 5 2 】

図 5 に示す例では、補正量設定部 2 4 2 によって、以下のような補正量が設定される。X 方向の組である画素電極 E 0、E R 1 の組に対しては、水平用設定部 2 4 2 x により補正量が設定される。印加すべき電圧が 5 V である画素電極 E 0 の補正量として - 0 . 5 V が設定される。印加すべき電圧が 0 V である画素電極 E R 1 の補正量として + 1 . 0 V が設定される。つまり、補正後の画素電極 E 0 の印加電圧として 4 . 5 V が設定され、補正後の画素電極 E R 1 の印加電圧として 1 . 0 V が設定される。したがって、画素電極 E 0、E R 1 間の印加電圧差は、補正前の 5 . 0 V から補正後の 3 . 5 V に減少し、補正による印加電圧差の減少量は、1 . 5 V となる。

## 【 0 0 5 3 】

Y 方向の組である画素電極 E 0、E D 1 の組に対しては、垂直用設定部 2 4 2 y により補正量が設定される。印加すべき電圧が 5 V である画素電極 E 0 の補正量として - 0 . 5 V が設定される。印加すべき電圧が 0 V である画素電極 E D 1 の補正量として + 1 . 5 V が設定される。つまり、補正後の画素電極 E 0 の印加電圧として 4 . 5 V が設定され、補正後の画素電極 E D 1 の印加電圧として 1 . 5 V が設定される。したがって、画素電極 E 0、E D 1 間の印加電圧差は、補正前の 5 . 0 V から補正後の 3 . 0 V に減少し、補正による印加電圧差の減少量は、2 . 0 V となる。

## 【 0 0 5 4 】

補正量設定部 2 4 2 によって設定された、画素電極 1 2 0 の組に対する補正量を示すデータが、補正演算部 2 4 3 に入力される。また、補正演算部 2 4 3 には、F M C 2 3 0 から補正前画像信号 V i a が供給される。補正演算部 2 4 3 は、画素電極 1 2 0 の組に対する補正量を示すデータを用いて、補正前画像信号 V i a を補正し、補正後画像信号 V i b を生成する。補正後画像信号 V i b は、D / A 変換器 2 5 0 によりアナログの画像信号 V x に変換され、画像信号 V x は、駆動部 3 0 0 ( データ線駆動回路 3 2 0 ) に供給される。

## 【 0 0 5 5 】

図 5 に示す例では、補正量演算部 2 4 3 によって、以下のような補正後画像信号 V i b が生成される。図 5 の右側部分に示すように、補正後画像信号 V i b は、画素電極 E R 2、E R 3、E L 1 ~ E L 3、E D 2、E D 3 および E U 1 ~ E U 3 については、補正前画像信号 V i a と同様に、0 V の印加電圧を示す信号である。つまり、これらの画素電極に対応する画素については、補正がされていない。また、補正後画像信号 V i b は、画素電極 E 0、E R 1 および E D 1 については、上述のように補正前画像信号 V i a から補正されて、それぞれ 4 . 5 V、1 . 0 V および 1 . 5 V の印加電圧を示す信号となる。

## 【 0 0 5 6 】

以上説明したように、本実施形態では、画素電極 E 0、E R 1 および E D 1 の印加電圧を補正して、画素電極 E 0、E R 1 間の印加電圧差を 1 . 5 V 減少させ、画素電極 E 0、E D 1 間の印加電圧差を 2 . 0 V 減少させている。このように、特定された画素電極 1 2 0 の組における印加電圧の差が減少するよう、補正前画像信号 V i a を補正して補正後画像信号 V i b を生成し、補正後画像信号 V i b により液晶パネル 1 0 0 を駆動することで、ドメインの発生を抑制できる。

## 【 0 0 5 7 】

また、本実施形態では、画素電極 E 0、E R 1 の組における印加電圧差の減少量 1 . 5 V と比べ、印加すべき電圧の差がこの組と等しい画素電極 E 0、E D 1 の組における印加電圧差の減少量を、2 . 0 V と大きくしている。つまり、特定された画素電極 1 2 0 の組に含まれる 2 つの画素電極 1 2 0 が、Y 方向に並ぶ場合は、当該 2 つの画素電極 1 2 0 が X 方向に並ぶとした場合に行われる補正と比べて、印加電圧の差の減少量が大きくなるように、強い補正を行っている。

## 【 0 0 5 8 】

これにより、視認されやすい方のドメイン R T Y の発生を、ドメイン R T X の発生と比べて、より強く抑制することができる。つまり、ドメイン R T Y の幅 d y をドメイン R T

10

20

30

40

50

Xの幅  $d_x$  と比べて狭くすることができる。したがって、幅狭の遮光膜である走査線 141 の近傍に発生するドメイン R T Y が視認されやすいという状況（Y方向においてドメインが視認されやすいという状況）を抑制できる。

【0059】

また言い換えると、本実施形態では、特定された画素電極 120 の組に含まれる2つの画素電極 120 がX方向に並ぶ場合は、当該2つの画素電極 120 がY方向に並ぶとした場合に行われる補正と比べて、印加電圧の差の減少量が小さくなるように、補正を行っている。

【0060】

これにより、データ線 142 の近傍に発生する、視認されにくい方のドメイン R T X の発生を抑制するための印加電圧の補正量を、小さくすることができる。画素電極 120 への印加電圧が変化することに起因して、対応する画素 102 の表示状態（透過率）は変化する。したがって、表示品位を保つ観点からは、印加電圧の補正量は小さいこと（過剰としないこと）が好ましい。このように、印加電圧の補正量を小さくすることで、補正に起因する表示状態の変化を抑制できる。

10

【0061】

以下、補正前画像信号 V i a の補正の他の例を説明する。まず、補正の例 2 について説明する。図 6 は、補正の例 2 を示す、画素 102 の配列の概略的な平面図である。補正前画像信号 V i a に対応する印加電圧は、図 5 の左側部分に示すものと同様である。図 6 は、補正の例 2 における、補正後画像信号 V i b に対応する印加電圧を示す。

20

【0062】

補正の例 1 との違いについて説明する。補正の例 1 では、画素電極 E D 1 の補正された印加電圧が 1.5 V であったのに対し、補正の例 2 では、画素電極 E D 1 の補正された印加電圧を 1.7 V に増加させている。つまり、画素電極 E 0、E D 1 間の印加電圧差をさらに減少させることで、より強い補正を行っている。

【0063】

また、補正の例 1 では、画素電極 E D 2 は補正せず印加電圧が 0 V であったのに対し、補正の例 2 では、画素電極 E D 2 も補正して印加電圧を 1.0 V としている。これは、画素電極 E D 1 の印加電圧をより増加させたことで、画素電極 E D 1、E D 2 間の印加電圧の差が過剰に大きくなって、ドメインが生じることを抑制するためである。言い換えると、画素電極 E D 1 から、印加電圧が 0 V から補正されていない画素電極 E D 3 までの電圧変化を、なだらかにするためである。

30

【0064】

この結果、補正の例 2 では、ドメインが視認されやすい方向（本例では Y 方向）において印加電圧が補正されている画素電極 120 の個数（3 個）が、ドメインが視認されにくい方向（本例では X 方向）において印加電圧が補正されている画素電極 120 の個数（2 個）と比べて、多くなっている。

【0065】

次に、補正の例 3 について説明する。図 7 は、補正の例 3 を示す、画素 102 の配列の概略的な平面図である。図 7 の左側部分に、補正前画像信号 V i a に対応する印加電圧（つまり「印加すべき電圧」）を示し、図 5 の右側部分に、補正後画像信号 V i b に対応する印加電圧を示す。

40

【0066】

補正前画像信号 V i a に対応する印加電圧は、画素電極 E 0 について 0 V であり、残りの他の画素電極 E R 1 ~ E R 3、E L 1 ~ E L 3、E D 1 ~ E D 3 および E U 1 ~ E U 3 について 5 V である。リスク境界検出部 241 により、画素電極 E 0、E R 1 の組、および、画素電極 E 0、E D 1 の組が特定される。

【0067】

補正量設定部 242 により、画素電極 E 0 の補正量として + 1.0 V が設定され、画素電極 E R 1 の補正量として - 0.2 V が設定され、画素電極 E D 1 の補正量として - 0.

50

5 V が設定される。つまり、補正後の画素電極 E 0 の印加電圧として 1 . 0 V が設定され、補正後の画素電極 E R 1 の印加電圧として 4 . 8 V が設定され、補正後の画素電極 E D 1 の印加電圧として 4 . 5 V が設定される。したがって、画素電極 E 0、E R 1 間の印加電圧差は、補正前の 5 . 0 V から補正後の 3 . 8 V に減少し、補正による印加電圧差の減少量は、1 . 2 V となる。また、画素電極 E 0、E D 1 間の印加電圧差は、補正前の 5 . 0 V から補正後の 3 . 5 V に減少し、補正による印加電圧差の減少量は、1 . 5 V となる。

【 0 0 6 8 】

本例においても、ドメインが視認されやすい方向（本例では Y 方向）に対して、印加電圧の差の減少量が大きくなるように強い補正を行うことで、幅狭の遮光膜（本例では走査線 1 4 1）の近傍に発生するドメインが視認されやすいという状況を抑制できる。

10

【 0 0 6 9 】

次に、補正の例 4 について説明する。図 8 は、補正の例 4 を示す、画素 1 0 2 の配列の概略的な平面図である。補正前画像信号 V i a に対応する印加電圧は、図 7 の左側部分に示すものと同様である。図 8 は、補正の例 4 における、補正後画像信号 V i b に対応する印加電圧を示す。

【 0 0 7 0 】

補正の例 3 との違いについて説明する。補正の例 3 では、画素電極 E D 1 の補正された印加電圧が 4 . 5 V であったのに対し、補正の例 4 では、画素電極 E D 1 の補正された印加電圧を 4 . 0 V に減少させている。つまり、画素電極 E 0、E D 1 間の印加電圧差をさらに減少させることで、より強い補正を行っている。

20

【 0 0 7 1 】

また、補正の例 3 では、画素電極 E D 2 は補正せず印加電圧が 5 . 0 V であったのに対し、補正の例 4 では、画素電極 E D 2 も補正して印加電圧を 4 . 5 V としている。これは、画素電極 E D 1 の印加電圧をより減少させたことで、画素電極 E D 1、E D 2 間の印加電圧の差が過剰に大きくなって、ドメインが生じることを抑制するためである。言い換えると、画素電極 E D 1 から、印加電圧が 5 . 0 V から補正されていない画素電極 E D 3 までの電圧変化を、なだらかにするためである。

【 0 0 7 2 】

この結果、補正の例 4 では、ドメインが視認されやすい方向（本例では Y 方向）において印加電圧が補正されている画素電極 1 2 0 の個数（3 個）が、ドメインが視認されにくい方向（本例では X 方向）において印加電圧が補正されている画素電極 1 2 0 の個数（2 個）と比べて、多くなっている。

30

【 0 0 7 3 】

< 第 2 実施形態 >

次に、第 2 実施形態による液晶表示装置 1 0 について説明する。図 9 は、第 2 実施形態の液晶表示装置 1 0 が有する液晶パネル 1 0 0 における画素 P 0 の近傍を拡大して示す概略的な平面図である。第 2 実施形態の液晶表示装置 1 0 は、液晶パネル 1 0 0 の有する走査線 1 4 1 の幅  $w_y$  とデータ線 1 4 2 の幅  $w_x$  とが等しい点で、第 1 実施形態と異なる。他の点は、第 1 実施形態と同様である。

40

【 0 0 7 4 】

第 2 実施形態では、走査線 1 4 1 の幅  $w_y$  とデータ線 1 4 2 の幅  $w_x$  とが等しいので、ドメイン R T Y が画素 P 0 の開口領域 1 0 3 内にはみ出す幅  $d_{y a}$  と、ドメイン R T X が画素 P 0 の開口領域 1 0 3 内にはみ出す幅  $d_{x a}$  とが等しい。このため、X 方向、Y 方向ともドメインの視認されやすさは同程度である。

【 0 0 7 5 】

図 1 0 は、第 2 実施形態における補正の例 5 を示す、画素 1 0 2 の配列の概略的な平面図である。補正前画像信号 V i a に対応する印加電圧は、第 1 実施形態で図 5 の左側部分に示したものと同様である。図 1 0 は、補正の例 5 における、補正後画像信号 V i b に対応する印加電圧を示す。

50

## 【0076】

リスク境界検出部241により、画素電極E0、ER1の組、および、画素電極E0、ED1の組が特定される。補正量設定部242により、画素電極E0の補正量として-0.5Vが設定され、画素電極ER1の補正量として+1.5Vが設定され、画素電極ED1の補正量として+1.5Vが設定される。つまり、補正後の画素電極E0の印加電圧として4.5Vが設定され、補正後の画素電極ER1の印加電圧として1.5Vが設定され、補正後の画素電極ED1の印加電圧として1.5Vが設定される。したがって、画素電極E0、ER1間の印加電圧差は、補正前の5.0Vから補正後の3.0Vに減少し、補正による印加電圧差の減少量は、2.0Vとなる。また、画素電極E0、ED1間の印加電圧差は、補正前の5.0Vから補正後の3.0Vに減少し、補正による印加電圧差の減少量は、2.0Vとなる。

10

## 【0077】

第2実施形態においても、補正前画像信号Viaを画像処理回路220により補正することで、ドメイン発生を抑制することができる。第2実施形態では、走査線141とデータ線142の幅wx、wyが等しく、X方向、Y方向ともドメインの視認されやすさが同程度であるため、X方向、Y方向とも同等の印加電圧の補正を行えばよい。

## 【0078】

本発明は、上述した実施形態に限定されるものではなく、例えば以下に述べるような各種の変形が可能である。また、以下に述べる変形の態様は、任意に選択された一または複数を、適宜に組み合わせることもできる。

20

## 【0079】

例えば、上述の実施形態では、画素電極120の辺に沿ってX方向に延びた遮光膜として走査線141を例示したが、このような遮光膜は、走査線141に限らず、また、素子基板110に設けられていても、対向基板150に設けられていてもよい。また例えば、上述の実施形態では、画素電極120の辺に沿ってY方向に延びた遮光膜としてデータ線142を例示したが、このような遮光膜は、データ線142に限らず、また、素子基板110に設けられていても、対向基板150に設けられていてもよい。

## 【0080】

なお、上述の実施形態では、画素102の開口領域103を画定する遮光膜（走査線141、データ線142）が、一定幅である単純化された場合を例示したが、このような遮光膜の幅は、一般には、位置に応じて変化しうる。そこで、遮光膜の幅を、以下のように定義する。

30

## 【0081】

図11は、1つの画素P0を拡大して示す概略的な平面図である。X方向に延びた遮光膜145の幅は、画素P0のX方向に延びる辺上における遮光膜145の最小の幅wymとして定義される。また、Y方向に延びた遮光膜146の幅は、画素P0のY方向に延びる辺上における遮光膜146の最小の幅wxmとして定義される。

## 【0082】

なお、画像信号Viaは、静止画を構成する画像信号であってもよいし、動画を構成する複数の画像信号のうちの一部であってもよい。

40

## 【0083】

なお、上述の第1実施形態では、主として、幅狭の遮光膜（第1遮光膜）が延びた方向（第1方向）がX方向であり、幅広の遮光膜（第2遮光膜）が延びた方向（第1方向に交差する第2方向）がY方向である態様を例示したが、幅狭の遮光膜がY方向に延び、幅広の遮光膜がX方向に延びた態様であってもよい。幅狭の遮光膜がY方向に延びた態様であれば、ドメインが視認されやすいX方向に対して、より強い補正を行うこととなる。

## 【0084】

なお、上述の第1実施形態では、ドメインが視認されやすい方向に対して、より強い補正を行っている。つまり、相対的にドメインが視認されやすい方向と、相対的にドメインが視認されにくい方向とで、非対称な補正が行われる。このため、実施形態による液晶表

50

示装置 10 は、例えば以下のような試験に対して、以下のように動作することとなる。

【0085】

図 12 は、試験の例を示す、表示領域 101 の概略的な平面図である。例示の試験において、まず、図 12 の上部の左側部分に示す表示 A、および、上部の右側部分に示す表示 B を行う。表示 A では、全画面を表現可能な最も大きい階調レベルとする表示（全白表示）を示す画像信号 *V i a* が入力される。表示 B では、全画面を表現可能な最も小さい階調レベルとする表示（全黒表示）を示す画像信号 *V i a* が入力される。

【0086】

表示 A および表示 B のそれぞれにおいて、液晶パネル 100 の駆動用端子にオシロスコブを接続し、画素電極 120 に印加される電圧値を測定する。なお、フォトダイオード等を使って画素 102 の明るさ（透過率）を測定することで、当該画素 102 に設けられた画素電極 120 に印加される電圧の測定に替えてもよい。

【0087】

表示 A および表示 B は、それぞれ、全画面に亘り一様な表示である。したがって、これらは、隣接する画素電極 120 間での印加電圧差に起因するドメインが発生しない表示、つまり、ドメインを抑制するための補正を要しない表示である。このため、表示 A および表示 B のそれぞれで測定された印加電圧の値は、表現可能な最も大きい階調レベルに対応する、補正されていない印加電圧、および、表現可能な最も小さい階調レベルに対応する、補正されていない印加電圧を示す。

【0088】

次に、図 12 の下部の左側部分に示す表示 C、および、下部の右側部分に示す表示 D を行う。表示 C では、Y 方向に並ぶ一列分の画素 102 を表現可能な最も大きい階調レベルとし、残りの画素 102 を表現可能な最も小さい階調レベルとする表示を示す画像信号 *V i a* が入力される。表示 D では、X 方向に並ぶ一行分の画素 102 を表現可能な最も大きい階調レベルとし、残りの画素 102 を表現可能な最も小さい階調レベルとする表示を示す画像信号 *V i a* が入力される。

【0089】

表示 C および表示 D のそれぞれにおいて、画素電極 120 に印加される電圧値、または、画素 102 の明るさ（透過率）を測定する。表示 C で入力される画像信号 *V i a* は、最も大きい階調レベルで表示される画素 102 の X 方向の両隣に、最も小さい階調レベルで表示される画素 102 が配置された表示を示す。このため、ドメイン抑制のための補正が行われることとなる。この補正において、明るい画素 102 に対し X 方向においてドメインが発生しやすい側に並んだ暗い画素 102 における印加電圧は、その反対側に並んだ画素 102 における印加電圧と比べて大きくなる（強く補正される）。

【0090】

表示 D で入力される画像信号 *V i a* は、最も大きい階調レベルで表示される画素 102 の Y 方向の両隣に、最も小さい階調レベルで表示される画素 102 が配置された表示を示す。このため、ドメイン抑制のための補正が行われることとなる。この補正において、明るい画素 102 に対し Y 方向においてドメインが発生しやすい側に並んだ暗い画素 102 における印加電圧は、その反対側に並んだ画素 102 における印加電圧と比べて大きくなる（強く補正される）。

【0091】

例えば、X 方向に延びた遮光膜の幅が、Y 方向に延びた遮光膜の幅と比べて狭い場合は、Y 方向に対してより強い補正が行われる。したがって、この場合は、表示 C に関し X 方向において強く補正された側の画素電極 120 への印加電圧と比べて、表示 D に関し Y 方向において強く補正された側の画素電極 120 への印加電圧が、より大きくなる（より強く補正される）。

【0092】

また例えば、Y 方向に延びた遮光膜の幅が、X 方向に延びた遮光膜の幅と比べて狭い場合は、X 方向に対してより強い補正が行われる。したがって、この場合は、表示 D に関し

10

20

30

40

50



Y方向において強く補正された側の画素電極120への印加電圧と比べて、表示Cに関しX方向において強く補正された側の画素電極120への印加電圧が、より大きくなる(より強く補正される)。

【0093】

なお、図5の左側部分に示した画像信号Via(1つの画素電極120に対応する画素102は所定の大きい階調レベル(第1の階調レベル)で表示し、残りの他の画素電極120に対応する画素102はこれよりも小さい階調レベル(第2の階調レベル)で表示する画像信号Via)、または、図7の左側部分に示した画像信号Via(1つの画素電極120に対応する画素102は所定の小さい階調レベル(第3の階調レベル)で表示し、残りの他の画素電極120に対応する画素102はこれよりも大きい階調レベル(第4の階調レベル)で表示する画像信号Via)が入力された場合には、液晶表示装置10は、以下のように動作する。幅狭の遮光膜が延びた方向をX方向とし、幅広の遮光膜が延びた方向をY方向とする。

10

【0094】

画素電極E0(第1画素電極)と、画素電極E0に対しX方向においてドメインが発生しやすい側に並んだ画素電極ER1(第2画素電極)との印加電圧の差を、第1印加電圧差(例えば、補正の例1(図5)では3.5V、補正の例2(図6)では3.5V、補正の例3(図7)では3.8V、補正の例4(図7)では3.8V)とする。

【0095】

画素電極E0と、画素電極E0に対しX方向においてドメインが発生しにくい側に並んだ画素電極EL1(第3画素電極)との印加電圧の差を、第2印加電圧差(例えば、補正の例1(図5)では4.5V、補正の例2(図6)では4.5V、補正の例3(図7)では4.0V、補正の例4(図7)では4.0V)とする。

20

【0096】

画素電極E0と、画素電極E0に対しY方向においてドメインが発生しやすい側に並んだ画素電極ED1(第4画素電極)との印加電圧の差を、第3印加電圧差(例えば、補正の例1(図5)では3.0V、補正の例2(図6)では2.8V、補正の例3(図7)では3.5V、補正の例4(図7)では3.0V)とする。

【0097】

画素電極E0と、画素電極E0に対しY方向においてドメインが発生しにくい側に並んだ画素電極EU1(第5画素電極)との印加電圧の差を、第4印加電圧差(例えば、補正の例1(図5)では4.5V、補正の例2(図6)では4.5V、補正の例3(図7)では4.0V、補正の例4(図7)では4.0V)とする。

30

【0098】

第2印加電圧差と比べて第1印加電圧差が小さく、第4印加電圧差と比べて第3印加電圧差が小さく、かつ、第1印加電圧差と比べて第3印加電圧差が小さくなる条件で、各画素電極120に電圧が印加される。つまり、信号処理部400は、このような条件が満たされるように、入力される画像信号Viaを補正して、各画素電極120に電圧を印加する。第1印加電圧差と比べて第3印加電圧差を小さくすることで、X方向と比べてY方向においてリバースチルトドメインが視認されやすい状況を抑制できる。

40

【0099】

なお、印加電圧の代わりに透過率を測定した場合は、以下のような条件が満たされる。画素電極E0に対応する画素P0と、画素電極ER1、EL1、ED1およびEU1に対応する画素PR1、PL1、PD1およびPU1と、のそれぞれの透過率の差を、第1~第4透過率差とする。第2透過率差と比べて第1透過率差が小さく、第4透過率差と比べて第3透過率差が小さく、かつ、第1透過率差と比べて第3透過率差が小さくなる条件で、各画素電極120に電圧が印加される。つまり、信号処理部400は、このような条件が満たされるように、入力される画像信号Viaを補正して、各画素電極120に電圧を印加する。第1透過率差と比べて第3透過率差を小さくすることで、X方向と比べてY方向においてリバースチルトドメインが視認されやすい状況を抑制できる。

50

## 【 0 1 0 0 】

## &lt; 応用例 &gt;

次に、上述の実施形態における液晶表示装置 10 として、投射型表示装置（プロジェクター）について説明する。図 13 は、応用例によるプロジェクター 500 の光学系を例示する模式図である。プロジェクター 500 は、光源装置 501 と、インテグレーター 504 と、偏光変換素子 505 と、色分離導光光学系 502 と、光変調装置としての液晶光変調装置 510R、液晶光変調装置 510G、液晶光変調装置 510B と、クロスダイクロミックプリズム 512 および投写光学系 514 と、を具備して構成されている。液晶光変調装置 510R、510G および 510B には、後述するように、液晶表示装置 520R、520G および 520B が設けられている。これらの液晶表示装置 520R、520G および 520B として、例えば上述の液晶表示装置 10 を用いることができる。

10

## 【 0 1 0 1 】

光源装置 501 は、第 1 色光である赤色光（以下「R 光」という）、第 2 色光である緑色光（以下「G 光」という）、および第 3 色光である青色光（以下「B 光」という）を含む光を供給する。光源装置 501 としては、例えば超高圧水銀ランプを用いることができる。

## 【 0 1 0 2 】

インテグレーター 504 は、光源装置 501 から出射された光の照度分布を均一化する。照度分布を均一化された光は、偏光変換素子 505 にて特定の振動方向を有する偏光光、例えば色分離導光光学系 502 の反射面に対して s 偏光した s 偏光光に変換される。s 偏光光に変換された光は、色分離導光光学系 502 を構成する R 光透過ダイクロミックミラー 506R に入射する。

20

## 【 0 1 0 3 】

色分離導光光学系 502 は、R 光透過ダイクロミックミラー 506R と、B 光透過ダイクロミックミラー 506G と、3 枚の反射ミラー 507 と、2 枚のリレーレンズ 508 と、を具備して構成されている。

## 【 0 1 0 4 】

R 光透過ダイクロミックミラー 506R は、R 光を透過し、G 光、B 光を反射する。R 光透過ダイクロミックミラー 506R を透過した R 光は、反射ミラー 507 に入射する。

## 【 0 1 0 5 】

反射ミラー 507 は、R 光の光路を 90 度折り曲げる。光路を折り曲げられた R 光は、R 光用液晶光変調装置 510R に入射する。R 光用液晶光変調装置 510R は、R 光を画像信号に応じて変調する透過型の液晶装置である。

30

## 【 0 1 0 6 】

R 光用液晶光変調装置 510R は、 $\lambda/2$  位相差板 523R、ガラス板 524R、第 1 偏光板 521R、液晶表示装置 520R、および第 2 偏光板 522R を有する。 $\lambda/2$  位相差板 523R および第 1 偏光板 521R は、偏光方向を変換させない透光性のガラス板 524R に接する状態で配置される。なお、図 13 において、第 2 偏光板 522R は独立して設けられているが、液晶表示装置 520R の射出面や、クロスダイクロミックプリズム 512 の入射表面に接する状態で配置しても良い。

40

## 【 0 1 0 7 】

R 光透過ダイクロミックミラー 506R で反射された、G 光と B 光とは光路を 90 度折り曲げられる。光路を折り曲げられた G 光と B 光とは、B 光透過ダイクロミックミラー 506G に入射する。B 光透過ダイクロミックミラー 506G は、G 光を反射し、B 光を透過する。B 光透過ダイクロミックミラー 506G で反射された G 光は、G 光用液晶光変調装置 510G に入射する。G 光用液晶光変調装置 510G は G 光を画像信号に応じて変調する透過型の液晶装置である。G 光用液晶光変調装置 510G は、液晶表示装置 520G、第 1 偏光板 521G および第 2 偏光板 522G を有する。

## 【 0 1 0 8 】

G 光用液晶光変調装置 510G に入射する G 光は、s 偏光光に変換されている。G 光用

50

液晶光変調装置 5 1 0 G に入射した s 偏光光は、第 1 偏光板 5 2 1 G をそのまま透過し、液晶表示装置 5 2 0 G に入射する。液晶表示装置 5 2 0 G に入射した s 偏光光は、画像信号に応じた変調により、G 光が p 偏光光に変換される。液晶表示装置 5 2 0 G の変調により、p 偏光光に変換された G 光が、第 2 偏光板 5 2 2 G から射出される。このようにして、G 光用液晶光変調装置 5 1 0 G で変調された G 光は、クロスダイクロイックプリズム 5 1 2 に入射する。

【0 1 0 9】

B 光透過ダイクロイックミラー 5 0 6 G を透過した B 光は、2 枚のリレーレンズ 5 0 8 と、2 枚の反射ミラー 5 0 7 とを經由して、B 光用液晶光変調装置 5 1 0 B に入射する。

【0 1 1 0】

B 光用液晶光変調装置 5 1 0 B は、B 光を画像信号に応じて変調する透過型の液晶装置である。B 光用液晶光変調装置 5 1 0 B は、 $\lambda/2$  位相差板 5 2 3 B、ガラス板 5 2 4 B、第 1 偏光板 5 2 1 B、液晶表示装置 5 2 0 B、および第 2 偏光板 5 2 2 B を有する。

【0 1 1 1】

B 光用液晶光変調装置 5 1 0 B に入射する B 光は、s 偏光光に変換されている。B 光用液晶光変調装置 5 1 0 B に入射した s 偏光光は、 $\lambda/2$  位相差板 5 2 3 B により p 偏光光に変換される。p 偏光光に変換された B 光は、ガラス板 5 2 4 B および第 1 偏光板 5 2 1 B をそのまま透過し、液晶表示装置 5 2 0 B に入射する。液晶表示装置 5 2 0 B に入射した p 偏光光は、画像信号に応じた変調により、B 光が s 偏光光に変換される。液晶表示装置 5 2 0 B の変調により、s 偏光光に変換された B 光が、第 2 偏光板 5 2 2 B から射出される。B 光用液晶光変調装置 5 1 0 B で変調された B 光は、クロスダイクロイックプリズム 5 1 2 に入射する。

【0 1 1 2】

このように、色分離導光光学系 5 0 2 を構成する R 光透過ダイクロイックミラー 5 0 6 R と B 光透過ダイクロイックミラー 5 0 6 G とは、光源装置 5 0 1 から供給される光を、第 1 色光である R 光と、第 2 色光である G 光と、第 3 色光である B 光とに分離する。

【0 1 1 3】

色合成光学系であるクロスダイクロイックプリズム 5 1 2 は、2 つのダイクロイック膜 5 1 2 a、5 1 2 b を X 字型に直交して配置して構成されている。ダイクロイック膜 5 1 2 a は、B 光を反射し、G 光を透過する。ダイクロイック膜 5 1 2 b は、R 光を反射し、G 光を透過する。このように、クロスダイクロイックプリズム 5 1 2 は、R 光用液晶光変調装置 5 1 0 R、G 光用液晶光変調装置 5 1 0 G、および B 光用液晶光変調装置 5 1 0 B でそれぞれ変調された R 光、G 光および B 光を合成する。

【0 1 1 4】

投写光学系 5 1 4 は、クロスダイクロイックプリズム 5 1 2 で合成された光をスクリーン 5 1 6 に投射する。これにより、スクリーン 5 1 6 上でフルカラー画像を得ることができる。このように、上述の液晶表示装置 1 0 は、一例としてプロジェクター 5 0 0 に用いることができる。

【0 1 1 5】

なお、上述の液晶表示装置 1 0 は、投写画像を観察する側から投写するフロント投写型プロジェクターに用いることも、投写画像を観察する側とは反対の側から投写するリア投写型プロジェクターに用いることもできる。

【0 1 1 6】

なお、液晶表示装置 1 0 を適用可能な電子機器は、プロジェクター 5 0 0 に限定されない。液晶表示装置 1 0 は、例えば、投射型の HUD (ヘッドアップディスプレイ) や直視型の HMD (ヘッドマウントディスプレイ)、または電子ブック、パーソナルコンピューター、デジタルスチルカメラ、液晶テレビ、ビューファインダー型あるいはモニター直視型のビデオレコーダー、カーナビゲーションシステム、電子手帳、POS などの情報端末機器の表示部として用いてもよい。

【符号の説明】

10

20

30

40

50

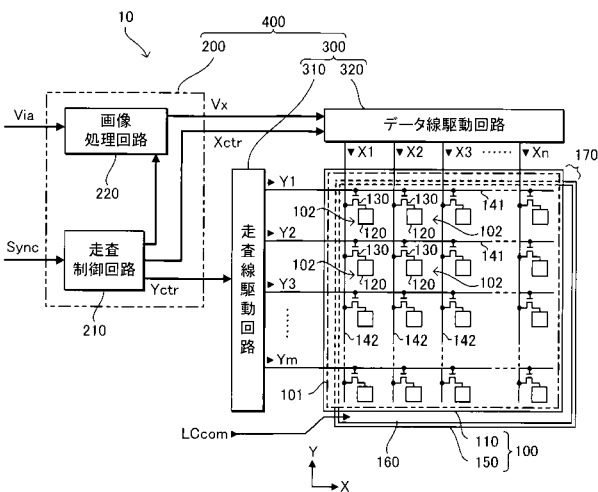
【 0 1 1 7 】

1 0 ... 液晶表示装置、1 0 0 ... 液晶パネル、1 0 1 ... 表示領域、1 0 2 ... 画素、1 0 3 ... 開口領域、1 0 4 ... 非開口領域、1 1 0 ... 素子基板、1 2 0 ... 画素電極、1 3 0 ... T F T、1 4 1 ... 走査線、1 4 2 ... データ線、1 4 5 ... 遮光膜、1 4 6 ... 遮光膜、1 5 0 ... 対向基板、1 6 0 ... 共通電極、1 7 0 ... 液晶層、1 7 1 ... 液晶配向方位、2 0 0 ... 制御部、2 1 0 ... 走査制御回路、2 2 0 ... 画像処理回路、2 3 0 ... フレームメモリーコントローラ、2 3 1 ... フレームメモリー、2 4 0 ... 補正部、2 4 1 ... リスク境界検出部、2 4 2 ... 補正量設定部、2 4 2 x ... 水平用設定部、2 4 2 y ... 垂直用設定部、2 4 3 ... 補正演算部、2 5 0 ... D / A 変換器、3 0 0 ... 駆動部、3 1 0 ... 走査線駆動回路、3 2 0 ... データ線駆動回路、4 0 0 ... 信号処理部、5 0 0 ... プロジェクター、5 0 1 ... 光源装置、5 0 2 ... 色分離導光光学系、5 0 4 ... インテグレーター、5 0 5 ... 偏光変換素子、5 1 0 R ... 液晶光変調装置、5 1 0 G ... 液晶光変調装置、5 1 0 B ... 液晶光変調装置、5 2 0 R ... 液晶パネル、5 2 0 G ... 液晶パネル、5 2 0 B ... 液晶パネル、5 1 2 ... クロスダイクロミックプリズム、5 1 4 ... 投写光学系、5 1 6 ... スクリーン、V i a ... ( 補正前 ) 画像信号、V i b ... ( 補正後 ) 画像信号、V x ... ( アナログの ) 画像信号、P 0 ... 画素、P R 1 ... 画素、P L 1 ... 画素、P D 1 ... 画素、P U 1 ... 画素、E 0 ... 画素電極、E R 1 ... 画素電極、E L 1 ... 画素電極、E D 1 ... 画素電極、E U 1 ... 画素電極、R T X ... リバースチルトドメイン、R T Y ... リバースチルトドメイン、d x ... リバースチルトドメインの幅、d y ... リバースチルトドメインの幅、d x a ... リバースチルトドメインの開口領域へのはみ出し幅、d y a ... リバースチルトドメインの開口領域へのはみ出し幅、w x ... データ線の幅、w y ... 走査線の幅。

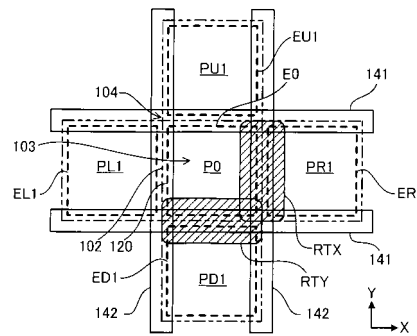
10

20

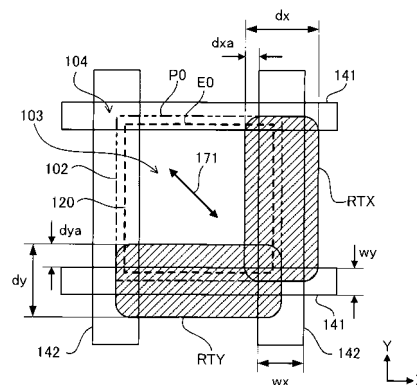
【 図 1 】



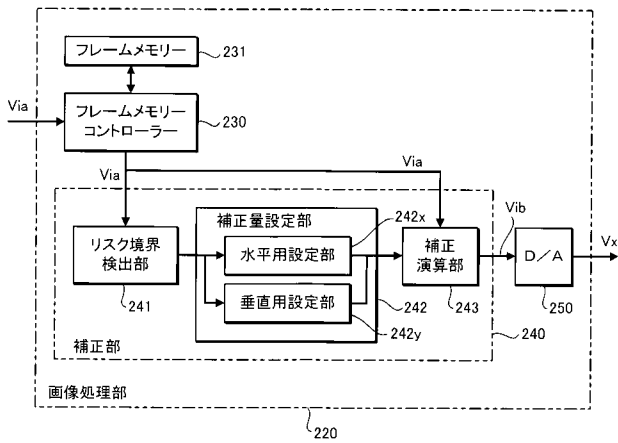
【 図 2 】



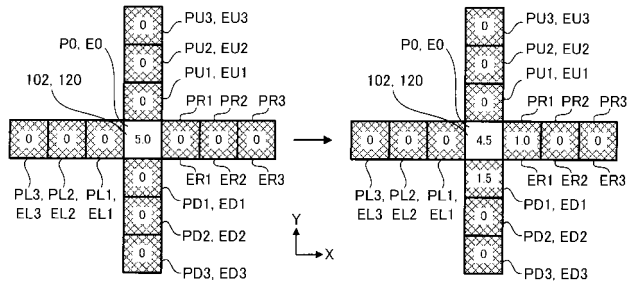
【 図 3 】



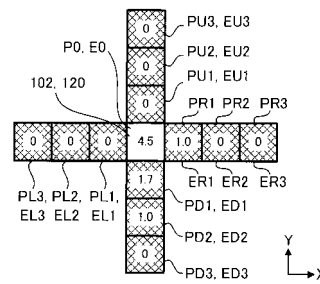
【 図 4 】



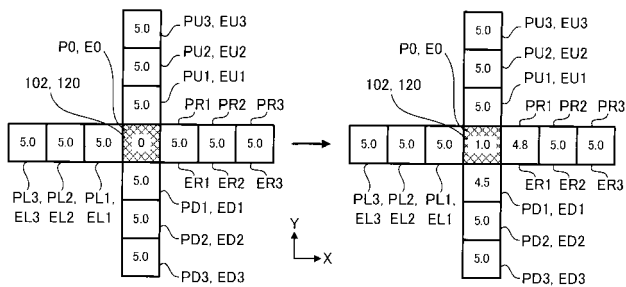
【 図 5 】



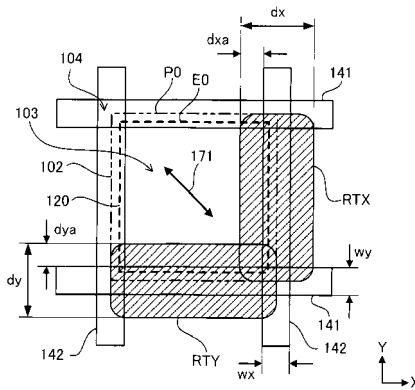
【 図 6 】



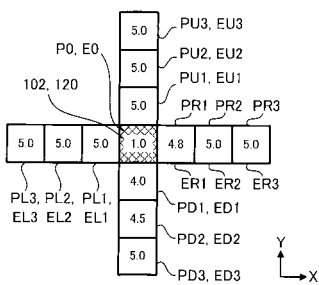
【 図 7 】



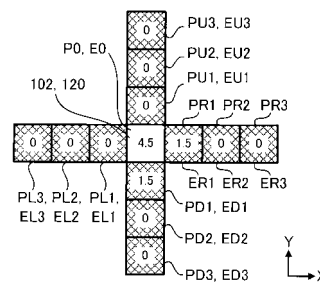
【 図 9 】



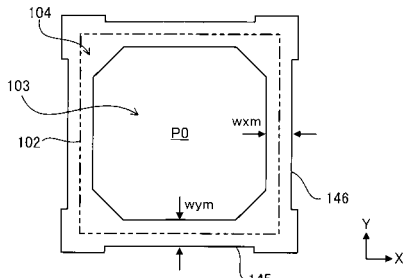
【 図 8 】



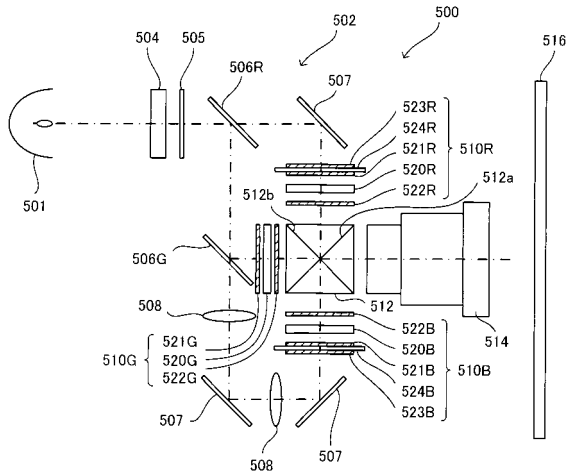
【 図 10 】



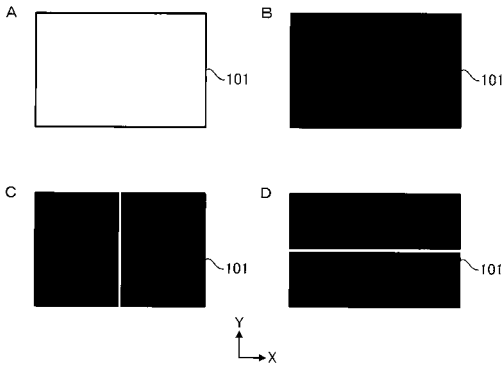
【図 1 1】



【図 1 3】



【図 1 2】



【手続補正書】

【提出日】令和1年8月8日(2019.8.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 画素と、

前記第 1 画素と第 1 方向に沿って隣り合う第 2、第 3 画素と、

前記第 1 画素と前記第 1 方向に交差する第 2 方向に沿って隣り合う第 4、第 5 画素と、

前記各画素に入力画像信号に基づいて所望の電圧を印加する信号処理部と、

前記第 1 画素と前記第 4 画素との間に平面視で重なる第 1 遮光膜と、

前記第 1 画素と前記第 5 画素との間に平面視で重なる第 2 遮光膜と、

前記第 1 画素と前記第 2 画素との間に平面視で重なる第 3 遮光膜と、

前記第 1 画素と前記第 3 画素との間に平面視で重なる第 4 遮光膜とを備え、

前記第 1 および第 2 遮光膜の幅は、前記第 3 および第 4 遮光膜の幅よりも狭く、

前記第 2 画素は、前記第 3 画素よりも、前記第 1 画素のリバースチルトドメインが発生しやすい側に配置され、

前記第 4 画素は、前記第 5 画素よりも、前記第 1 画素のリバースチルトドメインが発生しやすい側に配置されている場合において、

前記信号処理部は、

前記入力画像信号として、

前記第 1 画素を第 1 の階調レベルで表示し、前記第 2、第 3、第 4 および第 5 画素を前

記第 1 の階調レベルと比べて小さい第 2 の階調レベルで表示する画像信号、または、  
前記第 1 画素を第 3 の階調レベルで表示し、前記第 2、第 3、第 4 および第 5 画素を前  
記第 3 の階調レベルと比べて大きい第 4 の階調レベルで表示する画像信号、が入力された  
場合において、

前記第 1 画素の透過率と前記第 2 画素の透過率との差を第 1 透過率差とし、  
前記第 1 画素の透過率と前記第 3 画素との透過率の差を第 2 透過率差とし、  
前記第 1 画素の透過率と前記第 4 画素との透過率の差を第 3 透過率差とし、  
前記第 1 画素の透過率と前記第 5 画素との透過率の差を第 4 透過率差とした場合、  
前記第 1 透過率差が、前記第 2 透過率差よりも小さく、  
前記第 3 透過率差が、前記第 4 透過率差よりも小さく、かつ、  
前記第 3 透過率差が、前記第 1 透過率差よりも小さくなるように、  
前記各画素に電圧を印加する、  
液晶表示装置。

【請求項 2】

第 1 画素と、  
前記第 1 画素と第 1 方向に沿って隣り合う第 2、第 3 画素と、  
前記第 1 画素と前記第 1 方向に交差する第 2 方向に沿って隣り合う第 4、第 5 画素と、  
前記各画素に入力画像信号に基づいて所望の電圧を印加する信号処理部と、  
前記第 1 画素と前記第 4 画素との間に平面視で重なる第 1 遮光膜と、  
前記第 1 画素と前記第 5 画素との間に平面視で重なる第 2 遮光膜と、  
前記第 1 画素と前記第 2 画素との間に平面視で重なる第 3 遮光膜と、  
前記第 1 画素と前記第 3 画素との間に平面視で重なる第 4 遮光膜とを備え、  
前記第 1 および第 2 遮光膜の幅は、前記第 3 および第 4 遮光膜の幅よりも狭く、  
前記第 2 画素は、前記第 3 画素よりも、前記第 1 画素のリバースチルトドメインが発生  
しやすい側に配置され、  
前記第 4 画素は、前記第 5 画素よりも、前記第 1 画素のリバースチルトドメインが発生  
しやすい側に配置されている場合において、

前記信号処理部は、  
前記入力画像信号として、  
前記第 1 画素を第 1 の階調レベルで表示し、前記第 2、第 3、第 4 および第 5 画素を前  
記第 1 の階調レベルと比べて小さい第 2 の階調レベルで表示する画像信号、または、  
前記第 1 画素を第 3 の階調レベルで表示し、前記第 2、第 3、第 4 および第 5 画素を前  
記第 3 の階調レベルと比べて大きい第 4 の階調レベルで表示する画像信号、が入力された  
場合において、

前記第 1 画素に印加される電圧と前記第 2 画素に印加される電圧との差を第 1 印加電圧  
差とし、  
前記第 1 画素に印加される電圧と前記第 3 画素に印加される電圧との差を第 2 印加電圧  
差とし、  
前記第 1 画素に印加される電圧と前記第 4 画素に印加される電圧との差を第 3 印加電圧  
差とし、  
前記第 1 画素に印加される電圧と前記第 5 画素に印加される電圧との差を第 4 印加電圧  
差とした場合、

前記第 1 印加電圧差が、前記第 2 印加電圧差よりも小さく、  
前記第 3 印加電圧差が、前記第 4 印加電圧差よりも小さく、かつ、  
前記第 3 印加電圧差が、前記第 1 印加電圧差よりも小さくなるように、  
前記各画素に電圧を印加する、  
液晶表示装置。

【請求項 3】

請求項 1 または 2 に記載の液晶表示装置、  
を備える電子機器。

---

フロントページの続き

Fターム(参考) 2H193 ZA04 ZB06 ZD23 ZF12 ZF16 ZH23 ZH53 ZP13 ZR04  
5C006 AA11 AA22 AF45 AF46 AF82 BB16 BC03 BC11 BF02 EC11  
FA25  
5C080 AA10 BB05 CC03 DD10 EE29 FF11 JJ01 JJ02 JJ03 JJ06  
KK02 KK07 KK08 KK20 KK23 KK43