



(12) 发明专利申请

(10) 申请公布号 CN 105518796 A

(43) 申请公布日 2016. 04. 20

(21) 申请号 201480021547. 8

代理人 朱胜 陈炜

(22) 申请日 2014. 06. 04

(51) Int. Cl.

(30) 优先权数据

G11C 16/04(2006. 01)

13/910, 377 2013. 06. 05 US

G11C 11/56(2006. 01)

G11C 16/10(2006. 01)

(85) PCT国际申请进入国家阶段日

G11C 16/34(2006. 01)

2015. 10. 15

G11C 11/34(2006. 01)

(86) PCT国际申请的申请数据

PCT/US2014/040774 2014. 06. 04

(87) PCT国际申请的公布数据

W02014/197522 EN 2014. 12. 11

(71) 申请人 桑迪士克技术有限公司

地址 美国德克萨斯州

(72) 发明人 董颖达 文迪·奥曼·L·木伊

东谷政昭

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

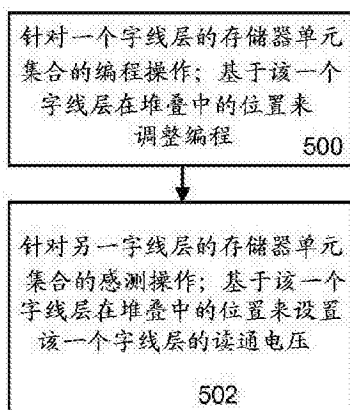
权利要求书3页 说明书19页 附图22页

(54) 发明名称

基于存储器孔直径针对 3D 非易失性存储器的编程和读取操作

(57) 摘要

提供了通过对存储器孔直径的变化进行补偿来对 3D 堆叠式非易失性存储器设备中的存储器单元进行编程和读取的技术。存储器孔直径在堆叠的底部较小,从而导致更严重的读取干扰。为了进行补偿,修改对较低字线层处的存储器单元的编程。在一种方法中,在编程期间使一个或多个数据状态的阈值电压 (Vth) 分布变窄,以使得在后续的感测操作中可以使用较低的读通电压。在读通电压与最高数据状态的上尾之间保持足够的间距。也可以使 Vth 分布下移。在另一方法中,不降低读通电压,但将最低编程状态上移以提供距擦除状态的上尾的间距。



1. 一种用于对3D非易失性存储器设备进行编程的方法,包括:

选择多个字线层(WLL0-WLL23)中的一个字线层(WLL23、WLL0)中的存储器单元集合(SETD-23,SETD-0)来存储数据,所述多个字线层在堆叠(230)中与介电层(D0-D24)交替地布置,并且所述一个字线层中的所述存储器单元集合中的存储器单元(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14;MCD0-0、MCD0-1、MCD0-3、...、MCD0-14)被布置在延伸通过所述堆叠的相应存储器孔(MH0、MH0-1、MH0-2、...、MH0-14)中,所述相应存储器孔具有沿所述存储器孔而变化的相应宽度(Dmh);以及

对所述一个字线层中的所述存储器单元集合进行编程,所述编程基于所述一个字线层在所述堆叠中的位置而被调整。

2. 根据权利要求1所述的方法,其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时,所述编程被调整成向多个编程数据状态(A、B、C)中的最高编程数据状态(C)提供相对较窄的阈值电压分布(V_{cw})。

3. 根据权利要求1或2所述的方法,其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时,所述编程被调整成向多个编程数据状态(A、B、C)中的最高编程数据状态(C)提供具有相对较低上尾(V_{ut3})的阈值电压分布(V_{cw})。

4. 根据权利要求1至3中任一项所述的方法,其中:

所述相应宽度越靠近所述堆叠的底部(238)则渐进地越小。

5. 根据权利要求1至4中任一项所述的方法,其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时,所述编程通过以下方式来调整:通过使用相对较低的验证电平(V_{vC})来将所述存储器单元集合的一个子集(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14中的一个或更多个或者MCD0-0、MCD0-1、MCD0-2、...、MCD0-14中的一个或更多个)编程至多个编程数据状态中的最高编程数据状态。

6. 根据权利要求1至4中任一项所述的方法,其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时,所述编程通过以下方式来调整:通过使用相对较高的验证电平(V_{vA})来将所述存储器单元集合的一个子集(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14中的一个或更多个或者MCD0-0、MCD0-1、MCD0-2、...、MCD0-14中的一个或更多个)编程至多个编程数据状态中的最低编程数据状态,所述最低编程数据状态高于擦除数据状态。

7. 根据权利要求1至4中任一项所述的方法,其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时,所述编程通过以下方式来调整:以相对较慢的速率将所述存储器单元集合的一个子集(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14中的一个或更多个或者MCD0-0、MCD0-1、MCD0-2、...、MCD0-14中的一个或更多个)编程至多个编程数据状态中的最高编程数据状态。

8. 根据权利要求7所述的方法,其中:

对所述存储器单元集合的所述编程包括向所述存储器单元集合施加一系列编程脉冲(1211-1225;1311-1325);以及

以相对较慢的速率对所述存储器单元集合的所述一个子集的所述编程通过以下方式来实现在所述编程脉冲中的一个或多个编程脉冲期间调整用于所述存储器单元集合的所述一个子集的位线电压(Vb1)或者通过将所述编程脉冲中的一个或多个编程脉冲的步长(dVpgm)降低至零或非零值。

9. 根据权利要求8所述的方法, 其中:

以相对较慢的速率对所述存储器单元集合的所述一个子集的所述编程基于所述一系列编程脉冲中的固定编程脉冲数或者基于根据所述存储器单元集合的编程进度做出的自适应决策, 来在所述一系列编程脉冲的中途开始。

10. 根据权利要求1至9中任一项所述的方法, 还包括:

在对所述存储器单元集合的所述编程之后, 对所述多个字线层中的另一字线层(WLL0、WLL23)中的另一存储器单元集合(SETD-0、SETD-23)进行感测, 对所述另一存储器单元集合的所述感测包括向所述一个字线层施加读通电压(VrP)的同时向所述另一字线层施加感测电压(VrA、VrB、VrC), 所述读通电压基于所述一个字线层在所述堆叠中的位置而设置, 以及当所述一个字线层在所述堆叠中的位置与所述存储器孔的相对较窄位置相邻时, 所述读通电压相对较小。

11. 根据权利要求1至10中任一项所述的方法, 其中:

所述存储器孔为柱状并且至少从所述多个字线层中的顶部字线层(WLL23)延伸至所述多个字线层中的底部字线层(WLL0)。

12. 一种3D非易失性存储器设备, 包括:

多个字线层(WLL0-WLL23), 所述多个字线层(WLL0-WLL23)在所述堆叠(230)中与所述介电层(D0-D24)交替地布置;

多个存储器单元(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14; MCD0-0、MCD0-1、MCD0-3、...、MCD0-14), 所述多个存储器单元(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14; MCD0-0、MCD0-1、MCD0-3、...、MCD0-14)布置在NAND串(NS0、NS0-1、NS0-2、...、NS0-14)中并且与所述多个字线层连通, 所述NAND串被布置在延伸通过所述堆叠的相应存储器孔(MH0、MH0-1、MH0-2、...、MH0-14)中, 所述相应存储器孔具有沿所述存储器孔而变化的相应宽度(Dmh); 以及

控制电路(110、112、114、116、122、128、130、132), 所述控制电路选择所述多个字线层中的一个字线层中的存储器单元集合(SETD-23、SETD-0)来存储数据, 以及对所述一个字线层中的所述存储器单元集合进行编程, 所述编程基于所述一个字线层在所述堆叠中的位置而被调整。

13. 根据权利要求12所述的3D非易失性存储器设备, 其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时, 所述编程被调整成向多个编程数据状态中的最高编程数据状态(C)提供相对较窄的阈值电压分布(Vcw)。

14. 根据权利要求12或13所述的三维非易失性存储器设备, 其中:

当所述一个字线层的所述位置与所述存储器孔的相对较窄部分相邻时, 所述编程通过以下方式来调整: 通过使用相对较低的验证电平(VvC)来将所述存储器单元集合的一个子集(MCD23-0、MCD23-1、MCD23-3、...、MCD23-14中的一个或多个或者MCD0-0、MCD0-1、MCD0-2、...、MCD0-14中的一个或多个)编程至多个编程数据状态中的最高编程数据状

态。

15. 根据权利要求12至14中的任一项所述的3D非易失性存储器设备,其中:
所述多个字线层具有一致的厚度(Lcg)。

基于存储器孔直径针对3D非易失性存储器的编程和读取操作

技术领域

[0001] 本发明涉及用于对3D非易失性存储器设备中的存储器单元进行编程和读取的技术。

背景技术

[0002] 近年来,已提出使用有时被称为位成本可扩展(BiCS)架构的3D堆叠式存储器结构的超高密度存储设备。例如,3D NAND堆叠式存储器设备可以由交替的导电层和介电层的阵列形成。在这些层中钻有存储器孔(memory hole)以同时限定很多存储器层。然后,通过利用适当的材料填充存储器孔来形成NAND串。直线型NAND串在一个存储器孔中延伸,而管状或U形NAND串(P-BiCS)包括一对竖直的存储器单元列,该对竖直的存储器单元列在两个存储器孔中延伸并且通过底部背栅接合。存储器单元的控制栅极由导电层提供。

附图说明

[0003] 在不同的附图中,具有相同附图标记的元件指代共同部件。

[0004] 图1A是3D堆叠式非易失性存储器设备的透视图。

[0005] 图1B是图1A的3D堆叠式非易失性存储器设备100的功能框图。

[0006] 图2A描绘了块200的U形NAND实施方式的顶视图,其示出了示例SGD线子集SGDL-SB0和SGDL-SB1作为图1A中的BLK0的示例实现方式。

[0007] 图2B1描绘了图2A的块200,其示出了示例字线子集WL23D-SB和WL23S-SB以及示例位线子集BL-SB0和BL-SB1。

[0008] 图2B2描绘了图2A的块200,其示出了NAND串210至215的示例集合。

[0009] 图2B3描绘了图2B2的示例NAND串NS0。

[0010] 图2B4描绘了图2B2的示例NAND串NS0、NS0-1、NS0-2、...、NS0-14。

[0011] 图2C描绘了堆叠230的实施方式,其示出了图2A的块200的一部分209的沿线220的横截面图,其中字线层具有一致的厚度并且存储器孔具有另一种一致的厚度。

[0012] 图2D描绘了堆叠231的实施方式,其示出了图2A的块200的一部分210沿线220的横截面图,其中字线层具有随着存储器孔渐进变窄而渐进变大的厚度。

[0013] 图2E描绘了用于形成根据图2D的存储器设备的过程。

[0014] 图2F描绘了在字线层堆叠中存储器孔直径(Dmh)的变化。

[0015] 图2G描绘了在根据图2E的步骤292的一个实施方式的字线层堆叠中控制栅长度的逐渐变化。

[0016] 图2H描绘了在根据图2E的步骤292的另一实施方式的字线层堆叠中控制栅长度的阶跃式变化。

[0017] 图2I描绘了在根据图2E的步骤292的另一实施方式的字线层堆叠中控制栅长度的另一阶跃式变化。

[0018] 图3A描绘了图2D的列C0的区域236的近视图,其示出了SG层中的漏极侧选择栅SGD

和字线层WLL23中的存储器单元MC。

[0019] 图3B描绘了图3A的列C0的横截面图。

[0020] 图4A描绘了图1A的块BLK0的直线型NAND串实施方式(块480)的顶视图,其示出了示例SGD线子集SGDL-SB0A和SGDL-SB1A以及示例位线子集。

[0021] 图4B1描绘了图4A的块BLK0,其示出了示例WL线子集WL23-SB以及示例位线子集BL-SB0A和BL-SB1A。

[0022] 图4B2描绘了图4A的块BLK0,其示出了示例NAND串集合216至219、221以及222。

[0023] 图4C描绘了图4A的块480的一部分488沿线486的横截面图,其中字线层具有随着存储器孔渐进变窄而渐进变大的厚度。

[0024] 图5A描绘了用于根据存储器单元的字线层对存储器单元进行编程和感测的过程。

[0025] 图5B描绘了用于根据图5A的步骤500对存储器单元进行编程的过程的示例。

[0026] 图5C描绘了用于根据图5A的步骤502对存储器单元进行感测的过程的示例。

[0027] 图5D描绘了用于根据图5B的步骤512执行编程操作的过程的示例。

[0028] 图5E描绘了用于根据图5C的步骤517执行感测操作的过程的示例。

[0029] 图6A和图6B描绘了具有四种数据状态的一遍编程操作。

[0030] 图7A至图7C描绘了具有四种数据状态的两遍编程操作。

[0031] 图8A至图8D描绘了具有八种数据状态的三遍编程操作。

[0032] 图9A描绘了具有四种数据状态的阈值电压(V_{th})分布,其示出了读取窗根据擦除状态分布的上尾从 V_{ut1} 增加至 V_{ut2} 而从 V_{rdw1} 减小至 V_{rdw2} 。

[0033] 图9B描绘了具有四种数据状态的 V_{th} 分布,其示出了与图9A相比较窄的C状态 V_{th} 分布。

[0034] 图9C描绘了具有四种数据状态的 V_{th} 分布,其示出了与图9A相比较窄的A状态 V_{th} 分布和B状态 V_{th} 分布。

[0035] 图9D描绘了具有四种数据状态的 V_{th} 分布,其示出了与图9A相比较窄的A状态 V_{th} 分布、B状态 V_{th} 分布和C状态 V_{th} 分布。

[0036] 图9E描绘了具有四种数据状态的 V_{th} 分布,其示出了与图9A相比较窄且上移的A状态 V_{th} 分布和B状态 V_{th} 分布。

[0037] 图9F描绘了与图9E一致的、一个或更多个较低的编程数据状态的验证电平根据 D_{mh} 的变化。

[0038] 图10A是描绘读取窗(V_{rdw})根据 D_{mh} 的减小而减小的曲线图。

[0039] 图10B是描绘通过以下方式实现的读通电压(V_{rp})的降低的曲线图:使C状态 V_{th} 分布(V_{cm})根据 D_{mh} 的减小而逐渐降低,同时使A状态 V_{th} 分布(V_{aw})和B状态 V_{th} 分布(V_{bw})保持恒定。

[0040] 图10C是描绘通过以下方式实现的读通电压(V_{rp})的降低的曲线图:使A状态 V_{th} 分布(V_{aw})和B状态 V_{th} 分布(V_{bw})根据 D_{mh} 的减小而逐渐降低,同时使C状态 V_{th} 分布(V_{cm})保持恒定。

[0041] 图10D是提供图10B中的 V_{rp} 和 V_{cm} 的四电平简化情况的曲线图。

[0042] 图10E是提供图10B中的 V_{am} 、 V_{bw} 和 V_{rp} 的二电平简化情况的曲线图。

[0043] 图10F描绘了与图9C一致的、编程数据状态的验证电平根据 D_{mh} 的变化。

[0044] 图11A描绘了用于诸如图7A至图7C中的两遍编程操作中的第一遍的编程和感测波形。

[0045] 图11B描绘了在图11A的编程操作中使用的固定 dV_{pgm} 。

[0046] 图12A描绘了用于诸如图7A至图7C中的两边编程操作中的第二遍或者用于诸如图6A和图6B中的编程操作以实现用于诸如图9B中的C状态的窄的 V_{th} 分布的编程和感测波形。

[0047] 图12B描绘了在图12A的编程操作中使用的 dV_{pgm} 。

[0048] 图12C描绘了用于与图12A的编程操作的编程脉冲一起使用的位线电压(V_{b1})。

[0049] 图13A描绘了用于诸如图7A至图7C中的两遍编程操作的第二遍的或者用于诸如图6A和图6B中的编程操作以实现用于诸如图9C中的A状态和B状态的窄的 V_{th} 分布的备选编程和感测波形。

[0050] 图13B描绘了在图13A的编程操作中使用的 dV_{pgm} 。

[0051] 图13C描绘了用于与图13A的编程操作的编程脉冲一起使用的 V_{b1} 。

具体实施方式

[0052] 提供了以下技术:通过对存储器孔直径的变化进行补偿来对3D堆叠式非易失性存储器设备中的存储器单元进行编程和读取。

[0053] 在这样的存储器设备中,由于非常高的长径比(aspect ratio)而使存储器孔刻蚀具有挑战性。例如,约25至30的深度直径比是常见的。存储器孔直径可以沿孔的长度而变化。通常,该直径从存储器孔的顶部到底部渐进地变小。在一些情况下,在孔的顶部靠近选择栅处出现轻微变窄,以使得直径在从存储器孔的顶部到底部渐进变小之前变得稍微更宽。

[0054] 由于存储器孔的直径的不一致性,存储器单元的编程和擦除速度可以基于它们沿存储器孔的位置而变化。在较小直径存储器孔的情况下,跨隧道氧化层的电场较强,以使得编程和擦除速度较高。另一结果是读取干扰更严重,从而降低了存储器设备的可靠性。在感测操作(例如读取或验证操作)期间,向未被选择的存储器单元施加适度高的读通电压(read pass voltage),以将它们设置成处于导电状态。读通电压必须比最高数据状态的阈值电压(V_{th})分布的上尾高的多,以确保未选择的存储器单元被设置成处于导电状态。在未选择的存储器单元处于非导电状态的情况下,它们不对选择的存储器单元的感测产生干扰。

[0055] 然而,读通电压所创建的电场用作弱编程电压。因为擦除状态下的存储器单元具有最低的 V_{th} ,所以它们受电压的影响最为严重。作为结果,未选择的存储器单元的擦除状态 V_{th} 的上尾可能增大,并且因此使读通窗口减小。此外,当读通电压较高时,这种增加更为严重。对于在未擦除和重新编程情况下重复地读取的存储器单元而言,该增加也更严重。例如,计算机的固态存储器中的存储器单元可以存储被多次读取的操作系统文件。或者,存储器单元可以存储被多次访问的图像或视频。当对这些存储器单元进行读取时,无法将一些擦除状态单元与一些A状态单元区分,从而产生读取错误。随时间推移如果更多电子由于编程擦除循环而被俘获在电荷俘获层中,则该问题变得更严重。

[0056] 一种解决方案是根据它在堆叠中的位置(例如基于存储器孔的相邻部分的宽度)来调整对存储器单元的编程,具体地,可以将数据状态中的一个或更多个状态编程到较窄

的 V_{th} 分布,以使得可以在后续的感测操作中使用较低的读通电压。这种方案的优点包括降低读取干扰。在一种方法中,最高数据状态的 V_{th} 分布被变窄但未被下移。在另一种方法中,最高数据状态的 V_{th} 分布未被变窄但被下移,并且一个或更多个较低数据状态的 V_{th} 分布被变窄。在另一选项中,读通电压在后续感测操作期间未被降低,但A状态(以及可选地B状态)在编程期间被上移以提供与擦除状态的上尾的间距。该方法容许读取干扰,而非降低读取干扰。

[0057] 另一方案是修改存储器设备的结构,以使得字线在存储器孔的变窄的部分处变厚。例如,较低字线层可以较厚,而较高字线层较薄。字线层的厚度限定存储器单元的控制栅的长度。在存储器孔中,读通电压引起跨隧道氧化层的电磁场,该电磁场在存储器孔变窄时变强。这导致编程噪声增加,从而导致数据状态的 V_{th} 分布较宽。具有较长控制栅的存储器单元将具有较高的电容,该较高的电容将抵消该影响,从而导致每个编程数据状态的 V_{th} 分布较窄。数据状态则可以被最佳地定位以降低或容纳读取干扰。

[0058] 下面的讨论提供了存储器设备的结构的细节以及解决以上所提及的问题并且降低读取干扰的相关编程和感测技术的细节。

[0059] 图1A是3D堆叠式非易失性存储器设备的透视图。存储器设备100包括衬底101。在衬底上是存储器单元的示例块BLK0和BLK1以及具有供块使用的电路的外围区域104。衬底101还可以承载这些块下方的电路以及被图案化成导电路径以承载电路的信号的一个或多个下部金属层。这些块形成在存储器设备的中间区域102中。在存储器设备的上部区域103中,一个或多个上部金属层被图案化成导电路径以承载电路的信号。每个块包括存储器单元的堆叠区,其中该堆叠的交替层级表示字线。在一种可能的方法中,每个块具有相对的分层侧面,竖直触点从这些侧面向上延伸至上部金属层以形成至导电路径的连接。尽管以两个块为例进行描述,但是可以使用在x方向和/或y方向上延伸的附加块。

[0060] 在一种可能的方法中,平面在x方向上的长度表示至字线的信号路径在一个或多个上部金属层中延伸的方向(字线方向或SGD线方向),而平面在y方向上的宽度表示至位线的信号路径在一个或多个上部金属层中延伸的方向(位线方向)。z方向表示存储器设备的高度。

[0061] 图1B是图1A的3D堆叠式非易失性存储器设备100的功能框图。存储器设备100可以包括一个或多个存储器管芯108。存储器管芯108包括控制电路110、读/写电路128以及例如包括块BLK0和BLK1的存储器单元的3D(三维)存储器阵列126。存储器阵列126经由行解码器124通过字线以及经由列解码器132通过位线可寻址。读/写电路128包括多个感测块130(感测电路)并且使得能够允许并行地对存储元件的页面进行读取或编程。通常,控制器122与一个或多个存储器管芯108包括在同一存储器设备100(例如,可移除存储卡)中。命令和数据经由线路120在主机与控制器122之间以及经由线路118在控制器与一个或更多个存储器管芯108之间传输。

[0062] 控制电路110与读/写电路128协作以对存储器阵列126执行存储操作,并且控制电路110包括状态机112、片上地址解码器114以及电力控制模块116。状态机112提供对存储器操作的芯片级控制。片上地址解码器114提供由主机或存储器控制器使用的地址(ADDR)与由解码器124和132使用的硬件地址之间的地址接口。电力控制模块116控制在存储器操作期间供给至字线和位线的电力和电压。电力控制模块116可以包括用于字线层和字线层部

分的驱动器、漏极侧选择栅驱动器和源极侧选择栅驱动器(例如,称为诸如NAND串的存储器单元串的漏极侧或端和源极侧或端)以及源极线。在一种方法中,感测块130可以包括位线驱动器。

[0063] 在一些实现方式中,可以将部件中的一些部件进行组合。在各种设计中,除存储器阵列126之外的部件中的一个或多个部件(单独地或组合地)可以被看作至少一个控制电路。例如,控制电路可以包括下述中的任一个或其组合:控制电路110、状态机112、解码器114/132、电力控制模块116、感测块130、读/写电路128和控制器122等。

[0064] 在另一实施方式中,非易失性存储器系统使用双行/列解码器以及读/写电路。各个外围电路对存储器阵列126的访问在该阵列的相对侧以对称方式来实现,以使得每侧的访问线和电路的密度减小了一半。因此,将行解码器分成两个行解码器以及将列解码器分成两个列解码器。类似地,将读/写电路分成从阵列126的底部连接至位线的读/写电路以及从阵列126的顶部连接至位线的读/写电路。以这种方式,读/写模块的密度减小了一半。

[0065] 还可以使用除NAND闪速存储器之外的其他类型的非易失性存储器。

[0066] 图2A描绘了块200的U形NAND实施方式的顶视图,其示出了示例SGD线子集SGDL-SB0和SGDL-SB1作为图1A中的BLK0的示例实现。该视图属于堆叠中的多个字线层之中的代表层。此外参照图2C和图2D,该堆叠包括交替的介电层和导电层。介电层包括D0至D5,并且可以由例如SiO₂制成。导电层包括:作为背栅层的BG;作为字线层的WLL0至WLL23,例如在该层处至存储器单元的控制栅极的导电路径;以及作为选择栅层的SG,例如至NAND串的选择栅极的控制栅的导电路径。图2A的字线层(WLL)可以表示例如WLL0至WLL23中的任一个。例如,在具有二十四个字线层的示例中,导电层可以包括例如掺杂的多晶硅或金属硅化物。可以向背栅施加5V至10V的示例电压以保持连接漏极侧列和源极侧列的导电状态。

[0067] 对于每个块,字线层被划分成两个字线层部分(或平面)202和204。每个块包括缝隙图案(slit pattern)。缝隙是在堆叠中通常从在底部的蚀刻终止层垂直地延伸至堆叠的至少顶层的空隙。可以用绝缘材料填充缝隙以使字线层部分彼此绝缘。缝隙206是单个连续缝隙,其在块中以Z字形图案延伸,以使得块被划分成彼此绝缘的两个部分202和204。由于字线层部分被可以独立地驱动,因此该方法可以在控制存储器单元时提供更大的灵活性。

[0068] 每个块包括用圆圈表示的多行柱状(例如竖直的)存储器孔或柱(pillar)。每行表示附图中竖直组的列。存储器孔在堆叠中垂直地延伸,并且包括诸如竖直NAND串中的存储器单元。沿线220的示例存储器单元列包括C0至C11。由于通常使用在图中左右延伸的更多行的存储器孔,所以该图表示简化情况。此外,附图不一定按比例绘制。存储器单元列可以以诸如子块的子集来布置。

[0069] 存储器单元的子集可以具有不同的类型,诸如WL子集、SGD线子集和BL子集。

[0070] 结合图2C和图2D来进一步详细地描绘块的一部分209。

[0071] 图2B1描绘了图2A的块200,其示出了示例字线子集WL23D-SB和WL23S-SB以及示例位线子集BL-SB0和BL-SB1。该示例假定描绘WLL23层。WLL23S-SB是与在每个U形NAND串的源极侧的一个(例如,恰好一个)存储器单元连通的字线层部,而WLL23D-SB是与在每个U形NAND串的漏极侧的一个(例如,恰好一个)存储器单元连通字线层部分。

[0072] 当使用U形NAND串时,每个SGD线子集可以包括存储器单元列中的两个相邻行。在子集中,相邻行被缝隙分隔开。在缝隙的一侧的存储器单元列是NAND串的漏极侧列(例如,

图2C或图2D中的C0、C3、C4和C7),而在缝隙的另一侧的存储器单元列是NAND串的源极侧列(例如,图2C或图2D中的C1、C2、C5和C6)。要指出的是,两个漏极侧列之间的两个源极侧列的图案在y方向上重复。

[0073] 字线驱动器可以向字线层部分202和204独立地提供诸如电压波形等信号。

[0074] 附图未按比例绘制并且未示出所有存储器列。例如,更实际的块可以在所示的y方向上具有12个存储器列,但在x方向上具有很大数量的(诸如32k个)存储器列,块中总共具有384k个存储器列。对于U形NAND串,在该示例中提供了192k个NAND串。对于直线型NAND串,在该示例中提供了384k个NAND串。假设每列具有四个存储器单元,则该集合中具有总共 $384k \times 4 = 1,536k$ 或1,536,000个单元。

[0075] 以下结合图2B4来进一步描述块200的NAND串集合。这表示具有由共同的SGD线控制的SGD晶体管的NAND串集合。在一种方法中,这还表示被编程的存储器单元的单位。还描绘了另外的NAND串集合211至215。

[0076] 图2B2描绘了图2A的块200,其示出了示例NAND串集合210至215。NAND串集合210包括诸如图2B3中所描绘的示例NAND串NS0以及图2B4中所描绘的示例存储器单元MCD23-0、MCD23-1、MCD23-2、...、MCD23-14。在该记法中,“MC”表示存储器单元,“D”表示NAND串的漏极,以及编号(0,1,2,...,14)表示NAND串的基于其在堆叠中的位置的编号。还描绘了NAND串NS1、NS2和NS3(参见例如图2B)。

[0077] 图2B3描绘了图2B2的示例NAND串NS0。示例NAND串具有在位线(BL)与背栅(BG)之间延伸的漏极侧260以及在源极线(SL)与BG之间延伸的源极侧261。漏极侧包括SGD晶体管和由控制栅CGD0至CGD23表示的存储器单元。源极侧包括SGS晶体管和由控制栅CGS0至CGS23表示的存储器单元。可选地,可以在每一侧设置一个或更多个虚拟晶体管。

[0078] 在该示例中,存储器单元被分配成组G0至G3。每个组包括存储器孔的具有相同直径的部分。在该情况下,可以针对每个组定制编程和感测操作。此外参照图10D,其示出了在感测操作期间针对每个组使用单独的读通电压(V_{rp})。每个组包括在漏极侧和在源极侧的存储器单元。在另一方法中,所述组具有不等数目的存储器单元。可以使用两个或更多个组。组可以包括字线层部分范围中的NAND串集合内的所有存储器单元。例如,在NAND串集合210中,G0可以包括在WLL0至WLL6范围内的存储器单元,G1可以包括在WLL7至WLL12范围内的存储器单元,G1可以包括在WLL13至WLL18范围内的存储器单元以及G3可以包括在WLL19至WLL23的范围内的存储器单元。

[0079] 图2B4描绘了集合210的图2B2的示例NAND串NS0、NS0-1、NS0-2、...、NS0-14。存储器单元集合SetD-23包括在WLL23处的NAND串集合的漏极侧的所有存储器单元,包括MCD23-0、MCD23-1、MCD23-2、...、MCD 23-14。这些存储器单元与相应存储器孔MH0、MH0-1、MH0-2、...、MH0-14的具有相对较宽直径的部分相邻并且因此在编程和感测操作中能够以相似的方式进行处理。另一示例存储器单元集合SetD-0包括在WLL0处的NAND串的漏极侧的所有存储器单元,包括MCD0-0、MCD0-1、MCD0-2、...、MCD0-14。这些存储器单元与相应存储器孔的具有相对较窄直径的部分相邻并且因此在编程和感测操作中能够以类似方式进行处理。可以在字线层中的每个字线层处的NAND串集合中定义另外的存储器单元集合。

[0080] 例如,MH0部分270、274、278和282、MH0-1部分271、275、279和283、MH0-2部分272、276、280和284以及MH0-14部分273、277、281和285在直径上渐进地变小。作为简化情况,存

存储器孔直径(Dmh)被示出为以一致的步长减小。实际上,存储器孔直径倾向于诸如图2F所示的那样逐渐地增加。参照图2B3,G0、G1、G2和G3分别表示与存储器孔部分282至285、278至281、274至277以及270至273相邻的存储器单元。

[0081] 图2C描绘了堆叠230的实施方式,其示出了图2A的块200的一部分209沿线220的横截面图,其中字线层具有一致的厚度并且存储器孔具有另一种一致的厚度。Lcg表示存储器单元的控制栅长度,其与每个字线层的厚度或高度相同。在多层堆叠中描绘存储器单元列C0至C7。堆叠230包括衬底101、衬底上的绝缘膜250以及绝缘膜上的作为导电层的背栅层BG。在背栅的在U形NAND串的各对存储器单元列下面的部分中设置有沟槽(trench)。在沟槽中还设置有被设置在这些列中以形成存储器单元的材料层,并且用半导体材料填充沟槽中的剩余空间以提供连接这些列的连接部分263至266。背栅从而连接每个U形NAND串的两个列。例如,NS0(NS=NAND串)包括列C0和C1以及连接部分263,并且具有漏极端232和源极端240。NS1包括列C2和C3以及连接部分264,并且具有漏极端244和源极端242。NS2包括列C4和C5以及连接部分265。NS3包括列C6和C6以及连接部分266。

[0082] 描绘了来自图2B2的与C0对应的MH0以供参考。即使存储器孔被填充,存储器孔也被认为出现在最终的存储器设备中。存储器孔被示出为从堆叠的顶部273到底部238渐进地并且逐渐地变窄。存储器孔为柱状并且至少从多个字线层的顶部字线层(WLL23)延伸至多个字线层的底部字线层(WLL0)。

[0083] 源极线SL0连接至两个相邻存储器串NS0和NS1的源极端240和242。SL0还连接至在x方向上在NS0和NS1后面的其他存储器串集合。注意,堆叠230中另外的U形NAND串(例如,来自图2B4的NS0-1、NS0-2、...、NS0-14)在横截面图中所描绘的U形NAND串后面(例如沿着x轴)在SGD线方向上延伸。U形NAND串NS0至NS3各自位于不同的SGD线子集中,但是位于共同的BL子集中。

[0084] 还作为示例描绘了来自图2A的缝隙206。在横截面中,看到多个缝隙部分,其中每个缝隙部分处于U形NAND串的漏极侧列与源极侧列之间。还描绘位线BL0的一部分。

[0085] 在图3A中更详细地示出了堆叠的区域236。

[0086] 字线层WLL0至WLL23以及介电层D0至D24在堆叠中交替地延伸。SG层处于D24与D2之间。每个字线层具有漏极层部分和源极侧部分。例如,与图2B1一致,WL23-SB是WLL23的源极侧子块,而WL23D-SB是WLL23的漏极侧子块。在每个字线层中,对角线图案化区域表示源极侧子块,而非图案化区域表示漏极侧子块。

[0087] 图2D描绘了堆叠231的实施方式,其示出了图2A的块200的一部分209沿线220的横截面图,其中字线层具有随着存储器孔渐进变窄而渐进变大的厚度。例如,使用图2B3的组分配,G3、G2、G1和G0中的字线层的厚度分别是Lcg3、Lcg2、Lcg1和Lcg0,其中 $Lcg3 < Lcg2 < Lcg1 < Lcg0$,以使得从堆叠的顶部移动至底部,字线层渐进变大。这是一个示例方法。另一示例方法是具有较小或较大组的具有相同的厚度的字线层,和/或针对一个或更多个字线层具有唯一厚度。也可以是其他方法。具有更多组使能够基于关联的存储器孔来更大地定制每个字线层的特征,但可能会增加复杂度。

[0088] 图2E描绘了用于形成根据图2D的存储器设备的过程。该过程表示简化情况。步骤S290涉及在存储器设备的衬底上形成诸如布线层的下部金属层。在U型NAND串的情况下,步骤S291涉及在衬底上沉积背栅层。步骤S292涉及沉积交替的介电层和导电层的堆叠,其中

导电层距堆叠的底部越远则具有渐进的越小的厚度。参见图2G、图2H和图2I以用于进一步详细说明关于对于不同的字线层而言控制栅长度变化的细节。例如,较厚的层可以通过字线层材料的较长沉积时间来实现。可替代地,导电层具有如图2C所示的一致厚度。步骤293涉及在堆叠中形成缝隙,并且用绝缘物填充缝隙。步骤294涉及诸如通过对堆叠进行刻蚀来形成存储器孔。步骤295涉及在存储器孔中沉积材料。参见例如图3A和图3B。步骤295涉及在堆叠上方的绝缘区域中形成上部金属层,例如位线、源线和SGD线。

[0089] 图2F描绘了Dmh在字线层的堆叠中的变化。X轴表示堆叠从底部字线到顶部字线的距离。如所提及的,直径倾向于朝向堆叠的底部而减小。Dmh从最小直径Dmh_min变化至最大直径Dmh_max。Dmh被期望在存储器设备中的不同存储器孔当中一致地变化。

[0090] 如结合图3A和图3B所说明的,Dcore是存储器孔的型芯区域的直径并且倾向于随着Dmh而变化,以及Wono+ch是ONO区域和沟道区域的宽度的总和。由于这些材料沉积在存储器孔的侧壁上,所以Wono+ch倾向于在存储器孔中保持一致。

[0091] 图2G描绘了在根据图2E的步骤292的一个实施方式的字线层堆叠中的控制栅长度的逐渐变化。如所提及的,可以通过调节堆叠的制造过程来根据需要设置作为字线层的厚度的控制栅宽度。在该示例中,制造过程被控制成使得Lcg从底部字线到顶部字线逐步地减小。然而,字线层的厚度可以根据任何期望的图案来变化。例如,最薄的字线(例如底部字线)可以是最厚的字线(例如顶部字线)厚度的约10%至15%。此处,Lcg的范围是从底部字线的Lcg_max到顶部字线的Lcg_min。多个字线层中的最厚字线层可以比多个字线层中的最薄字线层厚至少10%。

[0092] 厚度可以包括多个字线层中的一组字线层(G0至G3中之一)的一个厚度(图2D中的Lcg0至Lcg3中之一)以及多个字线层中的另一组字线层(G0至G3中之一)的另一厚度(图2D中的Lcg0至Lcg3中之一)。

[0093] 图2H描绘了在根据图2E的步骤292的另一实施方式的字线层堆叠中的控制栅长度的阶跃式变化。制造过程可以被控制以使得例如通过使用针对每组中的字线层使用相应沉积时间来针对每组的字线层获得一致的字线层厚度。这简化了制造过程。此处,如先前所讨论的,使用了四个组,使得控制栅长度从包括底部字线的G3的Lcg_max变化至包括顶部字线的G0的Lcg_min。对于中间组G1和G2,可以使用Lcg的中间值。在该示例中,组的大小相同或相似。

[0094] 图2I描绘了根据图2E的步骤292的另一实施方式的字线层堆叠中的控制栅长度的另一阶跃式变化。在该示例中使用具有不同大小的两个组。这在针对最易受读取干扰的较低字线层提供了增加的Lcg的同时简化了制造过程。控制栅长度是包括底部字线的较小组的Lcg_min以及包括最顶字线的最大组的Lcg_max。例如,最小组可以包括10%至20%的字线层,而最大组包括80%至90%的字线层。

[0095] 图3A描绘了图2D的列C0的区域236的近似图,其示出了SG层中的漏极侧选择栅晶体管SGD和字线WLL23中的存储器单元(MC)。该区域还示出了介电层D3至D5的一部分。每列包括沿着列的侧壁沉积的多个层。这些层可以包括例如使用原子层沉积来沉积的氧化物-氮化物-氧化物层(O-N-O)和多晶硅层。例如,可以沉积块氧化物(BOX)作为层296,可以沉积氮化物(诸如作为电荷捕获层(CTL)的SiN)作为层297,可以沉积隧道氧化物(TNL)作为层298以提供O-N-O层。此外,可以沉积多晶硅体或沟道(CH)作为层299,以及可以沉积型芯填

料(core filler)电介质作为区域300。在所有这些列中类似地形成另外的存储器单元。Dmh表示存储器孔直径,以及Dcore表示型芯直径,其可以如结合图2F所讨论的沿存储器孔的长度或纵向轴二者来变化。Lcg3表示WLL23的厚度。这是用于WLL23中的每个存储器单元的控制栅长度。还描绘了先前所讨论的Wono+ch。

[0096] 当对存储单元进行编程时,将电子储存在CTL的与存储器单元相关联的部分中。例如,在MC的CTL 297中用“-”符号表示电子。这些电子从沟道并且通过TNL被吸进CTL中。存储器单元的阈值电压 V_{th} 与储存的电荷量成比例地增加。如所提及的,当经历另外的编程擦除循环时,电子可以变得被俘获在CTL中。这使得读取干扰更容易发生。

[0097] 存储器孔中的每个存储器孔被填充有多个环形层,所述多个环形层包括阻挡氧化层、电荷捕获层、隧道层和沟道层。存储器孔中的每个存储器中的型芯区域被填充有本体材料,并且在存储器孔中的每个存储器中,多个环形层位于型芯区域与字线层之间。此外,基于Wono+ch固定并且其中 $D_{core}+W_{ono}+ch=D_{mh}$ 的假设,存储器孔的直径(Dmh)基于型芯区域的直径(Dcore)的变化而沿存储器孔变化。

[0098] 图3B描绘了图3A中的列C0的横截面图。在一种可能的方法中,除呈圆柱形的型芯填料之外,每层都是环形的。

[0099] 图4A描绘了图1A的块BLK0的直线型NAND串实施方式(块480)的顶视图,其示出了示例SGD线子集SGDL-SBOA和SGDL-SB1A。在该配置中,NAND串仅具有一列,并且源极侧选择栅在该列的底部上而非在顶部上,如在U形NAND串中一样。此外,块的给定层具有一个字线层,该字线层连接至该层的每个存储器单元。例如,图4B1描绘了图4A的块BLK0,示出了示例WL子集WL23-SB以及示例位线子集BL-SBOA和BL-SB1A。还可以使用许多缝隙,诸如示例缝隙482。在制造过程中使用这些用绝缘材料填充的缝隙,以在通过湿蚀刻移除无掺杂的多晶硅层以及沉积电介质以形成交替的介电层时提供对堆叠的结构支撑。短划线486延伸通过列C12至C17。在图4C中示出了部分488沿线486的横截面图。

[0100] 图4B2描绘了图4A的块BLK0,其示出了示例NAND串集合216至219、221以及222。还描绘了部分400中的示例NAND串NS0A至NS3A

[0101] 图4C描绘了图4A的块480的一部分488沿线486的横截面图,其中字线层具有随着存储器孔渐进变窄而渐进变大的厚度。在多层堆叠中描绘了与图4B2中的NAND串NS0A至NS3A相对应的存储器单元列。堆叠490包括衬底101、衬底上的绝缘膜250以及源极线SL0A的一部分。注意,在SGD线子集中的另外的直线型NAND串在横截面图中描绘的NAND串前面和后面(例如沿着x轴)延伸。NS0A具有源极端494和漏极端492。来自图4A的缝隙482还被描绘成具有其他缝隙。还描绘了位线BL0A的一部分。虚线描绘了存储器单元和选择栅晶体管。本文所描述的编程技术可以用于U形或直线型NAND。字线层WLL0至WLL23A与介电层D0A至D24A交替地进行布置在堆叠中。还描绘了SGD层、SGDA、SGS层、SGSA以及另外的介电层DS。SGDA位于D24A与D25A之间。

[0102] 图5A描绘了用于根据存储器单元的字线层针对存储器单元进行编程和感测的过程。第一步骤500涉及针对一个字线层的存储器单元集合的编程操作。图2B4中的SetD-23是示例字线层WLL23的示例存储器集合。该步骤基于一个字线层在堆叠中的位置来调整编程。位置是Dmh的代用物,使得该步骤涉及基于存储器孔的延伸通过该一个字线层的部分的直径来调整编程。字线层与Dmh之间的关系可以根据对代表性存储器设备做出的测量来建立。

执行编程操作的命令可以包括用于存储数据的存储器单元的字线层的标识符,并且该标识符可以交叉参考要使用的一个或更多个编程条件。参照图5B以用于进一步详细说明。

[0103] 第二步骤502涉及针对另一字线层的存储器单元集合的感测操作。图2B4中的SetD-23是示例字线层WLL0中的另一存储器单元集合的示例。该步骤包括基于一个字线层在堆叠中的位置来设置一个字线层的读通电压。还可以基于它们在堆叠中的相应位置来针对其他未选择的字线层设置读通电压。参见图5C以用于进一步详细说明。可以在执行一次编程操作之后多次执行感测操作。

[0104] 这一个字线层表示任何字线层。使用针对一个字线层定制的编程条件来对该字线层的存储器单元进行编程导致用于该存储器单元的期望的 V_{th} 分布,该期望的 V_{th} 分布进而允许针对该字线层定制的读通电压在后续感测另一字线的存储器单元时的一个或更多个场合下使用。在该感测期间,其他字线层(除了该一个字线层以外)也接收定制的读通电压。例如,如果正在对WLL0的存储器单元进行感测,则读通电压被施加于剩余的字线层(例如,WLL1至WLL23)中的每个字线层。

[0105] 要指出的是,在一些情况下,一些字线层未被编程,以使得它们的存储单元全部处于擦除状态。共同的读通电压可以用于这些字线层。

[0106] 图5B描绘了用于根据图5A的步骤500对存储器单元进行编程的过程的示例。步骤510包括开始针对一个字线层的存储器单元的编程操作。例如,这些可以是NAND串集合的存储器单元(例如源极侧和漏极侧,仅源极侧或者仅漏极层)。步骤511包括基于与该一个字线层相邻的存储器孔的宽度(例如,基于堆叠中字线层位置)来设置编程条件。编程条件可以包括例如一个或更多个编程脉冲步长、在编程脉冲期间使用的位线电压以及用于在编程通过(programming pass)的中途改变编程脉冲或位线电压的条件。该条件可以包括诸如在编程通过中施加的预定数目的编程脉冲的固定条件以及诸如在某数据状态的编程已完成时的自适应条件。步骤512包括使用编程条件来执行编程操作。参见图5D以用于进一步详细说明。当使用相同的编程条件对同一字线的其他存储器单元进行编程时或者当使用相同或不同的编程条件对下一字线层的存储器单元进行编程时,可以重复该步骤。

[0107] 图5C描绘了用于根据图5A的步骤502来感测存储器单元的过程的示例。步骤515开始感测操作(例如验证或读取操作)。在步骤516处,针对每个剩余的字线层(包括图5A或图5B中所涉及的一个字线层),基于与剩余的字线层相邻的存储器孔的宽度来设置读通电压。步骤517涉及使用施加于剩余的字线层的读通电压来执行感测操作。感测操作可以并发地感测NAND串集合中的每个NAND串中的存储器单元的导电状态或非导电状态。在一种方法中,控制栅电压经由字线层施加于所感测的存储器单元,使得在存储器单元的 V_{th} 小于控制栅电压的情况下存储器单元(和NAND串)处于导电状态,而在存储器单元的 V_{th} 大于控制栅电压的情况下存储器单元(和NAND串)处于非导电状态。

[0108] 图5D描绘了用于根据图5B的步骤512来执行编程操作的过程的示例。步骤520设置初始的 V_{pgm} 。步骤521经由一个字线层将 V_{pgm} 施加于(例如NAND串集合中的)存储器单元集合。针对NAND串集合中的每个NAND串,也将位线电压(V_{b1})设置成初始电平(例如正常、慢速编程或禁止)。正常 V_{b1} 值可以是0V,其不使编程减慢。使编程减慢的 V_{b1} 是1V,例如在如以下进一步讨论的“快速遍写入”(QPW)编程技术中。禁止(停止)编程的 V_{b1} 可以是2V至3V。步骤522针对存储器单元集合执行编程验证测试。在决策步骤523中,如果编程完成,则在步骤

524中完成过程。如果编程未完成,则跟随四条路线中的一条路线。路线中的三条路线基于一个字线层在堆叠中的位置来提供 V_{th} 分布窄化。可以针对一个或更多个数据状态来提供窄化,如结合图9A至图9E进一步讨论的。还可以提供使 V_{th} 分布上移或下移。

[0109] 在存储器孔较窄的情况下,堆叠中较低的存储器单元通常期望窄化。第四条路线涉及非窄化,例如,在存储器孔较宽的情况下存储器单元处于堆叠中较高处时。可以基于一个字线层在堆叠中的位置来选择四条路线中的一条路线。

[0110] 具体地,第一条路线是涉及使最高数据状态(例如C)变窄但不使一个或更多个较低的数据状态(例如A和B)变窄的编程模式,例如在图9B以及图12A至图12C中所描绘的。判定步骤531确定编程里程碑是否达到。这可以例如发生在至较低数据状态之一的编程完成时或在编程通过中施加了指定数目的编程脉冲时。如果里程碑未达到,则使用相对较大的 dV_{pgm} 来逐步增加 V_{pgm} 并且在步骤532处正常地设置 V_{b1} 。然后在步骤521处施加下一编程脉冲。如果里程碑达到,则使用相对小或零 dV_{pgm} 和/或在步骤533处通过将 V_{b1} 设置成使对最高数据状态的编程减慢来逐步增加 V_{pgm} 。

[0111] 第二条路线是涉及使一个或更多个较低数据状态变窄但不使最高数据状态变窄(步骤526)的编程模式,例如在图9C、图9E以及图13A至图13C中所描绘的。在步骤529中使用相对大的 dV_{pgm} 来逐步增加 V_{pgm} 并且将 V_{b1} 设置成使对一个或更多个较低数据状态的编程减慢。 V_{b1} 可以被设置成最高数据状态的正常电平,使得其编程不被减慢以及整个编程时间不增加。

[0112] 第三条路线是涉及使所有编程数据状态变窄的编程模式(步骤527),例如在图9D中所描绘的。在步骤530中,使用较小或零 dV_{pgm} 和/或通过将 V_{b1} 设置成使对所有数据状态的编程减慢来逐步增加 V_{pgm} 。

[0113] 第四条路线是涉及不使编程数据状态变窄的编程模式(步骤527),例如在图9A中所描绘的。使用较大的 dV_{pgm} 来逐步增加 V_{pgm} 并且正常地设置 V_{b1} 。

[0114] 图5E描绘了用于根据图5C的步骤517来执行感测操作的过程的示例。步骤540经由一个字线层向NAND串中的存储器单元集合施加感测电压(例如读取电压或验证电压)。步骤541基于剩余的字线层在堆叠中的相对位置来向剩余的字线层施加不同的读通电压(V_{rp})。步骤542对NAND串的导电性进行感测。决策步骤543确定是否存在下一感测操作,如果不存在,则过程在步骤544处完成。否则,在步骤540处施加下一感测电压。

[0115] 图6A和图6B描绘了具有四种数据状态的一遍编程操作。一遍编程也被称为“一遍写入”编程,该“一遍写入”编程涉及一系列的多个编程验证操作,所述多个编程验证操作从初始 V_{pgm} 电平开始执行并且继续进行至直到被选择的存储单元集合的阈值电压达到相应目标数据状态的一个或更多个相对应的验证电平为止的最终 V_{pgm} 电平。在一遍编程中,所有的存储器单元最初处于擦除状态。存储器单元中的一些存储器单元未被编程并且保留处于擦除状态,而其他存储器单元被编程至较高目标数据状态。

[0116] 针对每个存储器单元存储两位数据的情况提供了用于存储器单元阵列的示例 V_{th} 分布。每个曲线图在水平轴上描绘 V_{th} 并且在垂直轴上描绘 V_{th} 分布中的许多或大量存储器单元。一个位表示LP数据,以及另一个位表示UP数据。位组合可以通过LP位跟随UP位来表示,例如,11表示UP=1并且LP=1,01表示UP=0并且LP=1,00表示UP=0并且LP=0以及10是UP=1并且LP=0。第一 V_{th} 分布600被设置成用于擦除(Er)状态存储单元。三个 V_{th} 分布

604、606和608分别表示在存储器单元的 V_{th} 超过较高验证电平 V_{vAH} 、 V_{vBH} 或 V_{vCH} 时存储器单元分别达到的目标数据状态A、B和C。在该情况下,每个存储器单元可以按照称为状态Er(或E)、A、B和C的四个可能的 V_{th} 范围之一来存储两位数据。使用慢速编程模式的编程选项可以被称为“快速遍写入”(QPW)技术。QPW可以在多遍编程技术的一遍或更多遍中独立地使用。然而,通常当精度最重要时,在最后遍编程中使用QPW已足够。QPW模式和慢速编程模式在本文中可以互换地使用。

[0117] 当使用QPW时,较低验证电平(V_{vAL} 、 V_{vBL} 或 V_{vCL})可以被限定成使得存储器单元在其 V_{th} 处于相应的目标数据状态的较低验证电平与较高验证电平之间时进入慢速编程模式或区段(例如通过升高在编程期间施加的关联的位线电压)。在一种实现中,较低验证电平被偏移 to 相应的校验验证电平以下。具体地,当验证测试确定存储器单元的 V_{th} 超过与存储器单元的目标数据状态关联的较低验证电平,慢速编程模式开始用于该存储器单元。随后,当验证测试确定存储器单元的 V_{th} 超过与存储器单元的目标数据状态关联的较高验证电平时,存储器单元被禁止进一步编程。在一些情况下,对少于所有目标数据状态的目标数据状态使用QPW。

[0118] 被编程到存储器单元中的数据与存储器单元的 V_{th} 电平之间的具体关系取决于针对存储器单元所采用的数据编码方案。在一个实施方式中,在一个实现中,使用格雷码分配来将数据值分配至 V_{th} 范围,使得在浮栅的 V_{th} 错误地转变成其相邻物理状态的情况下,仅一位将受到影响。一个示例将“11”、“01”、“00”和“10”分配给E、A、B和C状态。处于分布之间的读取参考电压用于从存储器单元读取数据。通过测试给定存储器单元的 V_{th} 是高于还是低于读取参考电压中的一个或多个读取参考电压,系统可以确定存储器单元所表示的数据状态。

[0119] 图7A至图7C描绘了具有四个数据状态的两遍编程操作。每遍可以用于对一页数据进行编程。例如,提供了对两位、四层存储器单元中的低页或高页的编程。一次可以对一个逻辑页执行编程,其中高页在低页之后。最初,所有存储器单元处于Er状态,在图7A中Er状态由分布700来表示。

[0120] 图7B描绘了对低页数据的编程。如果低页位=1,则关联的存储器单元保持处于分布700中并且该数据由x1来表示。其中,x是尚未获知的高页位。如果较低页位=0,则将存储器单元编程至如使用验证电平 V_{v1} 的分布702所表示的较高 V_{th} ,其中分布702是过渡分布(INT)。这些存储器单元的数据由x0来表示。要指出的是,由于过渡分布不是最终分布并且不表示最终数据状态,所以过渡分布可以相对较宽。

[0121] 图7C描绘了对高页数据的编程。如果UP/LP=11,则分布700中的关联的存储器单元保持处于分布700中并且存储数据位11。如果UP/LP=01,则分布700中的存储器单元被编程至分布704(状态A)并且当 V_{th} 处于 V_{vAL} 与 V_{vAH} 之间时使用慢速编程模式。如果UP/LP=10,则分布702中的存储器单元被编程至分布708(状态C)并且当 V_{th} 处于 V_{vCL} 与 V_{vCH} 之间时使用慢速编程模式。如果UP/LP=00,分布702中的存储器单元被编程至分布706(状态B)并且当 V_{th} 位于 V_{vBL} 与 V_{vBH} 之间时使用慢速编程模式。

[0122] 编程可以被类似地扩展至每个存储器单元三位或更多位。例如,图8A至图8D描绘了具有在第三遍时使用正常编程模式和慢速编程模式以及八位数据状态的三遍编程操作。描绘了对三位、八层存储器单元中的低页、中页和高页的编程。除了Er以外,还使用七个编

程数据状态(A至G),以用于总共八个状态。最初,所有存储器单元处于Er状态,Er状态由分布800来表示。在图8B中,对低页进行编程。如果LP=1,则分布800中的存储器单元保持处于该分布中。如果LP=0,则将分布800中的存储器单元编程至使用Vv1的过渡分布802。在图8C中对中页(MP)进行编程,如果MP=1,则分布800中的存储器单元保持处于该分布中,并且将分布802中的存储器单元编程至使用验证电平Vv2的过渡分布808。如果MP=0,则将分布800中的存储器单元编程至使用验证电平Vv2的过渡分布804,并且将分布802中的存储器单元编程至使用验证电平Vv3的过渡分布806。

[0123] 在图8D中对高页进行编程。QPW可用于这一遍。如果UP=1,则分布800中的存储器单元保持处于该分布中,将分布804中的存储器单元编程至分布814(状态C),将分布806中的存储器单元编程至分布816(状态D)以及将分布808中的存储器单元编程至分布822(状态G)。如果UP=0,则将分布900中的存储器单元被编程至分布810(状态A),将分布804中的存储器单元编程至分布812(状态B),将分布806中的存储器单元编程至分布818(状态E)以及分布808中的存储器单元编程至分布820(状态F)。

[0124] 使每个单元四位(16个层)的编程可以类似地涉及四页。另外,当对多页数据进行编程时,可以使用回字线顺序来减小来自电容性耦合的潜在干扰。

[0125] 图9A描绘了具有四个数据状态的Vth分布900,其示出了根据擦除状态分布的上尾从Vv_er增加至Vut1、增加至Vut2,读取窗分别从Vrdw减小至Vrdw1,减小至Vrdw2。通过四个数据状态的示例所示出的构思也可以被应用于使用另外的数据状态(例如8或16个数据状态)的存储器设备。Vth分布901是在擦除操作之后获得的。擦除操作可以使用验证电平Vv_er。如所讨论的,由于读取干扰,擦除状态的上尾可能增加,以使得看到被重复读取之后Vth分布902或903。对于具有相对多的编程擦除循环并且在存储器孔的相对较窄部分处的存储器单元集合,上尾相对较高。

[0126] Vth分布904、905和906分别表示用于A状态、B状态和C状态的正常的、相对宽的分布,其分别具有宽度Vaw、Vbw和Vcw以及分别具有验证电平VvA、VvB和VvC。读取电平是VrA、VrB和VrC。VvA、VvB和VvC可以分别与前面所讨论的VvAH、VvBH和VvCH相同。读取窗可以被定义为擦除状态的上尾与最高状态的验证电平之间的差。例如,Vrdw是Vv_er与VvC之间的读取窗,Vrdw1是Vut1与VvC之间的读取窗以及Vrdw2是Vut2与VvC之间的读取窗,其中Vrdw2<Vrdw1<Vrdw。上尾的增大(或读取窗的减小)可以导致E至A状态读取故障。例如,Vth阈值分布903的超过VrA的一部分表示将被不正确地读取为处于A状态而非E状态的存储器单元。图10A还指示了读取窗如何随着Dmh减小而减小。

[0127] Vrp_max是最大读通电压以及Vum是最高数据状态的上尾Vut3与Vrp_max之间的余裕。该余裕应当被保持,以使得C状态存储器元件在感测器件处于强导电。

[0128] 图9B描绘了具有四个数据状态的Vth分布910,其示出了与图9A相比较窄的Vcm。该方法使得在Vum与图9A中的Vum相同时能够使用较低的Vrp。该情况下的Vrp是Vrp_min,Vrp_min是可以用于与存储器孔的最窄部分相邻的字线层的Vrp最低电平。 $Vrp_max - Vrp_min = dVrp$ 。在图10B至10D中提供了用于根据Dmh来设置Vrp的示例方法。VvA、VvB和VvC可以与图9A中的VvA、VvB和VvC相同。

[0129] 该方法使最高数据状态的Vth分布911变窄而不使(擦除数据状态与最高数据状态之间的)较低数据状态的Vth分布变窄。变窄导致较低的Vut3。这是期望的,原因是Vum被保

持并且V_{rp}被降低使得读取干扰降低。如所提及的,较高的读通电压导致在感测操作期间未选择的存储器单元的擦除状态V_{th}分布的上尾较大地增大。作为结果,读通窗口减小。然而,由于余裕V_{um},所以在不修改最高状态V_{th}分布的情况下无法降低读通电压。一种解决方案是控制编程过程,使得对于C状态实现较窄的V_{th}分布。由于C状态通常是完成编程的最后状态,所以这可能导致较长的编程时间,但这是对减小读取干扰的可接受的折衷。此外,所调整的编程可能被限制于与较窄的存储器孔关联的选择的字线层,使得折衷较小或者在其他字线层看不到。

[0130] 一种方法是在C状态编程期间使用较小的dV_{p_{gm}}。可以在编程的中间(例如在编程进行至诸如在A状态结束编程时或者在已经施加了一定数目的编程脉冲时的里程碑之后)将dV_{p_{gm}}改变成较小的值。参见图12A至12C。另一方法是在编程达到里程碑之后停止增加V_{p_{gm}}。因而,在完成对C状态的编程时,V_{p_{gm}}达到最大电平,然后保持固定。

[0131] 另一方法是如图12C所描绘的那样针对C状态使用快速遍写入。也可以对各种方法进行组合。

[0132] 通常,通过降低dV_{p_{gm}}和/或升高V_{b1}来使对存储器单元的编程减慢,从而使V_{th}分布变窄。使编程减慢避免存储器单元的V_{th}的大幅突升,所述大幅突升导致较宽V_{th}分布。

[0133] 这是当一个字线层的位置与存储器孔的相对较窄部分相邻时调整编程以提供多个编程数据状态中的最高编程数据状态(例如C)的相对较低V_{th}分布上尾(V_{ut3})的示例。

[0134] 图9C描绘了具有四个数据状态的V_{th}分布920,其示出了与图9A相比较窄的V_{aw}和V_{bw}以及下移的C状态V_{th}分布。该方法也是在V_{um}与图9A中的V_{um}相同时能够使用较低的V_{rp}。V_{rp}是V_{rp_min}。V_{vC}低于图9A或图9B中的V_{vC}。该方法使较低数据状态(921和922)的V_{th}分布变窄而不使最高数据状态的V_{th}分布923变窄。这是期望的,原因是V_{um}被保持并且V_{rp}被降低使得读取干扰降低。此外,因为对C状态的编程未被调整,所以编程时间未增加。通过如所示出的相对于图9A降低V_{vA}和V_{vB}以使V_{vC}能够偏移得甚至更低,可以使V_{rp}进一步降低。也可以如此处所示出的那样以及如在图10F中进一步详细描绘的那样使V_{rA}、V_{rB}和V_{rC}降低。针对不同的字线层保持另外的验证电压设置可能稍微地增加复杂度。在一种方法中,规则可以被设置成在保持相同的V_{um}以及在数据状态之间(例如在相邻数据状态E/A、A/B和B/C中的每一对的上尾与下尾之间)提供相同最小间隔的同时调整在不同字线层中的编程。

[0135] 一种方法是在B状态编程(以及可选地也在A状态编程期间)使用较小的dV_{p_{gm}}。要指出的是,可以调整读取电平中的一个或多个。例如,在使V_{vC}降低以及使V_{bw}变窄的情况下,与图9A相比也应当使V_{rC}降低。通常,每个读取电平应当处于相邻V_{th}分布的中点处。

[0136] 在选项中,编程被调整成使A状态或B状态之一(而不是二者)的V_{th}分布变窄。当存在8个或16个数据状态时,许多其他的变型也是可以的。例如,对数据状态的子集(包括多个数字状态但不是所有数据状态)的编程可以被调整成使V_{th}分布变窄。

[0137] 这是当一个字线层的位置与存储器孔的相对较窄部分相邻时使用相对较低的验证电平(V_{vC})将存储器单元集合的一个子集(例如以C状态作为目标数据状态的存储器单元)编程至多个编程数据状态(例如A状态、B状态和C状态)中的最高编程数据状态(例如C状态)的示例。例如,图2B4中的S_{eD}-0中的一个子集可以是MCD0-0、MCD0-1、MCD0-2、...、MCD0-14中的一个或多个。

[0138] 这也是当一个字线层的位置与存储器孔的相对较窄部分相邻时使用相对较低的

验证电平(V_{vA} 或 V_{vB})将存储器单元集合的一个子集(例如以A状态或B状态作为目标数据状态的存储器单元)编程至多个编程数据状态(例如A状态、B状态和C状态)中的最低编程数据状态(例如A状态或B状态),该最低编程数据状态高于擦除数据状态。

[0139] 图9D描绘了具有四个数据状态的 V_{th} 分布930,其示出了与图9A相比较窄的 V_{aw} 、 V_{bw} 和 V_{cw} 。这使 V_{rp} 相比于图9B或图9C被进一步降低至 V_{rp_min2} ,其中 $V_{rp_max}-V_{rp_min2}=dV_{rp2}$ 并且 $dV_{rp2}>dV_{rp1}$ 。在图9A至图9D中,x轴的刻度相同。 V_{th} 分布931、932和933可以通过使对用于与较小的 D_{mh} 关联的字线层的数据状态(A至C)中的每个数据状态的编程减慢来实现。可以通过使用 dV_{pgm} 和/或 V_{b1} 来调整编程过程来使编程减慢。

[0140] 替代地,可以通过制造存储器设备使得这些字线层较厚来实现用于这些字线层的 V_{th} 分布,例如先前结合图2D和图4C所讨论的。较厚的字线层导致用于存储器单元的沟道长度 L_{cg} 较长。此外,存储器单元的沟道区域随着 L_{cg} 而增加,并且控制栅与电荷俘获层之间的电容 C 与沟道区域成比例。电容从而也随 L_{cg} 而增加。 V_{th} 分布可以使用泊松分布来建模,其中标准方差(SD)为: $SD=(q \times dV_{pgm}/C)$ 的平方根并且 q 是电子电荷。因此,可以看出当 C 随着 L_{cg} 增加时,SD减小。因此,较大的 L_{cg} 导致所有的编程数据状态的 V_{th} 分布较窄。换言之,当 L_{cg} 较大时,编程噪声被降低。字线层厚度的增加可以被限制于堆叠的一部分,以限制堆叠的高度的增加。

[0141] 图9E描绘了具有四种数据状态的 V_{th} 分布,其示出了与图9A相比较窄且上移的A状态 V_{th} 分布和B状态 V_{th} 分布(分别为941和942)。在该示例中,对于存储器孔的较窄部分附近的存储器单元,即使在擦除状态的上尾增加时,读取窗也被保持。 V_{um} 也被保持。为了实现这个,根据 D_{mh} 来增加一个或更多个较低编程数据状态的验证电平。这与图9C中的减小相反。读通电压可以被保持在最大电平处。与图9A相比也可以增加 V_{rA} 和 V_{rB} 。与图9A相比验证和读取电平的增加由水平箭头示出。 V_{ut1} 和 V_{ut2} 的值还被重复地用于参考。通过升高 V_{vA} ,提供了距 V_{ut2} 的较大间距,使得 V_{rA} 可以被升高至例如 V_{ut2} 与 V_{vA} 之间的中间点。作为结果,E到A状态读取故障将很少发生。

[0142] 这是当一个字线层的位置与存储器孔的相对较窄部分相邻时使用相对较高的验证电平(V_{vA})将存储器单元集合的一个子集编程至多个编程数据状态中的最低编程数据状态(例如A)的示例,该最低编程数据状态高于擦除数据状态。

[0143] 在一种方法中,升高 V_{rA} 并且使 V_{aw} 变窄,但不升高 V_{rB} 。由于 V_{aw} 变窄,所以A状态 V_{th} 分布的上尾与 V_{rB} 之间存在足够的空间。然而,可选地,也可以升高 V_{rB} ,在该情况下,使 V_{bw} 变窄以保持B状态 V_{th} 分布的上尾与 V_{rC} 之间的足够空间。在该示例中,不改变 V_{rC} ,最终得到C状态 V_{th} 分布943。

[0144] 可选地,升高 V_{rC} 并且使 V_{cw} 变窄以保持C状态 V_{th} 分布(V_{ut3})的上尾与 V_{rp} 之间的足够空间。在另一选项中,使 V_{bw} 变窄但不使 V_{aw} 或 V_{cw} 变窄,并且使 V_{rA} 、 V_{vA} 、 V_{rB} 和 V_{vB} 增加。

[0145] 图9F描绘了与图9E一致的、一个或更多个较低编程数据状态的验证电平根据 D_{mh} 的变化。在该示例中,当 D_{mh} 变小时, V_{vC} 固定而 V_{vA} 和 V_{vB} 增加。当 D_{mh} 变小时, V_{vA} 可以比 V_{vB} 增加得多。

[0146] 图10A是读取串口(V_{rdw})根据 D_{mh} 的减小而减小的曲线图。如所提及的,如果未如本文所描述的那样做出调整,则对于给定的 V_{rp} ,当 D_{mh} 较小时 V_{rdw} 变小,原因是 V_{rp} 具有较强的作用。本文所提供的技术可以将读取窗保持在基本上独立于 D_{mh} 的一致电平处。

[0147] 图10B是描绘与图9C一致的、在C状态 V_{rh} 分布(V_{cm})根据 D_{mh} 的减小而逐渐降低同时 V_{aw} 和 V_{bw} 保持恒定的情况下使用的读通电压(V_{rp})的降低的曲线图。当 D_{mh} 较小时使用较低的 V_{rp} ,而当 D_{mh} 较大时使用较大的 V_{rp} 。针对不同的 D_{mh} 值(例如,针对不同的字线层)来调整对C状态的编程,以在 D_{mh} 较低时提供较小的 V_{cw} ,并且在 D_{mh} 较大时提供较大的 V_{cw} 。

[0148] 图10C是描绘与图9C一致的、在 V_{aw} 和 V_{bw} 随着 D_{mh} 的减小而逐渐降低同时 V_{cm} 保持恒定的情况下使用的读通电压(V_{rp})的降低的曲线图。针对不同的 D_{mh} 值来调整对A状态和B状态的编程,以在 D_{mh} 较低时提供较小的 V_{aw} ,并且在 D_{mh} 较大时提供较大的 V_{aw} 。

[0149] 图10D是提供图10B中的 V_{rp} 和 V_{cw} 的四电平简化情况的曲线图。为了使实现简化,可以使用 D_{mh} 的几个(例如4个)范围,以使得相邻字线层的对应四个范围可以被分组并且每个组使用共同的编程条件来编程。例如,如先前所讨论的,可以使用组G0至G3。可以使用任何数目的组并且它们可以是相同的大小(包括相同数目的字线层)和/或不同的大小。

[0150] 图10E是提供图10B中的 V_{aw} 、 V_{bw} 和 V_{rp} 的二电平简化情况的曲线图。这通过使用包括组G0A和G1A的仅两个电平来提供进一步的简化。

[0151] 图10F描绘了与图9C一致的、编程数据状态的验证电平根据 D_{mh} 的变化。如所讨论的,当 D_{mh} 较低时,可以降低验证电平(例如 V_{rA} 、 V_{rB} 和 V_{rC})。此外,较高数据状态的验证电平可以比较低数据状态的验证电平降低得相对更多。验证电平可以随 D_{mh} 线性地变化或非线性地变化。

[0152] 图11A描绘了用于诸如7A至7C中的两遍编程操作的第一遍的编程和感测波形。水平轴描绘了编程脉冲(PP)数以及垂直轴描绘了控制栅或字线电压。通常,编程操作可能涉及向选择的字线层施加脉冲群,其中脉冲群包括多个编程验证迭代。编程验证迭代的编程部分包括编程脉冲,以及编程验证迭代的验证部分包括一个或多个验证脉冲。

[0153] 脉冲群通常包括其幅度在每个编程验证迭代中使用固定或变化的步长阶式增加编程脉冲。可以在每编程中施加新的脉冲群,该新的脉冲群以初始电平开始并且以不超过最大容许电平的最终电平结束。在不同编程通过中,初始电平可以相同或不同。在不同编程通过中,最终电平可以相同或不同。在不同编程通过中,步长可以相同或不同。在一些情况下,在最终编程通过使用较小的步长来减小 V_{th} 分布宽度。

[0154] 脉冲群1110包括:施加于被选择用于编程的字线层以及关联的被选择的非易失性存储器单元集合的一系列编程脉冲1111至1118。在该情况下,由于该编程是到LM状态,所以在每个编程脉冲之后提供在 V_{vLM} 处的一个验证脉冲1119。

[0155] 图11B描绘了在图11A的编程操作中使用的固定 dV_{pgm} 。在图11A和图11B中,x轴的刻度相同。由于主要目的是尽可能快地完成编程以及由于实现窄的 V_{th} 分布并不重要,所以在整个编程通过中, dV_{pgm} 可以保持在高电平(dV_{pgm_high})处。每个正方形表示用于编程脉冲的 dV_{pgm} 。

[0156] 图12描绘了用于诸如图7A至图7C中的两遍编程操作的第二遍或者用于诸如图6A和图6B中的编程操作以实现诸如图9B中的C状态的窄的 V_{th} 分布的编程和感测波形。

[0157] 脉冲群1210包括施加于被选择用于编程的字线层和关联的被选择的非易失性存储器单元的一系列编程脉冲1211至1225。该示例选择性地基于预期的编程进度来执行验证操作。可以在第一至第三编程脉冲中的每个编程脉冲之后施加A状态验证脉冲(例如波形1230)。可以在第四至第六编程脉冲中的每个编程脉冲之后施加A状态验证脉冲和B状态验

证脉冲(例如波形1231)。可以在第七和第八编程脉冲之后施加A状态验证脉冲、B状态验证脉冲和C状态验证脉冲(例如波形1232)。可以在第九至第十一编程脉冲中的每个编程脉冲之后施加B状态验证脉冲和C状态验证脉冲(例如波形1233)。最后,可以在第十二至第十五编程脉冲中的每个编程脉冲之后施加C状态验证脉冲(例如波形1234)。在该示例中,A状态存储器单元在第八编程脉冲之后完成编程以及B状态存储器单元在第十一编程脉冲之后完成编程。

[0158] 图12B描绘了在图12A的编程操作中使用的 dV_{pgm} 。在图12A至图12C中,x轴的刻度相同。在PP9之前,每个正方形表示对存储器单元进行编程而不管关联的Dmh值如何的情况下编程脉冲的 $dV_{pgm} = dV_{pgm}$ 。从PP9至PP15,每个正方形表示在存储器单元与较大的Dmh关联的情况下编程脉冲的 $dV_{pgm} = dV_{pgm_high}$ 。每个圆圈表示在存储器单元与较小的Dmh关联的情况下编程脉冲的 $dV_{pgm} = dV_{pgm}$ 。对于Dmh的中间值,可以使用 dV_{pgm_low} 与 dV_{pgm_high} 之间 dV_{pgm} 值。 dV_{pgm_low} 可以是零或更多伏。

[0159] 对于较小Dmh的情况,将通过较低的 V_{pgm} 来使对C状态存储器单元的编程减慢,从而导致较窄的 V_{th} 分布。A状态存储器单元将完成至正常 V_{th} 分布的编程。可以使对B状态存储器单元中的一些B状态存储器单元的编程减慢,以使得它们的 V_{th} 分布比正常的 V_{th} 分布窄一点但不像C状态那么窄。在该示例中,至用于与较小的Dmh关联的存储器单元的较窄 V_{th} 分布的转变在对A状态的编程完成时开始。这是根据存储器单元集合的编程进度做出的自适应决策来在一系列编程脉冲中途开始减小 dV_{pgm} 的示例。替选地,在一系列编程脉冲中的固定编程脉冲数(例如PP9)处开始减小 dV_{pgm} 。

[0160] 图12C描绘了与图12A的编程操作的编程脉冲一起使用的 V_{b1} 。为了使编程减慢,增加 V_{b1} 而不是减小 dV_{pgm} 。也可以使用二者。 V_{b1} 可以针对每个存储器单元独立地设置,使得它可以用于使对具有一个或更多个被选择的数据状态的存储器单元的编程减慢而不使对其它存储器单元的编程减慢。

[0161] 在PP9之前,每个正方形表示在对存储器单元进行编程而不管关联的Dmh值如何时的编程脉冲期间的 $V_{b1} = 0V$ 。从PP9至PP15,每个正方形表示在编程是针对与较大的Dmh关联的存储器单元的情况下的编程脉冲期间的 $V_{b1} = 0V$ 。每个圆圈表示在编程是针对与较小的Dmh关联的存储器单元的情况下的编程脉冲期间的 $V_{b1} = V_{b1_high}$ (例如,1V)。对于Dmh的中间值,可以使用 V_{b1} 的在0V与 V_{b1_high} 之间的值。

[0162] 对于较小Dmh的情况,将通过较高的 V_{b1} 来使对C状态存储器单元的编程减慢,从而导致较窄的 V_{th} 分布。A状态存储器单元将完成至正常 V_{th} 分布的编程。由于在该示例中,较高 V_{b1} 被限制于对C状态存储器单元使用,所以不需要减慢对B状态存储器单元的编程。这是基于根据存储器单元集合的编程进度做出的自适应决策来在一系列编程脉冲的中途开始增加 V_{b1} 的示例。替选地,可以在一系列编程脉冲的固定编程脉冲数(例如PP9)处开始增加 V_{b1} 。

[0163] 另一选项是使用多个电平的 V_{b1} 来减慢对一个字线层上的给定存储器单元集合的编程。在该情况下,首先将 V_{b1} 升高至中间电平(0V与 V_{b1_high} 之间),然后随着编程进行而将其升高至 V_{b1_high} 。

[0164] 图12B和图12C是当一个字线层的位置与存储器孔的相对较窄部分相邻时以相对较慢的速率将存储器单元集合的一个子集(例如以C状态作为目标数据状态的存储器单元)

编程至多个编程数据状态中的最高编程数据状态(例如C状态)的示例。

[0165] 图13A描绘了用于诸如图7A至图7C中的两遍编程操作的第二遍或者用于诸如图6A和图6B中的编程操作以实现诸如图9C中的A状态和B状态的窄的 V_{th} 分布的备选编程和感测波形。

[0166] 脉冲群1310包括施加于被选择用于编程的字线层和关联的非易失性存储器单元集合的一系列编程脉冲1311至1325。除了使用另外的编程脉冲来完成对A状态和B状态的编程以实现较窄的 V_{th} 分布以外,该示例与图12A一样选择性地基于预期的编程进度来执行验证操作。

[0167] 可以在第一至第三编程脉冲中的每个编程脉冲之后施加A状态验证脉冲(例如波形1330)。可以在第四至第六编程脉冲中的每个编程脉冲之后施加A状态验证脉冲和B状态验证脉冲(例如波形1331)。可以在第七至第十编程脉冲中的每个编程脉冲之后施加A状态验证脉冲、B状态验证脉冲和C状态验证脉冲(例如波形1332)。可以在第十一至第十三编程脉冲中的每个验证脉冲之后施加B状态验证脉冲和C状态验证脉冲(例如波形1333)。最后,可以在第十四至第十五编程脉冲中的每个验证脉冲之后施加C状态验证脉冲(例如波形1334)。在该示例中,A状态存储器单元在第十编程脉冲之后完成以及B状态存储器单元在第十三编程脉冲之后完成编程。

[0168] 图13B描绘了用于图13A的编程操作的 dV_{pgm} 。在图13A至图13C中,x轴的刻度相同。每个正方形表示每个编程脉冲的 $dV_{pgm} = dV_{pgm_high}$ 。在该情况下,编程速度不受 dV_{pgm} 控制。

[0169] 图13C描绘了与图13A的编程操作的编程脉冲一起使用的 V_{b1} 。每个正方形表示在存储器单元与较大 D_{mh} 关联情况下对A数据状态、B数据状态和C数据状态中的每个数据状态的存储器单元进行编程时以及在存储器单元与较小 D_{mh} 关联的情况下对C状态的存储器单元进行编程时的编程脉冲期间的 $V_{b1} = 0V$ 。由于对于C状态而言,在所有情况下 $V_{b1} = 0V$,针对C状态实现了正常的 V_{th} 分布。

[0170] 每个圆圈表示在存储器单元与较小 D_{mh} 关联情况下对A数据状态和B数据状态的存储器单元进行编程时的编程操作期间的 $V_{b1} = V_{b1_high}$ 。因此针对A状态和B状态实现了较窄的 V_{th} 分布。

[0171] 因此,可以看出,在一个实施方式中,一种用于对3D非易失性存储器单元进行编程的方法包括:选择多个字线层中的一个字线层中的存储器单元集合来存储数据,所述多个字线层在堆叠中与介电层交替地布置,以及一个字线层中的存储器单元集合中的存储器单元被布置在延伸通过堆叠的相应存储器孔中,相应存储器孔具有沿存储器孔而变化的相应宽度;以及对一个字线层中的存储器单元集合进行编程,该编程基于一个字线层在堆叠中的位置而被调整。

[0172] 在另一实施方式中,一种3D非易失性存储器设备包括:多个字线层,该多个字线层在堆叠中与介电层交替地布置;多个存储器单元,该多个存储器单元布置在NAND串中并且与多个字线层连通,NAND串被布置在延伸通过堆叠的相应存储器孔中,相应存储器孔具有沿存储器孔而变化的相应宽度;以及控制电路。控制电路选择多个字线层中的一个字线层中的存储器单元集合来存储数据,以及对一个字线层中的存储器单元集合进行编程,该编程基于一个字线层在堆叠中的位置而被调整。

[0173] 在另一实施方式中,一种用于对3D非易失性存储器设备进行编程的方法包括:选择多个字线层中的一个字线层中的存储器单元集合来感测数据,所述多个字线层在堆叠中与介电层交替地布置,以及一个字线层中的存储器单元集合中的存储器单元被布置在延伸通过堆叠的相应存储器孔中,相应存储器孔具有沿存储器孔而变化的相应宽度;以及对一个字线层中的存储器单元集合进行感测,所述感测包括在向多个字线层中的剩余字线层施加读通电压(V_{rp})的同时向一个字线层施加感测电压,读通电压基于剩余字线在堆叠中的相对位置而设置。

[0174] 已经出于说明和描述的目的而呈现了本发明的在前详细描述。其并不意在穷举或将本发明限制为所公开的确切形式。根据以上教导可以进行很多修改和变型。选择所描述的实施例是为了最佳地解释本发明及其实际应用的原理,从而使得本领域技术人员能够以各种实施例利用本发明以及将本发明与适合所设想的特定应用的各种修改一起使用。本发明的范围由所附权利要求限定。

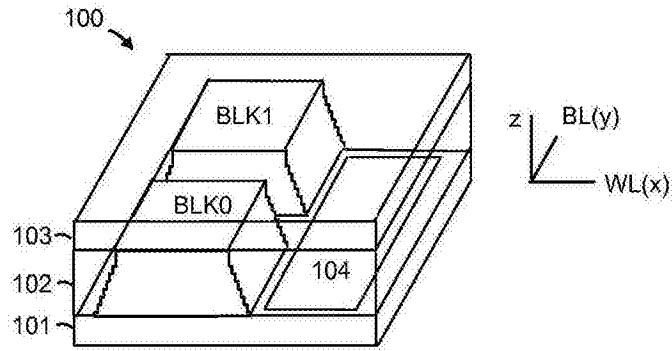


图1A

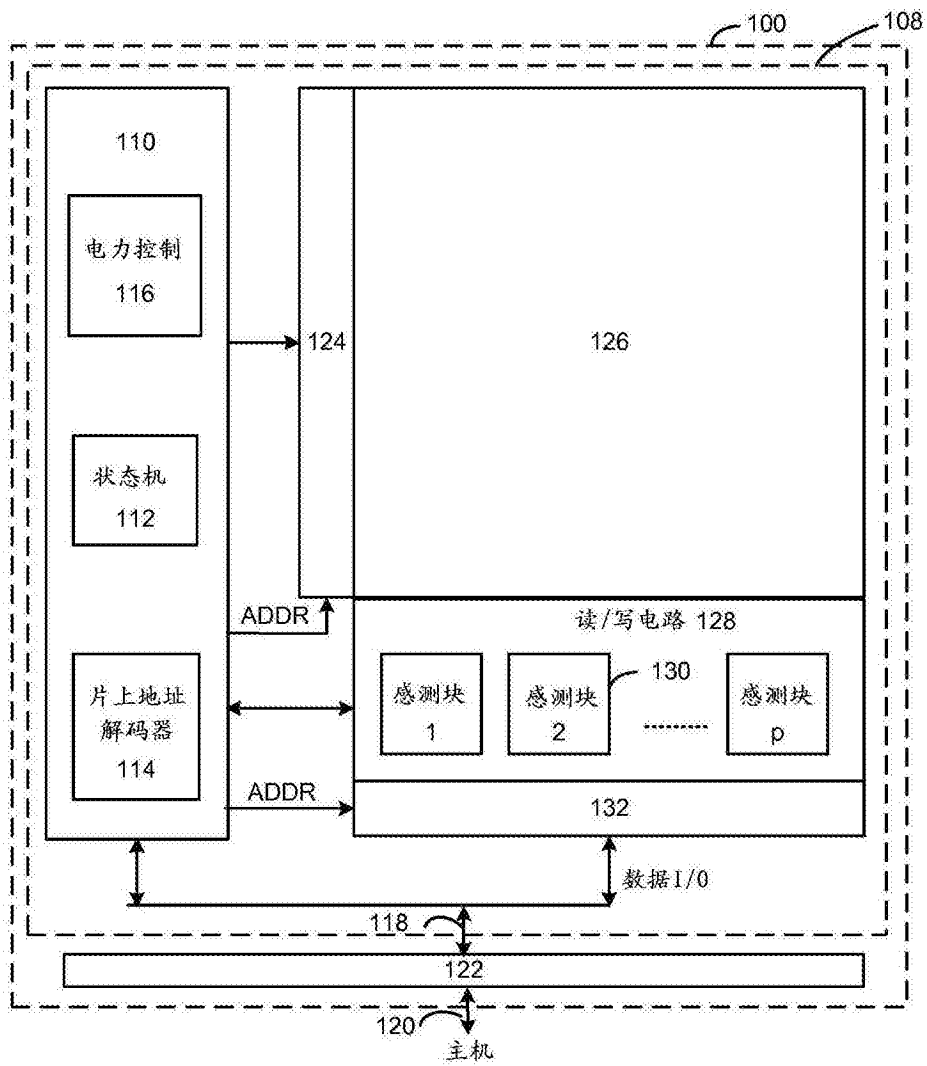


图1B

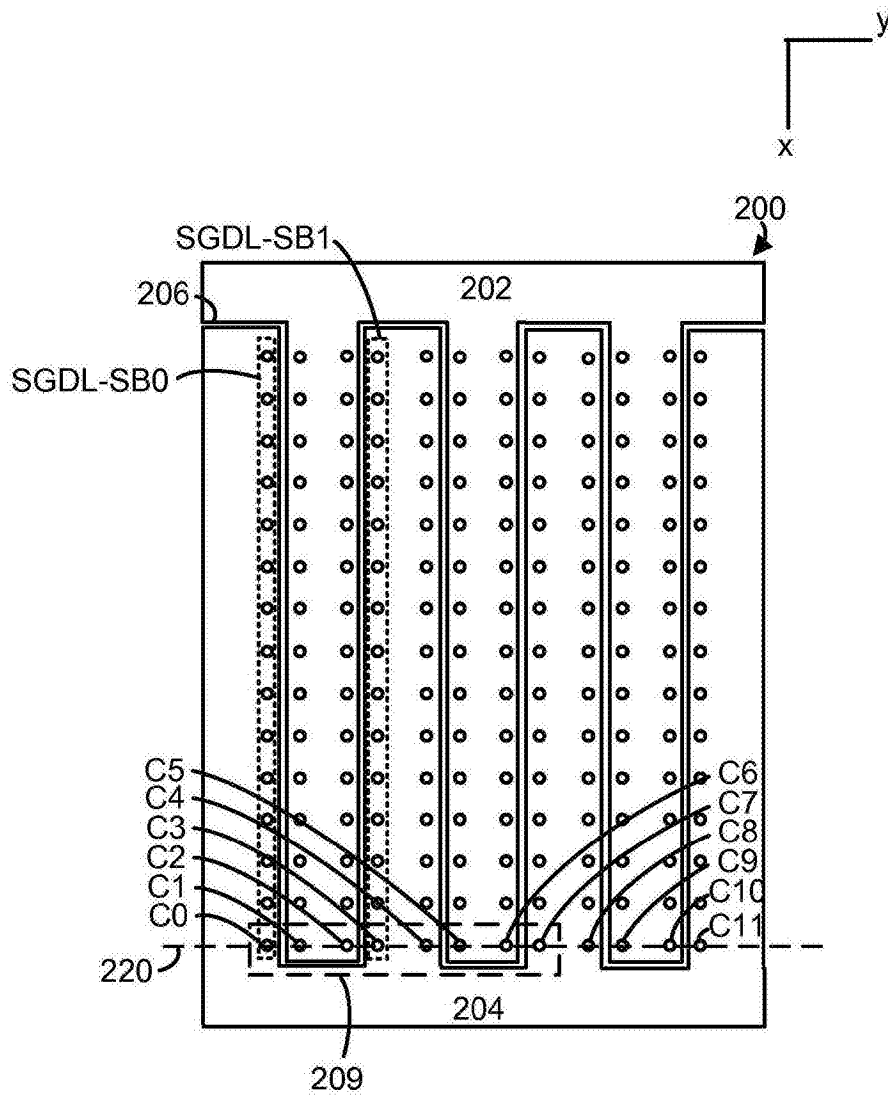


图2A

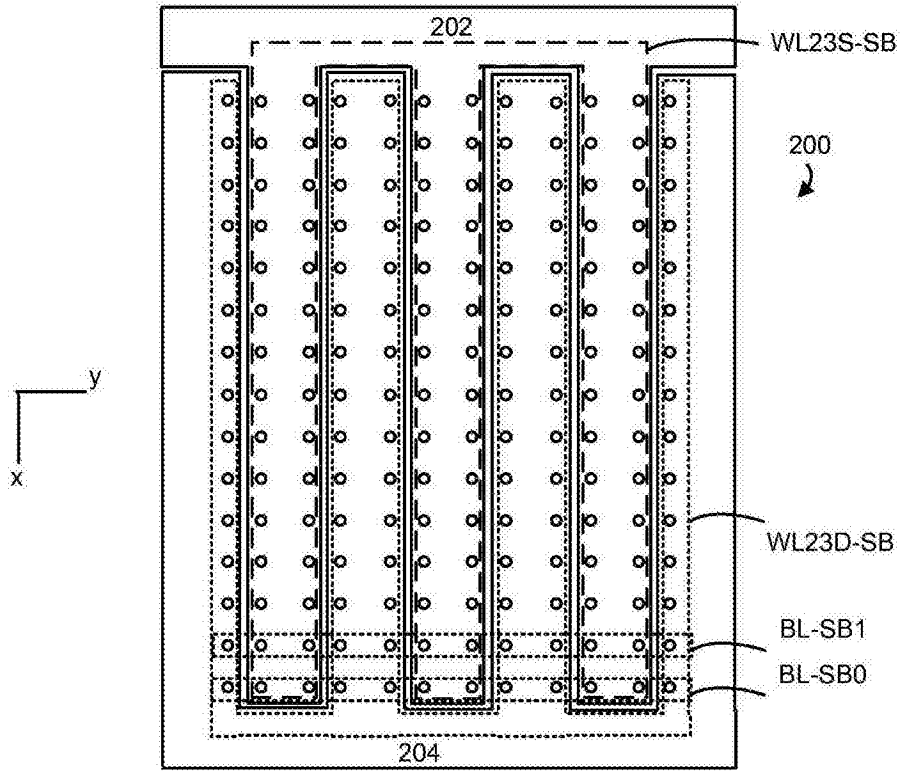


图2B1

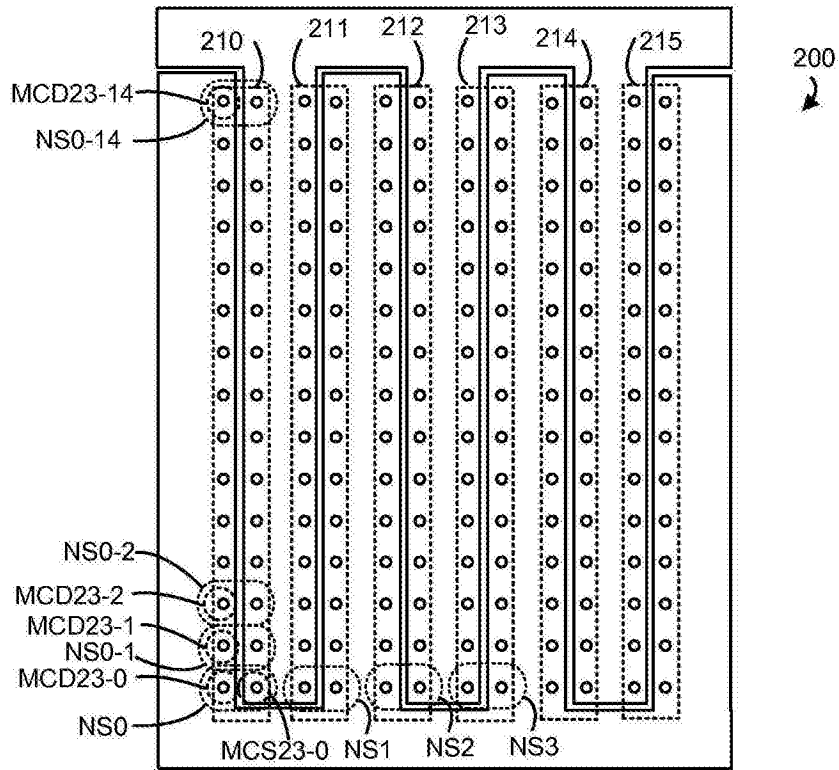


图2B2

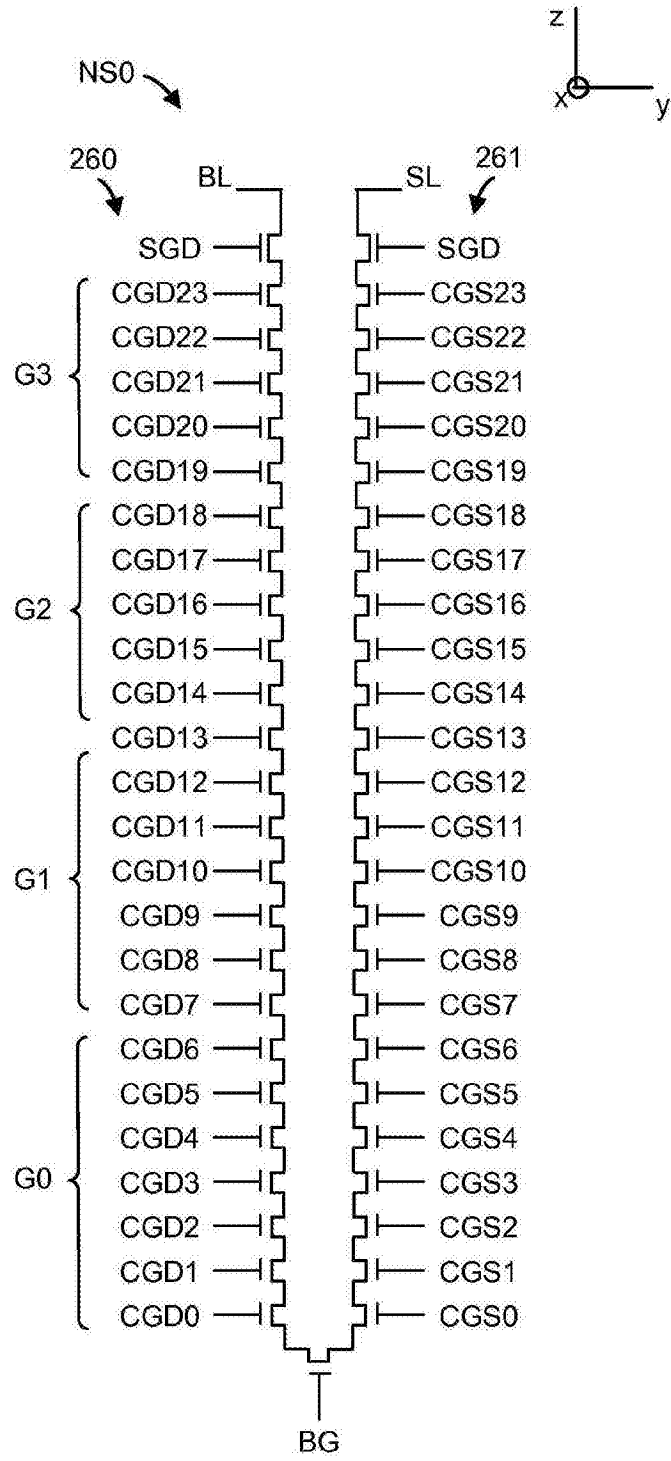


图2B3

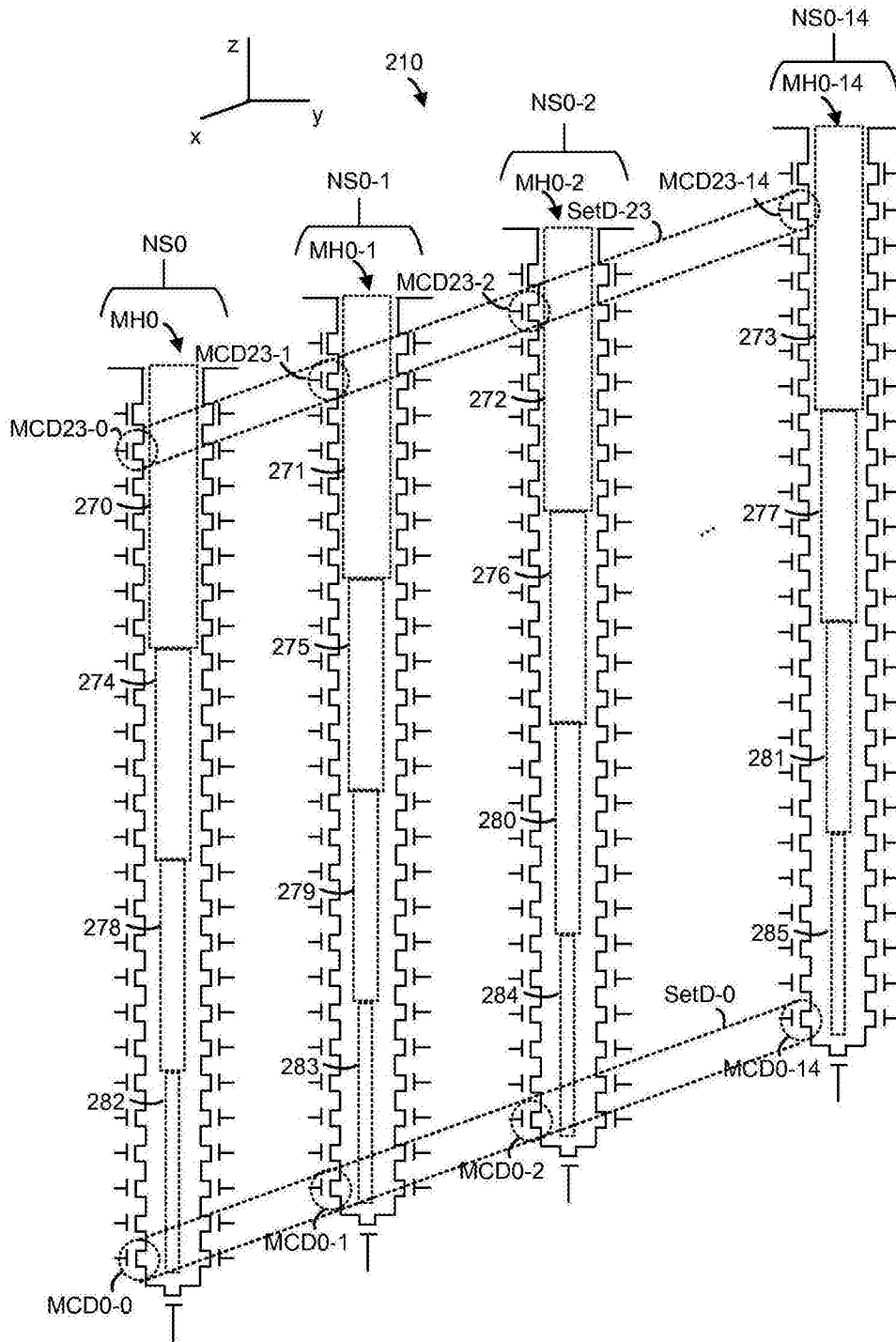


图2B4

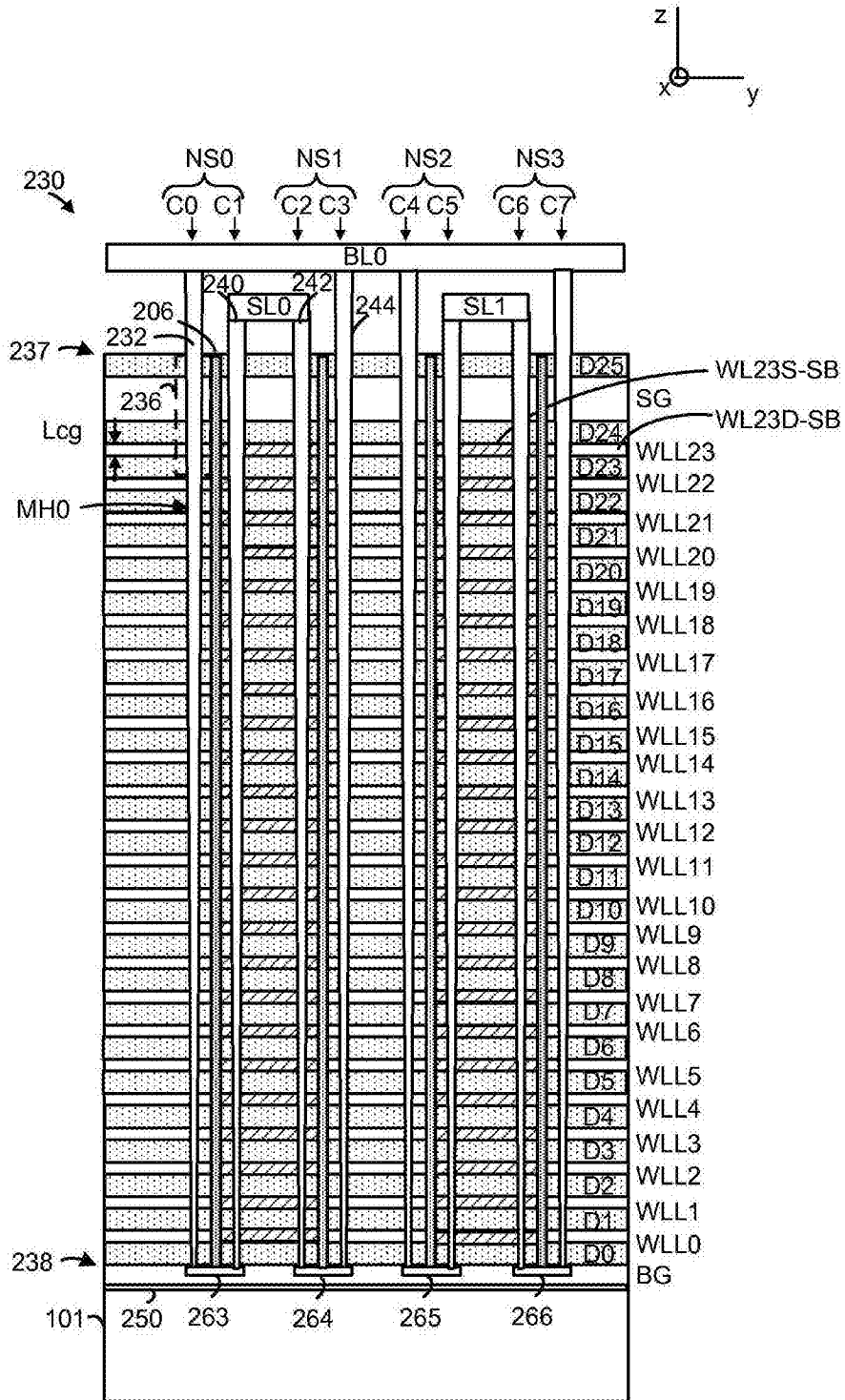


图2C

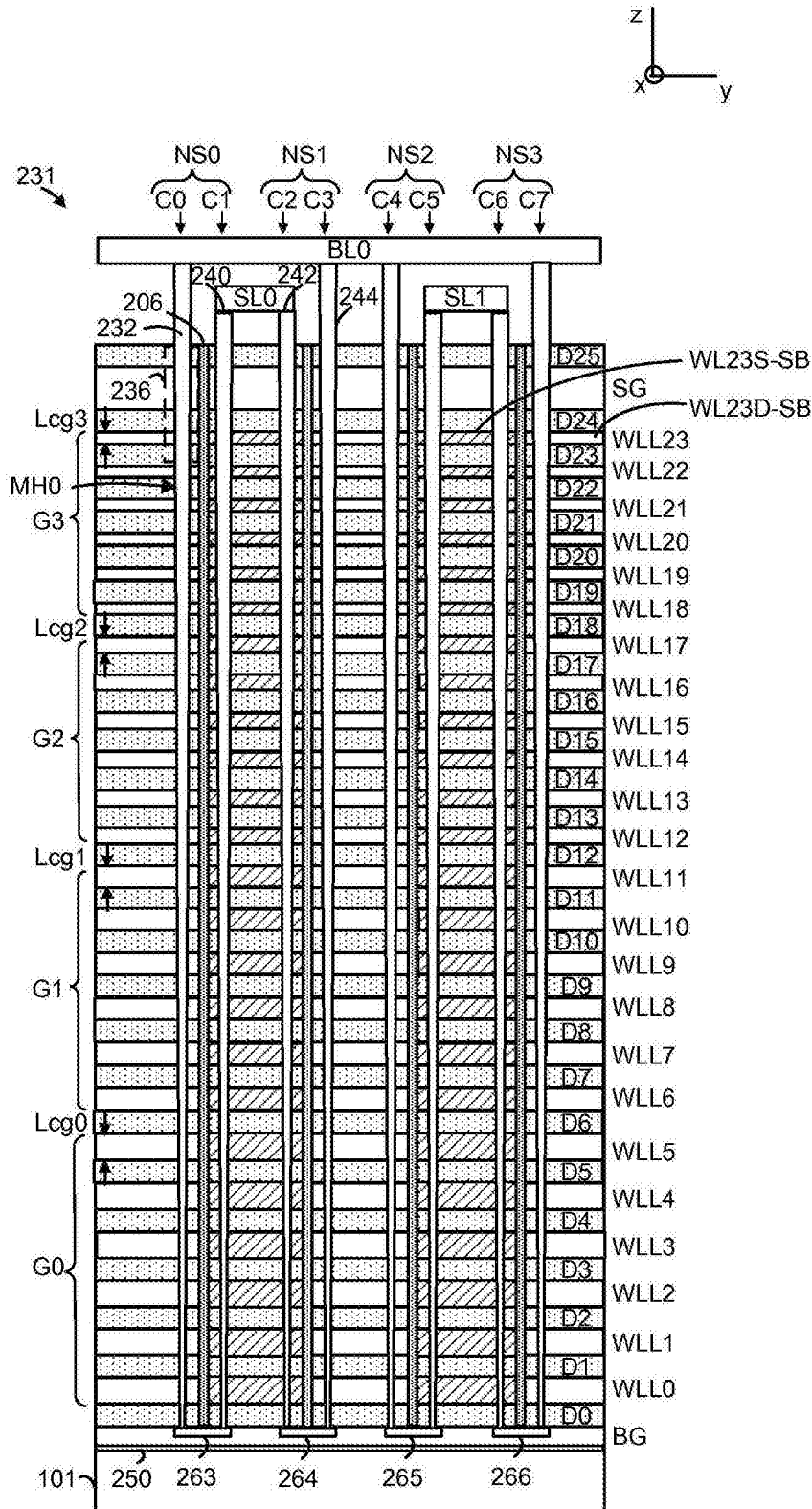


图2D

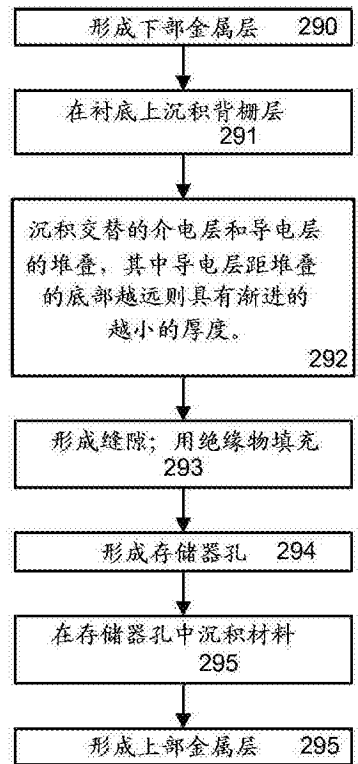


图2E

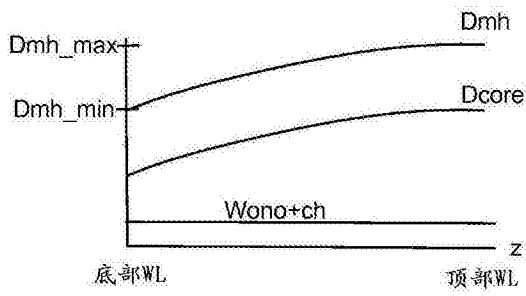


图2F

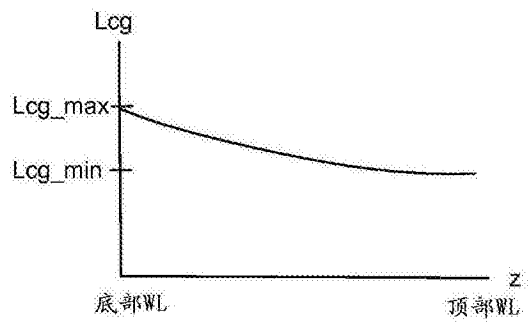


图2G

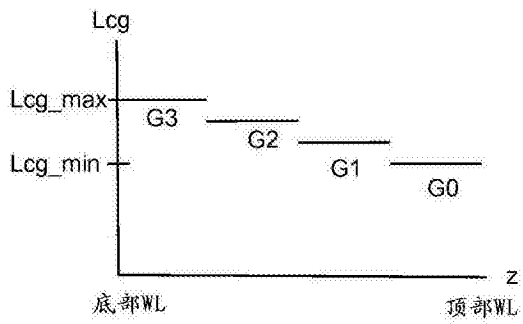


图2H

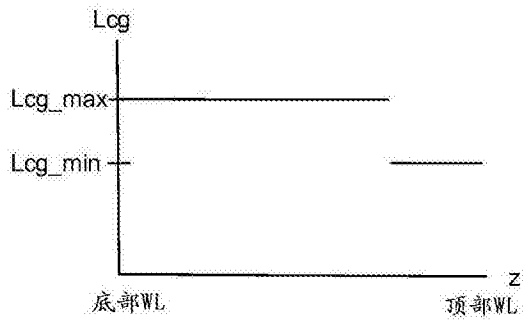


图2I

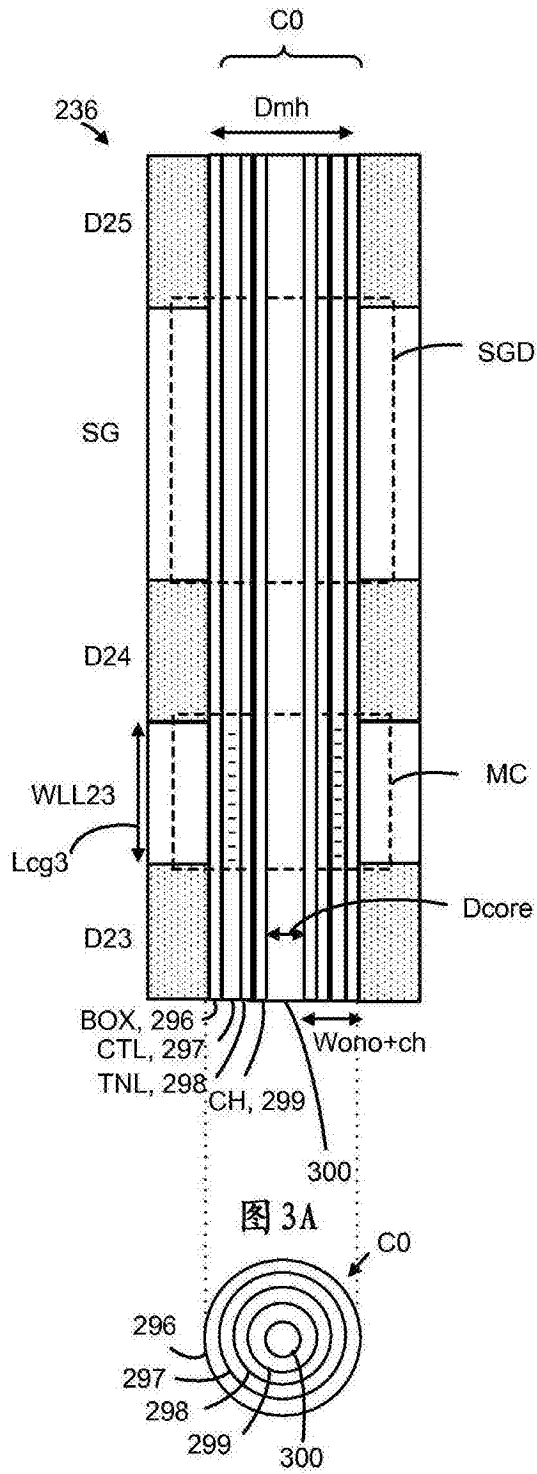


图 3B

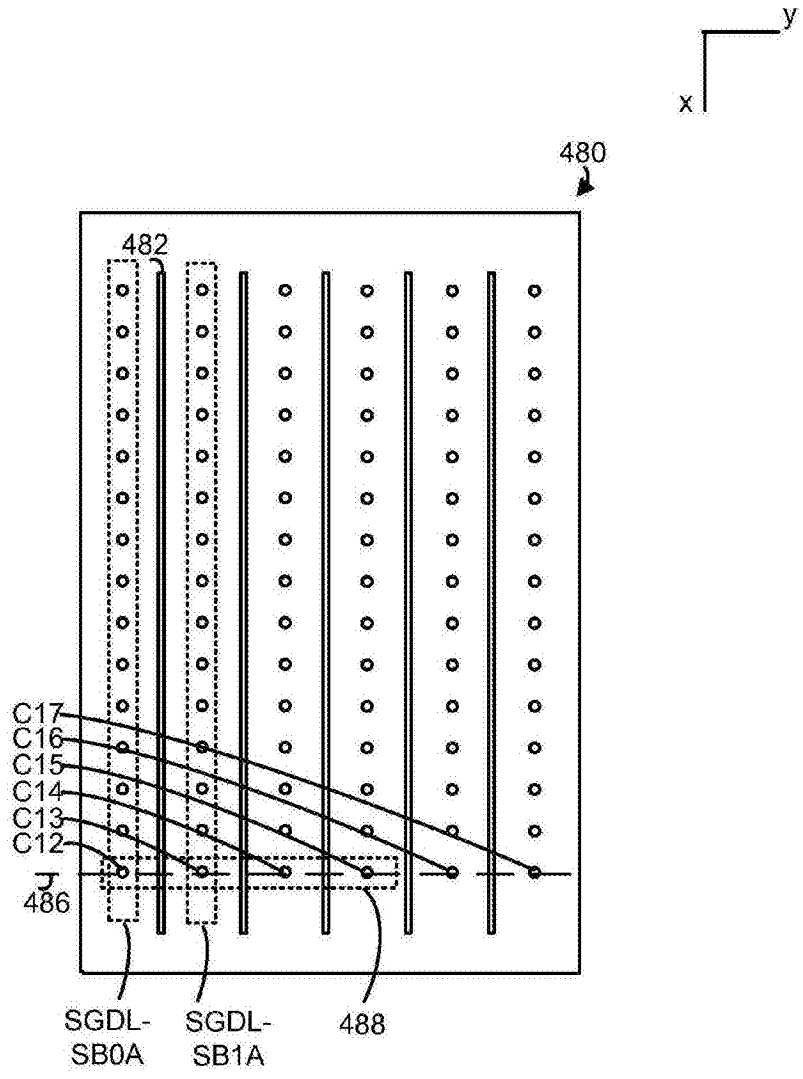


图4A

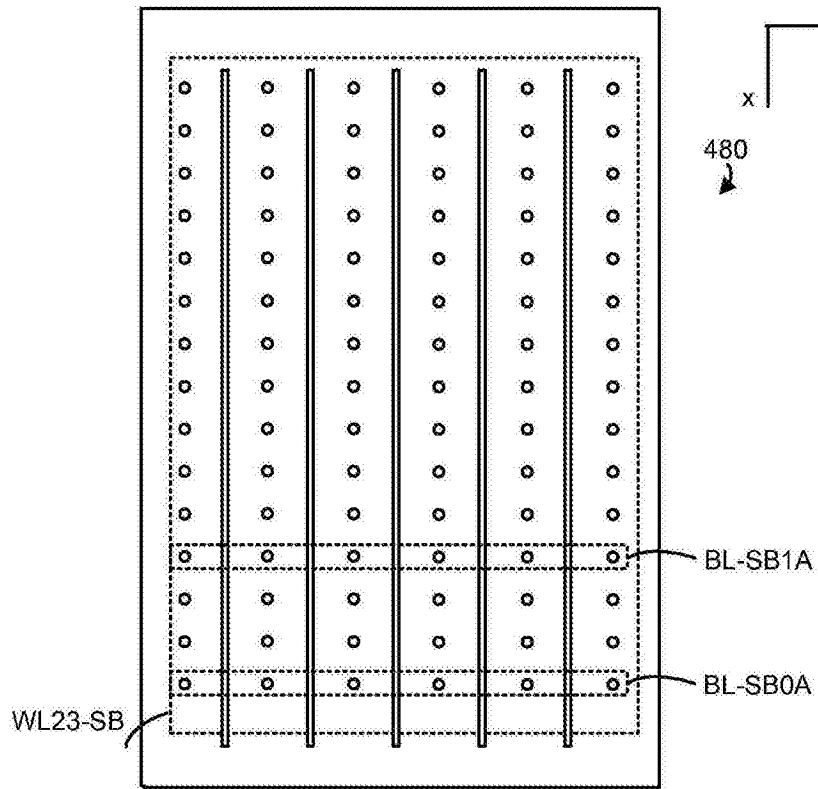


图4B1

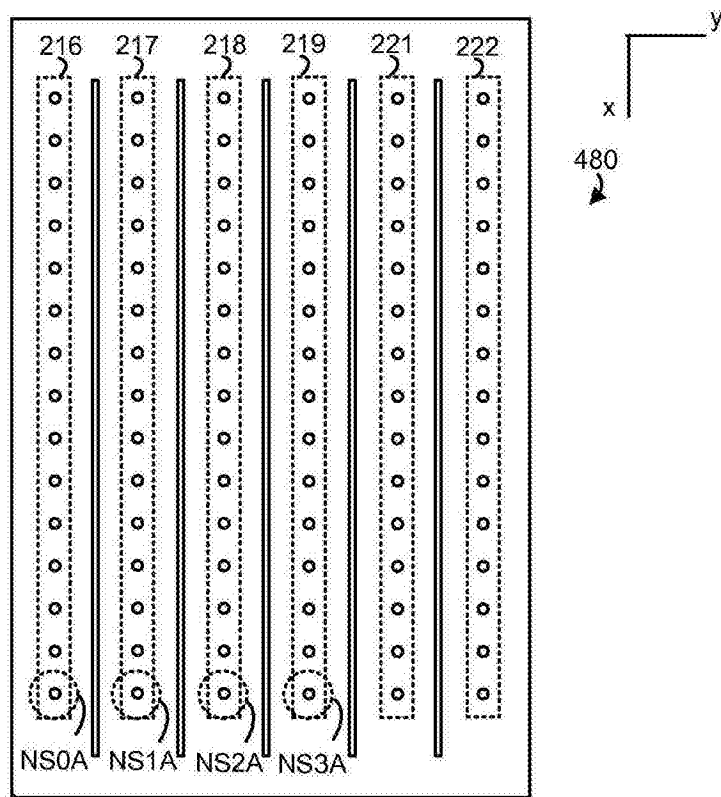


图4B2

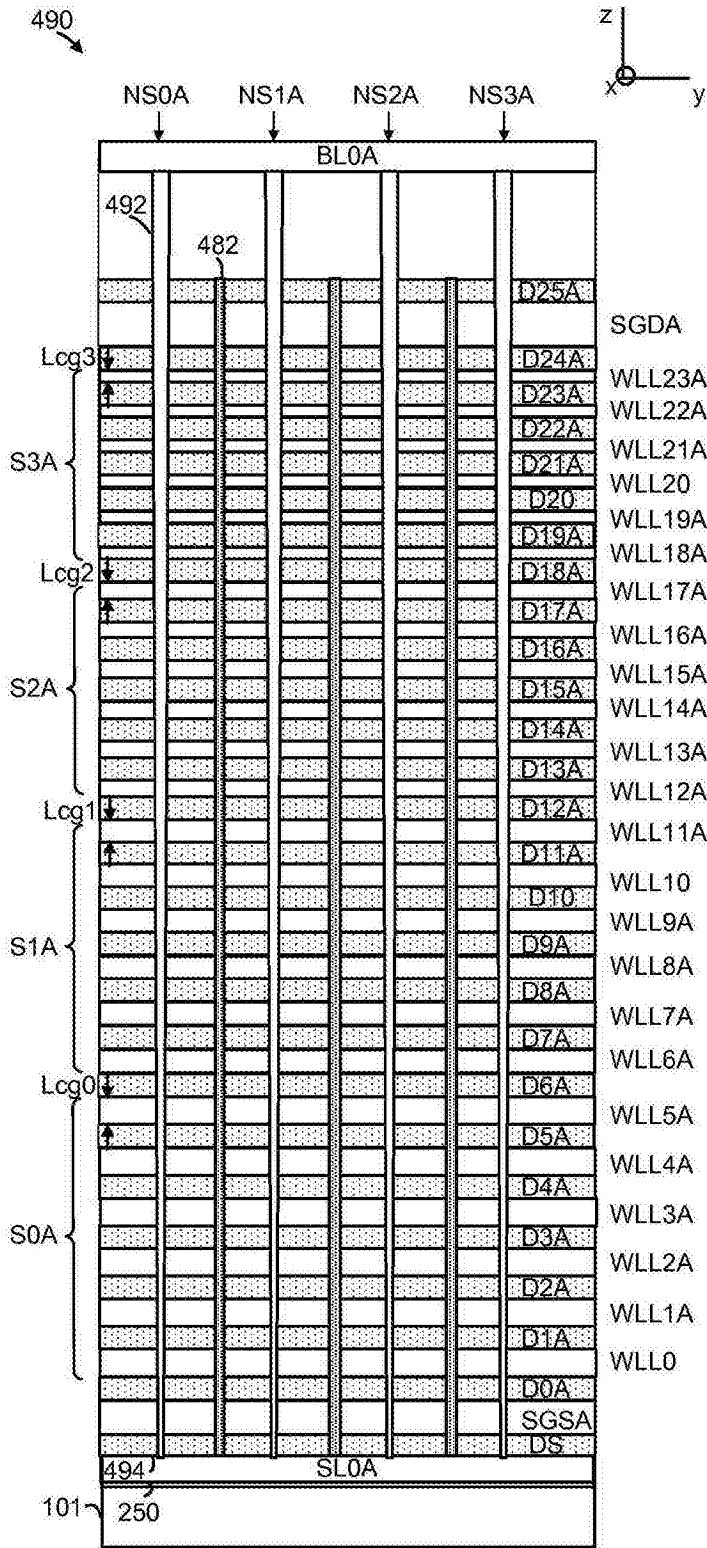


图4C

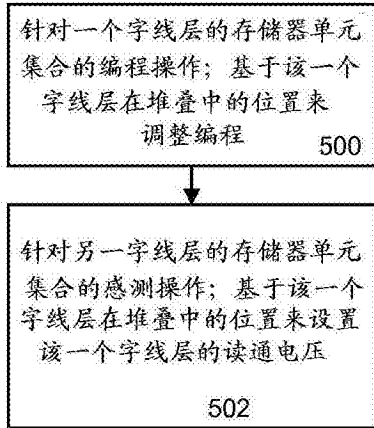


图5A

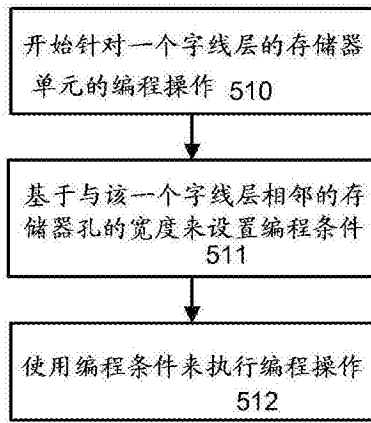


图5B

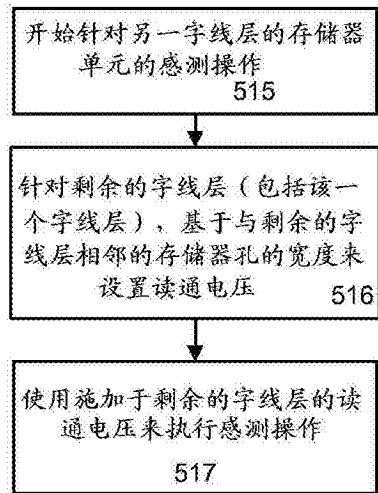


图5C

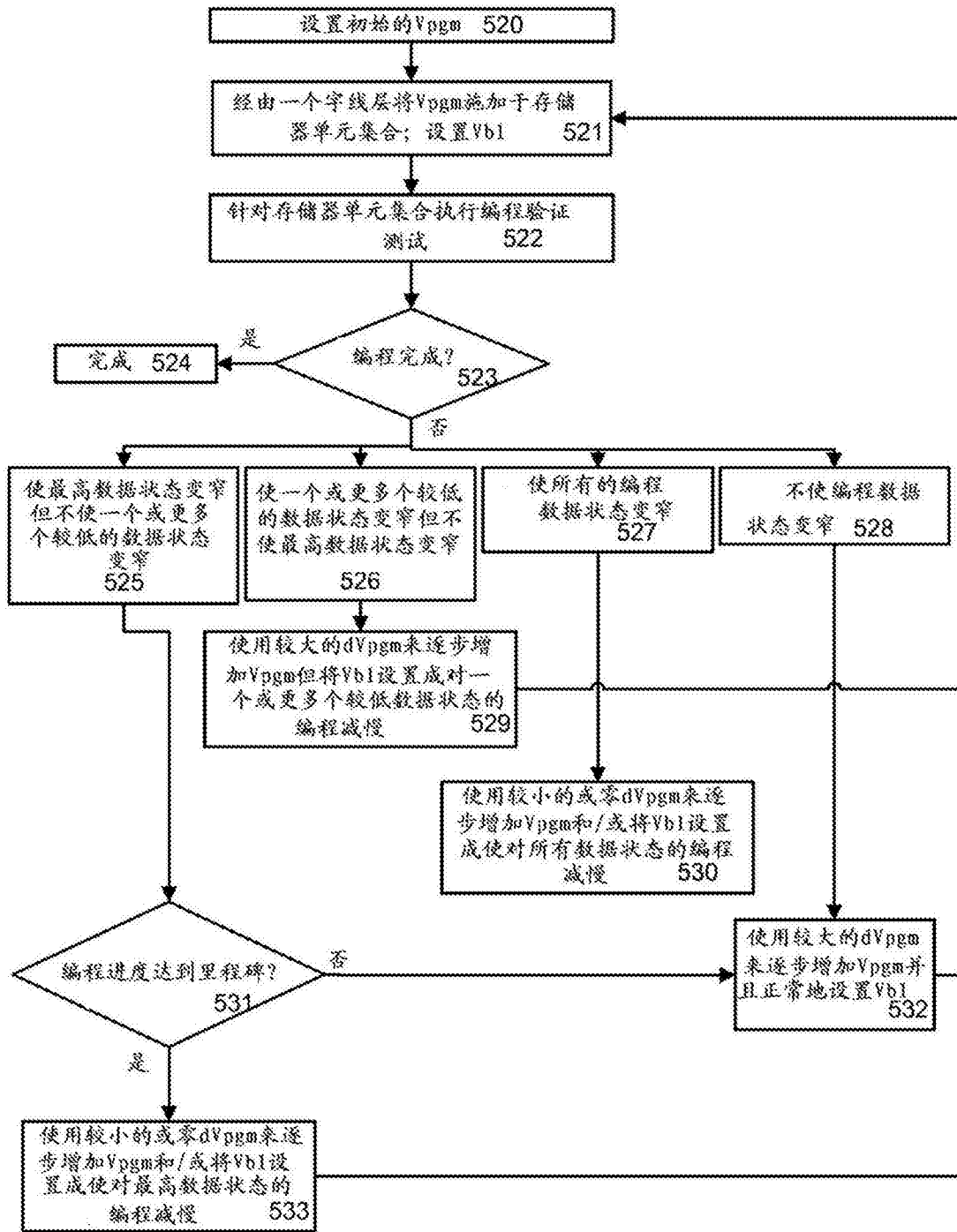


图5D

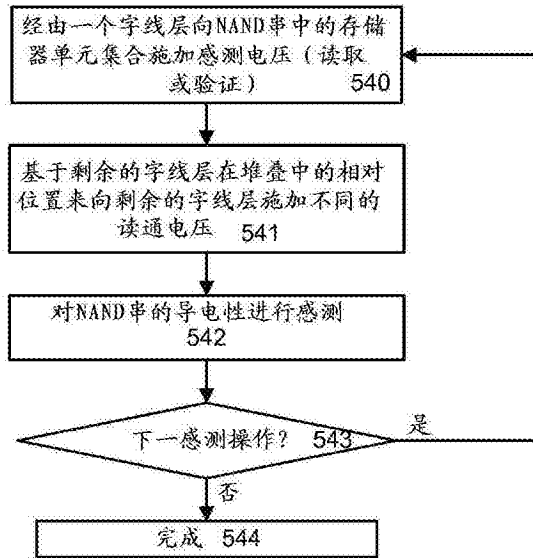


图5E

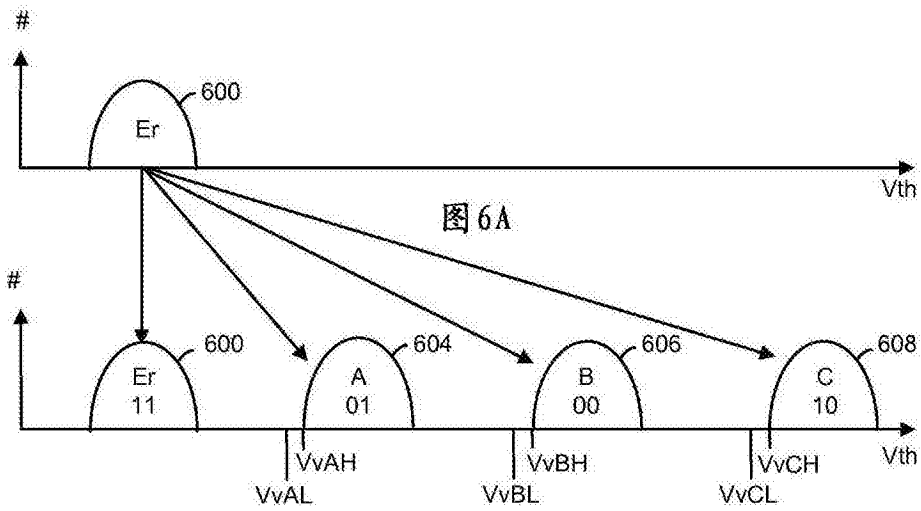


图6B

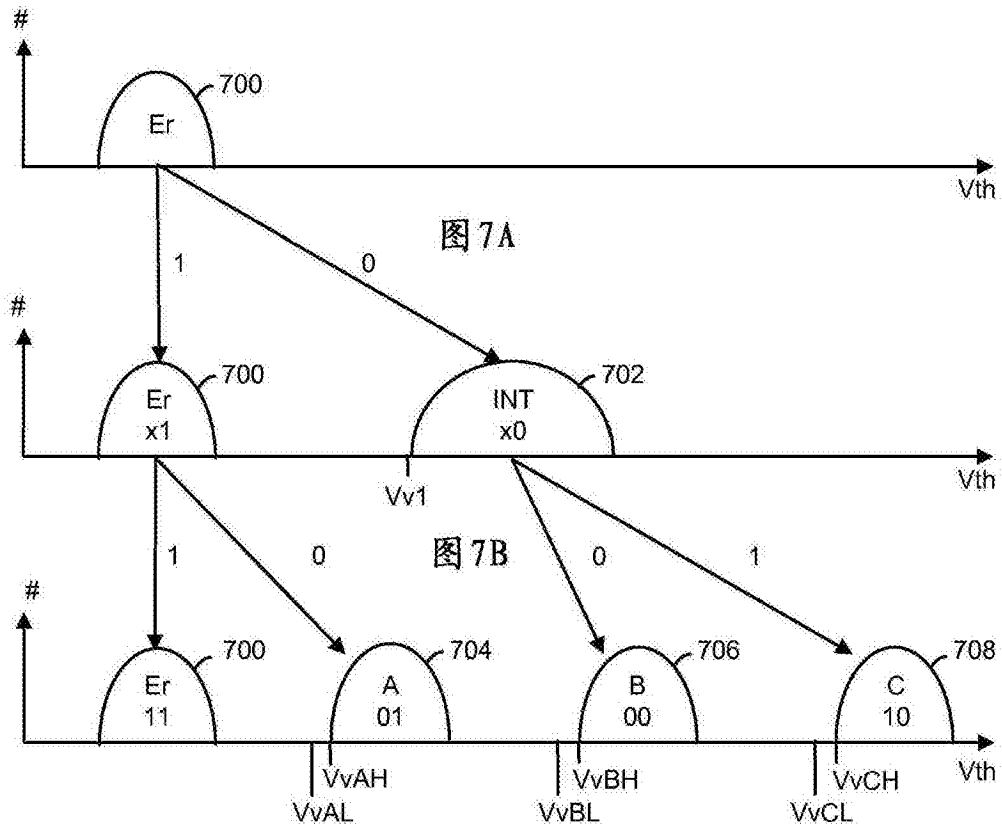


图 7C

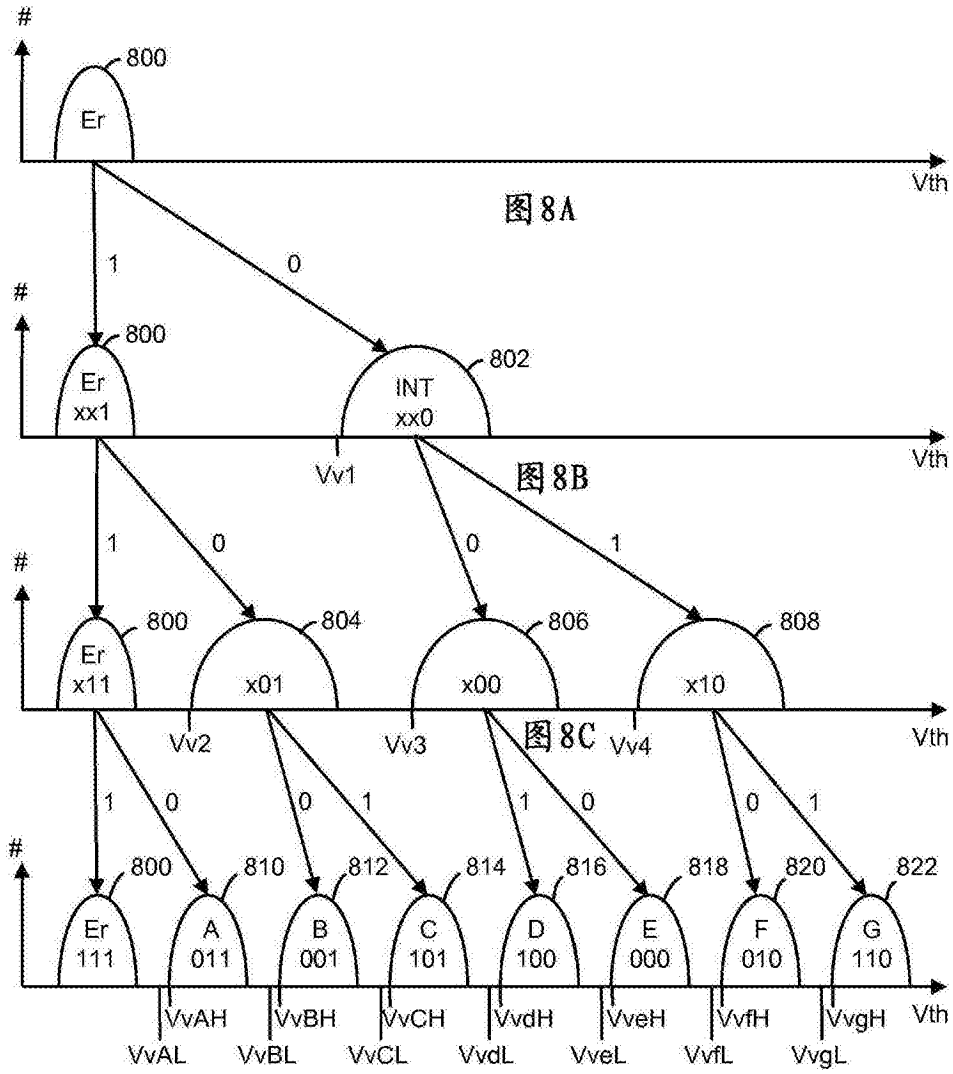


图 8D

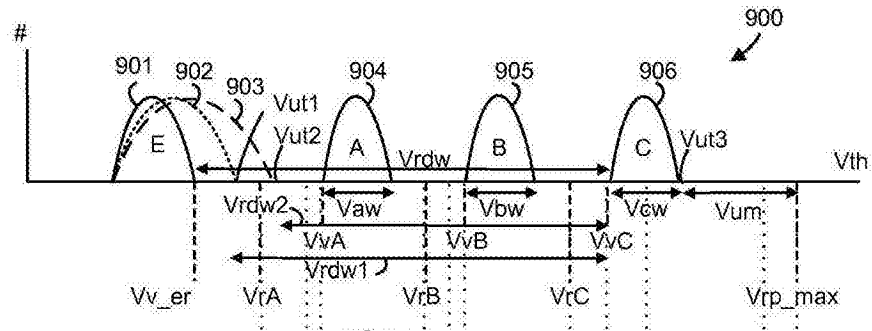


图9A

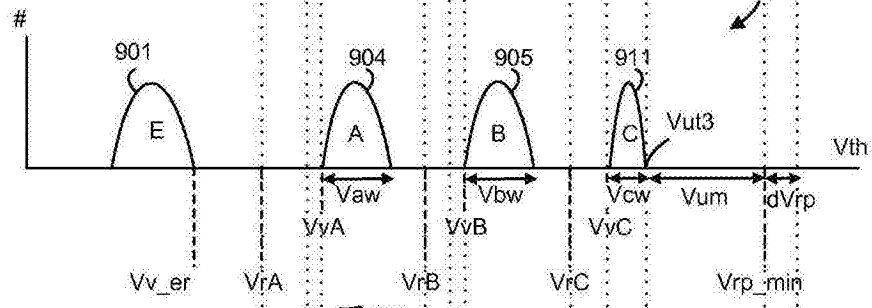


图9B

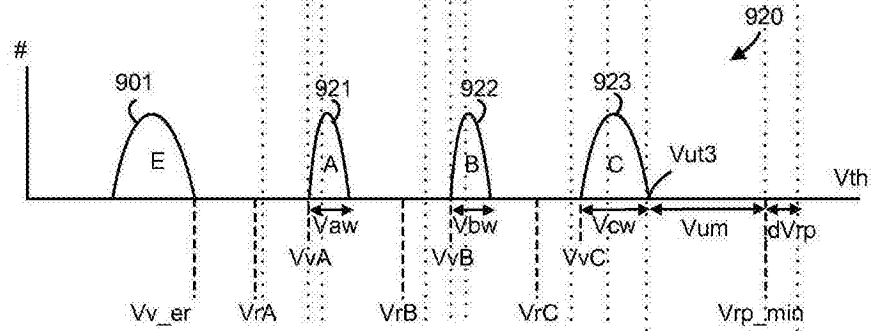


图9C

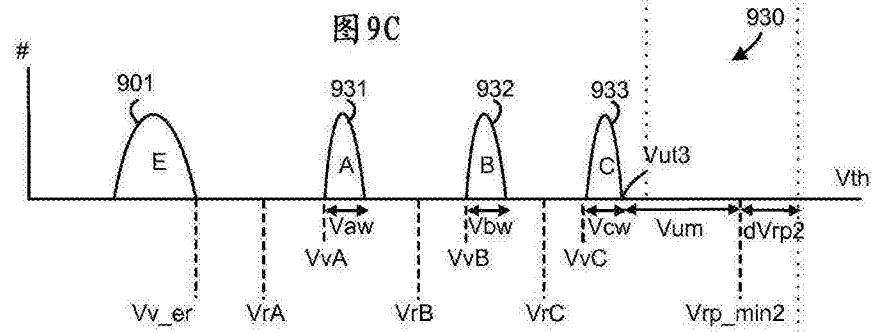


图9D

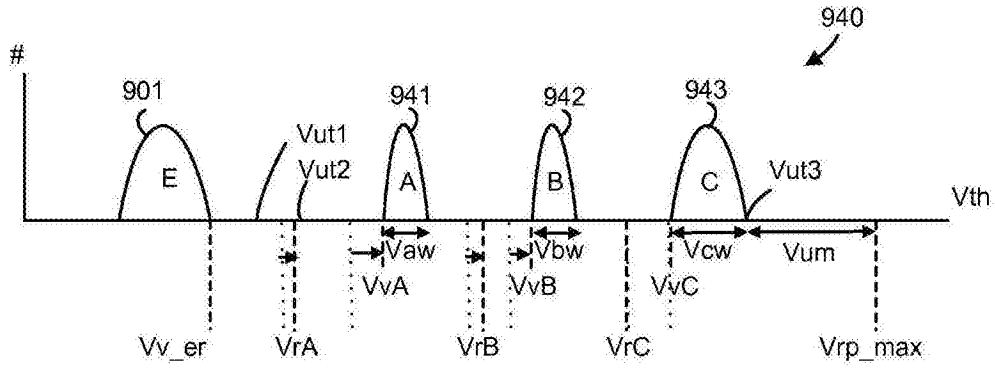


图9E

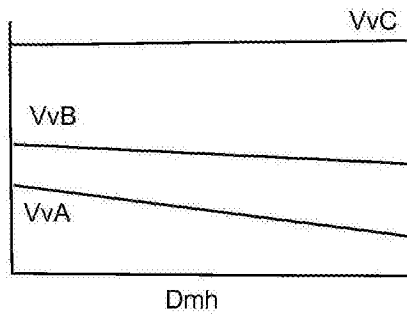


图9F

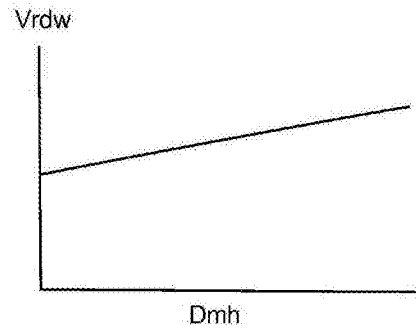


图10A

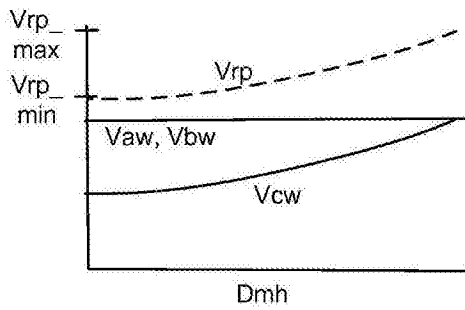


图10B

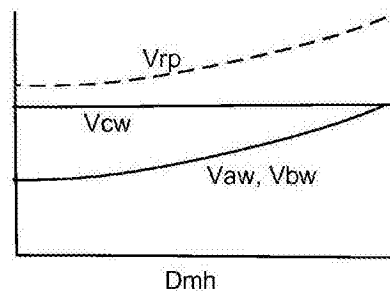


图10C

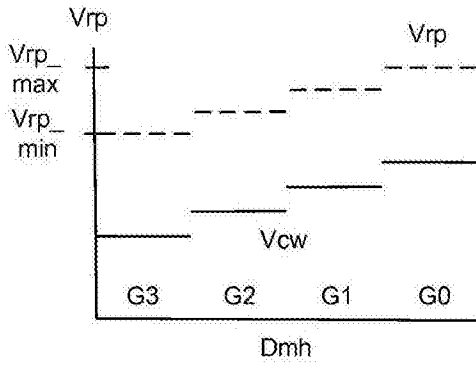


图10D

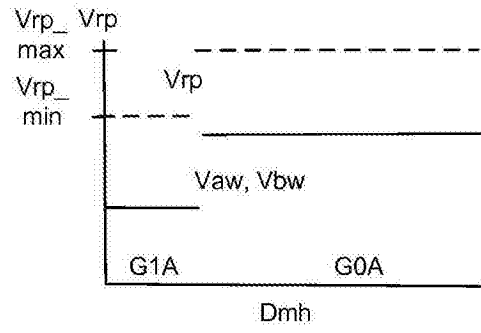


图10E

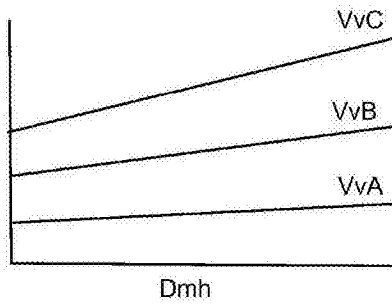


图10F

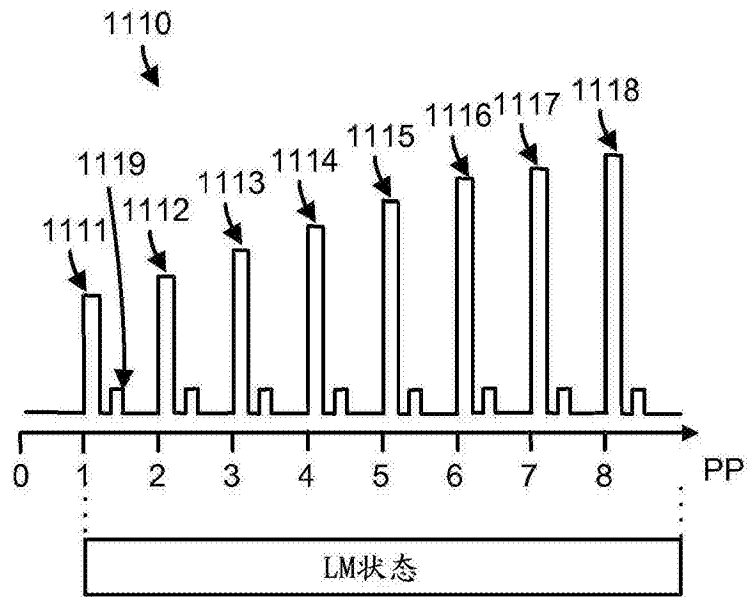


图11A

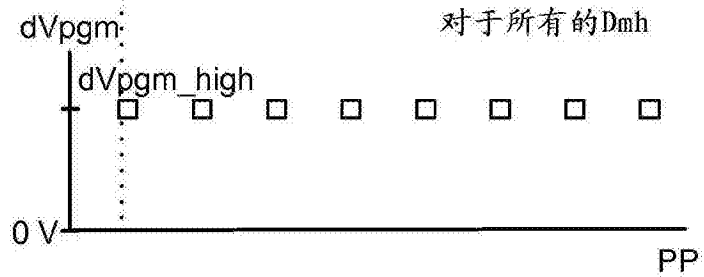


图11B

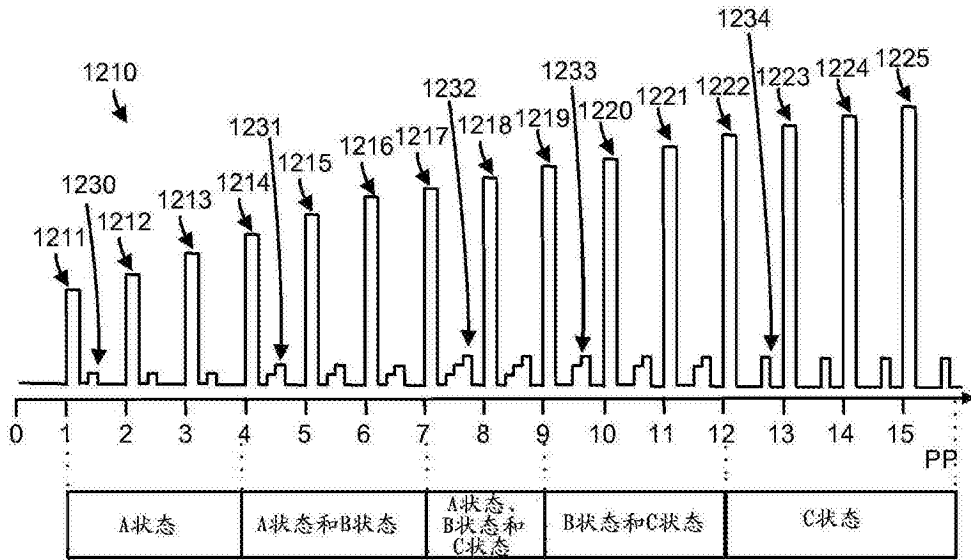


图 12A

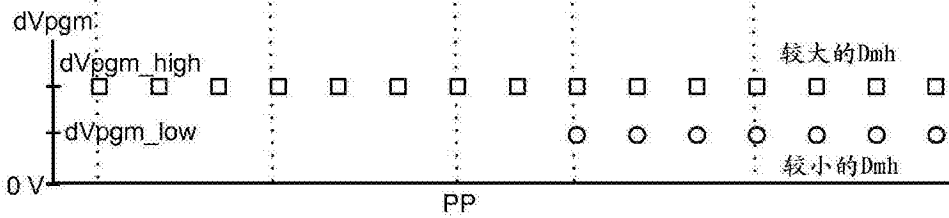


图 12B

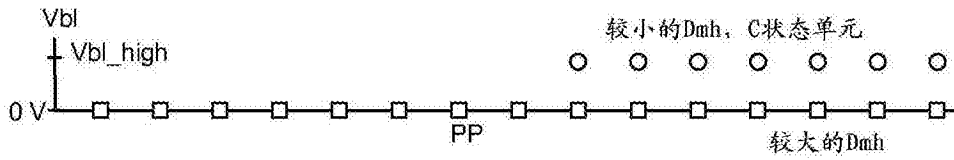


图 12C

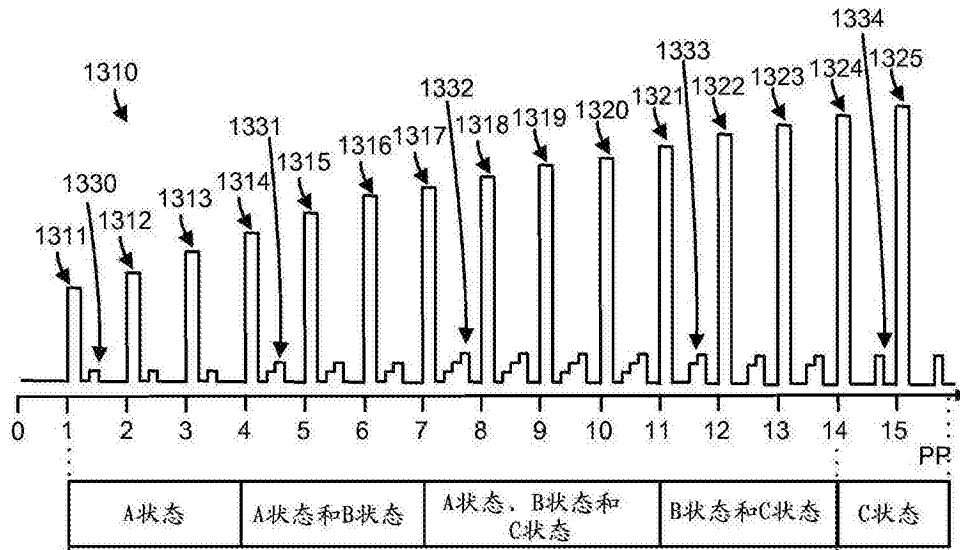


图13A

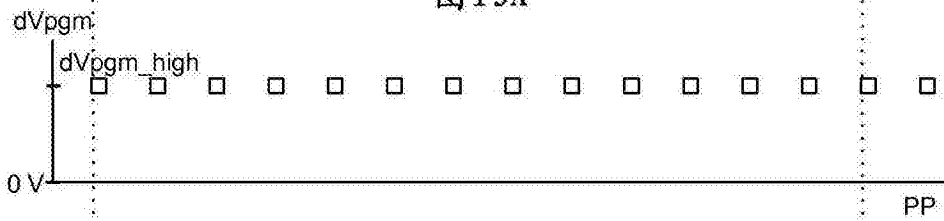


图13B

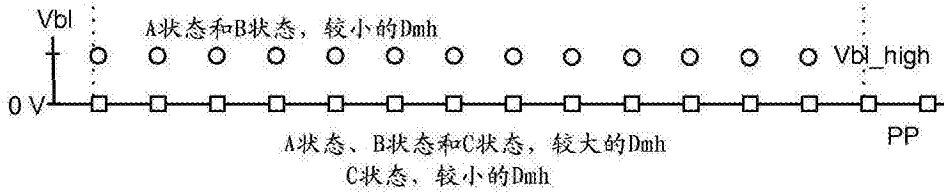


图13C