

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月30日(30.08.2018)



(10) 国際公開番号

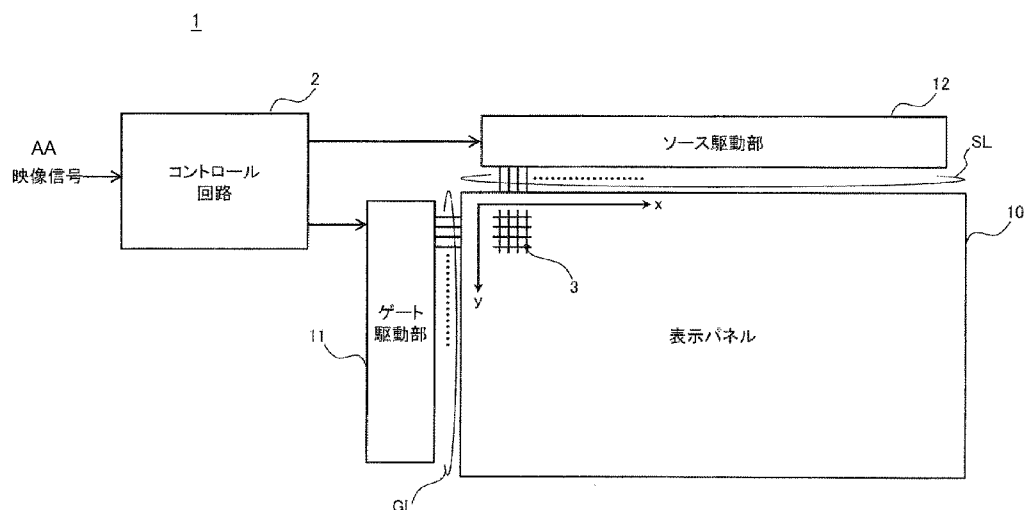
WO 2018/154728 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2017/007188
- (22) 国際出願日: 2017年2月24日(24.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 堺ディスプレイプロダクト株式会社 (SAKAI DISPLAY PRODUCTS CORPORATION) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 矢吹 治人 (YABUKI, Haruhito); 〒5908522 大阪府堺市堺区匠町1番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).
- (74) 代理人: 鮫島 睦, 外 (SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町8番1号 梅田阪急ビルオフィスタワー 青山特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図1]



- 2 Control circuit
- 10 Display panel
- 11 Gate driving unit
- 12 Source driving unit
- AA Image signal

(57) **Abstract:** A display device (1) comprises a plurality of pixels (3), a plurality of gate lines (GL), a plurality of source lines (SL), and a control unit (2). The plurality of pixels are arranged in a matrix pattern. The gate lines are each connected to a group of pixels arrayed in a row direction and select the pixel groups of the rows at a prescribed interval. The source lines are each connected to a group of pixels arrayed in a column direction and supply a voltage corresponding to a prescribed gradation to the group of pixels of a selected row. The control unit, on the basis of gradation data (D(x, y, n))



WO 2018/154728 A1

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

representing gradations included in an image of one frame, controls the timing at which the gradations of each row within the image are displayed in sequence by the group of pixels of the corresponding row. Referring to a pixel that is to be displayed, the control unit corrects gradation data representing the gradation to be displayed by the pixel on the basis of an integrated value ($A(x, y, n)$) representing the integral of a voltage to be applied to the source line connected to the pixel in an upcoming one frame period (T_p).

(57) 要約 : 表示装置 (1) は、複数の画素 (3) と、複数のゲート線 (GL) と、複数のソース線 (SL) と、制御部 (2) とを備える。複数の画素は、マトリクス状に配置される。ゲート線は、行方向に並ぶ画素群に接続され、所定周期で各行の画素群を順番に選択する。ソース線は、列方向に並ぶ画素群に接続され、選択された行の画素群に所定の階調に応じた電圧を供給する。制御部は、1フレームの映像に含まれる階調を示す階調データ ($D(x, y, n)$) に基づいて、映像中の1行分の階調を順次、各行の画素群に表示させるタイミングを制御する。制御部は、表示対象の画素を基準として、将来の1フレーム分の期間 (T_p) において当該画素に接続されたソース線に印加される電圧の積分を示す積算値 ($A(x, y, n)$) に基づいて、当該画素に表示させる階調を示す階調データを補正する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、液晶表示装置などの表示装置に関する。

背景技術

[0002] 液晶表示装置に表示する映像の画質を低下させる現象の一つとして、縦シャドウと呼ばれる現象が知られている。

[0003] 特許文献1は、縦シャドウを防止することを目的とするアクティブマトリクス型の表示装置を開示している。特許文献1の表示装置では、入力された画像データに含まれる各列のデータに基づき所定のデータを求め、求めたデータに基づいて、当該画像データによる画像表示の有効期間後の垂直帰線期間内に、表示素子（画素）が接続されたデータ信号線（ソース線）の電圧駆動を行っている。これにより、画像データを供給した後の垂直帰線期間内に一括して各表示素子に保持された電圧を調整し、縦シャドウの抑制を図っている。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-58345号公報

発明の概要

発明が解決しようとする課題

[0005] 縦シャドウは、表示装置における画素とソース線間のC s d寄生容量に起因して生じる。C s d寄生容量は、表示装置における表示される映像において階調傾斜などの問題も招来してしまう。

[0006] 本発明の目的は、表示装置に映像を表示する際のC s d寄生容量の影響を抑制することができる表示装置を提供することである。

課題を解決するための手段

[0007] 本発明に係る表示装置は、複数の画素と、複数のゲート線と、複数のソー

ス線と、制御部とを備える。複数の画素は、マトリクス状に配置される。複数のゲート線は、画素のマトリクスの行方向に並ぶ画素群に接続され、所定のフレーム周期で各行の画素群を順番に選択する。複数のソース線は、画素のマトリクスの列方向に並ぶ画素群に接続され、選択された行の画素群に所定の階調に応じた電圧を供給する。制御部は、1フレームの映像に含まれる階調を示す階調データに基づいて、映像中の1行分の階調を順次、各行の画素群に表示させるタイミングを制御する。制御部は、表示対象の画素を基準として、将来の1フレーム分の期間において当該画素に接続されたソース線に印加される電圧の積分又は将来の1フレーム分の期間において当該画素と同じソース線に接続された他の画素に表示させる階調を示す階調データの総和を示す積算値に基づいて、当該画素に表示させる階調を示す階調データを補正する。

発明の効果

[0008] 本発明に係る表示装置によると、表示対象の画素を基準として、当該画素に対する階調データが将来の1フレーム分におけるソース線の電圧の積分等に応じて補正される。これにより、表示装置に映像を表示する際のC s d寄生容量の影響を抑制することができる。

図面の簡単な説明

- [0009] [図1]本発明の実施形態1に係る表示装置の構成を示す図
[図2]表示装置の表示パネルにおける画素の構成を示す図
[図3]表示装置におけるコントロール回路の構成を示すブロック図
[図4]実施形態1におけるデータ補正部の構成を示すブロック図
[図5]実施形態1におけるC s d補正回路の構成例を示すブロック図
[図6]表示パネルにおける縦シャドーを説明するための図
[図7]データ補正部によるC s d補正の演算手法を説明するための図
[図8]実施形態2に係る表示装置の概要を説明するための図
[図9]実施形態2におけるデータ補正部の構成例を示すブロック図
[図10]実施形態2におけるC s d補正回路の構成例を示すブロック図

発明を実施するための形態

[0010] 以下、添付の図面を参照して本発明に係る表示装置の実施の形態を説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

[0011] (実施形態1)

1. 構成

実施形態1に係る表示装置の構成を以下に説明する。

[0012] 実施形態1に係る表示装置の構成について、図1を用いて説明する。図1は、本実施形態に係る表示装置1の構成を示す図である。

[0013] 本実施形態に係る表示装置1は、例えば液晶テレビなどの液晶表示装置を構成する。表示装置1は、図1に示すように、表示パネル10と、ゲート駆動部11と、ソース駆動部12と、コントロール回路2とを備える。

[0014] 表示パネル10は、例えば8K或いは4K、2Kなどの所定仕様を有するアクティブマトリクス方式の液晶パネルである。表示パネル10は、図1に示すように、複数の画素3と、複数のゲート線GLと、複数のソース線SLとを備える。また、表示パネル10は、例えば、画素電極を有するTFT（薄膜トランジスタ）基板、対向電極を有するCF（カラーフィルタ）基板、両基板間に封入された液晶層、及び偏光板などを含む。

[0015] 表示パネル10は、1つの画素3あたりに、例えばR、G、Bの内の1色の階調を表示する。表示パネル10において、複数の画素3は、マトリクス状に配置される。以下、画素3のマトリクスの行方向を「水平方向」とし、水平座標xで表す。また、画素3のマトリクスの列方向を「垂直方向」とし、垂直座標yで表す。また、垂直方向の正の側を下側といい、負の側を上側という場合がある。

[0016] 複数の画素3は、アクティブ素子のTFT等を備える。各画素3のTFTにおいては、ゲートがゲート線GLに接続され、ソースがソース線SLに接続される（図2参照）。画素3の構成の詳細については後述する。

[0017] 各ゲート線GLは、表示パネル10の水平方向に延在し、画素3のマトリ

クスにおける1行分の画素3にそれぞれ接続される。複数のゲート線GLは、接続された画素3の垂直座標yに対応して、表示パネル10の垂直方向に並んで配置される。ゲート線GLは、共通の垂直座標yを有する画素群を選択する信号線である。

[0018] 各ソース線SLは、表示パネル10の垂直方向に延在し、画素3のマトリクスにおける1列分の画素3にそれぞれ接続される。複数のソース線SLは、接続された画素3の水平座標xに対応して、表示パネル10の水平方向に並んで配置される。ソース線SLは、共通の水平座標xを有する画素群に順次、所定の電圧を供給する信号線である。

[0019] ゲート駆動部11は、複数のゲート線GLが接続されたIC等で構成される。ゲート駆動部11は、コントロール回路2の制御により、所定のフレーム周期（例えば1/60秒）で各垂直座標yに対応する1行分の画素群を順次、選択するための信号をゲート線GLに供給する。

[0020] ソース駆動部12は、複数のソース線SLが接続されたIC等で構成される。ソース駆動部12は、コントロール回路2による制御により、ゲート駆動部11の動作に同期して、ソース線SLを介して選択された行の画素群に、表示する階調に応じた電圧を供給する。

[0021] コントロール回路2は、例えばLSIなどの一つ又は複数の半導体集積回路で構成される。コントロール回路2は、タイミングコントローラとして、表示装置1の各部の動作タイミングを制御するための種々の信号を生成する。コントロール回路2は、表示装置1の全体動作を制御してもよい。

[0022] 例えば、コントロール回路2は、外部から入力される映像信号に基づいて、映像信号が示すフレーム単位の映像における1行分の階調を順次、各行の画素群に表示させるように、ゲート駆動部11及びソース駆動部12の制御信号を生成する。また、コントロール回路2は、このようなゲート駆動部11及びソース駆動部12の動作タイミングの制御に加えて、所定の映像信号処理なども行う。コントロール回路2の構成の詳細については後述する。

[0023] 1-1. 表示パネルの画素構造

表示装置 1 の表示パネル 10 における画素 3 の構成の詳細について、図 2 を参照して説明する。図 2 は、表示装置 1 の表示パネル 10 における画素 3 の構成を示す図である。

[0024] 図 2 では、表示パネル 10 上の特定の座標 (x, y) を有する画素 3 の構成を示している。例えば 4 K, 2 K 仕様の RGB パネルにおいて、画素 3 の水平座標 x は $1 \sim 11520 (= 3840 \times 3)$ の範囲内であり、垂直座標 y は、 $1 \sim 2160$ の範囲内である。

[0025] 画素 3 は、図 2 に示すように、TFT 31 と、液晶容量 C_{lc} とを備える。座標 (x, y) の画素 3 の TFT 31 において、ゲートは垂直座標 y に対応するゲート線 $GL(y)$ に接続され、ソースは水平座標 x に対応するソース線 $SL(x)$ に接続され、ドレインは液晶容量 C_{lc} の一端（画素電極）に接続される。液晶容量 C_{lc} の他端は、例えば表示パネル 10 における対向電極に接続される。

[0026] TFT 31 は、ゲート線 $GL(y)$ からの信号に基づきゲートに印加される電圧が所定のしきい値電圧以上であるときにオンし、しきい値電圧未満であるときにオフする。TFT 31 のしきい値電圧は、例えば $2 \sim 3$ V である。TFT 31 は、ゲート線 $GL(y)$ に接続されたアクティブ素子の一例である。

[0027] 液晶容量 C_{lc} は、画素電極、対向電極、及び液晶層で構成され、充電される電圧に応じて液晶層の配向状態を変化させる。液晶容量 C_{lc} は、TFT 31 がオンの期間中にソース信号線 SL から入力される信号の電圧に基づき電荷を充電又は放電する。液晶容量 C_{lc} は、TFT 31 がオフの間中には、TFT 31 がオフに切り替わる前の充放電によって得られた充電電圧を保持する。

[0028] 図 2 に示すように、画素 3 は、接続されたソース線 $SL(x)$ と画素電極間、即ち TFT 31 のソースとドレイン間の寄生容量 C_{sd1} を有する。また、画素 3 は、隣接するソース線 $SL(x+1)$ と画素電極間の寄生容量 C_{sd2} を有する。各寄生容量 C_{sd} は、それぞれソース線 $SL(x)$, SL

($x + 1$) と画素 3 間の C_{sd} 寄生容量の一例である。このような C_{sd} 寄生容量の容量値を低減するため、画素 3 には、CRE (Capacity Reduction Electrode) 構造が設けられてもよい。

[0029] 以上のように構成される画素 3 によると、TFT 31 のしきい値電圧以上の電圧がゲート線 GL (y) から印加されたとき、液晶容量 C_{lc} の充放電が可能になり、画素 3 が選択される。ソース線 SL (x) から選択中の画素 3 に入力される信号の電圧に応じて、映像中で対応する画素の階調を表示するための充電電圧が充放電される。

[0030] 1-2. コントロール回路の構成

コントロール回路 2 の構成の詳細について、図 3 を参照して説明する。図 3 は、表示装置 1 におけるコントロール回路 2 の構成を示すブロック図である。

[0031] コントロール回路 2 は、図 3 に示すように、受信部 21 と、ガンマ変換部 22 と、オーバドライブ変換部 23 と、データ補正部 24 と、ディザ処理部 25 と、送信部 26 とを備える。コントロール回路 2 は、本実施形態における表示装置 1 の制御部の一例である。

[0032] 受信部 21 は、所定の通信規格に従う入力インタフェース回路である。受信部 21 は、外部から入力される映像信号を受信する。外部からの映像信号には、フレーム毎の映像を示す映像データ、及び各種同期信号などが含まれる。

[0033] ガンマ変換部 22 は、受信した映像信号における映像データに対して、ガンマ補正を施すガンマ変換処理を実行する。

[0034] オーバドライブ変換部 23 は、例えばガンマ変換処理後の映像データに対して、オーバドライブ変換処理を行う。オーバドライブ変換処理は、表示パネル 10 の画素 3 をオーバシュート駆動するために、過去の映像データを参照して、現在の映像データに変換を施す処理である。

[0035] データ補正部 24 は、例えばオーバドライブ変換処理後の映像データに対して、表示パネル 10 における C_{sd} 寄生容量の影響を抑制するための演算

補正（C s d補正）を行う。本実施形態におけるデータ補正部24の構成については後述する。

[0036] ディザ処理部25は、データ補正部24によって補正された映像データに対して、表示パネル10の発色可能な色数等に応じたディザリングを施すディザ処理を行う。

[0037] 送信部26は、所定の通信規格に従う出力インタフェース回路である。送信部26は、上記の各種処理結果の映像データを表示パネル10のソース駆動部12に送信する。また、送信部26は、ソース駆動部12の制御信号やゲート駆動部11の制御信号、各部の動作タイミングを同期させる同期信号なども出力する。

[0038] コントロール回路2は、上記のガンマ変換部22、オーバドライブ変換部23及びデータ補正部24等の所定の機能を実現するように設計された専用の電子回路や再構成可能な電子回路などのハードウェア回路であってもよい。また、コントロール回路2は、上記のような各種機能をソフトウェアと協働して実現するCPU等を含んでもよい。コントロール回路2は、CPU、MPU、マイコン、DSP、FPGA、ASIC等の種々の半導体集積回路で構成されてもよい。

[0039] 1-3. データ補正部について

本実施形態におけるデータ補正部24の構成について、図4、5を参照して説明する。

[0040] 図4は、本実施形態におけるデータ補正部24の構成を示すブロック図である。データ補正部24は、図4に示すように、フレームメモリ40と、C s d補正回路4とを備える。

[0041] 本実施形態では、データ補正部24においてフレームメモリ40を経由し、1フレーム分遅延させてC s d補正回路4に入力する映像データD(n)を、現在の映像データとして扱う。また、フレームメモリ40を経由せずにC s d補正回路4に入力する映像データD(n+1)は、相対的に1フレーム分、未来の映像データとして参照される。

- [0042] フレームメモリ40は、本実施形態では、特に圧縮等することなく1フレームの映像データD(n)を記憶する。これにより、現在のフレーム(現フレーム)として扱う映像データD(n)の表示品位を損なわずに、データ補正部24における演算補正を行える。
- [0043] Csd補正回路4は、フレームメモリ40から現フレームの映像データD(n)を読み出し、次のフレームの映像データD(n+1)を参照して、現フレームの映像データD(n)に対する演算補正を実行する。これにより、データ補正部24はCsd補正回路4から、現フレームの補正後の映像データO(n)を出力する。図5に、本実施形態におけるCsd補正回路4の構成例を示す。
- [0044] 図5に例示するCsd補正回路4は、係数乗算部41、42と、加算器43、51、52と、減算器44と、ラインメモリ45と、クリア判定部46と、フリップフロップ47、48と、関数演算部49、50とを備える。
- [0045] Csd補正回路4は、1フレームの映像データD(n)を階調データD(x, y, n)毎に入力する。階調データD(x, y, n)は、映像データD(n)が示す映像中の画素毎の階調を示すデータであり、表示パネル10上で対応する座標(x, y)の画素3に供給される電圧を規定する。階調データD(x, y, n)は、フレーム反転等の駆動方式に応じて、(絶対値が階調値の)正値及び負値を設定可能である。また、階調データD(x, y, n)は、例えば垂直帰線期間(後述)中のソース線SL(x)の電圧を規定するため、表示パネル10の外部に対応するような垂直座標yを有してもよい(図7参照)。
- [0046] Csd補正回路4は、1フレームの映像データD(n)に含まれる所定数の階調データ{D(x, y, n)}において、水平方向(x)を主走査方向とし、垂直方向(y)を副走査方向として二次元走査するように、各階調データD(x, y, n)を入力する。また、Csd補正回路4は、所定の同期信号等により、現フレームの階調データD(x, y, n)と次フレームの階調データD(x, y, n+1)とを同期して入力する。

- [0047] 係数乗算部41, 42は、後述する係数 f_1 , f_2 （或いは係数 f_1 , f_2 と階調データとの乗算値）を計算するためのLUT等を含む。係数乗算部41は、現フレームの階調データ $D(x, y, n)$ に基づきLUTを参照して、乗算値 $f_1 \cdot D(x, y, n)$ を出力する。同様に、係数乗算部42は、次フレームの階調データ $D(x, y, n+1)$ に基づいて乗算値 $f_2 \cdot D(x, y, n+1)$ を出力する。例えば、各係数乗算部41, 42は、入力値「0」に基づき乗算値「0」を出力する。
- [0048] 加算器43は、ラインメモリ45からの読出し値 $R(x)$ に対して、係数乗算部42の乗算値 $f_2 \cdot D(x, y, n+1)$ を加算する。減算器44は、加算器42の出力値に対して、係数乗算部41の乗算値 $f_1 \cdot D(x, y, n)$ を減算する。当該演算結果（減算器44の出力値）は、後述する積算値 $A(x, y, n)$ に相当する。Cs d補正回路4は、演算結果の積算値 $A(x, y, n)$ をラインメモリ45に書込み値 $W(x)$ として書き込む。
- [0049] ラインメモリ45は、表示パネル10における画素3の水平方向1行分に相当する書込み値 $\{W(x) \mid x=1 \sim X\}$ を記憶する（ X は水平座標 x の最大値）。各書込み値 $W(x)$ は適宜、読出し値 $R(x)$ として読み出される。クリア判定部46は、例えば電源起動時のトリガ信号等に基づき、ラインメモリ45に記憶された情報を消去するためのクリア信号を生成する。
- [0050] フリップフロップ47は、上記演算結果の積算値 $A(x, y, n)$ を保持する。フリップフロップ48は、現フレームの階調データ $D(x, y, n)$ を保持する。各フリップフロップ47, 48は、1動作周期分（水平座標 x の差分「1」に相当）、各データを遅延させる。
- [0051] 関数演算部49, 50は、後述する関数 f_3 , f_4 を計算するためのLUT等を含む。関数演算部49は、それぞれ遅延した階調データ $D(x-1, y, n)$ 及び積算値 $A(x-1, y, n)$ に基づき、関数 f_3 の演算値を出力する。関数演算部 f_4 は、遅延した階調データ $D(x-1, y, n)$ 及び遅延のない積算値 $A(x, y, n)$ に基づき、関数 f_4 の演算値を出力する。各関数演算部49, 50は、例えば入力される各データが「0」の場合に

関数 f_3 、 f_4 の演算値を「0」とするように設定される。

[0052] 加算器 51、52 は、遅延した階調データ $D(x-1, y, n)$ に、関数 f_3 の演算値と関数 f_4 の演算値とを加算し、同階調データ $D(x-1, y, n)$ に対する補正後の階調データ $O(x-1, y, n)$ を出力する。

[0053] 以上のように構成される Csd 補正回路 4 によると、後述する式 (2) ~ (5) の計算が実行され、階調データ $D(x, y, n)$ の演算補正が実現される。

[0054] 2. 動作

以上のように構成される表示装置 1 の動作について、以下説明する。

[0055] 2-1. 縦シャドーについて

まず、表示装置において発生し得る縦シャドーについて、図 6 を参照して説明する。図 6 は、表示パネルにおける縦シャドーを説明するための図である。

[0056] 図 6 (a) は、1 フレームの映像データ $D(n)$ を例示している。図 6 (b) は、図 6 (a) の映像データ $D(n)$ に基づく映像表示において縦シャドーが生じた場合の表示パネルの表示例を示す。

[0057] 図 6 (a) の映像データ $D(n)$ は、所定の階調を有する背景領域 R_b と、背景領域 R_b に囲まれたオブジェクト領域 R_a とを含んでいる。オブジェクト領域 R_a は、背景領域 R_b の階調とは異なる階調を有する。このような映像データ $D(n)$ を表示パネルに入力した場合、図 6 (b) に示すように、オブジェクト領域 R_a の垂直方向上側及び下側において背景領域 R_b からずれた階調 (或いは色) を有する領域 R_{b1} 、 R_{b2} 、即ち「縦シャドー」が現れる場合がある。

[0058] 上記のような縦シャドーは、領域 R_{b1} 、 R_{b2} 中の画素 3 (図 1) とオブジェクト領域 R_a 中の画素 3 とが同じソース線 SL に接続されていることから、ソース線 SL と画素 3 間の Csd 寄生容量に起因して生じる。縦シャドーを抑制するために、例えば各画素 3 に寄生容量 $Csd1$ 、 $Csd2$ (図 2) の容量値を十分に小さくするような CRE 構造を配設すると、画素 3 の

透過率が減少し、映像の画質が低下し得る。例えば8K仕様の表示パネルの場合、画素3のサイズが小さく、透過率の減少が深刻な問題になることが考えられる。

[0059] そこで、本実施形態では、表示装置1のコントロール回路2におけるデータ補正部24において、 C_{sd} 寄生容量の影響を抑制するように映像データ $D(n)$ の演算補正（即ち C_{sd} 補正）を行う。以下、本実施形態に係る表示装置1の動作の詳細を説明する。

[0060] 2-2. C_{sd} 補正について

本実施形態に係る表示装置1のデータ補正部24による C_{sd} 補正の演算手法について、図7を用いて説明する。図7は、データ補正部24による C_{sd} 補正の演算手法を説明するための図である。

[0061] 図7は、連続する2フレームの映像データ $D(n)$ 、 $D(n+1)$ についての表示装置1による映像表示の動作タイミングを例示している。図7に示すように、1フレームの映像を表示するためのフレーム周期 T_1 は、垂直表示期間 T_2 と、垂直帰線期間 T_3 とを含む。

[0062] 垂直表示期間 T_2 は、表示パネル10（図1）において全ての行の画素群を選択して、1フレームの映像を表示させる期間である。垂直帰線期間 T_3 は、現在のフレームの垂直表示期間 T_2 の終端と次のフレームの始端との間に所定間隔をあける期間である。例えば垂直表示期間 T_2 は、1行の画素群の充電期間を2160行分、含む。垂直帰線期間 T_3 は、例えば90行分の充電期間に相当する。

[0063] 表示装置1はコントロール回路2（図1）の制御により、図7の例では時刻 t_1 から n フレーム目の映像データ $D(n)$ による映像の表示を開始する。時刻 t_1 からの垂直表示期間 T_2 中に、コントロール回路2は、 n フレーム目の映像データ $D(n)$ における行毎の階調データ $D(1, y, n) \sim D(X, y, n)$ に基づいて、 $y=1$ から順番に対応する各行の画素3（の液晶容量 C_{lc} ）を充電させる。各画素3は、階調データ $D(x, y, n)$ に応じた充電電圧を保持することによって、階調データ $D(x, y, n)$ が示

す階調を表示する。

[0064] 例えば、表示パネル10（図1）において座標（ x ， y ）を有する点P（ x ， y ）の画素3は、時刻 t_1 からの垂直表示期間 T_2 内の時刻 t_2 に、 n フレーム目の映像データ $D(n)$ において対応する階調データ $D(x, y, n)$ に基づき充電される。充電された点P（ x ， y ）の画素3は、次の（ $n+1$ ）フレーム目の階調データ $D(x, y, n+1)$ による充電が行われる時刻 t_3 までの1フレーム分の期間 T_p 中、 n フレーム目の階調データ $D(x, y, n)$ が示す階調を表示するように、充電電圧を保持する。

[0065] 上記の期間 T_p において点P（ x ， y ）の画素3が接続したソース線 $SL(x)$ には、 n フレーム目又は（ $n+1$ ）フレーム目の映像データ $D(n)$ ， $D(n+1)$ において対応する列の階調データに基づく電圧が順次、印加される。この際、同ソース線 $SL(x)$ 及び隣接するソース線 $SL(x+1)$ と点P（ x ， y ）の画素3間の寄生容量 C_{sd1} ， C_{sd2} （図2）は、各ソース線 $SL(x)$ ， $SL(x+1)$ に印加される電圧に依存して、当該画素3の充電電圧を変動させ得る。

[0066] 以上のことから、本発明者は、画素3の充電電圧に対する C_{sd} 寄生容量の影響は、各列の階調データ $D(x, y, n)$ に応じて対応するソース線 $SL(x)$ に期間 T_p 中、印加される電圧の積分で推定できると考えた。そこで、本実施形態では、現時点以降の将来の1フレーム分の期間 T_p 中に共通のソース線 $SL(x)$ に順次、印加されることとなる電圧の積分を示す積算値（ $A(x, y, n)$ ）を求め、現時点の階調データ $D(x, y, n)$ の C_{sd} 補正に用いている。

[0067] 2-2-1. 積算値の理論式について

以下に、本実施形態において採用する積算値 $A(x, y, n)$ の理論式（1）を示す。

[0068]

[数1]

$$A(x, y, n) = \underbrace{\sum_{y_1=y+1}^Y f_1 \cdot D(x, y_1, n)}_{A1} + \underbrace{\sum_{y_2=1}^{y-1} f_2 \cdot D(x, y_2, n+1)}_{A2} \dots(1)$$

ここで、図7の点P (x, y) は、積算値A (x, y, n) の計算対象の時点に対応している。上式(1)のように、本実施形態における積算値A (x, y, n) は、連続2フレーム間で点P (x, y) と共通の水平座標xを有する1フレーム分の階調データD (x, y+1, n) ~ D (x, y-1, n+1) を積算することによって求められる。

[0069] 式(1)において、第1項A1は、現フレーム(nフレーム)において点P (x, y) の画素3の充電後にソース線SL (x) に印加される電圧の積分量を表す。第1項A1の積算は、点P (x, y) の垂直座標yよりも大きい範囲内の階調データ {D (x, y1, n) | y1 = y+1 ~ Y} に、係数f1を乗算して総和を取る重み付け加算によって演算される。総和の上限值Yは、垂直帰線期間T3の終端に対応しており、例えばY = 2250 (= 2160 + 90) である。係数f1は、例えば点P (x, y) の座標(x, y) 及び/又は座標(x, y1) の関数であり、表示パネル10の表示面内のばらつきを表す。係数f1は、階調データを電圧に変換する成分を含む。

[0070] 第2項A2は、次フレーム((n+1)フレーム)において点P (x, y) の画素3の充電開始前にソース線SL (x) に印加される電圧の積分量を表す。第2項A2の積算は、点P (x, y) の垂直座標yよりも小さい範囲内の階調データ {D (x, y2, n+1) | y2 = 1 ~ y-1} に対する係数f2に基づく重み付け加算によって演算される。係数f2は、例えば係数f1と同様の関数である。

[0071] 例えば、y = 1の場合の積算値A (x, 1, n) は、次フレームの開始時に点P (x, y) の画素3が充電されることからA2 = 0となり、第1項A1によって算出される。同様に、y = Yの場合の積算値A (x, Y, n) は

、 $A_1 = 0$ となり第2項 A_2 によって算出される。なお、点 $P(x, y)$ の画素3自体の充電中に同画素3は C_{sd} 寄生容量の影響を受けないと考えられることから、式(1)の積算値 $A(x, y, n)$ では、点 $P(x, y)$ の階調データ $D(x, y, n)$ を積算の対象に含めていない。

[0072] 2-2-2. C_{sd} 補正の計算式について

以上のような積算値 $A(x, y, n)$ を用いて、本実施形態に係る表示装置1のデータ補正部24は、画素3毎に階調データ $D(x, y, n)$ を演算補正する。データ補正部24による C_{sd} 補正の計算式を以下に示す。

[0073] [数2]

$$O(x, y, n) = D(x, y, n) + \Delta D(x, y, n) \quad \dots(2)$$

$$\Delta D(x, y, n) = f_3 \left(D(x, y, n), \frac{A(x, y, n)}{Y-1} \right) + f_4 \left(D(x, y, n), \frac{A(x+1, y, n)}{Y-1} \right) \quad \dots(3)$$

$$A(x, y, n) = A(x, y-1, n) - f_1 \cdot D(x, y, n) + f_2 \cdot D(x, y-1, n+1) \quad \dots(4)$$

$$A(x, 1, n) = A(x, Y, n-1) - f_1 \cdot D(x, 1, n) + f_2 \cdot D(x, Y, n) \quad \dots(5)$$

式(2)に示すように、補正後の階調データ $O(x, y, n)$ は、(補正前の)階調データ $D(x, y, n)$ に補正量 $\Delta D(x, y, n)$ を加算することによって求められる。式(3)は、上述の積算値 $A(x, y, n)$ に基づく補正量 $\Delta D(x, y, n)$ の計算式である。点 $P(x, y)$ の階調データ $D(x, y, n)$ に対する補正量 $\Delta D(x, y, n)$ は、式(3)の右辺における第1項と第2項との和で算出される。

[0074] 式(3)の第1項は、点 $P(x, y)$ の階調データ $D(x, y, n)$ と、点 $P(x, y)$ の積算値 $A(x, y, n)$ の実効値 $A(x, y, n) / (Y-1)$ とを引数とする関数 f_3 で表される。関数 f_3 は、点 $P(x, y)$ の画素3自体に接続されたソース線 $SL(x)$ による寄生容量 C_{sd1} (図2)の影響を補正するために、同画素3の液晶容量 C_{lc} と寄生容量 C_{sd1} との比に応じて設定される。関数 f_3 は、電圧を階調データに変換する成分を含む。

[0075] 式(3)の第2項は、点P(x, y)の階調データD(x, y, n)の階調値と、点P(x, y)の隣の点P'(x+1, y)の積算値A(x+1, y, n)の実効値 $A(x+1, y, n) / (Y-1)$ とを引数とする関数f₄で表される。関数f₄は、点P(x, y)の画素3に隣接するソース線SL(x+1)による寄生容量C_{s d 2}の影響を補正するために、同画素3の液晶容量C_{l c}と寄生容量C_{s d 2}との比に応じて設定される。関数f₄は、電圧を階調データに変換する成分を含む。

[0076] 式(3)の第1及び第2項の関数f₃, f₄は、別々の寄生容量C_{s d 1}, C_{s d 2}による影響をそれぞれ補正するように、独立に設定される。各関数f₃, f₄は、上述の係数f₁, f₂と同様に、表示パネル10の表示面内のばらつき等を考慮して、座標(x, y)に依存する関数であってもよい。

[0077] また、画素3における液晶容量C_{l c}は充電電圧に応じて容量値が変動することから、各関数f₃, f₄は、液晶容量C_{l c}の充電電圧を規定する階調データD(x, y, n)に依存している。

[0078] また、C_{s d}寄生容量の影響は、垂直表示期間T₂に表示される映像が同一であっても、垂直帰線期間T₃の長さが異なる場合には変動する。そこで、垂直帰線期間T₃の長さによる影響を考慮して、(Y-1)で積算値A(x, y₁, t)を除算した実効値 $A(x, y_1, t) / (Y-1)$ を関数f₃, f₄の引数に用いている。これにより、例えば60Hz系の映像信号と50Hz系の映像信号とで垂直帰線期間T₃の長さ(Yの値)が異なるような場合においても、C_{s d}寄生容量の影響を実質的に同様に補正することができる。

[0079] 以上のような補正量 $\Delta D(x, y, n)$ を画素3毎に求める際に、本実施形態では、式(4), (5)に示すような漸化式を用いて積算値A(x, y, n)を算出する。以下、積算値A(x, y, n)の漸化式について説明する。

[0080] 2-2-3. 積算値の漸化式について

本実施形態において、データ補正部24は、画素3毎の充電時から1フレーム分の将来にわたる積算値 $A(x, y, n)$ を算出し、各画素3の階調データ $D(x, y, n)$ を順次、補正する。この際、理論式(1)のような1列分の階調データ $D(x, y+1, n) \sim D(x, y-1, n+1)$ の総和を取る演算を全画素3に対して独立に実行するような演算方式では、回路規模が膨大になり得る。そこで、本実施形態では、それぞれの積算値 $A(x, y)$ を求めるために、式(4)、(5)に示すような漸化式を採用する。

[0081] 式(4)は、 $y > 1$ の場合において式(1)を漸化式形に等価変形した式である。式(5)は、 $y = 1$ の場合において式(4)と同様に式(1)を等価変形した式である。式(4)、(5)を採用する場合、漸化式の繰り返し計算の発散を防止するため、係数 f_1 と係数 f_2 とが同一の関数形に設定されることとする。

[0082] 式(4)の右辺は、点 $P(x, y)$ と水平座標 x が同じで且つ垂直座標 y が1だけ小さい点 $P''(x, y-1)$ の積算値 $A(x, y-1, n)$ を含んでいる。点 $P''(x, y-1)$ の画素3は点 $P(x, y)$ の画素3よりも1行分前(過去)に充電されるので、点 $P(x, y)$ の積算値 $A(x, y, n)$ の算出時に、点 $P''(x, y-1)$ の積算値 $A(x, y-1, n)$ を用いることができる。

[0083] 具体的に、データ補正部24は、 $y > 1$ の場合、点 $P''(x, y-1)$ の積算値 $A(x, y-1, n)$ に対して、式(4)の第2項 $f_1 \cdot D(x, y, n)$ を減算すると共に、第3項 $f_2 \cdot D(x, y-1, n+1)$ を加算する。第2項 $f_1 \cdot D(x, y, n)$ は、積算値 $A(x, y-1, n)$ における現フレームの点 $P(x, y)$ の階調データ $D(x, y, n)$ の寄与である(式(1)のA1参照)。第3項 $f_2 \cdot D(x, y-1, n+1)$ は、次フレームの点 $P''(x, y-1)$ の階調データ $D(x, y-1, n+1)$ の寄与である(式(1)のA2参照)。

[0084] また、 $y = 1$ の場合には、点 $P''(x, y-1)$ の積算値 $A(x, y-1, n)$ の代わりに、1フレーム前の $y = Y$ における積算値 $A(x, Y, n-1)$

1) を用いることで、上記と同様に積算値 $A(x, 1, n)$ を算出できる (式 (5), 図7参照)。

[0085] 以上のような式 (4), (5) によると、1行分の積算値 $A(1, y-1, n) \sim A(X, y-1, n)$ をラインメモリ45 (図5) に記憶しておくことにより、 $y=1$ から逐次、積算値 $A(x, y, n)$ を簡単な演算で算出でき、回路面積の増大を抑制できる。

[0086] 2-2-4. 初期表示モードについて

以上のような漸化式の初期値を求め易くするため、本実施形態では、表示装置1においてコントロール回路2が電源投入時から所定期間 (例えば1フレーム以上) 中、全画素3が階調値「0」となる黒画面の映像を表示させる初期表示モードを用いる。以下、表示装置1における初期表示モードを用いた動作について説明する。

[0087] 表示装置1の起動時において、Cs d補正回路4におけるクリア判定部46 (図5) はクリア信号を生成して、ラインメモリ45に記憶された情報を消去する。ラインメモリ45には、初期値「0」が設定される。

[0088] 表示装置1において、コントロール回路2 (図1) は、電源投入時から所定期間 (例えば1フレーム以上)、初期表示モードで動作する。初期表示モードにおいて、コントロール回路2は、外部からの映像信号に拘らず、全ての階調データが階調値「0」を有する映像データを生成して、データ補正部24に入力する。

[0089] 本実施形態において、データ補正部24における各係数乗算部41, 42 (図5) は、入力値「0」に基づいて出力値「0」のデータを出力する。また、各関数演算部49, 50も、入力値「0」に基づいて出力値「0」を出力する。以上より、初期表示モードの継続中にデータ補正部24が出力する階調データは階調値「0」となり、表示装置1において黒画面の映像が表示される。

[0090] 初期表示モードが解除されると、コントロール回路2は、通常の表示モードで動作し、外部からの映像信号に応じた映像データをデータ補正部24に

入力する。以下、初期表示モードを解除する際の最後の1フレームの黒画面を示す映像データを、 $n = 1$ の映像データ $D(1)$ とする。この場合、 $n = 1$ の階調データ $D(x, y, 1)$ は全て階調値「0」であり、 $n = 2$ の階調データ $D(x, y, 2)$ は映像信号に応じた階調値を有する。

[0091] データ補正部24において、Cs d補正回路4(図5)は、 $n = 1$ の映像データ $D(1)$ における1行目($y = 1$)の階調データ $D(x, 1, 1)$ から順番に、式(2)~(5)に従う演算補正を実行する。式(5)によると、1行目の階調データ $D(x, 1, 1)$ に対応する積算値 $A(x, 1, 1)$ は、次式(11)で算出される。

$$\begin{aligned}
 [0092] \quad & A(x, 1, 1) \\
 & = A(x, Y, 0) - f_1 \cdot D(x, 1, 1) + f_2 \cdot D(x, Y, 1) \\
 & \dots (11)
 \end{aligned}$$

上式(11)において、右辺の第1項 $A(x, Y, 0)$ は $n = 1$ の各階調データ $D(x, y, 1)$ の積算値であり(図7のA2参照)、ラインメモリ45の初期値「0」に一致する。また、右辺の第2項及び第3項も「0」となるため、 $n = 1, y = 1$ において積算値 $A(x, 1, 1) = 0$ となる。この場合、補正量 $\Delta D(x, 1, 1) = 0$ であり、補正後の階調データ $O(x, 1, 1) = 0$ となる。ラインメモリ45では、積算値 $A(x, Y, 0)$ ($= 0$)が読み出された後に、新たな積算値 $A(x, 1, 1)$ ($= 0$)の書き込みが行われる。

[0093] 次に、Cs d補正回路4は、 $n = 1$ の映像データ $D(1)$ における2行目($y = 2$)の階調データ $D(x, 2, 1)$ の補正演算を実行する。式(4)によると、2行目の階調データ $D(x, 2, 1)$ に対応する積算値 $A(x, 2, 1)$ は次式(12)で算出される。

$$\begin{aligned}
 [0094] \quad & A(x, 2, 1) \\
 & = A(x, 1, 1) - f_1 \cdot D(x, 2, 1) + f_2 \cdot D(x, 1, 2) \\
 & \dots (12)
 \end{aligned}$$

上式(12)において、右辺の第1項及び第2項は、1行目の場合と同様

に「0」である一方、上式(12)の第3項は、通常が表示モードにおける階調データ $D(x, 1, 2)$ に基づく値を有する。よって、 $n=1$ 、 $y=2$ の積算値 $A(x, 2, 1)$ は、上式(12)の第3項の演算によって容易に算出される。

[0095] Csd 補正回路4は、以上のような積算値 $A(x, 2, 1)$ の算出結果に基づき補正量 $\Delta D(x, 2, 1)$ を求め、補正後の階調データ $O(x, 2, 1)$ を算出する。ラインメモリ45では、積算値 $A(x, 1, 1)$ (=0)が読み出された後に、新たな積算値 $A(x, 2, 1)$ が書き込まれる。書き込まれた積算値 $A(x, 2, 1)$ は、 $y=3$ の階調データ $D(x, 3, 1)$ の補正演算に用いられる。 $y=3$ 以降、及び続くフレームにおける補正演算も逐次、上記と同様に実行される。

[0096] 3. まとめ

以上のように、本実施形態に係る表示装置1は、複数の画素3と、複数のゲート線GLと、複数のソース線SLと、コントロール回路2とを備える。複数の画素3は、マトリクス状に配置される。複数のゲート線GLは、画素3のマトリクスの行方向に並ぶ画素3群に接続され、所定のフレーム周期 T_1 で各行の画素3群を順番に選択する。複数のソース線SLは、画素3のマトリクスの列方向に並ぶ画素3群に接続され、選択された行の画素3群に所定の階調に応じた電圧を供給する。コントロール回路2は、1フレームの映像に含まれる階調を示す階調データ $D(x, y, n)$ に基づいて、映像中の1行分の階調を順次、各行の画素3群に表示させるタイミングを制御する。コントロール回路2は、データ補正部24において、表示対象(点 $P(x, y)$)の画素3を基準として、将来の1フレーム分の期間 T_p において当該画素3に接続されたソース線 $SL(x)$ に印加される電圧の積分を示す積算値 $A(x, y, n)$ に基づいて、当該画素3に表示させる階調を示す階調データ $D(x, y, n)$ を補正する。

[0097] なお、コントロール回路2は、データ補正部24において、表示対象(点 $P(x, y)$)の画素3を基準として、将来の1フレーム分の期間において

当該画素3と同じソース線に接続された他の画素3に表示させる階調を示す階調データの総和を示す積算値 $A(x, y, n)$ に基づいて、当該画素3に表示させる階調を示す階調データ $D(x, y, n)$ を補正してもよい。この場合、 C_{sd} 補正回路4における係数 f_1 及び係数 f_2 は、階調データを電圧に変換する成分を含まず、関数 f_3 及び関数 f_4 は、電圧を階調データに変換する成分を含まない。係数乗算部41, 42 (図5参照) の出力値、すなわち乗算値 $f_1 \cdot D(x, y, n)$ 及び乗算値 $f_2 \cdot D(x, y, n+1)$ は、例えば、表示パネル10の表示面内のばらつき (具体的には、表示面内の各位置での時定数の違い) を考慮するための係数が乗算された階調データとなる。

[0098] 以上の表示装置1によると、点 $P(x, y)$ の画素3を基準として、当該画素3に対する階調データ $D(x, y, n)$ が、将来の1フレーム分におけるソース線 $SL(x)$ の電圧の積分又は階調データの総和に応じて補正される。これにより、表示装置1に映像を表示する際の、縦シャドーや階調傾斜などの C_{sd} 寄生容量の影響を抑制することができる。

[0099] 本実施形態において、コントロール回路2 (のデータ補正部24) は、表示対象の画素3と同じソース線 $SL(x)$ に接続された他の画素3に表示させる階調を示す階調データ $D(x, y+1, n) \sim D(x, y-1, n+1)$ に基づいて、積算値 $A(x, y, n)$ を算出する (式(1))。これにより、階調データ $D(x, y+1, n) \sim D(x, y-1, n+1)$ に基づき C_{sd} 寄生容量の影響を抑制するための積算値 $A(x, y, n)$ を求めることができる。

[0100] また、本実施形態において、コントロール回路2は、階調データ $D(x, y-1, n)$ を補正した画素3に関する積算値 $A(x, y-1, n)$ の算出結果を用いて、漸化式(4), (5)に基づき、当該画素3と同じソース線 $SL(x)$ に接続された次の行の画素3に関する積算値 $A(x, y, n)$ を算出する。これにより、積算値 $A(x, y, n)$ を効率良く計算し、 C_{sd} 補正を実現し易くすることができる。

[0101] また、本実施形態において、コントロール回路2のデータ補正部24は、 n フレーム目及び $(n+1)$ フレーム目の映像中の階調を示す階調データ $D(x, y+1, n) \sim D(x, y-1, n+1)$ に基づく積算値 $A(x, y, n)$ を算出し、算出した積算値 $A(x, y, n)$ を n フレーム目の映像中の階調を示す階調データ $D(x, y, n)$ の補正に用いる(式(3)~(5))。これにより、未来の映像データに基づく積算値 $A(x, y, n)$ を求めて、完全解として補正後の階調データ $O(x, y, n)$ を得ることができる。

[0102] また、本実施形態において、コントロール回路2は、将来の1フレーム分の期間 T_p において表示対象の画素3に隣接するソース線 $SL(x+1)$ に印加される電圧の積分を示す積算値 $A(x+1, y, n)$ を用いて、階調データ $D(x, y, n)$ を補正する(式(3)のf4参照)。これにより、画素3近傍のソース線 $SL(x)$ 、 $SL(x+1)$ による C_{sd} 寄生容量の影響を抑制することができる。

[0103] また、本実施形態において、フレーム周期 T_1 は、所定の垂直帰線期間 T_3 を含む。コントロール回路2は、垂直帰線期間 T_3 を含めた1フレーム分の期間 T_p における積算値の実効値 $A(x, y, n) / (Y-1)$ に基づいて、階調データ $D(x, y, n)$ を補正する(式(3))。これにより、垂直帰線期間 T_3 の設定に応じて適切に C_{sd} 補正を行うことができる。

[0104] (実施形態2)

実施形態1では、未来の映像データに基づく積算値を求めて C_{sd} 補正を行った。実施形態2では、過去の映像データを用いて上記積算値を近似的に求めて C_{sd} 補正を行う表示装置について説明する。

[0105] 1. 概要

本実施形態に係る表示装置の概要を、図8を用いて説明する。図8は、実施形態2に係る表示装置1のデータ補正部24Aの概要を説明するための図である。

[0106] 図8(a)は、実施形態1のデータ補正部24の実装例を示している。図

8 (b) は、実施形態 2 におけるデータ補正部 24 A の (オーバドライブ変換部 23 を含む) 一例を示している。

[0107] 図 8 (a) に示すように、実施形態 1 のデータ補正部 24 は、例えばオーバドライブ変換部 23 の後段に実装される。オーバドライブ変換部 23 は、1 フレームの映像データ $D(n-1)$ を記憶するフレームメモリ 60 と、オーバドライブ変換を実行するオーバドライブ変換回路 6 とを備える。オーバドライブ変換部 23 においては、現フレームの映像データ $D(n)$ に対するオーバドライブ変換が、フレームメモリ 60 を経由した 1 フレーム分、過去の映像データ $D(n-1)$ を参照して実行される。

[0108] 一方、実施形態 1 のデータ補正部 24 における Csd 補正は、フレームメモリ 40 を経由した映像データ $D(n-1)$ を現在の映像データとして扱い、フレームメモリ 40 を経由しない 1 フレーム分、未来の映像データ $D(n)$ を参照して実行される。このため、実施形態 1 のデータ補正部 24 とオーバドライブ変換部 23 とでは、参照する映像データが別のフレームになり、別々のフレームメモリ 40, 60 が必要になる。また、実施形態 1 のデータ補正部 24 では、フレームメモリ 40 を経由した映像データ $D(n-1)$ を現在の映像データとして扱うことから、映像表示のフレーム遅延を生じることとなる。

[0109] そこで、本実施形態におけるデータ補正部 24 A の Csd 補正回路 4 A では、実施形態 1 と同様の Csd 補正を、近似的に過去の映像データ $D(n-1)$ を用いて行う。これにより、図 8 (b) に示すように、 Csd 補正回路 4 A とオーバドライブ変換回路 6 とでフレームメモリ 60 を共用させ、回路規模を縮小することができる。また、表示装置 1 の映像表示におけるフレーム遅延を回避できる。本実施形態におけるデータ補正部 24 A は、 Csd 補正回路 4 A と共にオーバドライブ変換部 23 を含むこととする。以下、本実施形態におけるデータ補正部 24 A の詳細を説明する。

[0110] 2. 詳細

図 9 は、本実施形態におけるデータ補正部 24 A の構成例を示すブロック

図である。本例では、データ補正部24Aは、Cs d補正回路4Aと、上述のオーバドライブ変換部23に対応するオーバドライブ変換回路6と、フレームメモリ60と、コンプレッサ61, 63と、デコンプレッサ62, 64とを含む。本実施形態におけるデータ補正部24Aでは、上述のように、本実施形態におけるデータ補正部24Aでは、Cs d補正回路4Aとオーバドライブ変換回路6とが、フレームメモリ60を共用する。また、図9の例では、より実用的な例として映像データD(n)の圧縮及び展開を行う。

[0111] 具体的に、コンプレッサ61は、所定の計算式で映像データD(n)を圧縮して、フレームメモリ60に記録する。デコンプレッサ62は、フレームメモリ60において圧縮して記録された映像データを読み出し、上記の計算式に対応する計算式で展開して、得られた過去の映像データD'(n-1)をオーバドライブ変換回路6に出力する。これにより、フレームメモリ60の回路規模を縮小できる。

[0112] また、コンプレッサ63は、例えばコンプレッサ61と同じ計算式で、現フレームの映像データD(n)を圧縮する。デコンプレッサ64は、例えばデコンプレッサ62と同じ計算式で、圧縮された現フレームの映像データD(n)を展開して、得られた現在の映像データD'(n)をオーバドライブ変換回路6に出力する。

[0113] オーバドライブ変換回路6は、各フレームの圧縮及び展開後の映像データD'(n), D'(n-1)を参照して、特に圧縮等していない現フレームの映像データD(n)に対するオーバドライブ変換を行う。これにより、オーバドライブ変換において、データ圧縮による表示品位の低下を抑制することができる。

[0114] 本実施形態におけるCs d補正回路4Aは、上記のオーバドライブ変換回路6と同様に、各フレームの圧縮及び展開後の映像データD'(n), D'(n-1)を参照して、現フレームの映像データD(n)のCs d補正を実行する。これにより、Cs d補正においても、データ圧縮による表示品位の低下を抑制することができる。

[0115] 図10は、本実施形態におけるCs d補正回路4Aの構成例を示すブロック図である。

[0116] 図10に例示するCs d補正回路4Aは、実施形態1のCs d補正回路4(図5)と同様の構成において、過去の階調データ $D'(x, y, n-1)$ を係数乗算部41Aに入力し、現時点の階調データ $D'(x, y, n)$ を係数乗算部42Aに入力する。各階調データ $D'(x, y, n-1)$ 、 $D'(x, y, n)$ は、それぞれ圧縮及び展開後の映像データ $D'(n-1)$ 、 $D'(n)$ に含まれる。

[0117] 本例のCs d補正回路4Aによると、以下の式(21)~(23)に基づく演算補正が実現される。

[0118] [数3]

$$\Delta D(x, y, n-1) = f_3 \left(D(x, y, n), \frac{A'(x, y, n-1)}{Y-1} \right) + f_4 \left(D(x, y, n), \frac{A'(x+1, y, n-1)}{Y-1} \right) \dots (21)$$

$$A'(x, y, n-1) = A'(x, y-1, n-1) - f_1 \cdot D'(x, y, n-1) + f_2 \cdot D'(x, y-1, n) \dots (22)$$

$$A'(x, 1, n-1) = A'(x, Y, n-2) - f_1 \cdot D'(x, 1, n-1) + f_2 \cdot D'(x, Y, n-1) \dots (23)$$

式(21)は、本実施形態における補正量 $\Delta D(x, y, n)$ の計算式である。式(22)、(23)は、本実施形態における積算値 $A'(x, y, n-1)$ を求めるための漸化式である。

[0119] 実施形態1における補正量 $\Delta D(x, y, n)$ は、式(3)のように、関数 f_3 、 f_4 の引数に、現時点以降の将来の階調データ $D(x, y, n)$ の積算値 $A(x, y, n)$ を用いた。本実施形態における補正量 $\Delta D(x, y, n)$ は、式(21)に示すように、上記の積算値 $A(x, y, n)$ の代わりに、1フレーム前の時点からの積算値 $A'(x, y, n-1)$ を用いる。

[0120] また、本実施形態における積算値 $A'(x, y, n-1)$ は、圧縮及び展開後の階調データ $D'(x, y, n-1)$ 、 $D'(x, y, n)$ を実施形態1と同様に積算することによって得られる(式(1)参照)。なお、式(22)、(23)ではフレーム番号 n をシフトしているが、積算値 $A'(x, y, n-1)$ の漸化式形は実施形態1と同様である(式(4)、(5)参照)

)。

[0121] また、式(22)、(23)に基づきCs d補正回路4AにおいてCs d補正を開始する際には、例えば実施形態1と同様に初期表示モードを用いることができる。

[0122] 以上のように、本実施形態では、1フレーム前の時点からの積算値 $A'(x, y, n-1)$ を、将来の1フレーム分の期間中にソース線SLに印加される電圧の積分を示す積算値の近似値として用いて、各階調データ $D(x, y, n)$ のCs d補正が行われる。つまり、補正量 $\Delta D(x, y, n)$ が、実施形態1と比較して1フレーム分、遅れるような誤差が生じ得るが、以下の観点から、このような誤差は実用上、特に差し支えないと考えられる。

[0123] すなわち、例えば表示装置1に静止画を表示する場合、上記のような誤差は生じず、各階調データ $D(x, y, n)$ のCs d補正を適切に行える。また、動画の場合であっても、画素3における液晶容量Clcの応答速度により、コントロール回路2から出力した階調の反映には時間が掛かる。また、一般的に人間の目は、静止画に比べて動画の場合には、輝度や色度の識別精度が荒くなる。Cs d寄生容量の影響は、上記のような誤差を無視できる程度に小さいことが通常である。

[0124] また、上記と同様の観点から、Cs d補正において圧縮及び展開後の階調データ $D'(x, y, n-1)$ 、 $D'(x, y, n)$ を用いても、実用上、十分に精度良くCs d寄生容量の影響を抑制することができる。

[0125] 3. まとめ

以上のように、本実施形態に係る表示装置1において、コントロール回路2のデータ補正部24Aは、 $(n-1)$ フレーム目及び n フレーム目の映像中の階調を示す階調データ $D(x, y+1, n-1) \sim D(x, y-1, n)$ に基づく積算値 $A(x, y, n-1)$ を算出し、算出した積算値 $A(x, y, n-1)$ を n フレーム目の映像中の階調を示す階調データ $D(x, y, n)$ の補正に用いる(式(21)~(23))。これにより、Cs d補正のための将来の積算値を、近似的に過去の階調データ $D(x, y+1, n) \sim$

$D(x, y-1, n)$ から求めて、 Csd 補正によるフレーム遅延を回避することができる。

[0126] 本実施形態において、表示装置 1 は、 $(n-1)$ フレーム目の映像データ $D(n-1)$ を記憶するフレームメモリ 60 をさらに備える。コントロール回路 2 は、オーバドライブ変換回路 6 において、フレームメモリ 60 に記憶された映像データ $D(n-1)$ を参照して、 n フレーム目の映像データ $D(n)$ に対する所定のオーバドライブ変換を行う。コントロール回路 2 は、 Csd 補正回路 4A において、フレームメモリ 60 に記憶された映像データ $D(n-1)$ を参照して積算値 $A(x, y, n-1)$ を算出し、算出した積算値 $A(x, y, n-1)$ を階調データ $D(x, y, n)$ の補正に用いる。これにより、オーバドライブ変換と Csd 補正とでフレームメモリ 60 を共有し、 Csd 補正のための回路面積増大を抑制することができる。

[0127] また、本実施形態において、フレームメモリ 60 は、圧縮された映像データ $D(n-1)$ を記憶する。コントロール回路 2 は、フレームメモリ 60 に記憶された映像データを展開したデータ $D'(n-1)$ と、 n フレーム目の映像データ $D(n)$ を圧縮して展開したデータ $D'(n)$ とに基づき積算値 $A'(x, y, n-1)$ を算出し、算出した積算値 $A'(x, y, n-1)$ を階調データ $D(x, y, n)$ の補正に用いる。これにより、フレームメモリ 60 の回路規模を削減しながら、精度良く Csd 寄生容量の影響を抑制することができる。

[0128] 以上のように、本発明の具体的な実施形態及び変形例について説明したが、本発明は上記形態に限定されるものではなく、本発明の範囲内で種々の変更を行って実施することができる。例えば、上記の個々の実施形態の内容を適宜組み合わせたものを本発明の一実施形態としてもよい。

請求の範囲

- [請求項1] マトリクス状に配置された複数の画素と、
 前記画素のマトリクスの行方向に並ぶ画素群に接続され、所定のフレーム周期で各行の画素群を順番に選択する複数のゲート線と、
 前記画素のマトリクスの列方向に並ぶ画素群に接続され、前記選択された行の画素群に所定の階調に応じた電圧を供給する複数のソース線と、
 1 フレームの映像に含まれる階調を示す階調データに基づいて、前記映像中の1行分の階調を順次、各行の画素群に表示させるタイミングを制御する制御部と
 を備え、
 前記制御部は、表示対象の画素を基準として、将来の1フレーム分の期間において当該画素に接続されたソース線に印加される電圧の積分又は将来の1フレーム分の期間において当該画素と同じソース線に接続された他の画素に表示させる階調を示す階調データの総和を示す積算値に基づいて、当該画素に表示させる階調を示す階調データを補正する
 表示装置。
- [請求項2] 前記制御部は、前記表示対象の画素と同じソース線に接続された他の画素に表示させる階調を示す階調データに基づいて、前記積算値を算出する
 請求項1に記載の表示装置。
- [請求項3] 前記制御部は、前記階調データを補正した画素に関する積算値の算出結果を用いて、所定の漸化式に基づき、当該画素と同じソース線に接続された次の行の画素に関する積算値を算出する
 請求項2に記載の表示装置。
- [請求項4] 前記制御部は、 n フレーム目及び $(n+1)$ フレーム目の映像中の階調を示す階調データに基づく積算値を算出して、 n フレーム目の映

像中の階調を示す階調データの補正に用いる
請求項 2 又は 3 に記載の表示装置。

[請求項5] 前記制御部は、 $(n - 1)$ フレーム目及び n フレーム目の映像中の階調を示す階調データに基づく積算値を算出して、 n フレーム目の映像中の階調を示す階調データの補正に用いる
請求項 2 又は 3 に記載の表示装置。

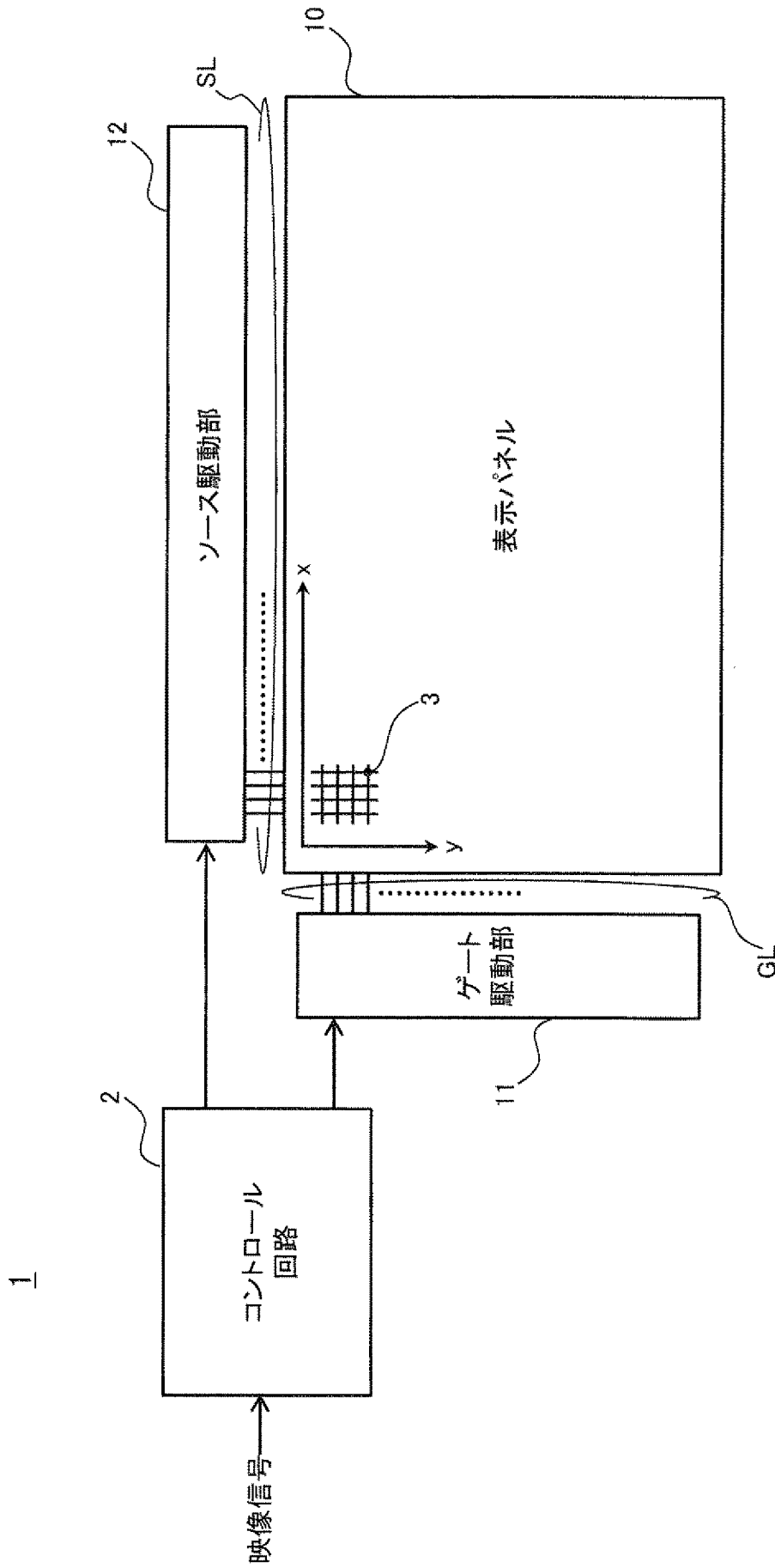
[請求項6] $(n - 1)$ フレーム目の映像データを記憶するフレームメモリをさらに備え、
前記制御部は、
前記フレームメモリに記憶された映像データを参照して、 n フレーム目の映像データに対する所定のオーバドライブ変換を行い、
前記フレームメモリに記憶された映像データを参照して、前記 n フレーム目及び $(n - 1)$ フレーム目の映像中の階調を示す階調データに基づく積算値を算出して、前記階調データの補正に用いる
請求項 5 に記載の表示装置。

[請求項7] 前記フレームメモリは、圧縮された映像データを記憶し、
前記制御部は、前記フレームメモリに記憶された映像データを展開したデータと前記 n フレーム目の映像データを圧縮して展開したデータとに基づき前記積算値を算出して、前記階調データの補正に用いる
請求項 6 に記載の表示装置。

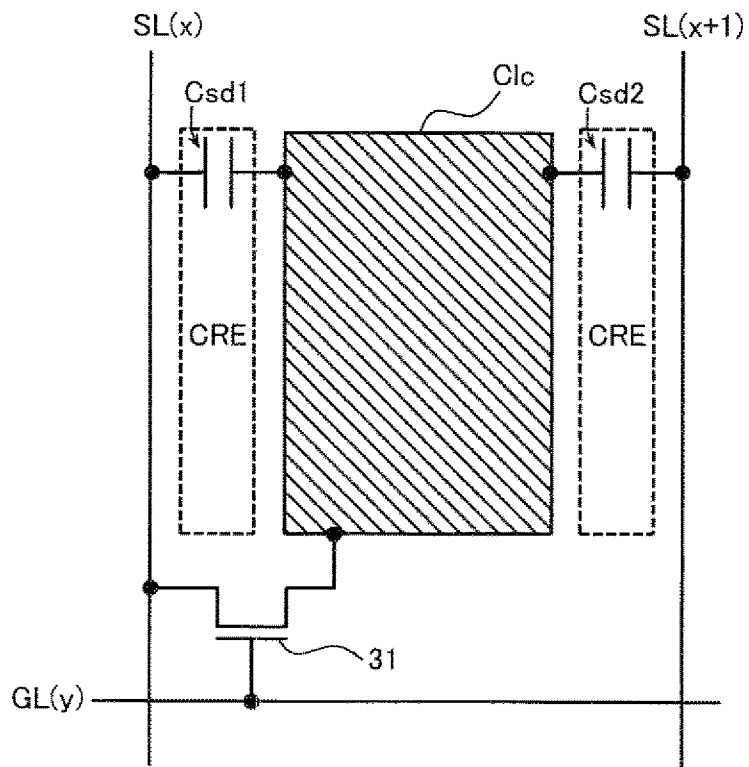
[請求項8] 前記制御部は、前記将来の 1 フレーム分の期間において前記表示対象の画素に隣接するソース線に印加される電圧の積分を示す積算値を用いて、前記階調データを補正する請求項 1 ~ 7 のいずれか 1 項に記載の表示装置。

[請求項9] 前記フレーム周期は、所定の垂直帰線期間を含み、
前記制御部は、前記垂直帰線期間を含めた 1 フレーム分の期間における積算値の実効値に基づいて、前記階調データを補正する
請求項 1 ~ 8 のいずれか 1 項に記載の表示装置。

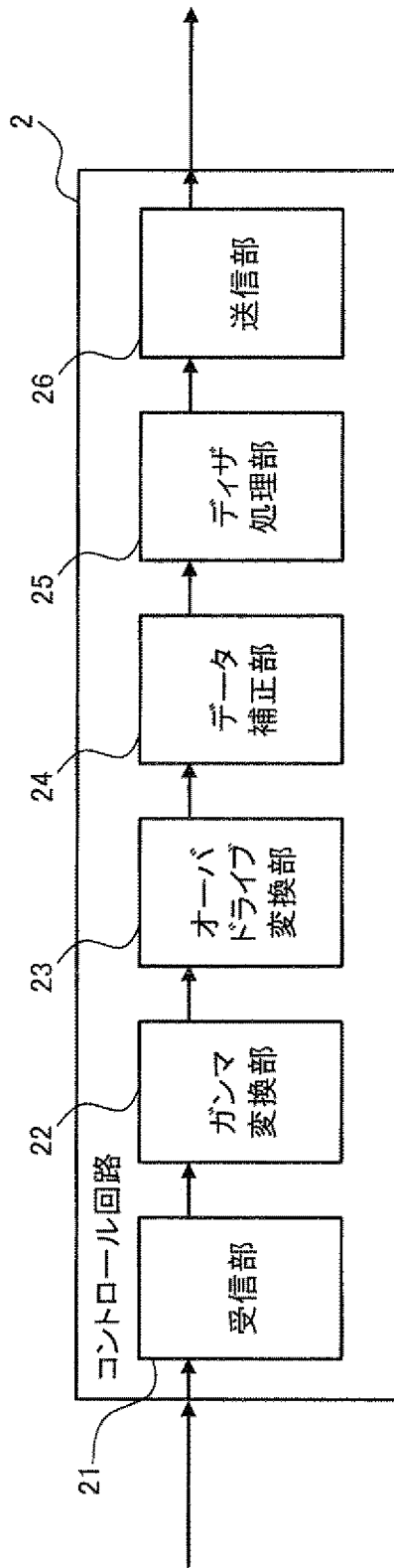
[図1]



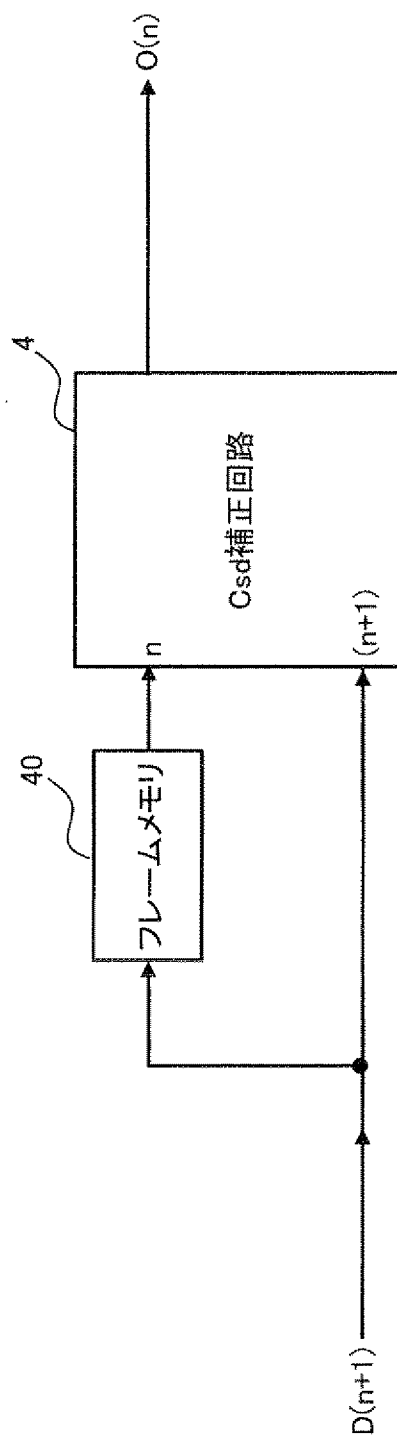
[図2]

3

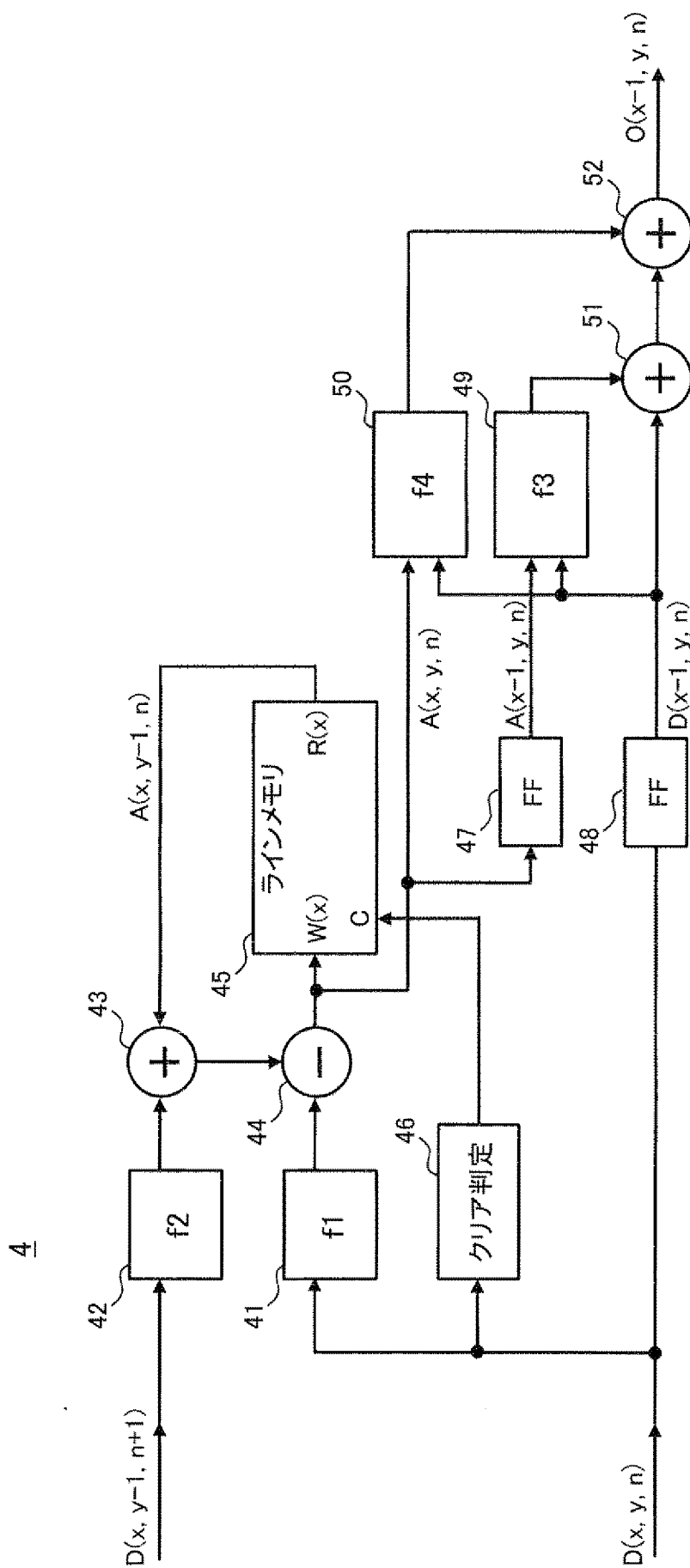
[図3]



[図4]

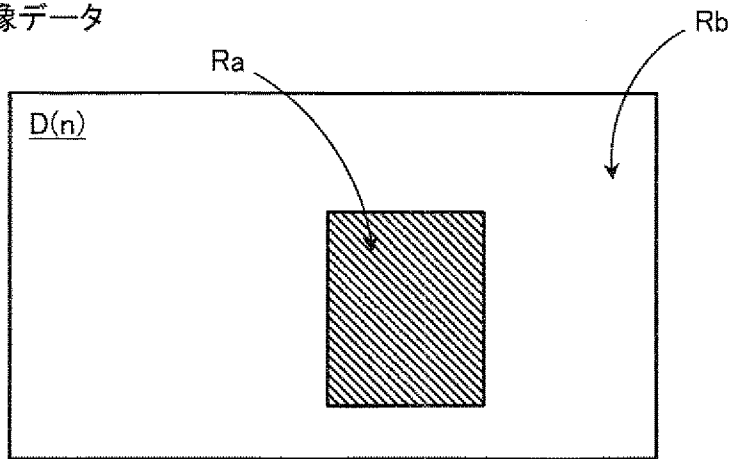


[図5]

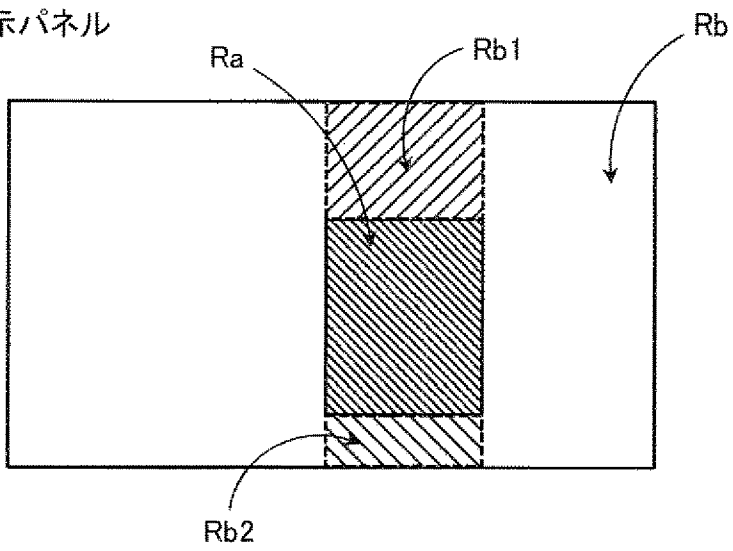


[図6]

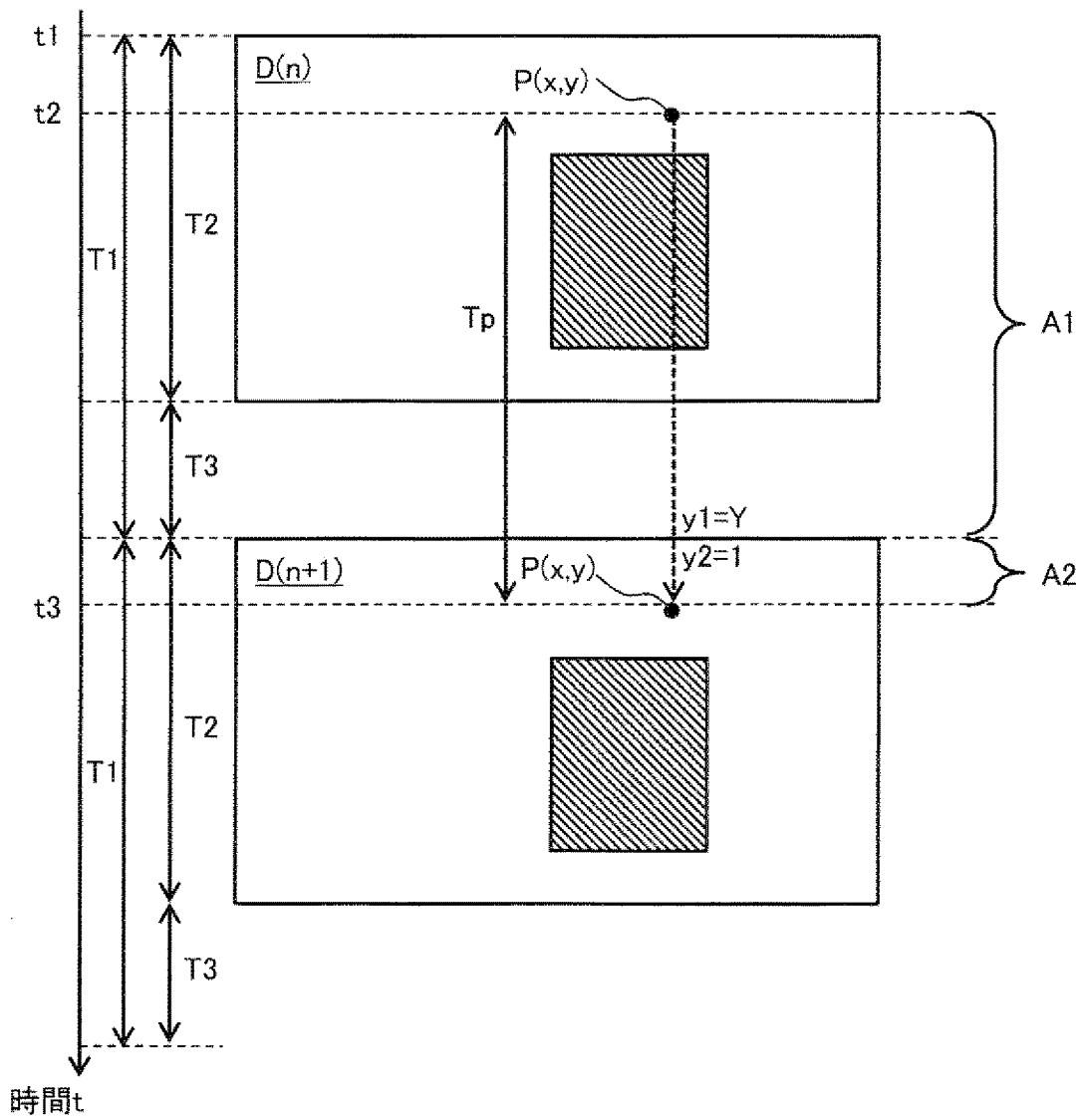
(a) 映像データ

表示
(補正なし)

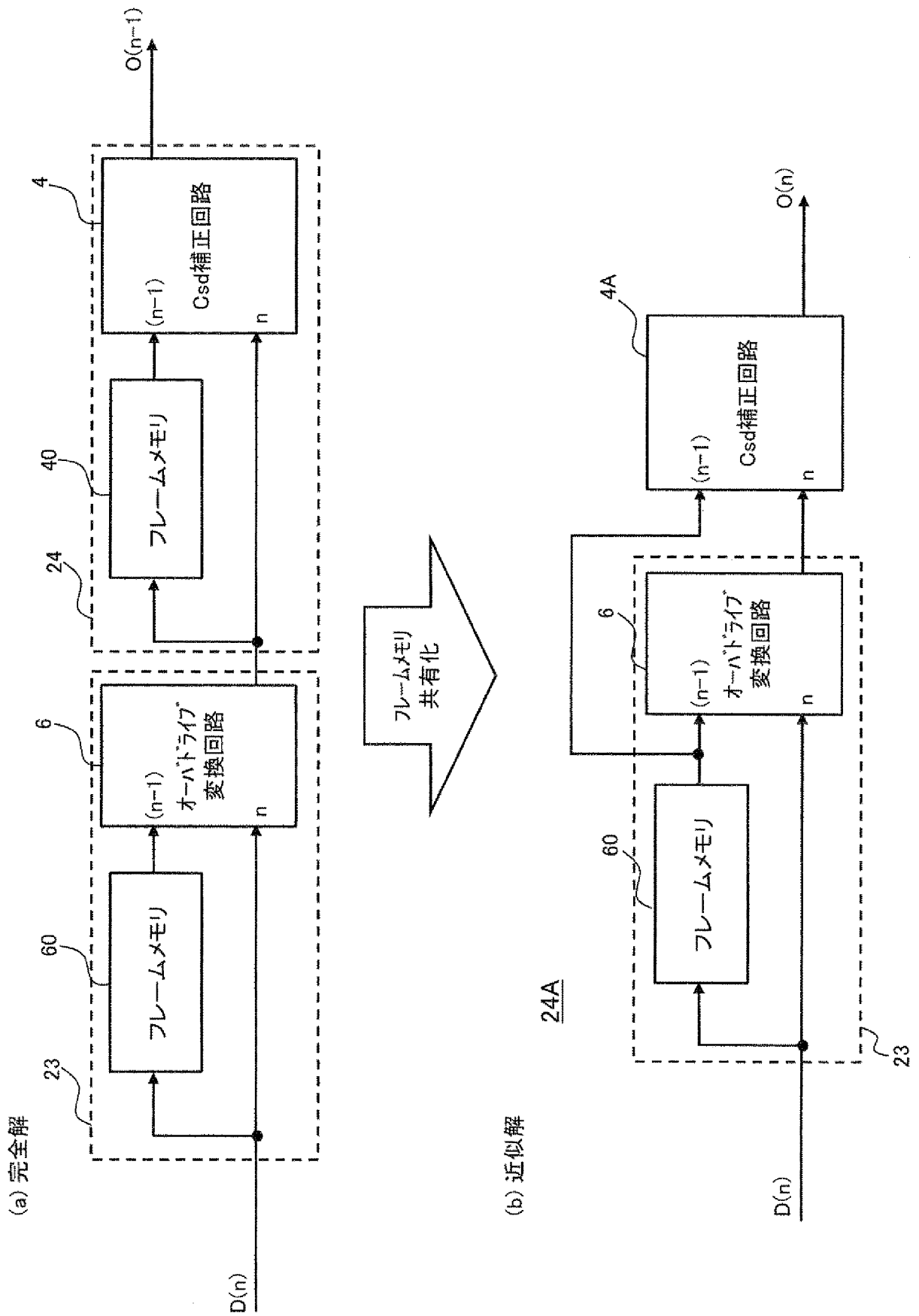
(b) 表示パネル



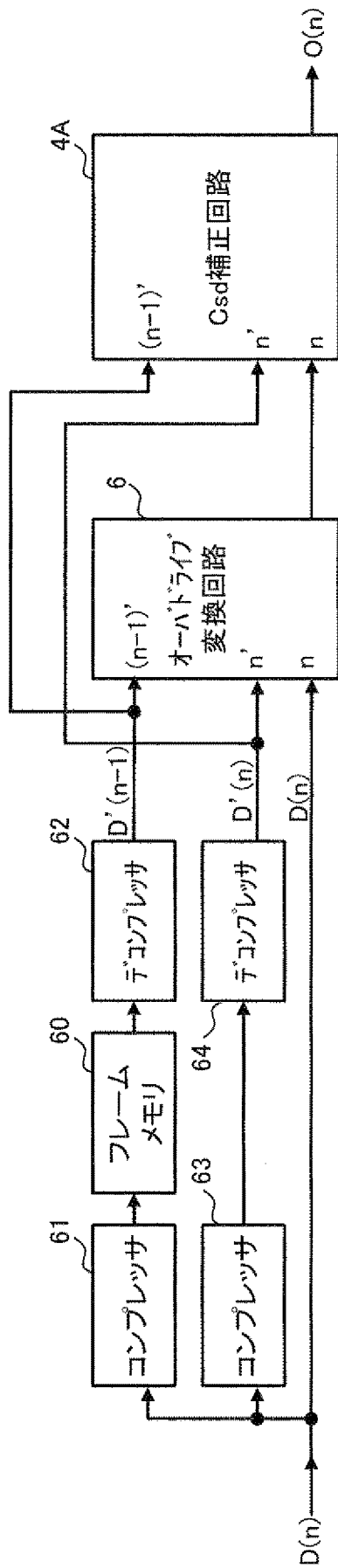
[図7]



[図8]

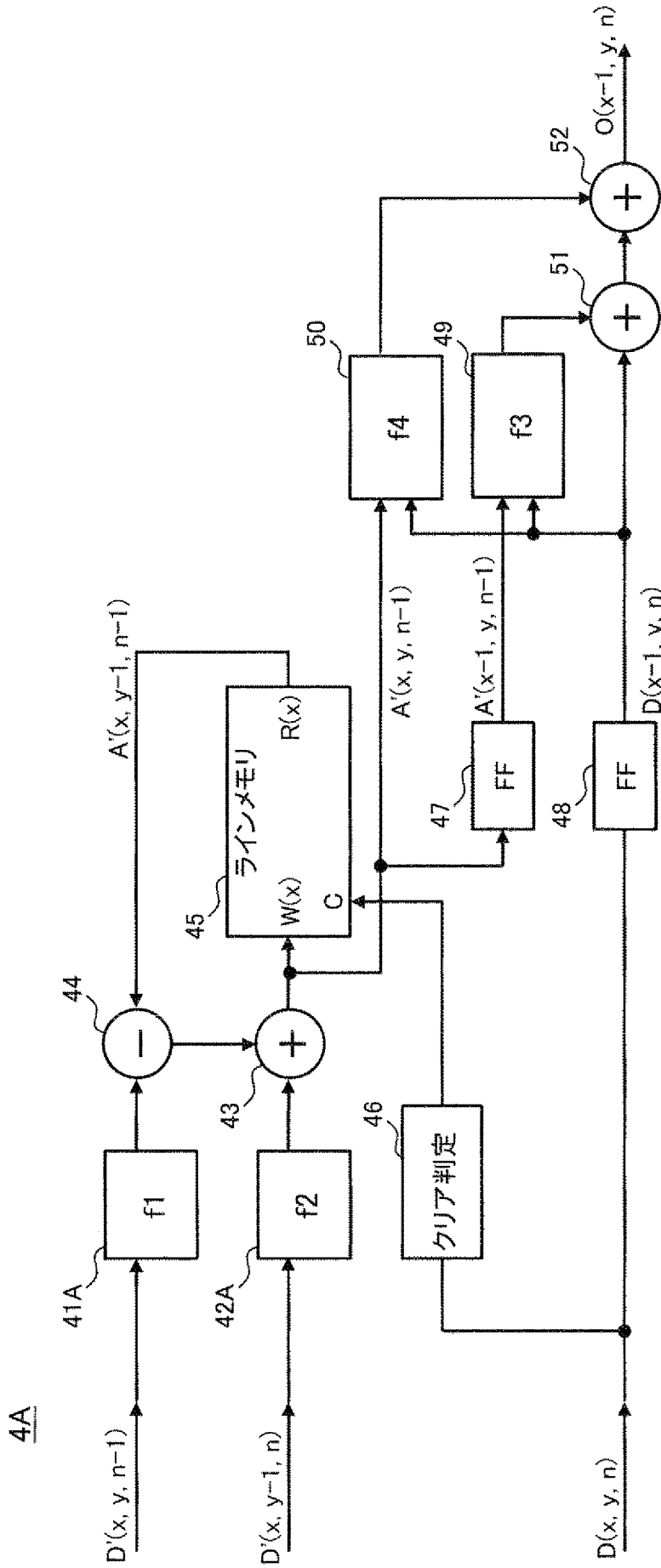


[図9]



24A

[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/007188

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G09G3/20, G02F1/133, H04N5/64-5/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2010/079641 A1 (Sharp Corp.), 15 July 2010 (15.07.2010), paragraphs [0023], [0036] to [0043]; fig. 4 & US 2011/0242148 A1 paragraphs [0037], [0052] to [0060]; fig. 4	1-5, 8-9 6-7
Y A	JP 2002-229530 A (Seiko Epson Corp.), 16 August 2002 (16.08.2002), paragraphs [0029], [0047]; fig. 2 & US 2002/0067324 A1 paragraphs [0070], [0105]; fig. 2 & KR 2002-0043169 A	1-5, 8-9 6-7
Y	WO 2016/171069 A1 (Sharp Corp.), 27 October 2016 (27.10.2016), paragraph [0035] (Family: none)	8-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 May 2017 (08.05.17)	Date of mailing of the international search report 23 May 2017 (23.05.17)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007188

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-40125 A (Seiko Epson Corp.), 21 February 2008 (21.02.2008), entire text; all drawings (Family: none)	1-9
A	JP 9-508222 A (Philips Electronics N.V.), 19 August 1997 (19.08.1997), entire text; all drawings & US 5798740 A entire text; all drawings & WO 96/016393 A1 & DE 69529400 T2	1-9
A	JP 2006-23710 A (Sharp Corp.), 26 January 2006 (26.01.2006), paragraphs [0056] to [0112] & US 2007/0222724 A1 paragraphs [0103] to [0172] & WO 2005/111979 A1 & EP 1768095 A1 & TW 200601256 A	1-9
A	JP 2005-202159 A (Seiko Epson Corp.), 28 July 2005 (28.07.2005), entire text; all drawings & US 2005/0156820 A1 entire text; all drawings & KR 10-2005-0075311 A & CN 1641733 A	1-9
A	WO 2008/062577 A1 (Sharp Corp.), 29 May 2008 (29.05.2008), paragraph [0091] & US 2009/0322720 A1 paragraph [0135] & CN 101523473 A	6-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/36(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/36, G09G3/20, G02F1/133, H04N5/64-5/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2010/079641 A1 (シャープ株式会社) 2010.07.15, 段落 [0023], [0036]-[0043], 図 4 & US 2011/0242148 A1, 段落 [0037], [0052]-[0060], 図 4	1-5, 8-9 6-7
Y A	JP 2002-229530 A (セイコーエプソン株式会社) 2002.08.16, 段落 [0029], [0047], 図 2 & US 2002/0067324 A1, 段落 [0070], [0105], 図 2 & KR 2002-0043169 A	1-5, 8-9 6-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

08.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越川 康弘

21

6201

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/171069 A1 (シャープ株式会社) 2016. 10. 27, 段落 [0035] (ファミリーなし)	8-9
A	JP 2008-40125 A (セイコーエプソン株式会社) 2008. 02. 21, 全文, 全図 (ファミリーなし)	1-9
A	JP 9-508222 A (フィリップス エレクトロニクス ネムローゼ フェンノートシャップ) 1997. 08. 19, 全文, 全図 & US 5798740 A, 全文, 全図 & WO 96/016393 A1 & DE 69529400 T2	1-9
A	JP 2006-23710 A (シャープ株式会社) 2006. 01. 26, 段落 [0056]-[0112] & US 2007/0222724 A1, 段落 [0103]-[0172] & WO 2005/111979 A1 & EP 1768095 A1 & TW 200601256 A	1-9
A	JP 2005-202159 A (セイコーエプソン株式会社) 2005. 07. 28, 全文, 全図 & US 2005/0156820 A1, 全文, 全図 & KR 10-2005-0075311 A & CN 1641733 A	1-9
A	WO 2008/062577 A1 (シャープ株式会社) 2008. 05. 29, 段落 [0091] & US 2009/0322720 A1, 段落 [0135] & CN 101523473 A	6-7