



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월28일

(11) 등록번호 10-1523872

(24) 등록일자 2015년05월21일

- (51) 국제특허분류(Int. Cl.)  
H01F 17/00 (2006.01)
- (21) 출원번호 10-2013-7031953
- (22) 출원일자(국제) 2012년10월04일  
심사청구일자 2013년12월02일
- (85) 번역문제출일자 2013년12월02일
- (65) 공개번호 10-2014-0003655
- (43) 공개일자 2014년01월09일
- (86) 국제출원번호 PCT/JP2012/075825
- (87) 국제공개번호 WO 2013/054736  
국제공개일자 2013년04월18일
- (30) 우선권주장  
JP-P-2011-226606 2011년10월14일 일본(JP)
- (56) 선행기술조사문헌  
KR1020110092203 A\*  
US20110032066 A1\*  
KR1020090080128 A\*  
KR100843422 B1  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
가부시킴가이샤 무라타 세이사쿠쇼  
일본국 교토후 나가오카코시 히가시코타리 1초메 10반 1고
- (72) 발명자  
이와사끼, 게이스께  
일본 617-8555 교토후 나가오카코시 1쵸메 히가시  
코타리 10-1 가부시킴가이샤 무라타 세이사쿠쇼  
내
- (74) 대리인  
장수길, 박충범, 이중희

전체 청구항 수 : 총 11 항

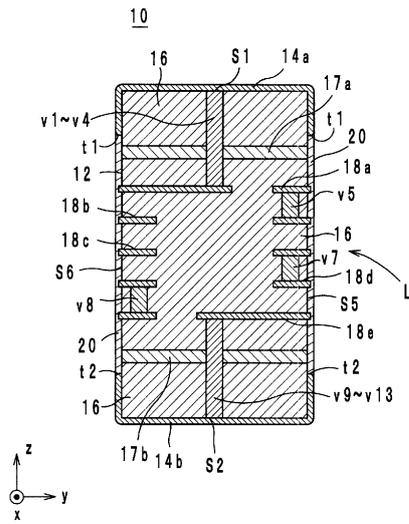
심사관 : 임영국

(54) 발명의 명칭 전자 부품

(57) 요약

인덕턴스값이 고주파 신호의 주파수에 의존하는 것을 경감할 수 있는 전자 부품을 제공하는 것이다. 적층체(12)는, 자성 재료로 이루어지는 절연체층(16) 및 비자성 재료로 이루어지는 절연체층(17)이 적층되어 구성되어 있고, z축 방향의 양단부에 위치하는 끝면(S1, S2) 및 끝면(S1, S2)을 접속하는 4개의 측면(S3 내지 S6)을 갖고 있는 직육면체 형상의 적층체이다. 코일(L)은 적층체(12)에 내장되고, z축 방향으로 연장되는 코일 축을 갖는 나선 형상의 코일로서, 측면(S3 내지 S6)에 있어서 적층체(12)로부터 노출되어 있다. 외부 전극(14a)은 끝면(S1)에 설치되어 있다. 비아 홀 도체(v1 내지 v4)는 외부 전극(14a)과 코일(L)을 접속하고 있다. 절연체층(17)은 z축 방향에 있어서, 코일(L)과 끝면(S1) 사이에 설치되어 있다.

대표도 - 도3



**명세서**

**청구범위**

**청구항 1**

제1 비투자율을 갖는 제1 절연체층 및 그 제1 비투자율보다도 낮은 제2 비투자율을 갖는 제2 절연체층이 적층되어 구성되어 있는 적층체로서, 적층 방향의 양단부에 위치하는 제1 끝면 및 제2 끝면과, 그 제1 끝면과 그 제2 끝면을 접속하는 4개의 측면을 갖고 있는 직육면체 형상의 적층체와,

상기 적층체에 내장되고, 적층 방향을 따라서 연장되는 코일 축을 갖는 코일과,

상기 제1 끝면에 설치되어 있는 제1 외부 전극과,

상기 제1 외부 전극과 상기 코일을 접속하는 제1 접속부

를 구비하고 있고,

상기 제2 절연체층은, 적층 방향에 있어서, 상기 코일과 상기 제1 끝면 사이에 설치되어 있고,

상기 제1 절연체층이 상기 코일과 상기 제2 절연체층 사이에 개재된 것

을 특징으로 하는 전자 부품.

**청구항 2**

Ni를 함유하고 있는 제1 절연체층 및 Ni를 함유하고 있지 않은 제2 절연체층이 적층되어 구성되어 있는 적층체로서, 적층 방향의 양단부에 위치하는 제1 끝면 및 제2 끝면과, 그 제1 끝면과 그 제2 끝면을 접속하는 4개의 측면을 갖고 있는 직육면체 형상의 적층체와,

상기 적층체에 내장되고, 적층 방향을 따라서 연장되는 코일 축을 갖는 코일과,

상기 제1 끝면에 설치되어 있는 제1 외부 전극과,

상기 제1 외부 전극과 상기 코일을 접속하는 제1 접속부

를 구비하고 있고,

상기 제2 절연체층은, 적층 방향에 있어서, 상기 코일과 상기 제1 끝면 사이에 설치되어 있고,

상기 제1 절연체층이 상기 코일과 상기 제2 절연체층 사이에 개재된 것

을 특징으로 하는 전자 부품.

**청구항 3**

제1항 또는 제2항에 있어서,

상기 제1 외부 전극은, 상기 제1 끝면으로부터 상기 측면에 폴딩되어 있고,

상기 제2 절연체층은, 적층 방향에 있어서, 상기 제1 외부 전극이 상기 측면에 폴딩된 부분의 적층 방향의 선단과 상기 코일 사이에 설치되어 있는 것을 특징으로 하는 전자 부품.

**청구항 4**

제1항 또는 제2항에 있어서,

상기 제2 절연체층은, 적층 방향에 있어서, 상기 코일과 상기 제1 끝면 사이에 복수층 형성되어 있는 것을 특징으로 하는 전자 부품.

**청구항 5**

제1항 또는 제2항에 있어서,

적층 방향에 있어서, 상기 코일과 상기 제1 끝면 사이의 어느 하나의 위치로부터 상기 제1 끝면까지의 사이의 부분은, 상기 제2 절연체층에 의해 구성되어 있는 것을 특징으로 하는 전자 부품.

**청구항 6**

제1항 또는 제2항에 있어서,

상기 제1 절연체층은, 자성 재료에 의해 제작되어 있고,

상기 제2 절연체층은, 비자성 재료에 의해 제작되어 있는 것을 특징으로 하는 전자 부품.

**청구항 7**

제1항 또는 제2항에 있어서,

상기 제1 접속부는, 상기 제1 절연체층 및 상기 제2 절연체층을 적층 방향으로 관통하는 비아 홀 도체에 의해 구성되어 있는 것을 특징으로 하는 전자 부품.

**청구항 8**

제1항 또는 제2항에 있어서,

상기 제2 끝면에 설치되어 있는 제2 외부 전극과,

상기 제2 외부 전극과 상기 코일을 접속하는 제2 접속부

를 더 구비하는 것을 특징으로 하는 전자 부품.

**청구항 9**

제8항에 있어서,

상기 제2 절연체층은, 적층 방향에 있어서, 상기 코일과 상기 제2 끝면 사이에 설치되어 있는 것을 특징으로 하는 전자 부품.

**청구항 10**

제1항 또는 제2항에 있어서,

상기 제1 접속부는 또한 적어도 상기 제2 절연체층의 중심을 통과하면서 동시에 상기 적층방향으로만 연장하는, 전자부품.

**청구항 11**

제1항 또는 제2항에 있어서,

상기 코일은 또한 상기 적층체의 적어도 측면에서 노출하는, 전자부품.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 전자 부품에 관한 것으로, 보다 특정적으로는, 코일을 내장하고 있는 전자 부품에 관한 것이다.

**배경 기술**

[0002] 종래의 전자 부품으로서, 예를 들어, 특허문헌 1에 기재된 적층형 코일이 알려져 있다. 이하에, 특허문헌 1에 기재된 적층형 코일에 대해서 설명한다. 도 8은, 특허문헌 1에 기재된 적층형 코일(500)의 단면 구조도이다.

[0003] 적층형 코일(500)은, 도 8에 도시하는 바와 같이, 적층체(512), 외부 전극(514a, 514b), 절연 수지(518) 및 코일(L)을 구비하고 있다. 적층체(512)는, 복수의 절연성 시트가 적층되고, 직육면체 형상을 이루고 있다. 코일(L)은 적층체(512)에 내장되고, 복수의 코일 도체 패턴(516)이 접속됨으로써 구성되어 있는 나선 형상의 코일이

다. 코일 도체 패턴(516)은, 도 8에 도시하는 바와 같이, 적층체(512)의 측면으로부터 노출되어 있다.

[0004] 외부 전극(514a, 514b)은, 각각, 적층체(512)의 적층 방향의 양단부에 위치하는 끝면에 설치되고, 코일(L)에 대해서 접속되어 있다. 절연성 수지(518)는 적층체(512)의 측면에 설치되고, 코일 도체 패턴(516)이 적층체(512)의 측면으로부터 노출되어 있는 부분을 덮어 가리고 있다.

[0005] 이상과 같은 구성을 갖는 적층형 코일(500)에 따르면, 코일 도체 패턴(516)이 절연성 시트의 외주연부 가득 설치되므로, 코일(L)의 내경을 크게 할 수 있다. 즉, 코일(L)의 인덕턴스값을 크게 할 수 있다. 또한, 적층형 코일(500)에 따르면, 적층체(512)의 측면이 절연성 수지(518)에 의해 피복되어 있으므로, 코일 도체 패턴(516)이 회로 기판의 패턴 등과 쇼트하는 것이 방지된다.

[0006] 그런데, 특허문헌 1에 기재된 적층형 코일(500)은 외부 전극(514a, 514b)에 있어서 와전류가 발생함으로써, 주파수가 높아짐에 따라서 코일(L)의 인덕턴스값이 저하된다고 하는 문제를 갖고 있다. 즉, 상기 적층형 코일(500)은 인덕턴스값이 고주파 신호의 주파수에 의존한다고 하는 문제를 갖고 있다. 보다 상세하게는, 적층형 코일(500)에서는 코일 축은 적층 방향과 평행하고, 또한, 외부 전극(514a, 514b)은 적층형 코일(500)에 있어서 적층 방향의 양단부에 위치하는 끝면에 설치되어 있다. 그 때문에, 코일(L)에 의해 발생한 자속은 외부 전극(514a, 514b)을 통과한다. 그리고, 적층형 코일(500)에는 고주파 신호가 흐르므로, 코일(L)에 의해 발생한 자장도 주기적으로 변동한다. 이에 의해, 자장의 변동에 의해 와전류가 외부 전극(514a, 514b)에 발생하고, 그 와전류가 열 에너지로서 소비된다. 그 결과, 적층형 코일(500)에 있어서, 와전류손(渦電流損)이 발생하고, 코일(L)의 인덕턴스값이 저하되어 버린다. 그리고, 고주파 신호의 주파수가 높아짐에 따라서 와전류가 커지므로, 인덕턴스값의 저하가 커진다. 이상과 같이, 적층형 코일(500)에서는 인덕턴스값이 고주파 신호의 주파수에 의존하고 있다.

**선행기술문헌**

[0007] [특허문헌]

[0008] 특허문헌 1: 일본 특허 제3077061호

**발명의 내용**

**해결하려는 과제**

[0009] 따라서, 본 발명의 목적은 인덕턴스값이 고주파 신호의 주파수에 의존하는 것을 경감할 수 있는 전자 부품을 제공하는 것이다.

**과제의 해결 수단**

[0010] 본 발명의 제1 형태에 관한 전자 부품은, 제1 비투자율을 갖는 제1 절연체층 및 그 제1 비투자율보다도 낮은 제2 비투자율을 갖는 제2 절연체층이 적층되어 구성되어 있는 적층체로서, 적층 방향의 양단부에 위치하는 제1 끝면 및 제2 끝면과, 그 제1 끝면과 그 제2 끝면을 접속하는 4개의 측면을 갖고 있는 직육면체 형상의 적층체와, 상기 적층체에 내장되고, 적층 방향을 따라서 연장되는 코일 축을 갖는 코일로서, 상기 측면에 있어서 그 적층체로부터 노출되어 있는 코일과, 상기 제1 끝면에 설치되어 있는 제1 외부 전극과, 상기 제1 외부 전극과 상기 코일을 접속하는 제1 접속부를 구비하고 있고, 상기 제2 절연체층은, 적층 방향에 있어서, 상기 코일과 상기 제1 끝면 사이에 설치되어 있는 것을 특징으로 한다.

[0011] 본 발명의 제2 형태에 관한 전자 부품은, Ni를 함유하고 있는 제1 절연체층 및 Ni를 함유하고 있지 않은 제2 절연체층이 적층되어 구성되어 있는 적층체로서, 적층 방향의 양단부에 위치하는 제1 끝면 및 제2 끝면과, 그 제1 끝면과 그 제2 끝면을 접속하는 4개의 측면을 갖고 있는 직육면체 형상의 적층체와, 상기 적층체에 내장되고, 적층 방향을 따라서 연장되는 코일 축을 갖는 코일로서, 상기 측면에 있어서 그 적층체로부터 노출되어 있는 코일과, 상기 제1 끝면에 설치되어 있는 제1 외부 전극과, 상기 제1 외부 전극과 상기 코일을 접속하는 제1 접속부를 구비하고 있고, 상기 제2 절연체층은 적층 방향에 있어서, 상기 코일과 상기 제1 끝면 사이에 설치되어 있는 것을 특징으로 한다.

**발명의 효과**

[0012] 본 발명에 따르면, 인덕턴스값이 고주파 신호의 주파수에 의존하는 것을 경감할 수 있다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 실시 형태에 관한 전자 부품의 외관 사시도이다.
- 도 2는 실시 형태에 관한 전자 부품의 적층체의 분해 사시도이다.
- 도 3은 도 1의 전자 부품의 A-A에 있어서의 단면 구조도이다.
- 도 4의 (a)는 전자 부품에 있어서 발생하는 자속을 도시한 도면이다.
- 도 4의 (b)는 비교예에 관한 전자 부품에 있어서 발생하는 자속을 도시한 도면이다.
- 도 5는 제1 변형예에 관한 전자 부품의 단면 구조도이다.
- 도 6은 제2 변형예에 관한 전자 부품의 단면 구조도이다.
- 도 7은 실험 결과를 나타낸 그래프이다.
- 도 8은 특허문헌 1에 기재된 적층형 코일의 단면 구조도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 이하에, 본 발명의 실시 형태에 관한 전자 부품에 대해서 설명한다.
- [0015] (전자 부품의 구성)
- [0016] 본 발명의 실시 형태에 관한 전자 부품의 구성에 대해서 설명한다. 도 1은, 본 발명의 실시 형태에 관한 전자 부품(10)의 외관 사시도이다. 도 2는, 실시 형태에 관한 전자 부품(10)의 적층체(12)의 분해 사시도이다. 도 3은, 도 1의 전자 부품(10)의 A-A에 있어서의 단면 구조도이다.
- [0017] 이하, 전자 부품(10)의 적층 방향을 z축 방향으로 정의하고, 전자 부품(10)의 z축 방향의 정방향측의 면의 2면을 따른 방향을 x축 방향 및 y축 방향으로 정의한다. x축 방향과 y축 방향과 z축 방향과는 직교하고 있다.
- [0018] 전자 부품(10)은, 도 1 및 도 2에 도시하는 바와 같이, 적층체(12), 외부 전극[14(14a, 14b)], 절연체막(20), 코일(L)(도 1에는 도시하지 않음) 및 비아 홀 도체(v1 내지 v4, v10 내지 v13)를 구비하고 있다.
- [0019] 적층체(12)는 직육면체 형상을 이루고 있고, 코일(L)을 내장하고 있다. 적층체(12)는 끝면(S1, S2) 및 측면(S3 내지 S6)을 갖고 있다. 끝면(S1)은 전자 부품(10)의 z축 방향의 정방향측의 단부에 위치하는 면이다. 끝면(S2)은 전자 부품(10)의 z축 방향의 부방향측의 단부에 위치하는 면이다. 측면(S3 내지 S6)은 끝면(S1)과 끝면(S2)을 접촉하고 있는 면이다. 측면(S3)은 x축 방향의 정방향측에 위치하고, 측면(S4)은 x축 방향의 부방향측에 위치하고, 측면(S5)은 y축 방향의 정방향측에 위치하고, 측면(S6)은 y축 방향의 부방향측에 위치하고 있다.
- [0020] 외부 전극(14a, 14b)은, 각각, 적층체(12)의 끝면(S1) 및 끝면(S2)에 설치되어 있다. 또한, 외부 전극(14a, 14b)은, 각각, 끝면(S1) 및 끝면(S2)으로부터 측면(S3 내지 S6)에 풀당되어 있다.
- [0021] 적층체(12)는, 도 2에 도시하는 바와 같이, 절연체층(16a, 16b, 17a, 16c 내지 16i, 17b, 16j, 16k)이 z축 방향의 정방향측으로부터 부방향측으로 이 순서대로 배열하도록 적층됨으로써 구성되어 있다. 절연체층(16)은 자성 재료(예를 들어, Ni-Cu-Zn계 페라이트, 비투자율  $\mu_r$ :100 내지 200)로 이루어지는 직사각형 형상의 층이다. 또한, 자성 재료란, 상온에서 자성을 나타내는 재료(비투자율  $\mu_r > 1$ )를 의미한다. 절연체층(17)은 비자성 재료(예를 들어, Cu-Zn계 페라이트 또는 글래스)로 이루어지는 직사각형 형상의 층이다. 또한, 비자성 재료란, 상온에서 자성을 나타내지 않는 재료(비투자율  $\mu_r = 1$ )를 의미한다. 이하에서는, 절연체층(16, 17)의 z축 방향의 정방향측의 면을 표면이라고 칭하고, 절연체층(16, 17)의 z축 방향의 부방향측의 면을 이면이라고 칭한다.
- [0022] 코일(L)은 적층체(12)에 내장되고, 도 2에 도시하는 바와 같이, 코일 도체층[18(18a 내지 18e)] 및 비아 홀 도체(v5 내지 v8)에 의해 구성되어 있다. 코일(L)은 코일 도체층(18a 내지 18e) 및 비아 홀 도체(v5 내지 v8)가 접속됨으로써, z축 방향으로 연장되는 코일 축을 갖는 나선 형상을 이루고 있다.
- [0023] 코일 도체층(18a 내지 18e)은, 도 2에 도시하는 바와 같이, 절연체층(16d 내지 16h)의 표면 상에 형성되어 있고, 도 3에 도시하는 바와 같이, 절연체층(16d 내지 16h)의 외면으로부터 약간 돌출된 상태로 선회하는 역ㄷ자형의 선 형상 도체층이다. 보다 상세하게는, 코일 도체층(18a)은 5/8턴의 턴수를 갖고 있고, 절연체층(16d)에 있어서, 절연체층(16d)의 중심(대각선의 교점)으로부터 y축 방향의 부방향측의 변에 인출되어 있고, x축 방

향의 정방향측의 변 이외의 3변을 따라서 설치되어 있음과 함께, 그 3변으로부터 돌출되어 있다. 또한, 코일 도체층(18a)은 x축 방향의 정방향측의 변의 y축 방향의 정방향측의 단부로부터도 돌출되어 있다.

[0024] 또한, 코일 도체층(18b 내지 18d)은 3/4턴의 턴수를 갖고 있고, 절연체층(16e 내지 16g)의 3변을 따라서 있음과 함께, 그 3변으로부터 돌출되어 있다. 또한, 코일 도체층(18b 내지 18d)은, 남은 1변의 양단부로부터도 돌출되어 있다. 구체적으로는, 코일 도체층(18b)은 절연체층(16e)에 있어서, y축 방향의 정방향측의 변 이외의 3변을 따라서 설치되어 있음과 함께, 그 3변으로부터 돌출되어 있다. 또한, 코일 도체층(18b)은 y축 방향의 정방향측의 변의 양단부로부터 돌출되어 있다. 코일 도체층(18c)은 절연체층(16f)에 있어서, x축 방향의 부방향측의 변 이외의 3변을 따라서 설치되어 있음과 함께, 그 3변으로부터 돌출되어 있다. 또한, 코일 도체층(18c)은 x축 방향의 부방향측의 변의 양단부로부터 돌출되어 있다. 코일 도체층(18d)은 절연체층(16g)에 있어서, y축 방향의 부방향측의 변 이외의 3변을 따라서 설치되어 있음과 함께, 그 3변으로부터 돌출되어 있다. 또한, 코일 도체층(18d)은 y축 방향의 부방향측의 변의 양단부로부터 돌출되어 있다.

[0025] 코일 도체층(18e)은 5/8턴의 턴수를 갖고 있고, 절연체층(16h)에 있어서, 절연체층(16h)의 중심(대각선의 교점)으로부터 y축 방향의 정방향측의 변에 인출되어 있고, x축 방향의 정방향측의 변 이외의 3변을 따라서 설치되어 있음과 함께, 그 3변으로부터 돌출되어 있다. 또한, 코일 도체층(18e)은 x축 방향의 정방향측의 변의 y축 방향의 부방향측의 단부로부터도 돌출되어 있다.

[0026] 이하에서는, 코일 도체층(18)에 있어서, z축 방향의 정방향측으로부터 평면에서 보았을 때에, 시계 방향의 상류측의 단부를 상류단으로 하고, 시계 방향의 하류측의 단부를 하류단으로 한다. 또한, 코일 도체층(18)의 턴수는 5/8턴 및 3/4턴으로 한정되지 않는다. 따라서, 코일 도체층(18)의 턴수는, 예를 들어, 1/2 턴이어도 좋고, 7/8턴 이어도 좋다.

[0027] 비아 홀 도체(v1 내지 v13)는, 도 2에 도시하는 바와 같이, 절연체층(16a, 16b, 17a, 16c 내지 16i, 17b, 16j, 16k)을 z축 방향으로 관통하도록 설치되어 있다. 비아 홀 도체(v1 내지 v4)는, 각각, 절연체층(16a, 16b, 17a, 16c)을 z축 방향으로 관통하고 있고, 서로 접속됨으로써 1개의 비아 홀 도체를 구성하고 있다. 비아 홀 도체(v1)의 z축 방향의 정방향측의 단부는, 도 3에 도시하는 바와 같이, 외부 전극(14a)에 접속되어 있다. 또한, 비아 홀 도체(v4)의 z축 방향의 부방향측의 단부는, 코일 도체층(18a)의 상류단에 접속되어 있다. 이에 의해, 비아 홀 도체(v1 내지 v4)는 외부 전극(14a)과 코일(L)을 접속하는 접속부로서 기능하고 있다.

[0028] 비아 홀 도체(v5)는 절연체층(16d)을 z축 방향으로 관통하고, 코일 도체층(18a)의 하류단 및 코일 도체층(18b)의 상류단에 접속되어 있다. 비아 홀 도체(v6)는 절연체층(16e)을 z축 방향으로 관통하고, 코일 도체층(18b)의 하류단 및 코일 도체층(18c)의 상류단에 접속되어 있다. 비아 홀 도체(v7)는 절연체층(16f)을 z축 방향으로 관통하고, 코일 도체층(18c)의 하류단 및 코일 도체층(18d)의 상류단에 접속되어 있다. 비아 홀 도체(v8)는 절연체층(16g)을 z축 방향으로 관통하고, 코일 도체층(18d)의 하류단 및 코일 도체층(18e)의 상류단에 접속되어 있다.

[0029] 비아 홀 도체(v9 내지 v13)는 절연체층(16h, 16i, 17b, 16j, 16k)을 z축 방향으로 관통하고 있고, 서로 접속됨으로써 1개의 비아 홀 도체를 구성하고 있다. 비아 홀 도체(v9)의 z축 방향의 정방향측의 단부는, 코일 도체층(18e)의 하류단에 접속되어 있다. 또한, 비아 홀 도체(v13)의 z축 방향의 부방향측의 단부는, 도 3에 도시하는 바와 같이, 외부 전극(14b)에 접속되어 있다. 이에 의해, 비아 홀 도체(v9 내지 v13)는 외부 전극(14b)과 코일(L)을 접속하는 접속부로서 기능하고 있다.

[0030] 이상과 같이 구성된 코일(L)을 구성하고 있는 코일 도체층(18a 내지 18e)은, 도 3에 도시하는 바와 같이, 적층체(12)의 측면(S3 내지 S6)에 있어서, 적층체(12)로부터 노출되어 있다. 또한, 코일 도체층(18a 내지 18e)의 외주는, 적층체의 측면(S3 내지 S6)으로부터 돌출되어 있다. 또한, 코일 도체층(18a 내지 18e)의 외주는, 적층체(12)의 측면(S3 내지 S6)으로부터 돌출되지 않아도 좋다.

[0031] 절연체막(20)은, 도 1 및 도 3에 도시하는 바와 같이, 적층체(12)의 측면(S3 내지 S6)에 있어서, 외부 전극(14a, 14b)이 설치되어 있지 않은 부분을 덮도록 설치되어 있다. 이에 의해, 코일(L)이 적층체(12)로부터 노출되어 있는 부분은, 절연체막(20)에 의해 덮여져 있다. 절연체막(20)은 적층체(12)의 자성 재료와는 다른 재료에 의해 구성되어 있고, 예를 들어, 에폭시 수지에 의해 구성되어 있다.

[0032] 여기서, 절연체층(17a, 17b)의 위치에 대해서 보다 상세하게 설명한다. 절연체층(17a)은, 도 3에 도시하는 바와 같이, z축 방향에 있어서, 코일(L)의 z축 방향의 정방향측의 단부와 끝면(S1) 사이에 설치되어 있다. 본 실시 형태에 관한 전자 부품(10)에서는, 절연체층(17a)은 z축 방향에 있어서, 외부 전극(14a)이 측면(S3 내지 S

6)에 풀딩된 부분의 z축 방향의 부방향측의 선단(t1)과 코일(L)의 z축 방향의 정방향측의 단부 사이에 설치되어 있다. 이에 의해, 절연체층(17a)은 코일(L)과 외부 전극(14a) 사이를 구획하고 있다.

[0033] 또한, 절연체층(17b)은, 도 3에 도시하는 바와 같이, z축 방향에 있어서, 코일(L)의 z축 방향의 부방향측의 단부와 끝면(S2) 사이에 설치되어 있다. 본 실시 형태에 관한 전자 부품(10)에서는, 절연체층(17b)은 z축 방향에 있어서, 외부 전극(14b)이 측면(S3 내지 S6)에 풀딩된 부분의 z축 방향의 부방향측의 선단(t2)과 코일(L)의 z축 방향의 부방향측의 단부 사이에 설치되어 있다. 이에 의해, 절연체층(17b)은 코일(L)과 외부 전극(14b) 사이를 구획하고 있다.

[0034] (전자 부품의 제조 방법)

[0035] 이하에, 전자 부품(10)의 제조 방법에 대해서 도면을 참조하면서 설명한다.

[0036] 우선, 절연체층(16)이 되어야 할 세라믹 그린 시트를 준비한다. 구체적으로는, 산화제2철( $Fe_2O_3$ ), 산화아연( $ZnO$ ), 산화니켈( $NiO$ ) 및 산화동( $CuO$ )을 소정의 비율로 칭량한 각각의 재료를 원재료로서 불밀에 투입하고, 습식 조합을 행한다. 얻어진 혼합물을 건조하고 나서 분쇄하고, 얻어진 분말을 800℃에서 1시간 예비 소결한다. 얻어진 예비 소결 분말을 불밀에 의해 습식 분쇄한 후, 건조하고 나서 해쇄하여, 페라이트 세라믹 분말을 얻는다.

[0037] 이 페라이트 세라믹 분말에 대해서 결합제(아세트산 비닐, 수용성 아크릴 등)와 가소제, 습윤제 및 분산제를 추가하여 불밀에 의해 혼합을 행하고, 그 후, 감압에 의해 탈포를 행한다. 얻어진 세라믹 슬러리를 닥터 블레이드법에 의해, 캐리어 시트 상에 시트 형상으로 형성하여 건조시키고, 절연체층(16)이 되어야 할 세라믹 그린 시트를 제작한다.

[0038] 다음에, 절연체층(17)이 되어야 할 세라믹 그린 시트를 준비한다. 구체적으로는, 산화제2철( $Fe_2O_3$ ), 산화아연( $ZnO$ ) 및 산화동( $CuO$ )을 소정의 비율로 칭량한 각각의 재료를 원재료로서 불밀에 투입하고, 습식 조합을 행한다. 얻어진 혼합물을 건조하고 나서 분쇄하고, 얻어진 분말을 800℃에서 1시간 예비 소결한다. 얻어진 예비 소결 분말을 불밀에 의해 습식 분쇄한 후, 건조하고 나서 해쇄하여, 페라이트 세라믹 분말을 얻는다.

[0039] 이 페라이트 세라믹 분말에 대해서 결합제(아세트산 비닐, 수용성 아크릴 등)와 가소제, 습윤제 및 분산제를 추가하여 불밀에 의해 혼합을 행하고, 그 후, 감압에 의해 탈포를 행한다. 얻어진 세라믹 슬러리를 닥터 블레이드법에 의해, 캐리어 시트 상에 시트 형상으로 형성하여 건조시키고, 절연체층(17)이 되어야 할 세라믹 그린 시트를 제작한다.

[0040] 다음에, 절연체층(16, 17)이 되어야 할 세라믹 그린 시트의 각각에, 비아 홀 도체(v1 내지 v13)가 되어야 할 도체를 형성한다. 구체적으로는, 세라믹 그린 시트에 레이저빔을 조사하여 비아 홀을 형성한다. 또한, 비아 홀에 대해서, Ag, Pd, Cu, Au나 이들의 합금 등의 도전성 재료로 이루어지는 페이스트를 인쇄 도포 등의 방법에 의해 충전하여, 비아 홀 도체(v1 내지 v13)가 되어야 할 도체를 형성한다.

[0041] 다음에, 절연체층(16d 내지 16h)이 되어야 할 세라믹 그린 시트 상에 도전성 재료로 이루어지는 페이스트를 스크린 인쇄법이나 포토리소그래피법 등의 방법으로 도포함으로써, 코일 도체층[18(18a 내지 18e)]이 되어야 할 도체층을 형성한다. 도전성 재료로 이루어지는 페이스트는, 예를 들어, Ag에, 바니시 및 용제가 추가된 것이다. 또한, 페이스트로서, 통상의 페이스트보다도 도전성 재료의 함유율이 높은 페이스트를 사용하였다. 구체적으로는, 통상의 페이스트는, 도전성 재료를 70 중량%의 비율로 함유하고 있는 것에 반해, 본 실시 형태에서 사용한 페이스트는 도전성 재료를 80 중량% 이상의 비율로 함유하고 있다.

[0042] 또한, 코일 도체층[18(18a 내지 18e)]이 되어야 할 도체층을 형성하는 공정과 비아 홀에 대해서 도전성 재료로 이루어지는 페이스트를 충전하는 공정은, 동일한 공정에서 행해져도 좋다.

[0043] 다음에, 절연체층(16, 17)이 되어야 할 세라믹 그린 시트를 적층 및 압착하여 미소성의 마더 적층체를 얻는다. 구체적으로는, 세라믹 그린 시트를 1매씩 적층 및 가압착한다. 이 후, 미소성의 마더 적층체에 대해서, 정수압 프레스로 본 압착을 실시한다. 정수압 프레스의 조건은, 100MPa의 압력 및 45℃의 온도이다.

[0044] 다음으로, 미소성의 마더 적층체를 커트하여, 개별의 미소성의 적층체(12)를 얻는다. 이 단계에서는, 코일 도체층(18)이 되어야 할 도체층은, 적층체(12)의 측면(S3 내지 S6)으로부터 노출은 하고 있지만, 돌출은 하고 있지 않다.

[0045] 다음으로, 적층체(12)의 표면에, 배럴 연마 처리를 실시하여, 모따기를 행한다. 이 후, 미소성의

적층체(12)에, 탈 바인더 처리 및 소성을 실시한다. 탈 바인더 처리는, 예를 들어, 저산소 분위기 속에서 약 500℃에서 2시간의 조건으로 행한다. 소성은, 예를 들어, 870℃ 내지 900℃에서 2.5시간의 조건으로 행한다. 여기서, 소성시에 있어서의 세라믹 그린 시트의 수축률과 코일 도체층(18)이 되어야 할 도체층의 수축률과는 다르다. 구체적으로는, 세라믹 그린 시트의 쪽이 코일 도체층(18)이 되어야 할 도체층에 비해, 소성시에 크게 줄어든다. 특히, 본 실시 형태에서는, 코일 도체층(18)이 되어야 할 도체층을 통상보다도 도전성 재료의 함유율이 높은 페이스트에 의해 제작하고 있다. 따라서, 코일 도체층(18)이 되어야 할 도체층의 수축률은, 통상의 코일 도체층이 되어야 할 도체층에 비해 작다. 그 결과, 코일 도체층(18)은, 도 2 및 도 3에 도시하는 바와 같이, 소성 후의 적층체(12)의 측면(S3 내지 S6)으로부터 크게 돌출된다.

[0046] 다음에, Ag을 주성분으로 하는 도전성 재료로 이루어지는 전극 페이스트를, 적층체(12)의 끝면(S1), 끝면(S2) 및 측면(S3 내지 S6)의 일부에 도포한다. 그리고, 도포한 전극 페이스트를 약 800℃의 온도에서 1시간의 조건으로 베이킹한다. 이에 의해, 외부 전극(14)의 기초가 되어야 할 은 전극을 형성한다. 또한, 은 전극의 표면에, Ni 도금/Sn 도금을 실시함으로써, 외부 전극(14)을 형성한다.

[0047] 마지막으로, 도 3에 도시하는 바와 같이, 적층체(12)의 측면(S3 내지 S6)에 있어서, 외부 전극(14a, 14b)이 설치되어 있지 않은 부분에 에폭시 수지 등의 수지를 도포함으로써, 절연체막(20)을 형성한다. 이에 의해, 절연체층(18)이 적층체(12)로부터 노출되어 있는 부분은, 절연체막(20)에 의해 덮여 가려지게 된다. 따라서, 코일(L)이 회로 기판의 패턴 등과 쇼트하는 것이 절연체막(20)에 의해 방지되게 된다. 이상의 공정에 의해, 전자 부품(10)이 완성된다.

[0048] (효과)

[0049] 이상과 같은 전자 부품(10)에 따르면, 인덕턴스값이 고주파 신호의 주파수에 의존하는 것을 경감할 수 있다. 도 4의 (a)는, 전자 부품(10)에 있어서 발생하는 자속  $\phi 1$  및 자속  $\phi 2$ 를 도시한 도면이다. 도 4의 (b)는, 비교예에 관한 전자 부품(110)에 있어서 발생하는 자속  $\phi 2$ 를 도시한 도면이다. 전자 부품(110)에서는, 전자 부품(10)의 절연체층(17)이 절연체층(16)으로 치환되어 있다. 또한, 전자 부품(110)에 있어서 전자 부품(10)과 동일한 구성에 대해서는, 전자 부품(10)에 있어서의 참조 부호에 100을 더한 참조 부호를 사용하였다.

[0050] 비교예에 관한 전자 부품(110)에서는, 코일(L)에 의해 발생한 자속  $\phi 2$ 는, 도 4의 (b)에 도시하는 바와 같이, 코일(L)의 주위를 크게 주회하여 외부 전극(114a, 114b)을 통과한다. 그리고, 전자 부품(110)에는 고주파 신호가 흐르므로, 코일(L)에 의해 발생한 자장도 주기적으로 변동한다. 그 때문에, 자장의 변동에 의해 와전류가 외부 전극(114a, 114b)에 발생하고, 그 와전류가 열 에너지로서 소비된다. 그 결과, 전자 부품(110)에 있어서, 와전류손이 발생하고, 코일(L)의 인덕턴스값이 저하되어 버린다. 그리고, 고주파 신호의 주파수가 높아짐에 따라서 와전류가 커지므로, 인덕턴스값의 저하가 커진다. 이상과 같이, 전자 부품(110)에서는, 인덕턴스값이 고주파 신호의 주파수에 의존하고 있다.

[0051] 한편, 전자 부품(10)에서는, 비자성 재료에 의해 제작되어 있는 절연체층(17a, 17b)은, 각각, z축 방향에 있어서, 코일(L)과 끝면(S1, S2) 사이에 설치되어 있다. 자속은, 비자성 재료에 의해 제작되어 있는 절연체층(17a, 17b)을 통과하기 어렵다. 그 때문에, 도 4의 (a)에 도시하는 바와 같이, 절연체층(17a, 17b)을 통과하지 않고 절연체층(17a, 17b) 사이를 주회하는 자속  $\phi 1$ 이 상대적으로 많아지고, 절연체층(17a, 17b) 및 외부 전극(14a, 14b)을 통과하는 자속  $\phi 2$ 가 상대적으로 적어진다. 이에 의해, 전자 부품(10)의 외부 전극(14a, 14b)에 있어서의 끝면(S1, S2) 상의 부분에 있어서 와전류가 발생하는 것이 억제되고, 코일(L)의 인덕턴스값의 저하가 억제된다. 이상으로부터, 전자 부품(10)에서는, 인덕턴스값이 고주파 신호의 주파수에 의존하는 것이 경감된다.

[0052] 또한, 전자 부품(110)에서는, 코일(L)은 측면(S3 내지 S6)에 있어서 적층체(112)로부터 노출되어 있다. 그 때문에, 도 4의 (b)에 도시하는 바와 같이, 자속  $\phi 2$ 는, 적층체(12)의 측면(S3 내지 S6)을 통해서 적층체(12) 내로부터 적층체(12) 밖으로 나가는 동시에, 측면(S3 내지 S6)을 통해서 적층체(12) 밖으로 적층체(12) 내로 복귀된다. 이때, 자속  $\phi 2$ 는, 외부 전극(114a, 114b)의 폴딩 부분을 통과한다. 따라서, 전자 부품(110)에서는, 와전류에 의한 코일(L)의 인덕턴스값의 저하가 발생한다. 즉, 전자 부품(110)에서는, 외부 전극(114a, 114b)의 폴딩 부분에 있어서의 와전류의 대책도 중요하다.

[0053] 따라서, 전자 부품(10)에서는, 비자성 재료에 의해 제작되어 있는 절연체층(17a, 17b)은, 각각, z축 방향에 있어서, 외부 전극(14a, 14b)의 선단(t1, t2)과 코일(L) 사이에 설치되어 있다. 이에 의해, 절연체층(17a, 17b)을 통과하지 않고 절연체층(17a, 17b) 사이를 주회하는 자속  $\phi 1$ 이 상대적으로 많아지고, 절연체층(17a, 17b), 외부 전극(14a, 14b) 및 외부 전극(14a, 14b)의 폴딩 부분을 통과하는 자속  $\phi 2$ 가 상대적으로 적어진다. 따라

서, 전자 부품(10)의 외부 전극(14a, 14b)의 폴딩 부분에 있어서 와전류가 발생하는 것이 억제되고, 코일(L)의 인덕턴스값의 저하가 억제된다. 이상으로부터, 전자 부품(10)에서는 인덕턴스값이 고주파 신호의 주파수에 의존하는 것이 경감된다.

[0054] 또한, 전자 부품(10)에서는, 비아 홀 도체(v1 내지 v4, v9 내지 v13)는 절연체층(16, 17)의 중심을 z축 방향으로 관통하고 있다. 이에 의해, 비아 홀 도체(v1 내지 v4, v9 내지 v13)는 외부 전극(14a, 14b)의 폴딩 부분으로부터 떨어진 위치에 설치되게 된다. 그 결과, 비아 홀 도체(v1 내지 v4, v9 내지 v13)에 의해 발생한 자속  $\phi_3$ 이 외부 전극(14a, 14b)의 폴딩 부분을 통과하기 어려워진다. 따라서, 전자 부품(10)의 외부 전극(14a, 14b)의 폴딩 부분에 있어서 와전류가 발생하는 것이 억제되고, 코일(L)의 인덕턴스값의 저하가 억제된다. 이상으로부터, 전자 부품(10)에서는, 인덕턴스값이 고주파 신호의 주파수에 의존하는 것이 경감된다.

[0055] 또한, 전자 부품(10)에서는, 코일(L)과 외부 전극(14a, 14b)은, 비아 홀 도체(v1 내지 v4, v9 내지 v13)에 의해 구성되는 접속부에 의해 접속되어 있다. 비아 홀 도체(v1 내지 v4, v9 내지 v13)에서는, 도 4의 (a)에 도시하는 바와 같이, 비아 홀 도체(v1 내지 v4, v9 내지 v13)를 주회하도록 xy 평면에 평행하게 자속  $\phi_3$ 이 발생한다. 그 때문에, 자속  $\phi_3$ 은, 절연체층(17a, 17b)에 대해서 대략 평행하게 발생하고 있고, 절연체층(17a, 17b)을 가로지르기 어렵다. 따라서, 자속  $\phi_3$ 은, 절연체층(17a, 17b)에 의한 영향을 받기 어렵다. 그 결과, 비아 홀 도체(v1 내지 v4, v9 내지 v13)의 길이만큼 인덕턴스가 추가하여 얻어져, 코일(L)의 인덕턴스의 값 외에, 보다 큰 인덕턴스값을 갖게 된다.

[0056] (제1 변형예)

[0057] 이하에, 제1 변형예에 관한 전자 부품에 대해서 도면을 참조하면서 설명한다. 도 5는, 제1 변형예에 관한 전자 부품(10a)의 단면 구조도이다.

[0058] 도 5에 도시하는 바와 같이, 절연체층(17)은, z축 방향에 있어서, 코일(L)의 z축 방향의 정방향측의 단부와 끝면(S1) 사이에 복수층 형성되어 있어도 좋다. 마찬가지로, 절연체층(17)은, z축 방향에 있어서, 코일(L)의 z축 방향의 부방향측의 단부와 끝면(S2) 사이에 복수층 형성되어 있어도 좋다. 이에 의해, 자속  $\phi_1$ 이 외부 전극(14a, 14b)을 통과하는 것이 보다 효과적으로 억제된다.

[0059] (제2 변형예)

[0060] 이하에, 제2 변형예에 관한 전자 부품에 대해서 도면을 참조하면서 설명한다. 도 6은, 제2 변형예에 관한 전자 부품(10b)의 단면 구조도이다.

[0061] 도 6에 도시하는 바와 같이, z축 방향에 있어서, 코일(L)의 z축 방향의 정방향측의 단부와 끝면(S1) 사이의 소정 위치로부터 끝면(S1)까지의 사이의 부분은, 모두 절연체층(17)에 의해 구성되어 있어도 좋다. 마찬가지로, z축 방향에 있어서, 코일(L)의 z축 방향의 부방향측의 단부와 끝면(S2) 사이의 소정 위치로부터 끝면(S2)까지의 사이의 부분은, 모두 절연체층(17)에 의해 구성되어 있어도 좋다. 이에 의해, 자속  $\phi_1$ 이 외부 전극(14a, 14b)을 통과하는 것이 보다 효과적으로 억제된다.

[0062] (실험)

[0063] 본인 발명자는, 본 발명에 관한 전자 부품이 발휘하는 효과를 보다 명확하게 하기 위해, 이하에 설명하는 실험을 행하였다. 구체적으로는, 도 6에 도시하는 제2 변형예에 관한 전자 부품(10b)의 제1 샘플 및 도 4의 (b)에 도시하는 비교예에 관한 전자 부품(110)의 제2 샘플을 제작하고, 이들의 입력 신호의 주파수와 인덕턴스값과의 관계를 조사하였다. 이때, 제1 샘플 및 제2 샘플에 있어서, 외부 전극(14a, 14b)의 폴딩 부분의 z축 방향의 길이를 30 $\mu$ m, 280 $\mu$ m, 380 $\mu$ m의 3종류로 변화시켰다. 도 7은, 실험 결과를 나타낸 그래프이다. 종축은 인덕턴스값을 나타내고, 횡축은 입력 신호의 주파수를 나타내고 있다. 이하에, 제1 샘플 및 제2 샘플의 조건을 열거한다.

[0064] 적층체의 z축 방향의 치수:1.9mm

[0065] 적층체의 y축 방향의 치수:1.2mm

[0066] 적층체의 x축 방향의 치수:0.8mm

[0067] 전자 부품의 z축 방향의 치수:2.0mm

[0068] 전자 부품의 y축 방향의 치수:1.25mm

[0069] 전자 부품의 x축 방향의 치수:0.85mm

- [0070] 절연체층(17)의 두께:적층체의 끝으로부터 420 $\mu$ m
- [0071] 절연체층(16):Ni-Cu-Zn계 페라이트(비투자율  $\mu r=120$ )
- [0072] 절연체층(17):Cu-Zn계 페라이트(비투자율  $\mu r=1$ )
- [0073] 도 7에 따르면, 전자 부품(10b)의 쪽이 전자 부품(110)보다도, 입력 신호의 주파수가 커졌을 때의 인덕턴스값의 저하가 완만하다. 즉, 주파수가 1 내지 500MHz의 범위에서, 전자 부품(10b)의 쪽이, 전자 부품(110)보다도 인덕턴스값의 주파수 의존성이 경감되어 있는 것을 알 수 있다.
- [0074] 또한, 도 7에 따르면, 외부 전극(14a, 14b, 114a, 114b)의 폴딩 부분의 z축 방향의 길이가 길어짐에 따라서, 인덕턴스값의 주파수 의존성이 커지고 있는 것을 알 수 있다. 이것은, 외부 전극(14a, 14b, 114a, 114b)의 폴딩 부분의 z축 방향의 길이가 길어지면, 외부 전극(14a, 14b, 114a, 114b)의 폴딩 부분을 통과하는 자속이 증가하고, 외부 전극(14a, 14b, 114a, 114b)의 폴딩 부분에 있어서 보다 많은 와전류가 발생하고 있는 것을 의미하고 있다. 따라서, 본 실험에 따르면, 전자 부품(10b)과 같이, 절연체층(17)이 형성됨으로써, 외부 전극(14a, 14b)의 폴딩 부분의 z축 방향의 길이가 길어져도, 인덕턴스값의 주파수 의존성이 경감된다고 말할 수 있다.
- [0075] (그 밖의 실시 형태)
- [0076] 본 발명에 관한 전자 부품은, 상기 실시 형태에 관한 전자 부품(10, 10a, 10b)으로 한정되지 않고 그 요지의 범위 내에서 변경 가능하다.
- [0077] 예를 들어, 절연체층(17)은 비자성 재료에 의해 제작되어 있는 것으로 하였지만, 자성 재료에 의해 제작되어 있어도 좋다. 이 경우에는, 절연체층(17)의 비투자율은 절연체층(16)의 비투자율보다도 낮으면 좋다.
- [0078] 또한, 전자 부품(10, 10a, 10b)을 제조 방법은, 코일 도체층(18a 내지 18e)이 되어야 할 도체층을 표면에 설치한 세라믹 그린 시트를 적층 및 압착한 후에, 일체적으로 소성하는 순차 압착법으로 한정되지 않는다. 따라서, 이하에 설명하는 인쇄 공법에 의해 전자 부품(10, 10a, 10b)을 제조해도 좋다. 보다 상세하게는, 인쇄 등에 의해 절연성 페이스트를 도포하여 절연체층을 형성한 후, 그 절연체층의 표면에 도전성 페이스트를 도포하여 코일 도체층이 되어야 할 도체층을 형성한다. 다음에, 절연성 페이스트를 코일 도체층이 되어야 할 도체층 상으로부터 도포하여 코일 도체층이 되어야 할 도체층이 내장된 절연체층으로 한다. 이상의 공정을 반복하여, 전자 부품(10, 10a, 10b)을 제조해도 좋다.
- [0079] 또한, 전자 부품(10, 10a, 10b)에 있어서, 코일(L)은 적층체(12)의 측면(S3 내지 S6)의 모든 면으로부터 노출되어 있지 않아도 좋고, 측면(S3 내지 S6)의 일부의 면으로부터 노출되어 있으면 좋다. 또한, 모든 코일 도체층(18a 내지 18e)이 측면(S3 내지 S6)으로부터 노출되어 있지 않아도 좋고, 일부의 코일 도체층(18a 내지 18e)이 측면(S3 내지 S6)으로부터 노출되어 있으면 좋다.
- [0080] 또한, 전자 부품(10, 10a, 10b)에서는, 비아 홀 도체(v1 내지 v4, v9 내지 v13)는 절연체층(16, 17)의 중심을 z축 방향으로 관통하고 있지만, 절연체층(16, 17)의 중심 이외의 부분을 z축 방향으로 관통하고 있어도 좋다.
- [0081] 또한, 전자 부품(10, 10a, 10b)은 코일(L)만을 내장하는 코일 부품이지만, 코일(L) 외에 콘덴서나 저항, 그 밖의 회로 소자를 내장하는 복합 전자 부품이어도 좋다.

**산업상 이용가능성**

- [0082] 이상과 같이, 본 발명은, 전자 부품에 유용하고, 특히, 인덕턴스값이 고주파 신호의 주파수에 의존하는 것을 경감할 수 있는 점에서 우수하다.

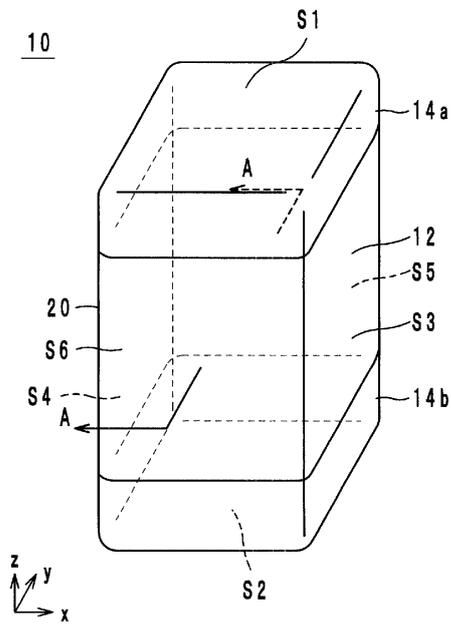
**부호의 설명**

- [0083] L : 코일
- S1, S2 : 끝면
- S3 내지 S6 : 측면
- t1, t2 : 선단
- v1 내지 v13 : 비아 홀 도체

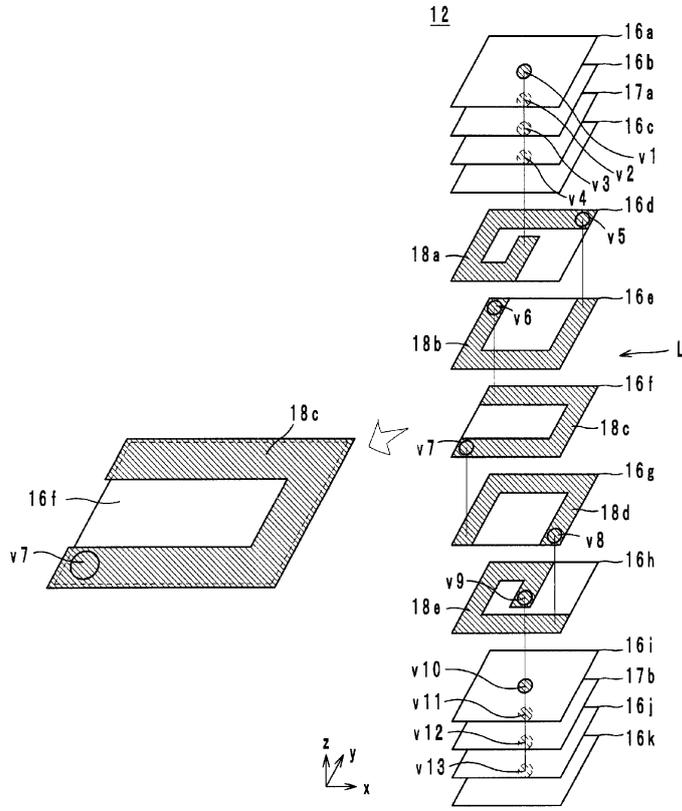
- 10, 10a, 10b : 전자 부품
- 12 : 적층체
- 14a, 14b : 외부 전극
- 16a 내지 16k, 17a, 17b : 절연체층
- 18a 내지 18e : 코일 도체층
- 20 : 절연체막

도면

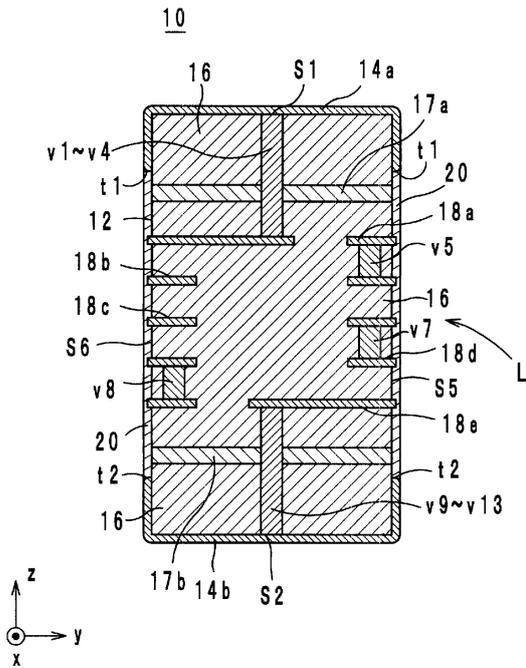
도면1



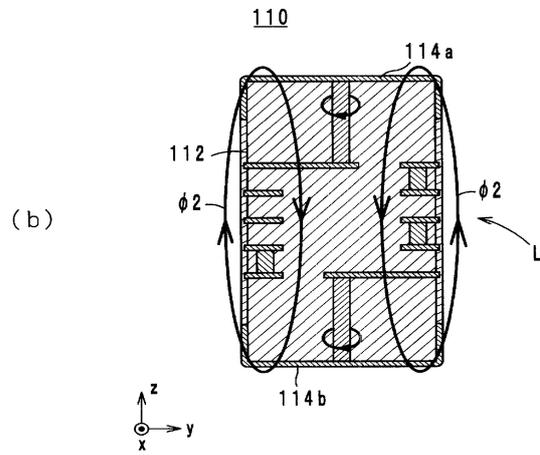
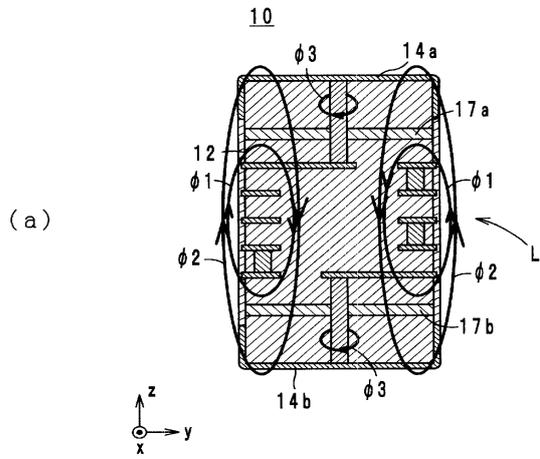
도면2



도면3

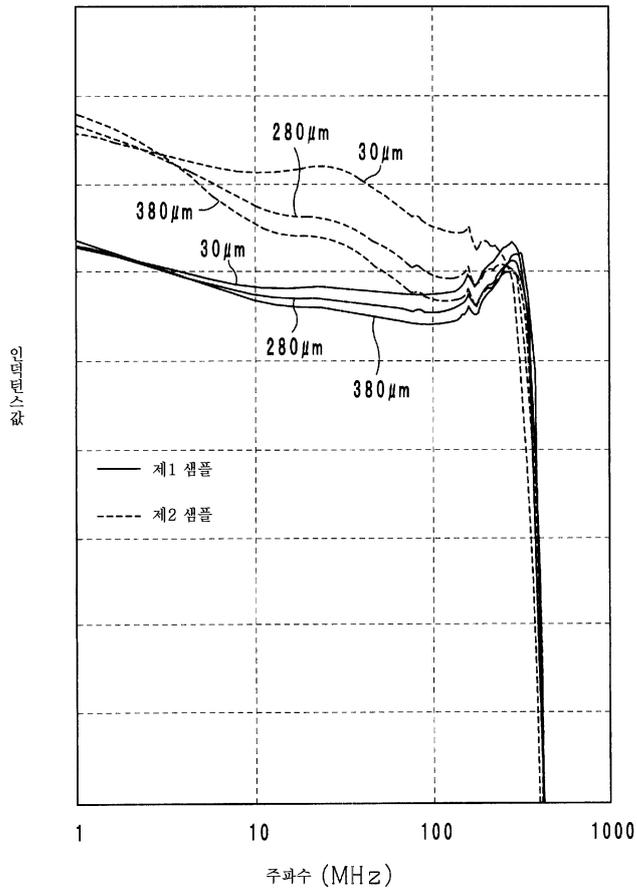


도면4





도면7



도면8

