



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201041086 A1

(43)公開日：中華民國 99 (2010) 年 11 月 16 日

(21)申請案號：098139785

(22)申請日：中華民國 98 (2009) 年 11 月 23 日

(51)Int. Cl. : H01L21/762 (2006.01)

H01L25/04 (2006.01)

(30)優先權：2008/12/23 美國 12/342,488

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：波圖拉 亞倫 B BOTULA, ALAN B. (US)；諾瓦克 愛德華 J NOWAK, EDWARD J. (US)；斯林克曼 詹姆士 A SLINKMAN, JAMES A. (US)

(74)代理人：蔡玉玲

申請實體審查：無 申請專利範圍項數：25 項 圖式數：21 共 66 頁

(54)名稱

減少高頻諧波之絕緣層上半導體射頻開關

SOI RADIO FREQUENCY SWITCH FOR REDUCING HIGH FREQUENCY HARMONICS

(57)摘要

具有和一底端半導體層相同類型之摻雜的第一經摻雜半導體區域、以及具有一相反類型之摻雜的第二經摻雜半導體區域係直接形成於一絕緣層上半導體基板之一埋入絕緣體層之下。第一經摻雜半導體區域與第二經摻雜半導體區域係被電接地，或者係以相對於底端半導體層為順向之一電壓施加偏壓，此電壓不足以產生過量電流，因為少數載子經順向偏壓注入底端半導體層中，亦即，電動勢差異不超過 0.6V 至 0.8V。藉由半導體裝置內之上端半導體層之電信號所形成於一經誘發電荷層 (induced charge layer) 內之電荷，係經由連接至第一與第二經摻雜半導體區域之電接點而流出 (drained)，以減少在上述半導體裝置內的諧波信號，並增強此半導體裝置作為射頻開關之性能。

8：半導體基板

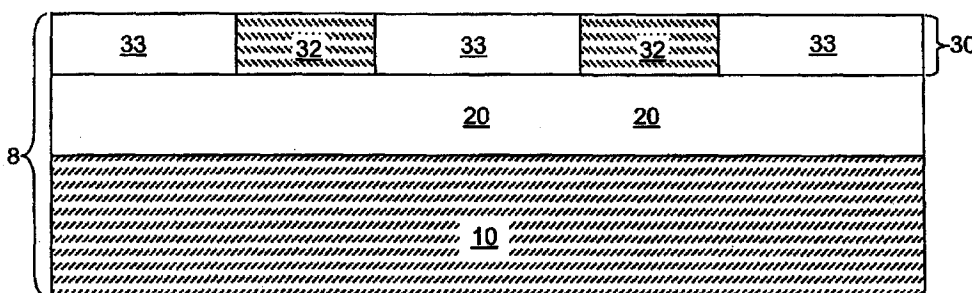
10：底端半導體層

20：埋入絕緣體層

30：上端半導體層

32：上半導體部分

33：淺溝槽隔離結構





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201041086 A1

(43)公開日：中華民國 99 (2010) 年 11 月 16 日

(21)申請案號：098139785

(22)申請日：中華民國 98 (2009) 年 11 月 23 日

(51)Int. Cl. : H01L21/762 (2006.01)

H01L25/04 (2006.01)

(30)優先權：2008/12/23 美國 12/342,488

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：波圖拉 亞倫 B BOTULA, ALAN B. (US)；諾瓦克 愛德華 J NOWAK, EDWARD J. (US)；斯林克曼 詹姆士 A SLINKMAN, JAMES A. (US)

(74)代理人：蔡玉玲

申請實體審查：無 申請專利範圍項數：25 項 圖式數：21 共 66 頁

(54)名稱

減少高頻諧波之絕緣層上半導體射頻開關

SOI RADIO FREQUENCY SWITCH FOR REDUCING HIGH FREQUENCY HARMONICS

(57)摘要

具有和一底端半導體層相同類型之摻雜的第一經摻雜半導體區域、以及具有一相反類型之摻雜的第二經摻雜半導體區域係直接形成於一絕緣層上半導體基板之一埋入絕緣體層之下。第一經摻雜半導體區域與第二經摻雜半導體區域係被電接地，或者係以相對於底端半導體層為順向之一電壓施加偏壓，此電壓不足以產生過量電流，因為少數載子經順向偏壓注入底端半導體層中，亦即，電動勢差異不超過 0.6V 至 0.8V。藉由半導體裝置內之上端半導體層之電信號所形成於一經誘發電荷層 (induced charge layer) 內之電荷，係經由連接至第一與第二經摻雜半導體區域之電接點而流出 (drained)，以減少在上述半導體裝置內的諧波信號，並增強此半導體裝置作為射頻開關之性能。

8：半導體基板

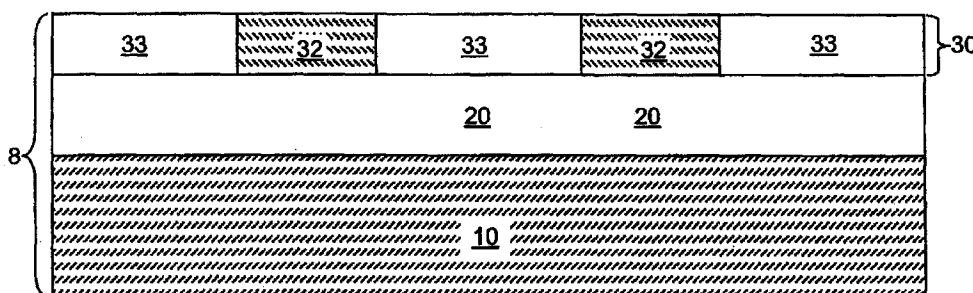
10：底端半導體層

20：埋入絕緣體層

30：上端半導體層

32：上半導體部分

33：淺溝槽隔離結構



六、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體結構，並尤其有關於一種在一絕緣層上半導體之上包括一射頻開關之半導體結構、其製造方法、以及其操作方法。

【先前技術】

例如場效應電晶體等半導體裝置，係被用在類比與射頻 (RF, radio frequency) 應用中作為射頻信號的開關裝置。絕緣層上半導體 (SOI, semiconductor-on-insulator) 基板係典型地被用於此種應用中，因為一埋入絕緣體層的低介電常數而降低了在裝置到基板之間的寄生電容。舉例而言，構成一塊狀矽基板的基板整體的矽 (silicon)，其介電係數在 gigahertz (GHz) 範圍時是 11.7。相對地，將一含有裝置之上端半導體層與一處理基板隔離開來的矽氧化物，其介電係數係為 3.9。藉由提供埋入絕緣體層，其介電係數係小於在一塊狀基板中之一半導體材料之介電係數，此 SOI 基板可降低在一單獨半導體裝置與此基板之間的電容耦合，且因而減低在半導體裝置之間透過此基板的二級電容耦合。

然而，即使使用了 SOI 基板，由於在射頻應用中所使用的高頻範圍（例如從 900 MHz 至 1.8 GHz，並且可能包括更高的範圍），在半導體裝置之間的電信號的二級耦合仍然顯著，這是因為在電元件之間的電容耦合會隨著頻率而線性增加。

對於形成於一 SOI 基板上之射頻開關而言，在一上端半導體層之中包括有此射頻開關以及信號處理單元之半導體裝置，係穿過埋入絕緣體層而電容耦合至一底端半導體層。即便在上端半導體層中之半導體裝置使用了一介於 3V 至 9V 的電源供應電壓，在一天線電路中的暫時信號以及信號反射，可能將在上端半導體層中的實際電壓增加到 30V。此一電壓條件會在受到此高電壓影響的各半導體裝置之間誘發一顯著的電容耦合，並在底端半導體層之一上方部位誘發一經誘發電荷層，其隨著上端半導體層中之半導體裝置的射頻信號頻率而改變其厚度與電荷極性。此經誘發電荷層會與上端半導體層中的其他半導體裝置產生電容耦合，包括理論上應與一射頻開關保持電隔離的半導體裝置。在底端半導體層之此經誘發電荷層與其他半導體裝置之間所產生的錯誤電容耦合，提供了二級電容耦合，其係為降低此射頻開關之有效性的寄生電容。在此情形下，即使此射頻開關是關閉的，射頻信號仍會經由此二級電容耦合而施加到其他半導體裝置中。

為了改善射頻開關的性能，較佳係能減低在底端半導體層與上端半導體層之半導體裝置之間的信息耦合。此外，為了改善射頻開關的性能，較佳係經由信號耦合而減少諧波的產生。

【發明內容】

本發明藉由提供穿過淺溝槽隔離結構以及埋入絕緣體層的電接點，而移除在一底端半導體層中之一上方部位的經

誘發電荷層，以降低位於其上之半導體裝置所產生之諧波。本發明亦提供此結構之製造方法、以及操作方法。

第一經摻雜半導體區域具有與底端半導體層相同的摻雜類型，且第二經摻雜半導體區域具有相反的摻雜類型，此二經摻雜半導體區域係直接形成於一絕緣層上半導體(SOI)基板之一埋入絕緣體層之下。第一經摻雜半導體區域與第二經摻雜半導體區域係電接地，或相對於底端半導體層施加以一順向偏壓，此電壓係不足以造成過量電流，因為少數載子經順向偏壓注入底端半導體層，亦即不超過 0.6 V 至 0.8 V 之一電動勢差(potential difference)。一經誘發電荷層中之電荷，其係由上端半導體層上之半導體裝置中的電信號所產生，而此電荷係經由連接至第一與第二經摻雜半導體區域之電接點所流出，藉而減少在其上半導體裝置中的諧波，並增加此作為一射頻開關之半導體裝置的性能。特別地，此基板幾乎總是在累聚(accumulation)，或反轉(inversion)，並因此呈現一相對穩定的電容值與場屏障，抑制在上層矽的元件之間的電場線。本發明亦提供了此半導體結構的一設計結構。

根據本發明之一面向，係提供一種形成一半導體結構之方法，其包括：在一絕緣層上半導體(SOI)基板之一上端半導體層之上形成至少一場效應電晶體，上述絕緣層上半導體基板包括一底端半導體層其具有一第一導電型摻雜；在上述上端半導體層之中形成一淺溝槽隔離結構，其中上述淺溝槽隔離結構橫向鄰接(abuts)至並環繞上述至少一場效應電晶體；在上述底端半導體層中形成一第一經摻雜半導體區域，

其中上述第一經摻雜半導體區域係鄰接至上述埋入絕緣體層且具有一上述第一導電型之摻雜；以及在上述底端半導體層中形成一第二經摻雜半導體區域，其中上述第二經摻雜半導體區域係鄰接至上述埋入絕緣體層且具有一第二導電型摻雜，其中上述第二導電型係為上述第一導電型之相反，且其中上述第一與第二經摻雜半導體區域係經由至少一金屬內連接結構而電連接，上述金屬內連接結構係位於上述絕緣層上半導體基板之上。

根據本發明另一面向，係提供一種操作一半導體裝置之方法。此操作方法包括：提供一半導體裝置其包括：一絕緣層上半導體基板其包括一上端半導體層、一埋入絕緣體層、以及一底端半導體層其具有一第一導電型摻雜；至少一場效應電晶體其位於上述上端半導體層之上；一淺溝槽隔離結構其橫向鄰接至上述至少一場效應電晶體；一第一經摻雜半導體區域其埋入於上述底端半導體層並鄰接至上述埋入絕緣體層且具有上述第一導電型摻雜；以及一第二經摻雜半導體區域其埋入上述底端半導體層並鄰接至上述埋入絕緣體層且具有一第二導電型摻雜，其中上述第二導電型係為上述第一導電型之相反；施加一射頻信號至上述至少一場效應電晶體，其中一誘發電荷層係直接形成於上述埋入絕緣體層之下；以及針對上述第一與第二經摻雜半導體區域施加相同電壓之偏壓。

根據本發明之又一面向，係提供一半導體結構。此半導體結構包括：一絕緣層上半導體基板其包括一上端半導體

層、一埋入絕緣體層、以及一底端半導體層其具有一第一導電型之摻雜；至少一場效應電晶體其係位於上述上端半導體層之上；一淺溝槽隔離結構其橫向鄰接至上述至少一場效應電晶體；一第一經摻雜半導體區域，其係埋入上述底端半導體層之中並鄰接至上述埋入絕緣體層且具有上述第一導電型之摻雜；以及一第二經摻雜半導體區域，其係埋入上述底端半導體層之中且鄰接至上述埋入絕緣體層且具有一第二導電型之摻雜，其中上述第二導電型係為上述第一導電型之相反，且其中上述第一與第二經摻雜半導體區域係以同一電壓施加電偏壓。

根據本發明之另一面向，係提供一種應用於一機器可讀媒介中之設計結構，以設計、製造或測試一半導體結構之設計，上述設計結構包括：一第一數據其代表一絕緣層上半導體基板，包括一上端半導體層、一埋入絕緣體層、以及一底端半導體層其具有一第一導電型之摻雜；一第二數據其代表位於上述半導體層之上之至少一場效應電晶體；一第三數據其代表一淺溝槽隔離結構鄰接至上述至少一場效應電晶體；一第四數據其代表在上述底端半導體層中之一第一經摻雜半導體區域，鄰接至上述埋入絕緣體層且具有上述第一導電型之摻雜；以及一第五數據其代表埋入上述底端半導體層中之一第二經摻雜半導體區域，鄰接至上述埋入絕緣體層且具有一第二導電型之摻雜，其中上述第二導電型係為上述第一導電型之相反，其中係以相同電壓施加偏壓之上述第一與第二經摻雜半導體區域。

【發明詳細說明】

如上所述，本發明有關於一半導體結構其包括位於一絕緣層上半導體（SOI）基板上之一射頻開關、其製造方法、以及其操作方法，均將伴隨圖示而詳述如下。各圖示並不一定依照比例繪製。

如本文所述，射頻(RF, radio frequency)係指一電磁波頻率介於 3 Hz 至 300 GHz 之間。射頻對應至用以製造與偵測無線電波之電磁波頻率。射頻包括甚高頻(VHF)、特高頻(UHF)、超高頻(SHF)、以及極高頻(EHF)。

在本文中，甚高頻(VHF)係指介於 30 MHz 至 300 MHz 之頻率。甚高頻係用於如調頻(FM)廣播等用途中。特高頻(UHF) 係指介於 300 MHz 至 3 GHz 之頻率。特高頻係用於如行動電話、無線網路、以及微波爐等用途中。超高頻(SHF) 係指介於 3 GHz 至 30 GHz 之頻率。超高頻係用於如無線網路、雷達、與衛星連線等用途中。極高頻(UHF) 係指介於 30 GHz 至 300 GHz 之頻率。極高頻係產生毫米波其波長係介於 1 至 10 毫米(mm)之間，且係用於如數據連接與遠距偵測等用途中。

「累聚區域」(accumulation region)一詞係指一經摻雜半導體區域，其中係因外加偏壓而累聚主要電荷載子。如果過量的電洞（在 p-摻雜半導體區域中的主要電荷載子）藉由外部負電壓使得此 p-摻雜半導體區域具有淨正電荷，則一 p-摻雜半導體區域係處於累聚模式。如果過量的

電子（在 n-摻雜半導體區域中的主要電荷載子）藉由外部正電壓使得此 n-摻雜半導體區域具有淨負電荷，則一 n-摻雜半導體區域係處於累聚模式。

「空乏區域」一詞係指一經摻雜半導體區域，其中係由於外加偏壓而將主要電荷載子排除其外，同時主要電荷載子與次要電荷載子並不累聚，使得在此經摻雜半導體區域中缺乏主要電荷載子與次要電荷載子。如果電洞（在 p-摻雜半導體區域中的主要電荷載子）係因施加一弱外部正電壓而在一 p-摻雜半導體區域中缺乏，則此 p-摻雜半導體區域係處於空乏模式。如果電子（在 n-摻雜半導體區域中的主要電荷載子）係因施加一弱外部負電壓而在一 n-摻雜半導體區域中缺乏，則此 n-摻雜半導體區域係處於空乏模式。

「反轉區域」一詞係指一經摻雜半導體區域其中次要電荷載子係累聚當中。典型地，一反轉區域形成於一半導體的表面，非常接近一強外部電壓處。如果電子（p-摻雜半導體區域之次要電荷載子）係在一 p-摻雜半導體區域中由一強外部正電壓影響而累聚，使得此 p-摻雜半導體區域具有一淨負電荷，則此 p-摻雜半導體區域係位於反轉模式。如果電洞（n-摻雜半導體區域之次要電荷載子）係在一 n-摻雜半導體區域中由一強外部負電壓影響而累聚，使得此 n-摻雜半導體區域具有一淨正電荷，則此 n-摻雜半導體區域係位於反轉模式。

請參照圖 1，其係為本發明第一實施例之一第一例示半導體結構，其包括一半導體基板 8。此半導體基板 8 係為一絕緣層上半導體(SOI, semiconductor-on-insulator)基板，其包括一底端半導體層 10、一埋入絕緣體層 20、以及一上端半導體層 30。此上端半導體層 30 包括至少一上半導體部分 32 以及一淺溝槽隔離結構 33。可在此上端半導體層之一上表面之上，提供至少一襯墊介電層(未示)其包括至少一介電材料(例如氮化矽及/或氮化矽)，以利於在後續製程步驟中藉由平面化而形成下方導電介層(vias)。

每一底端半導體層 10 以及至少一上半導體部分 32，係包括一半導體材料例如矽、一矽鍍合金區域、矽、鍍、一矽鍍合金區域、一矽碳合金區域、一矽-鍍-碳合金區域、砷化鎵、砷化銦、砷化鎵銦、磷化銦、硫化鉛、其他 III-V 族化合物半導體材料、以及 II-VI 族化合物半導體材料。底端半導體層 10 的材料可以與至少一上半導體部分 32 的半導體材料相同或不同。典型地，每一底端半導體層 10 以及至少一上半導體部分 32 包括一單晶半導體材料。舉例而言，此單晶半導體材料可為矽。

底端半導體層 10 具有大於 5 歐姆-公分(Ohm-cm)的電阻率，其包括舉例如以原子濃度小於 $2.0 \times 10^{15}/\text{cm}^3$ 之 p 型摻雜劑摻雜的 p-摻雜單晶矽、或以原子濃度小於 $1.0 \times 10^{15}/\text{cm}^3$ 之 n 型摻雜劑摻雜的 n-摻雜單晶矽。較佳地，此底端半導體層 10 的電阻率係大於 50 歐姆-公分，其包括舉例如以原子濃度小於 $2.0 \times 10^{14}/\text{cm}^3$ 之 p 型摻雜劑摻雜

的 p-摻雜單晶矽、或以原子濃度小於 $1.0 \times 10^{14}/\text{cm}^3$ 之 n 型摻雜劑摻雜的 n-摻雜單晶矽。更佳地，此底端半導體層 10 的電阻率係大於 1 千歐姆-公分，其包括舉例如以原子濃度小於 $1.0 \times 10^{13}/\text{cm}^3$ 之 p 型摻雜劑摻雜的 p-摻雜單晶矽、或以原子濃度小於 $5.0 \times 10^{12}/\text{cm}^3$ 之 n 型摻雜劑摻雜的 n-摻雜單晶矽。底端半導體層 10 的導電型在此係稱為第一導電型其可為 p 型或 n 型。

底端半導體層 10 的高電阻率係降低了渦電流(eddy current)，進而減少在上端半導體層 30 與底端半導體層 10 之間所產生或傳播的寄生電容的射頻信號。雖然在此係使用矽作為說明底端半導體層 10 的每一臨界電阻率所需要的摻雜劑濃度，其他半導體材料所需要的目標摻雜劑濃度可以輕易獲得，因為對於每一類型的半導體材料而言，已經有早就建立好的摻雜劑濃度對此半導體材料電阻率的關係。

底端半導體層 10 的厚度典型地係介於 400 微米 (micron) 至 1000 微米之間，且在此步驟典型地係介於 500 微米至 900 微米之間。若底端半導體層 10 在後續步驟中被薄化，則底端半導體層 10 的厚度可介於 50 微米至 800 微米之間。

埋入絕緣體層 20 包括一介電材料例如二氧化矽、氮化矽、氮氧化矽、或其組合。埋入絕緣體層 20 的厚度可介於 50 奈米至 500 奈米之間，且典型地介於 100 奈米至

300 奈米之間，雖然本發明亦考量了更大與更小的厚度。

淺溝槽隔離結構 33 包括一介電材料例如二氧化矽、氮化矽、氮氧化矽、或其組合。可以藉由形成至少一溝槽其延伸至上端半導體層 30 之中的埋入絕緣體層 20 之一上表面，以如二氧化矽、氮化矽、及/或氮氧化矽之一介電材料填入此至少一溝槽，並以如化學機械研磨(CMP)及/或回蝕刻等平面化(planarization)技術而移除位於上端半導體層 30 之上表面之上的介電材料部分，以形成此淺溝槽隔離結構 33。若此至少一淺溝槽係為連續的，則此淺溝槽隔離結構可為一體成形，亦即只有一塊。此淺溝槽隔離結構可以橫向鄰接，並環繞每一該至少一半導體部分 32。

上端半導體層 30 的厚度可介於 20 奈米至 200 奈米之間，且典型地介於 40 奈米至 100 奈米之間，雖然本發明亦考量了更大與更小的厚度。上述至少一半導體部分 32 可以 p 型或 n 型摻雜劑佈植。典型地，此至少一半導體部分 32 的摻雜劑濃度係介於 $1.0 \times 10^{15}/\text{cm}^3$ 至 $5.0 \times 10^{18}/\text{cm}^3$ 之間，其對應至一場效應電晶體之一本體區域的摻雜劑濃度，雖然本發明亦考量了更低與更高的濃度。

請參照至圖 2，一第一光阻劑 7 係塗佈至上端半導體層 30 之一上表面，並經光微影圖案化以形成開口。在第一光阻劑 7 之中的開口係位於淺溝槽隔離結構 33 上方。在一俯視圖中，每一開口係位於上述至少一半導體部分 32 的區域之外、並位於淺溝槽隔離結構 33 的區域之內。

藉由將在第一光阻劑 7 之中所形成之圖案轉移到半導體基板 8 之中，以形成至少一第一下方介層凹穴 (cavity) 17。在第一光阻劑 7 中之開口圖案係藉由非等向性蝕刻而轉移到淺溝槽隔離結構 33 與埋入絕緣體層 20 之中，上述非等向性蝕刻可為一反應性離子蝕刻。第一光阻劑 7 係應用作為非等向性蝕刻之一蝕刻遮罩。上述至少一第一下方介層凹穴 17 係形成於第一光阻劑 7 之開口的下方。

較佳地，非等向性蝕刻係對底端半導體層 10 之半導體材料有選擇性。舉例而言，若底端半導體層 10 包括矽，則使用一可移除介電材料（例如二氧化矽）並對矽有選擇性的非等向性蝕刻，以提供可以在底端半導體層 10 之上表面停止之非等向性蝕刻。

底端半導體層 10 的一上表面係外露於每一該至少一第一下方介層凹穴 17 之底部。每一至少一第一下方介層凹穴 17 係形成於淺溝槽隔離結構 33 以及埋入絕緣體層 20 之內。每一至少一第一下方介層凹穴 17 係從淺溝槽隔離結構 33 之一上表面，延伸通過此淺溝槽隔離結構 33 以及埋入絕緣體層 20，而到達底端半導體層之上表面。在本說明書中係明白解釋該至少一第一下方介層凹穴 17 進一步延伸進入底端半導體層的變化形態。

每一該至少一第一下方介層凹穴 17 的側壁可以實質上從淺溝槽隔離結構 33 的上表面垂直正交至底端半導體

層 10 的上表面。換言之，在一俯視圖中，每一該至少一第一下方介層凹穴 17 在淺溝槽隔離結構 33 以及埋入絕緣體層 20 之中的側壁部分，有可能彼此重疊。若在該至少一第一下方介層凹穴 17 的側壁中有漸細部分，漸細部分的角度可介於 0 至 5 度之間，且典型地介於 0 至 2 度之間，雖然本發明亦考量了更大與更小的角度。位於上端半導體層 30 之上表面下方的每一該至少一第一下方介層凹穴 17 的深度，可能相等於埋入絕緣體層 20 與上端半導體層 30 二者的厚度的總和。

該至少一第一下方介層凹穴 17 係為一下方介層凹穴的陣列。在此下方介層凹穴陣列中的每一下方介層凹穴，係為一單獨的介層凹穴而不與其他介層凹穴鄰接。

藉由將第一導電型之摻雜劑佈植入底端半導體層 10 的外露部分之中，而形成至少一第一經摻雜半導體區域 18。第一導電型係為底端半導體層 10 的導電型。底端半導體層 10 與至少一第一經摻雜半導體區域 18 係以相同導電型的摻雜劑進行摻雜。在一例中，底端半導體層 10 以及至少一第一經摻雜半導體區域 18 具有一 p-型摻雜。在另一例中，底端半導體層 10 與至少一第一經摻雜半導體區域 18 係具有一 n-型摻雜。

由於所佈植之摻雜劑會在橫向散佈，此至少一第一經摻雜半導體區域 18 係橫向延伸超過上述至少一第一下方介層凹穴 17 的面積，並垂直鄰接至埋入絕緣體層 20 之一

下表面。在第一導電型為 p 型的情形中，所佈植的摻雜劑可包括硼、鎵、銦、或其組合。在第一導電型為 n 型的情形中，所佈植的摻雜劑可包括磷、砷、銻、或其組合。第一光阻劑 7 係作用為離子佈植的自對準遮罩，使得至少一第一經摻雜半導體區域 18 係形成於至少一第一下方介層凹穴 17 之下方。每一至少一第一經摻雜半導體區域 18 係垂直地鄰接至上述至少一第一下方介層凹穴 17 的一下表面以及埋入絕緣體層 20 的下表面。當底端半導體層 10 包括一單晶半導體材料時，此至少一第一經摻雜半導體區域 18 亦為單晶。

此至少一第一經摻雜半導體區域 18 的厚度可介於 10 奈米至 600 奈米之間，且典型地介於 50 至 300 奈米之間，雖然本發明亦考量了更大與更小的厚度。此至少一第一經摻雜半導體區域 18 係典型地被重度摻雜以減少電阻率。此至少一第一經摻雜半導體區域 18 的摻雜劑濃度可介於 $1.0 \times 10^{19}/\text{cm}^3$ 到 $1.0 \times 10^{21}/\text{cm}^3$ 之間，雖然本發明亦考量了更小與更大的濃度。第一光阻劑 7 係接著針對上端半導體層 30、埋入絕緣體層 20 的側壁、以及此至少一第一經摻雜半導體區域 18 而選擇性地被移除。

參照至圖 3 及 4，一第二光阻劑 9 係塗佈至上端半導體層 30 之上表面，並經微影圖二化而形成開口。第二光阻劑 9 的開口，係位於淺溝槽隔離結構 33 在至少一第一下方介層凹穴 17 之外的區域（參見圖 3）之上，其可被第二光阻劑 9 所填滿。從俯視圖而言，每一該開口係位於至

少一上半導體部分 32 之外以及至少一第一下方介層凹穴 17 之外的區域，並位於淺溝槽隔離結構 33 之內的剩餘區域。

藉由將第二光阻劑 9 之中的圖形轉移到半導體基板 8 之中，可形成至少一第二下方介層凹穴 27。在第二光阻劑 9 之中的圖案係經由非等向性蝕刻而轉移至淺溝槽隔離結構 33 以及埋入絕緣體層 20 之中，此非等向性蝕刻可為一反應性離子蝕刻。第二光阻劑 9 係作用為此非等向性蝕刻之蝕刻遮罩。上述至少一第二下方介層凹穴 27 係位於第二光阻劑 9 的開口下方。

較佳地，非等向性蝕刻係對底端半導體層 10 之半導體材料有選擇性。舉例而言，若底端半導體層 10 包括矽，則使用一可移除介電材料（例如二氧化矽）並對矽有選擇性的非等向性蝕刻，以提供可以在底端半導體層 10 之上表面停止之非等向性蝕刻。

底端半導體層 10 的一上表面係外露於每一該至少一第二下方介層凹穴 27 之底部。每一至少一第二下方介層凹穴 27 係形成於淺溝槽隔離結構 33 以及埋入絕緣體層 20 之內。每一至少一第二下方介層凹穴 27 係從淺溝槽隔離結構 33 之一上表面，延伸通過此淺溝槽隔離結構 33 以及埋入絕緣體層 20，而到達底端半導體層之上表面。在本說明書中係明白解釋該至少一第二下方介層凹穴 27 進一步延伸進入底端半導體層的變化形態。

每一該至少一第二下方介層凹穴 27 的側壁可以實質上從淺溝槽隔離結構 33 的上表面垂直正交至底端半導體層 10 的上表面，或可具有與上述至少一第一下方介層凹穴 17 所述之漸細側壁。

該至少一第二下方介層凹穴 27 係為一下方介層凹穴的陣列。在此下方介層凹穴陣列中的每一下方介層凹穴，係為一單獨的介層凹穴而不與其他介層凹穴鄰接。

藉由將第二導電型之摻雜劑佈植入底端半導體層 10 的外露部分之中，而形成至少一第二經摻雜半導體區域 28。第二導電型係為第一導電型之相反。若第一導電型係為 p 型，則第二導電型係為 n 型，且反之亦然。由於所佈植之摻雜劑會在橫向散佈，此至少一第二經摻雜半導體區域 28 係橫向延伸超過上述至少一第二下方介層凹穴 27 的面積，並垂直鄰接至埋入絕緣體層 20 之一下表面。在第一導電型為 p 型的情形中，所佈植的摻雜劑可包括硼、鎵、銦、或其組合。在第一導電型為 n 型的情形中，所佈植的摻雜劑可包括磷、砷、銻、或其組合。第二光阻劑 9 係作用為離子佈植的自對準遮罩，使得至少一第二經摻雜半導體區域 28 係形成於至少一第二下方介層凹穴 27 之下方。每一至少一第二經摻雜半導體區域係垂直地鄰接至上述至少一下方介層凹穴的一下表面以及埋入絕緣體層 20 的下表面。當底端半導體層 10 包括一單晶半導體材料時，此至少一第二經摻雜半導體區域 28 亦為單晶。

此至少一第二經摻雜半導體區域 28 的厚度可介於 10 奈米至 600 奈米之間，且典型地介於 50 至 300 奈米之間，雖然本發明亦考量了更大與更小的厚度。此至少一第二經摻雜半導體區域 28 係典型地被重度摻雜以減少電阻率。此至少一第一經摻雜半導體區域 18 的摻雜劑濃度可介於 $1.0 \times 10^{19}/\text{cm}^3$ 到 $1.0 \times 10^{21}/\text{cm}^3$ 之間，雖然本發明亦考量了更小與更大的濃度。第二光阻劑 9 係接著針對上端半導體層 30、埋入絕緣體層 20 的側壁、以及此至少一第二經摻雜半導體區域 28 而選擇性地被移除。此至少一第二經摻雜半導體區域 28 並不會橫向鄰接至上述至少一第一經摻雜半導體區域 18。

請參照至圖 5 與圖 6，其係形成至少一第一下方導電介層 37 以及至少一第二下方導電介層 47。此至少一第一下方導電介層 37 係形成於每一至少一第一下方介層凹穴 17 之中，而後者係位於淺溝槽隔離結構 33 以及埋入絕緣體層 20 之中。相似地，此至少一第二下方導電介層 47 係形成於每一至少一第二下方介層凹穴 27 之中，而後者係位於淺溝槽隔離結構 33 以及埋入絕緣體層 20 之中。

特別地，係在至少一第一下方介層凹穴 17 以及至少一第二下方介層凹穴 27 之中沈積一導電材料。此導電材料可為一經摻雜半導體材料或一金屬材料。舉例而言，此導電材料可為經摻雜多晶矽、一經摻雜之含矽半導體材料、一經摻雜化合半導體材料、一元素金屬、至少二元素

金屬之一合金、一導電金屬氮化物等。在上端半導體層 30 之上表面的過量導電材料係藉由如化學機械研磨(CMP)、回蝕刻、或其混合方法而移除。在至少一第一下方介層凹穴 17 以及至少一第二下方介層凹穴 27 之中的剩餘導電材料部分，則分別構成了至少一第一下方導電介層 37 以及至少一第二下方導電介層 47。若使用至少一襯墊介電層(未示)在上端半導體層之上，則較佳可使用至少一介電層以平面化此導電材料，以利於形成至少一第一下方導電介層 37 以及至少一第二下方導電介層 47。若使用此至少一襯墊介電層，其係接著被移除以露出上端半導體層 30 的上表面。

每一至少一第一下方導電介層 37 係從淺溝槽隔離結構 33 之上表面，延伸至至少一第一經摻雜半導體區域 18 的上表面。每一至少一第二下方導電介層 47 係從淺溝槽隔離結構 33 之上表面，延伸至至少一第二經摻雜半導體區域 28 的上表面。每一至少一第一下方導電介層 37 係垂直鄰接至至少一第一經摻雜半導體區域 18 之上表面。每一至少一第二下方導電介層 47 係垂直鄰接至至少一第二經摻雜半導體區域 28 之上表面。

參照至圖 7 與 8，係利用此領域習知的方法，而將至少一場效應電晶體直接形成於至少一上半導體部分 32 之上。特別地，對於每一場效應電晶體而言，係形成至少一間極介電質 40、至少一間極 42、以及至少一間極間隔 44。對於每一場效應電晶體而言，也藉由將場效應電晶體的閘

極 42 以及閘極間隔 44 作為自對準佈植遮罩，而佈植摻雜劑以在至少一上半導體部分 32 之中一源極區域(未示)以及一汲極區域(未示)。

一中段製程(MOL, middle-of-line)介電層 80 係形成於至少一場效應電晶體、至少一上半導體部分 32、淺溝槽隔離結構 33、至少一第一下方導電介層 37、以及至少一第二下方導電介層 47 之上表面之上。此中段製程介電層 80 可包括矽氧化物、矽氮化物、氮氧化矽、有機矽酸鹽玻璃(OSG)、低 K 值化學氣相沈積(CVD)氧化物、自平面化材料如一旋塗玻璃、及一旋塗低 K 值介電材料如 SiLKTM 等。矽氧化物的範例包括未摻雜矽酸鹽玻璃(USG)、硼矽酸鹽玻璃(BSG)、磷矽酸鹽玻璃(PSG)、氟矽酸鹽玻璃(FSG)、硼磷矽酸鹽玻璃(BPSG)、或其組合。中段製程介電層 80 的厚度，從淺溝槽隔離結構 33 的上表面量起，可介於 100 奈米至 10,000 奈米之間，且典型地介於 200 奈米至 5,000 奈米之間。中段製程介電層 80 的上表面可以利用如化學機械研磨等方式而平面化。

在中段製程介電層中所形成之開口係利用微影方法以及非等向性蝕刻，以外露出至少一第一下方導電介層 37、至少一第二下方導電介層 47 的上表面，以及至少一場效應電晶體的各部分，例如至少一源極區域(未示)、至少一汲極區域(未示)、以及至少一閘極 42。至少一第一上方導電介層 67 係直接形成於至少一第一下方導電介層 37 的上方。至少一第二上方導電介層 77 窗係直接形成於至

少一第二下方導電介層 47 的上方。裝置接點介層 88 係直接形成於至少一場效應電晶體之上。

至少一第一上方導電介層 67、至少一第二上方導電介層 77、以及裝置接點介層 88 係包括一導電材料。此導電材料可為一經摻雜半導體材料或一金屬材料。舉例而言，此導電材料可為經摻雜多晶矽、一經摻雜之含矽半導體材料、一經摻雜化合半導體材料、一元素金屬、至少二元素金屬之一合金、一導電金屬氮化物等。在中段製程介電層 80 之上表面的過量導電材料係藉由如化學機械研磨 (CMP)、回蝕刻、或其混合方法而移除。

每一對垂直相鄰接的第一下方導電介層 37 以及第一上方導電介層 67，係共同形成第一導電介層 68。每一對垂直相鄰接的第二下方導電介層 47 以及第二上方導電介層 77，係共同形成第二導電介層 78。第一與第二上方導電介層 (67, 77) 的形成材料，可以與第一與第二下方導電介層 (37, 47) 的形成材料相同或不同。

參照至圖 9 與 10，係直接在中段製程介電層 80 的上表面之上，形成一內連接層介電層 90、第一內連接層金屬線 98、以及一第二內連接層金屬線 94。內連接層介電層 90 的介電材料可包括任何一可用於中段製程介電層 80 的介電材料，如上所述。內連接層介電層 90 的厚度可介於 75 奈米至 1000 奈米之間，且典型地介於 150 至 500 奈米之間，雖然本發明亦考量了更大與更小的厚度。

第一內連接層金屬線 98 以及第二內連接層金屬線 94 係埋入於內連接層介電層 90 之中，並可藉由一金屬材料的沈積與後續平面化步驟而形成。第一內連接層金屬線 98 以及第二內連接層金屬線 94 的金屬材料，可藉由物理氣相沈積(PVD)、電鍍、無電電鍍、化學氣相沈積、或其組合方法，而進行沈積。第一內連接層金屬線 98 以及第二內連接層金屬線 94 可包括如銅、鋁、鎢、鉭、鈦、氮化鎢、氮化鉭、氮化鈦、或其組合。第一內連接層金屬線 98 以及第二內連接層金屬線 94 可包括同一金屬材料。

每一第一內連接層金屬線 98 垂直鄰接至裝置接點介層 88。第二內連接層金屬線 94 垂直鄰接至至少一第一上方導電介層 67、至少一第二上方導電介層 77。

每一至少一第一導電介層 68 以及每一至少一第二導電介層 78，係從中段製程介電層 80 的上表面延伸到至少一第一經摻雜半導體區域 18 或至少一第二經摻雜半導體區域 28 的上表面。在每一對垂直彼此鄰接的第一下方導電介層 37 與第一上方導電介層 67 之間、以及每一對垂直彼此鄰接的第二下方導電介層 47 與第二上方導電介層 77 之間，係有一實體呈現的界面。第一例示半導體結構包括上述的至少一場效應電晶體，其可構成一信號的射頻開關，而此信號的頻率係介於 3 Hz 至 300 GHz 之間。特別地，此至少一場效應電晶體可構成一射頻開關，其可在甚高頻(VHF)、特高頻(UHF)、超高頻(SHF)、以及極高頻(EHF)

的範圍內操作。

在此高頻率下，在至少一場效應電晶體以及底端半導體層 10 之間的電容耦合(capacitive coupling)可能有重大影響，因為電容耦合會隨著頻率而線性增加。在至少一場效應電晶體中的射頻信號，會導致在底端半導體層 10 的一上方部分生成一誘發電荷層。在沒有電偏壓施加至底端半導體層 10 的情形下，誘發電荷層係直接生成在埋入絕緣體層 20 的正下方，並包括正電荷或負電荷。

在本發明中，係透過第二內連接層金屬線 94、至少一第一導電介層 68、以及至少一第二導電介層 78，而施加偏壓至至少一第一經摻雜半導體區域 18 與至少一第二經摻雜半導體區域 28。至少一第一經摻雜半導體區域 18 與至少一第二經摻雜半導體區域 28 係被施加以相同伏特的電偏壓。

在一實施例中，施加至至少一第一經摻雜半導體區域 18 與至少一第二經摻雜半導體區域 28 的電壓，可以相等於施加至底端半導體層 10 的電壓，使得至少一第一經摻雜半導體區域 18、至少一第二經摻雜半導體區域 28、以及底端半導體層 10 係電接地。

在另一實施例中，在底端半導體層 10 與至少一第二經摻雜半導體區域 28 之間的 p-n 接面，可以一不至於誘發崩潰電流(avalanche current)的電壓差而進行順向偏

壓。特別地，此電壓差係不大於 0.6 伏特。當第一導電型係為 p 型而第二導電型係為 n 型時，在至少一第二經摻雜半導體區域 28 之中的電壓，相對於施加至底端半導體層 10 的電壓，可以為 0 伏特至 -0.6 伏特。當第一導電型係為 n 型而第二導電型係為 p 型時，在至少一第二經摻雜半導體區域 28 之中的電壓，相對於施加至底端半導體層 10 的電壓，可以為 0 伏特至 +0.6 伏特。

藉由施加偏壓至至少一第一經摻雜半導體區域 18 與至少一第二經摻雜半導體區域 28，在底端半導體層 10 的上方部分中的誘發電荷層中所誘發的電荷，係經由至少一第一導電介層 68 與至少一第二導電介層 78 而被流出。特別地，在每一週期的施加至至少一場效應電晶體的射頻信號中、在誘發電荷層的累聚模式(accumulation mode)中誘發主要電荷載子的部分，係經由至少一第一經摻雜半導體區域 18 以及至少一第一導電介層 68 而移除主要電荷載子。在每一週期的射頻信號中、在誘發電荷層的反轉模式(inversion mode)中誘發次要電荷載子的部分，係經由至少一第二經摻雜半導體區域 28 以及至少一第二導電介層 78 而移除次要電荷載子。因此，在誘發電荷層中的電荷係持續透過至少一第一導電介層 68 與至少一第二導電介層 78 而流出，以避免在誘發電荷層中出現大量電荷。在誘發電荷中降低電荷的數量，則減少了在至少一場效應電晶體的射頻信號與底端半導體層 10 之間的電容耦合，進而減少射頻信號的諧波(harmonics)產生。此結果增加了射頻信號傳播(propagate)通過至少一場效應電晶體時的信號傳真

(signal fidelity)，使場效應電晶體作用為射頻開關。

參照至圖 11，根據本發明一第二例示實施例的第二例示半導體結構，係從第一例示半導體結構衍生而來，其中改變了用以形成至少一第一導電介層 68 以及至少一第二導電介層 78 的方法。在此第二實施例中，係應用了遮罩層，並分別使用了第一導電型與第二導電型的摻雜劑而透過遮罩層的開口進行佈植，以形成至少一第一經摻雜半導體區域 18 以及至少一第二經摻雜半導體區域 28。遮罩層可為光阻劑層。在此係使用了二遮罩層以及二道分開的離子佈植步驟，以形成至少一第一經摻雜半導體區域 18 以及至少一第二經摻雜半導體區域 28。第一與第二導電型的摻雜劑離子，係被佈植穿過淺溝槽隔離結構 33 以及埋入絕緣體層 20。至少一第二經摻雜半導體區域 28 並不橫向鄰接至至少一第一經摻雜半導體區域 18。

至少一第一導電介層 68 以及至少一第二導電介層 78 的形成方法，可以利用形成介層凹穴而達成，介層凹穴係從中段製程介電層 80 的上表面，延伸至至少一第一經摻雜半導體區域 18 以及至少一第二經摻雜半導體區域 28 的上表面。至少一第一導電介層 68 係直接形成於至少一第一經摻雜半導體區域 18 之上，且至少一第二導電介層 78 係直接形成於至少一第二經摻雜半導體區域 28 之上。每一至少一第一導電介層 68 係為一體成形，並且從中段製程介電層 80 的上表面延伸至至少一第一經摻雜半導體區域 18 的上表面。每一至少一第二導電介層 78 係為一體成

形，並且從中段製程介電層 80 的上表面延伸至至少一第二經摻雜半導體區域 28 的上表面。第二例示半導體結構的操作方式，係與第一例示半導體結構的操作方式相同。

參照至圖 12、13 及 14，可以在彼此相鄰的位置形成至少一第一下方介層凹穴 17 以及至少一第二下方介層凹穴 27（參照圖 2 與 3），而形成本發明第三實施例的第三例示半導體結構。在此情形下，每一至少一第一經摻雜半導體區域 18 係橫向鄰接至一個或多個至少一第二經摻雜半導體區域 28。至少一下方導電介層 57 係直接形成於至少一第一經摻雜半導體區域 18 以及至少一第二經摻雜半導體區域 28 之上。每一至少一下方導電介層 57 係垂直鄰接至一個或多個至少一第一經摻雜半導體區域 18 以及一個或多個至少一第二經摻雜半導體區域 28。此第三實施例中的至少一下方導電介層 57 係取代了第一實施例中的至少一第一下方導電介層 37 以及至少一第二下方導電介層 47。相似地，此第三實施例中的至少一上方導電介層 87 係取代了第一實施例中的至少一第一上方導電介層 67 以及至少一第二上方導電介層 77。一對垂直鄰接的下方導電介層 57 以及上方導電介層 87 係共同構成一導電介層 58。此第三例示半導體結構的操作方法，係與第一例示半導體結構的操作方法相同。

參照至圖 15 與 16，可利用與第三實施例中相同的方法，形成根據本發明第四實施例的第四例示半導體結構。在此第四實施例中，複數個第一經摻雜半導體區域 18 以

及複數個第二經摻雜半導體區域 28，係橫向包覆底端半導體層中位於埋入絕緣體層 20 正下方的至少一上方部分。沿著圖 15 與 16 中的 Z-Z' 平面所做的垂直剖面圖，看起來可能跟圖 15 相同。此複數個第一經摻雜半導體區域 18 中的每一個，係橫向鄰接至一個或多個上述複數個第二經摻雜半導體區域 28。可以形成一一體成形的下方導電介層 57，以橫向包圍位於其中的至少一上半導體部分 21。第四實施例中的至少一上方導電介層 87，係取代了第一實施例中的至少一第一上方導電介層 67 以及至少一第二上方導電介層 77。此第四例示半導體結構的操作方法，係與第一例示半導體結構的操作方法相同。

參照圖 17 與 18，可利用與第二實施例中相同的方法，形成根據本發明第五實施例的第五例示半導體結構。根據第五實施例，係形成至少一第一經摻雜半導體區域 18，使得此至少一第一經摻雜半導體區域 18 的一部份係位於一上半導體部分 32 的下方。形成至少一場效應電晶體之後，每一至少一第一經摻雜半導體區域 18 的一部份係位於至少一場效應電晶體的一部份的下方。在一透視俯視圖中，至少一第一經摻雜半導體區域 18 係與至少一上半導體部分 32 的一部份面積重疊。此第五例示半導體結構的操作方法，係與第一例示半導體結構的操作方法相同。將至少一第一經摻雜半導體區域 18 的一部份置於至少一上半導體部分 32 的下方，有利於在一累聚模式時將主要電荷載子從誘發電荷層移除，誘發電荷層係形成於底端半導體層 10 之中位於埋入絕緣體層 20 正下方的一上方部分。

參照圖 19 與 20，可利用與第二實施例中相同的方法，形成根據本發明第六實施例的第六例示半導體結構。根據第六實施例，係形成至少一第二經摻雜半導體區域 28，使得此至少一第二經摻雜半導體區域 28 的一部份係位於一上半導體部分 32 的下方。形成至少一場效應電晶體之後，每一至少一第二經摻雜半導體區域 28 的一部份係位於至少一場效應電晶體的一部份的下方。在一透視俯視圖中，至少一第二經摻雜半導體區域 28 係與至少一上半導體部分 32 的一部份面積重疊。此第六例示半導體結構的操作方法，係與第一例示半導體結構的操作方法相同。將至少一第二經摻雜半導體區域 28 的一部份置於至少一上半導體部分 32 的下方，有利於在一反轉模式時將次要電荷載子從誘發電荷層移除，誘發電荷層係形成於底端半導體層 10 之中位於埋入絕緣體層 20 正下方的一上方部分。

圖 21 係為例示設計流程 900 的方塊圖，其可用於如半導體邏輯設計、模擬、測試、以及製造。設計流程 900 包括程序與機制，其係用以處理設計結構或裝置以產生在圖 1-20 之中所繪示的設計結構及/或裝置的邏輯或功能性相等的代表。由設計流程 900 所處理及/或產生的設計結構，可以編碼在機器可讀的傳送或儲存媒介中，以包括數據及指令其，在一數據處理系統上被執行或處理時，會產生硬體元件、電路、裝置或系統的邏輯、結構、機械或其他功能上相等的代表圖。設計流程 900 可隨著被設計的代

表圖類型而改變。舉例而言，用以建造一應用特定積體電路(ASIC, application specific integrated circuit)的設計流程，可能與設計一標準元件的設計流程 900、或用以將此設計實體化於一可程式化陣列中的設計流程 900 不同，可程式化陣列可舉例如由 Altera®或 Xilinx®公司所提供的可程式化閘極陣列(PGA, programmable gate array)、或一場可程式化閘極陣列(FPGA, field programmable gate array)。

圖 21 繪示了多個此種設計結構，包括較佳由設計程序 910 所處理的一輸入設計結構 920。設計結構 920 可為由設計程序 910 所產生並處理的邏輯模擬設計結構，以產生一硬體裝置的邏輯均等功能性代表。設計結構 920 亦可（或替代地）包括數據及/或程式指令其，當被設計程序 910 處理時，產生一硬體裝置之實體結構的功能性代表。無論是代表功能性及/或結構性的設計特徵，設計結構 920 可由如一核心發展者/設計者所應用電子計算機輔助設計(ECAD)所產生。當被編碼在一機器可讀的數據傳輸、閘極陣列或儲存媒介上的時候，設計結構 920 可被設計程序 910 中的一個或多個硬體及/或軟體模組所存取並處理，以模擬或功能性地表示在圖 1-20 之中的電子元件、電路、電子或邏輯模組、裝置、或系統。因此，設計結構 920 可包括檔案或其他數據結構，包括人為及/或機器可讀的來源碼、經編匯結構、以及電腦可執行程式碼結構，其被一設計或模擬數據處理系統所處理時，功能性地模擬或代表電路或其他階層的硬體邏輯設計。此數據結構可包括硬體描

述語言(HDL)設計單元、或其他可與低階 HDL 相符及/或相容的數據結構(例如 Verilog 與 VHDL)及/或可與高階設計語言相符及/或相容的數據結構(例如 C 或 C++)。

設計程序 910 較佳係應用並包括硬體及/或軟體模組，以供合成、轉譯、或其他處理在圖 1-20 中所示之元件、電路、裝置或邏輯結構的一設計/模擬功能均等物，以產生一網路表(netlist)980，其可包括如設計結構 920 之設計結構。網路表 980 可包括如經編匯或其他經處理的數據結構，其代表一由導線、單獨元件、邏輯閘、控制電路、I/O 裝置、模型等所構成的列表，其描述在一積體電路設計中與其他元件與電路的連結。網路表 980 可利用一反覆式流程(iterative process)而形成，其中網路表 980 係隨著此裝置的設計規格或參數而經過一次或多次再合成。如同其他在本說明書中所述的設計結構類型，網路表 980 可被記錄在一機器可讀數據儲存媒介中，或被編程於一可程式化閘極陣列中。此媒介可為一非揮發性儲存媒介如一磁性或光學磁碟機、一可程式化閘極陣列、一 Compact flash 記憶體、或其他快閃記憶體。此外，或替代性地，此媒介可為一系統或快取記憶體、緩衝空間、或電或光學導體裝置與材料而在其上可將數據封包傳送且經由網路或其他適用於網路之手段間接儲存。

設計程序 910 可包括硬體與軟體模組，以處理多種輸入數據結構類型，包括網路表 980。對於一給定的製造技術(例如不同的技術節點，32 奈米、45 奈米、90 奈米等)，

此數據結構類型可位於如程序庫元件(library element)930中，並包括一組共同使用的元件、電路以及裝置，包括模組、佈局、以及符號化代表。此數據結構類型可更包括設計規格 940、特徵化數據 950、驗證數據 960、設計規則 970、以及測試數據檔 985，測試數據檔 985 可包括輸入測試範例、輸出測試結果、以及其他測試資訊。設計程序 910 可更包括如標準機械化設計程序，例如應力分析、熱分析、機械事件模擬、操作程序模擬如鑄件、模造、以及模壓成形(die press forming)等。熟悉機械設計技藝者可理解在設計程序 910 中所可能使用的機械設計工具與應用的範疇，而不偏離本發明的範疇與精神。設計程序 910 亦可包括用以執行標準電路設計程序的模組，例如時機分析、驗證設計規則確認、操作位置與路線等。

設計程序 910 應用並包括邏輯與實體設計工具，例如 HDL 編程器與模擬模型建造工具，以同時處理設計結構 920 與上述的支援數據結構的部分或全部、以及任何額外的機械設計或數據（如果適用），以產生一第二設計結構 990。設計結構 990 係以一用於交換機械裝置與結構之數據的數據格式（例如儲存於 IGES、DXF、Parasolid XT、JT、DRG、或任何其他適用於儲存或形成此種機械設計結構之格式），而位於一儲存媒介或可程式化閘極陣列中。與設計結構 920 相似地，設計結構 990 較佳係包括一個或多個檔案、數據結構、或其他電腦編碼數據或指令，其係位於傳輸或數據儲存媒介上，且當被一 ECAD 系統所處理時，會從圖 1-20 中的本發明一個或多個實施例中，產生

一邏輯或其他功能性均等形式。在一實施例中，設計結構 990 可包括一經編匯而可執行的 HDL 模擬模型，其係功能性地模擬在圖 1-20 中所示的裝置。

設計結構 990 亦可應用一數據格式其係用於交換積體電路及/或符號化數據格式的數據格式（例如儲存在 GDSII(GDS2)、GL1、OASIS、地圖檔、或任何其他適用於儲存此種設計數據結構的格式）。設計結構 990 可包括如符號化數據、地圖檔、測試數據檔、設計內容檔、製造數據、佈局參數、導線、各金屬層、介層、外型、製程站路線數據、以及其他製造者或其他設計者/發展者在製造圖 1-20 中之上述裝置或結構時所需要的任何其他數據。設計結構 990 可接著進行至一階段 995，其中，舉例而言設計結構 990：繼續進行至晶片試產(tape-out)，係釋放至製造、係釋放至光罩室、係送至另一設計廠、係送回至客戶等。

在不脫離本發明精神或必要特性的情況下，可以其他特定形式來體現本發明。應將所述具體實施例各方面僅視為解說性而非限制性。因此，本發明的範疇如隨附申請專利範圍所示而非如前述說明所示。所有落在申請專利範圍之等效意義及範圍內的變更應視為落在申請專利範圍的範疇內。

【圖式簡單說明】

為了立即瞭解本發明的優點，請參考如附圖所示的特定具體實施例，詳細說明上文簡短敘述的本發明。在瞭解

這些圖示僅描繪本發明的典型具體實施例並因此不將其視為限制本發明範疇的情況下，參考附圖以額外的明確性及細節來說明本發明，圖式中：

圖 1-10 為根據本發明之第一實施例所繪示之第一半導體結構之各種視圖。圖 1-3、5、7、9 係為此第一例示半導體結構之連續水平剖面圖。圖 4 係為圖 3 沿著 X-X' 平面所做之垂直剖面圖。圖 6 係為圖 5 沿著 X-X' 平面所做之垂直剖面圖。圖 5 係為圖 6 沿著 Z-Z' 平面所做之一垂直剖面圖。圖 8 係為圖 7 之俯視圖，其中一中段製程介電層係被移除以提供較清楚的視角。圖 10 係為圖 9 之俯視圖。

圖 11 係為根據本發明一第二實施例之第二例示半導體結構之一垂直剖面圖。

圖 12-14 係為根據本發明一第三實施例之第三例示半導體結構之不同視圖。圖 12 係為圖 14 沿著 A-A' 平面所做之水平剖面圖。圖 13 係為圖 14 沿著 B-B' 平面所做之一水平剖面圖。

圖 15 與 16 係為根據本發明一第四實施例之一第四例示半導體結構之不同視圖。此第四例示半導體結構之垂直剖面圖係與圖 14 像同。圖 15 與 16 係為此第四例示半導體結構沿著圖 14 中的 A-A' 平面以及 B-B' 平面所做之水平剖面圖。

圖 17 與 18 係根據本發明一第五實施例之一第五例示半導體結構之連續垂直剖面圖。

圖 19 與 20 係根據本發明一第六實施例之一第六例示半導體結構之連續垂直剖面圖。

圖 21 係一設計流程之流程圖，用於本發明之半導體結構之設計與製造。

【主要元件符號說明】

- 7 第一光阻劑
- 8 半導體基板
- 9 第二光阻劑
- 10 底端半導體層
- 17 第一下方介層凹穴
- 18 第一經摻雜半導體區域
- 20 埋入絕緣體層
- 21 上半導體部分
- 27 第二下方介層凹穴
- 28 第二經摻雜半導體區域
- 30 上端半導體層
- 32 上半導體部分
- 33 淺溝槽隔離結構
- 37 第一下方導電介層
- 40 閘極介電質
- 42 閘極
- 44 閘極間隔
- 47 第二下方導電介層
- 57 下方導電介層
- 67 第一上方導電介層
- 68 第一導電介層

- 77 第二上方導電介層
- 78 第二導電介層
- 80 中段製程介電層
- 87 上方導電介層
- 88 裝置接點介層
- 90 內連接層介電層
- 94 第二內連接層金屬線
- 98 第一內連接層金屬線
- 900 設計流程
- 910 設計程序
- 920 輸入設計結構
- 930 程序庫元件
- 940 設計規格
- 950 特徵化數據
- 960 驗證數據
- 970 設計規則
- 980 網路表
- 985 測試數據檔
- 990 第二設計結構

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98139785

※申請日：98年11月23日

※IPC分類：H01L 21/762 (2006.01)

H01L 25/04 (2006.01)

一、發明名稱：(中文/英文)

減少高頻諧波之絕緣層上半導體射頻開關

SOI RADIO FREQUENCY SWITCH FOR REDUCING HIGH
FREQUENCY HARMONICS

二、中文發明摘要：

具有和一底端半導體層相同類型之摻雜的第一經摻雜半導體區域、以及具有一相反類型之摻雜的第二經摻雜半導體區域係直接形成於一絕緣層上半導體基板之一埋入絕緣體層之下。第一經摻雜半導體區域與第二經摻雜半導體區域係被電接地，或者係以相對於底端半導體層為順向之一電壓施加偏壓，此電壓不足以產生過量電流，因為少數載子經順向偏壓注入底端半導體層中，亦即，電動勢差異不超過 0.6 V 至 0.8 V。藉由半導體裝置內之上端半導體層之電信號所形成於一經誘發電荷層(induced charge layer)內之電荷，係經由連接至第一與第二經摻雜半導體區域之電接點而流出(drain)，以減少在上述半導體裝置內的諧波信號，並增強此半導體裝置作為射頻開關之性能。

三、英文發明摘要：

First doped semiconductor regions having the same type doping as a bottom semiconductor layer and second doped semiconductor regions having an opposite type doping are formed directly

underneath a buried insulator layer of a semiconductor-on-insulator (SOI) substrate. The first doped semiconductor regions and the second doped semiconductor regions are electrically grounded or forward-biased relative to the bottom semiconductor layer at a voltage that is insufficient to cause excessive current due to forward-biased injection of minority carriers into the bottom semiconductor layer, i.e. at a potential difference not exceeding 0.6 V to 0.8 V. The electrical charges formed in an induced charge layer by the electrical signal in semiconductor devices on the top semiconductor layer are drained through electrical contacts connected to the first and second doped semiconductor regions, thereby reducing of harmonic signals in the semiconductor devices above and enhancing the performance of the semiconductor devices as a radio-frequency (RF) switch.

七、申請專利範圍：

1. 一種形成一半導體結構之方法，包括：

在一絕緣層上半導體(SOI)基板之一上端半導體層之上形成至少一場效應電晶體，該絕緣層上半導體基板包括具有一第一導電型之摻雜的一底端半導體層；

在該上端半導體層之中形成一淺溝槽隔離結構，其中該淺溝槽隔離結構橫向鄰接並環繞該至少一場效應電晶體；

在該底端半導體層中形成一第一經摻雜半導體區域，其中該第一經摻雜半導體區域係鄰接一埋入絕緣體層且具有該第一導電型之摻雜；以及

在該底端半導體層中形成一第二經摻雜半導體區域，其中該第二經摻雜半導體區域係鄰接至該埋入絕緣體層且具有一第二導電型之摻雜，其中該第二導電型係為該第一導電型之相反，且其中該第一與第二經摻雜半導體區域係經由至少一金屬內連接結構而電連接，該至少一金屬內連接結構係位於該絕緣層上半導體基板之上。

2. 如申請專利範圍第 1 項所述之方法，更包括：

在該上端半導體層之上形成一經圖案化離子佈植遮罩；以及

穿過該經圖案化離子佈植遮罩、該上端半導體層、以及該埋入絕緣體層之一開口，而佈植電摻雜劑至該底端半導體層之一上方部分，其中該底端半導體層之一佈植部分構成該第一經摻雜半導體區域或該第二經摻雜半導體區域。

3. 如申請專利範圍第 1 項所述之方法，更包括：

形成一中段製程(middle-of-line, MOL)介電層於該至少一場效

應電晶體以及該淺溝槽隔離結構之上；以及

形成至少一導電介層，從該中段製程介電層之一上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層、並到達該第一與第二經摻雜半導體區域。

4. 如申請專利範圍第 3 項所述之方法，更包括：

形成至少一第一介層凹穴，從該中段製程介電層之該上表面延伸至該底端半導體層之該上表面；以及

佈植該第一導電型摻雜劑穿過該至少一第一介層凹穴而進入該底端半導體層之一上方部分，其中該底端半導體層之一佈植部分係構成該第一經摻雜半導體區域。

5. 如申請專利範圍第 3 項所述之方法，更包括：

形成至少一第一介層凹穴，從該中段製程介電層之該上表面延伸至該底端半導體層之該上表面，其中該第一經摻雜半導體區域以及該第二經摻雜半導體區域係位於該至少一介層凹穴之正下方；以及

以一導電材料填滿該至少一介層凹穴，其中該至少一導電介層係由該導電材料所形成。

6. 如申請專利範圍第 3 項所述之方法，其中每一該至少一導電介層係為由一下方導電介層與一上方導電介層所形成之一堆疊，其中該下方導電介層與該上方導電介層之間的一界面實質上與該上端半導體層之一上表面共平面(coplanar)。

7. 如申請專利範圍第 3 項所述之方法，其中該至少一導電介層包

括：

至少一第一導電介層，從該中段製程介電層之一上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層，並到達該第一經摻雜半導體區域之一上表面；以及

至少一第二導電介層，從該中段製程介電層之一上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層，並到達該第二經摻雜半導體區域之一上表面。

8. 一種操作一半導體裝置之方法，包括：

提供一半導體裝置，包括：

一絕緣層上半導體基板，包括一上端半導體層、一埋入絕緣體層、以及一底端半導體層，該底端半導體層具有一第一導電型之摻雜；

至少一場效應電晶體，位於該上端半導體層之上；

一淺溝槽隔離結構，橫向鄰接至該至少一場效應電晶體；

一第一經摻雜半導體區域，埋入於該底端半導體層並鄰接至該埋入絕緣體層且具有該第一導電型之摻雜；以及

一第二經摻雜半導體區域，埋入於該底端半導體層並鄰接至該埋入絕緣體層且具有一第二導電型之摻雜，其中該第二導電型係為該第一導電型之相反；

施加一射頻信號至該至少一場效應電晶體，其中一誘發電荷層係直接形成於該埋入絕緣體層之下；以及

針對該第一與第二經摻雜半導體區域施加相同電壓之偏壓。

9. 如申請專利範圍第 8 項所述之方法，更包括：將該第一與第二經摻雜半導體區域電接地。

10. 如申請專利範圍第 9 項所述之方法，更包括：以另一電壓而針對該底端半導體層施加電偏壓，且其中以一不大於 0.6 V 之電壓差對該底端半導體層與該第二經摻雜半導體區域之間的一 p-n 接面施加順向偏壓。

11. 如申請專利範圍第 8 項所述之方法，其中該第一經摻雜半導體區域或該第二經摻雜半導體區域係成為該至少一場效應電晶體之一部份之基礎。

12. 如申請專利範圍第 8 項所述之方法，其中該半導體裝置更包括至少一導電介層，鄰接至該第一經摻雜半導體區域與該第二經摻雜半導體區域。

13. 一種半導體結構，包括：

一絕緣層上半導體基板，包括一上端半導體層、一埋入絕緣體層、以及一底端半導體層，該底端半導體層具有一第一導電型之摻雜；

至少一場效應電晶體，位於該上端半導體層之上；

一淺溝槽隔離結構，橫向鄰接至該至少一場效應電晶體；

一第一經摻雜半導體區域，埋入該底端半導體層之中並鄰接至該埋入絕緣體層且具有該第一導電型之摻雜；以及

一第二經摻雜半導體區域，埋入該底端半導體層之中並鄰接至該埋入絕緣體層且具有一第二導電型之摻雜，其中該第二導電型係為該第一導電型之相反，且其中該第一與第二經摻雜半導體區域係以同一電壓施加電偏壓。

14. 如申請專利範圍第 13 項所述之半導體結構，其中係以另一電壓施加電偏壓至該底端半導體層，且其中係以一不大於 0.6 V 之電壓差對該底端半導體層與該第二經摻雜半導體區域之間的一 p-n 接面施加順向偏壓。

15. 如申請專利範圍第 13 項所述之半導體結構，更包括：至少一導電介層，鄰接至該第一經摻雜半導體區域以及該第二經摻雜半導體區域。

16. 如申請專利範圍第 15 項所述之半導體結構，其中每一該至少一導電介層係為一體成形且從該中段製程介電層之該上表面延伸至該經摻雜半導體區域之該上表面。

17. 如申請專利範圍第 15 項所述之半導體結構，其中每一該至少一導電介層係包括由一下方導電介層與一上方導電介層所形成之一垂直鄰接堆疊，其中該上方導電介層之一上表面係延伸至該中段製程介電層之該上表面，且該下方導電介層之一下表面係延伸至該經摻雜半導體區域之該上表面。

18. 如申請專利範圍第 15 項所述之半導體結構，其中該至少一導電介層包括一體成形之一導電介層，橫向包圍位於該至少一場效應電晶體之整體正下方之一區域。

19. 如申請專利範圍第 15 項所述之半導體結構，其中該至少一導電介層包括：

至少一第一導電介層，從一中段製程介電層之一上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層，並到達該第一經摻雜半導體區域之一上表面；以及

至少一第二導電介層，從一中段製程介電層之該上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層，並到達該第二經摻雜半導體區域之一上表面。

20. 如申請專利範圍第 15 項所述之半導體結構，更包括：一經誘發電荷層，由施加至該至少一場效應電晶體之一射頻所誘發，該經誘發電荷層係鄰接至該第一經摻雜半導體區域與該第二經摻雜半導體區域，位於該底端半導體層之一上方區域，其中在該經誘發電荷層中之電荷係經由該至少一導電介層所流出。

21. 一種應用於一機器可讀媒介中之設計資料結構，以設計、製造或測試一半導體結構之設計，該設計結構包括：

一第一數據，代表一絕緣層上半導體基板，該絕緣層上半導體基板包括一上端半導體層、一埋入絕緣體層、以及一底端半導體層，該底端半導體層具有一第一導電型之摻雜；

一第二數據，代表位於該半導體層之上之至少一場效應電晶體；

一第三數據，代表一淺溝槽隔離結構，鄰接至該至少一場效應電晶體；

一第四數據，代表埋入該底端半導體層中之一第一經摻雜半導體區域，鄰接至該埋入絕緣體層且具有該第一導電型之摻雜；以及

一第五數據，代表埋入該底端半導體層中之一第二經摻雜半

導體區域，鄰接至該埋入絕緣體層且具有一第二導電型之摻雜，其中該第二導電型係為該第一導電型之相反，其中係以相同電壓施加偏壓之該第一與第二經摻雜半導體區域。

22. 如申請專利範圍第 21 項所述之設計資料結構，其中該相同電壓係為電接地，且其中該底端半導體層係被電接地。

23. 如申請專利範圍第 21 項所述之設計資料結構，其中係以另一電壓施加電偏壓至該底端半導體層，且其中以一不大於 0.6 V 之電壓差對該底端半導體層與該第二經摻雜半導體區域之間的一 p-n 接面施加順向偏壓。

24. 如申請專利範圍第 21 項所述之設計資料結構，更包括：一第六數據，代表至少一導電介層，鄰接至該第一經摻雜半導體區域與該第二經摻雜半導體區域。

25. 如申請專利範圍地 24 項所述之設計資料結構，其中該第六數據包括：

一第七數據，代表至少一第一導電介層，從一中段製程介電層之該上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層，並到達該第一經摻雜半導體區域之一上表面；以及

一第八數據，代表至少一第二導電介層，從一中段製程介電層之該上表面延伸穿過該中段製程介電層、該淺溝槽隔離結構、該埋入絕緣體層，並到達該第二經摻雜半導體區域之一上表面。

八、圖式：

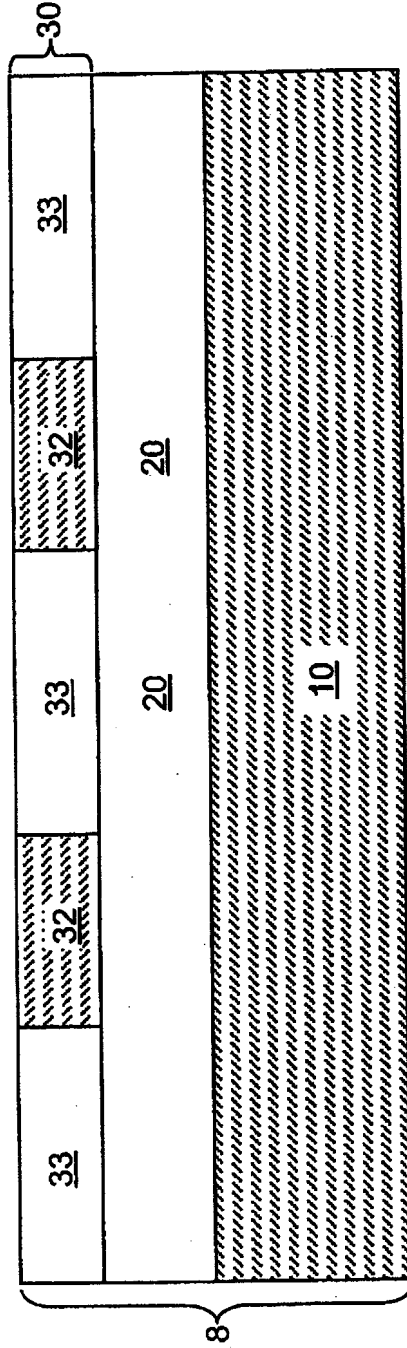


圖 1

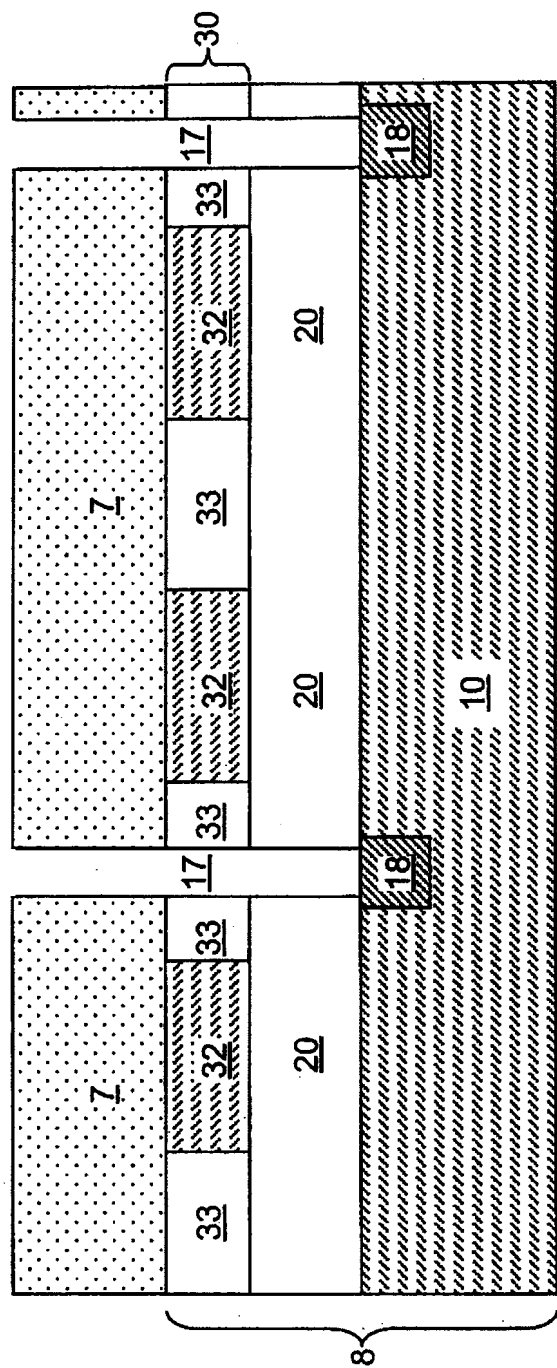


圖 2

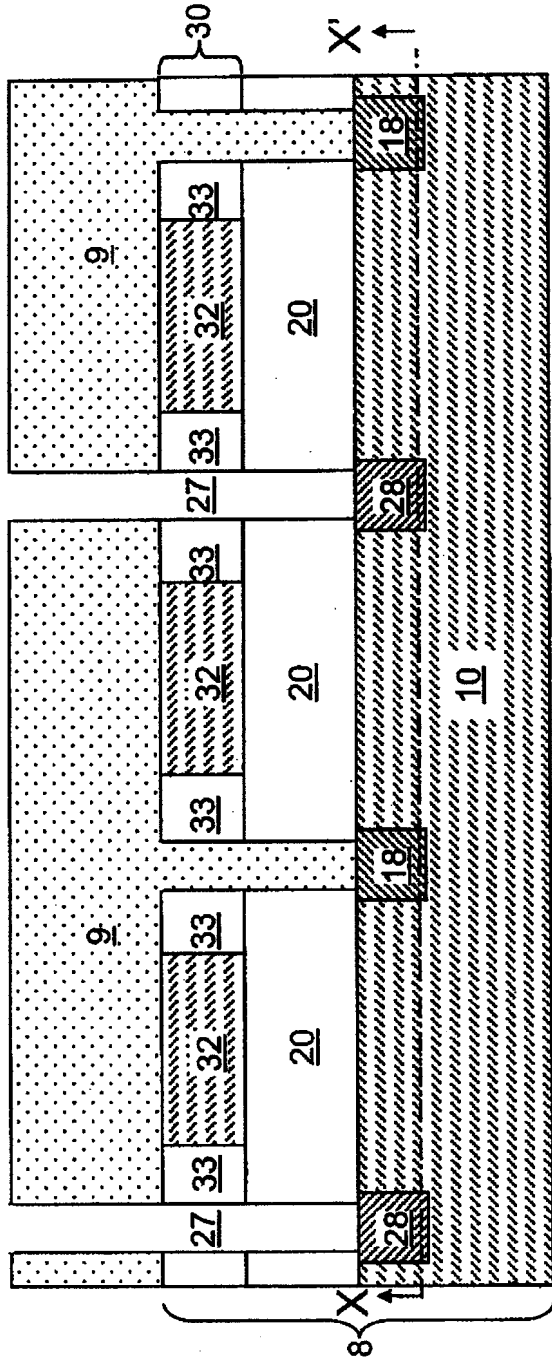


圖3

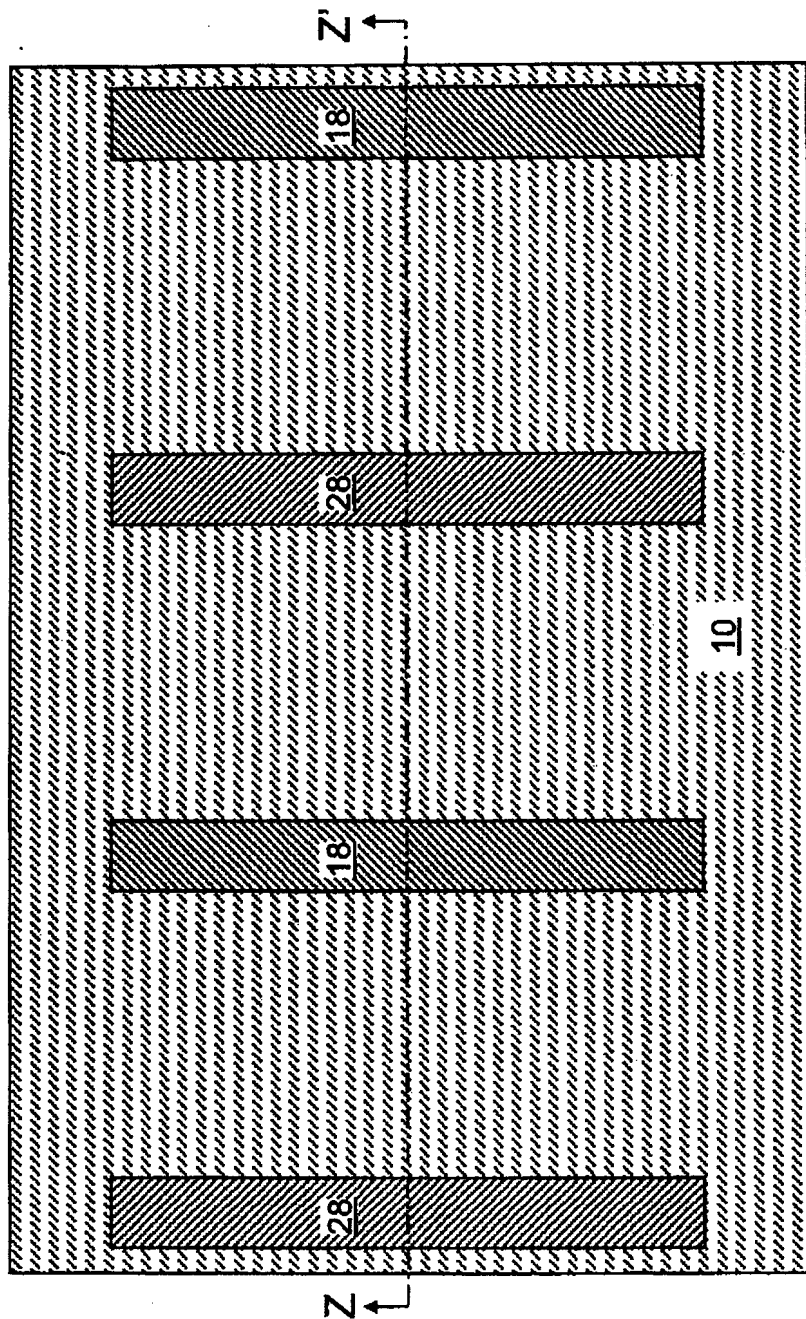


圖4

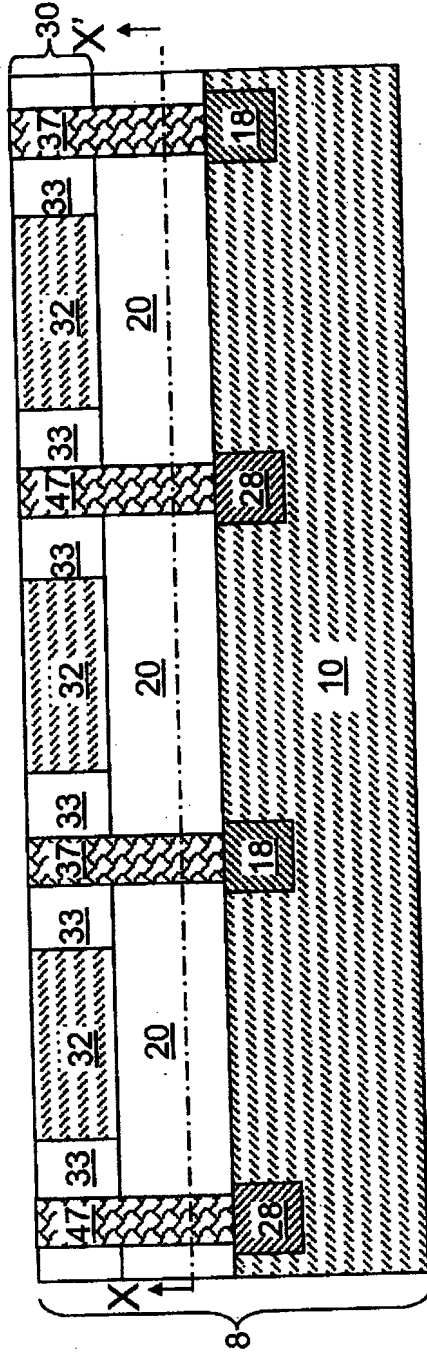


圖5

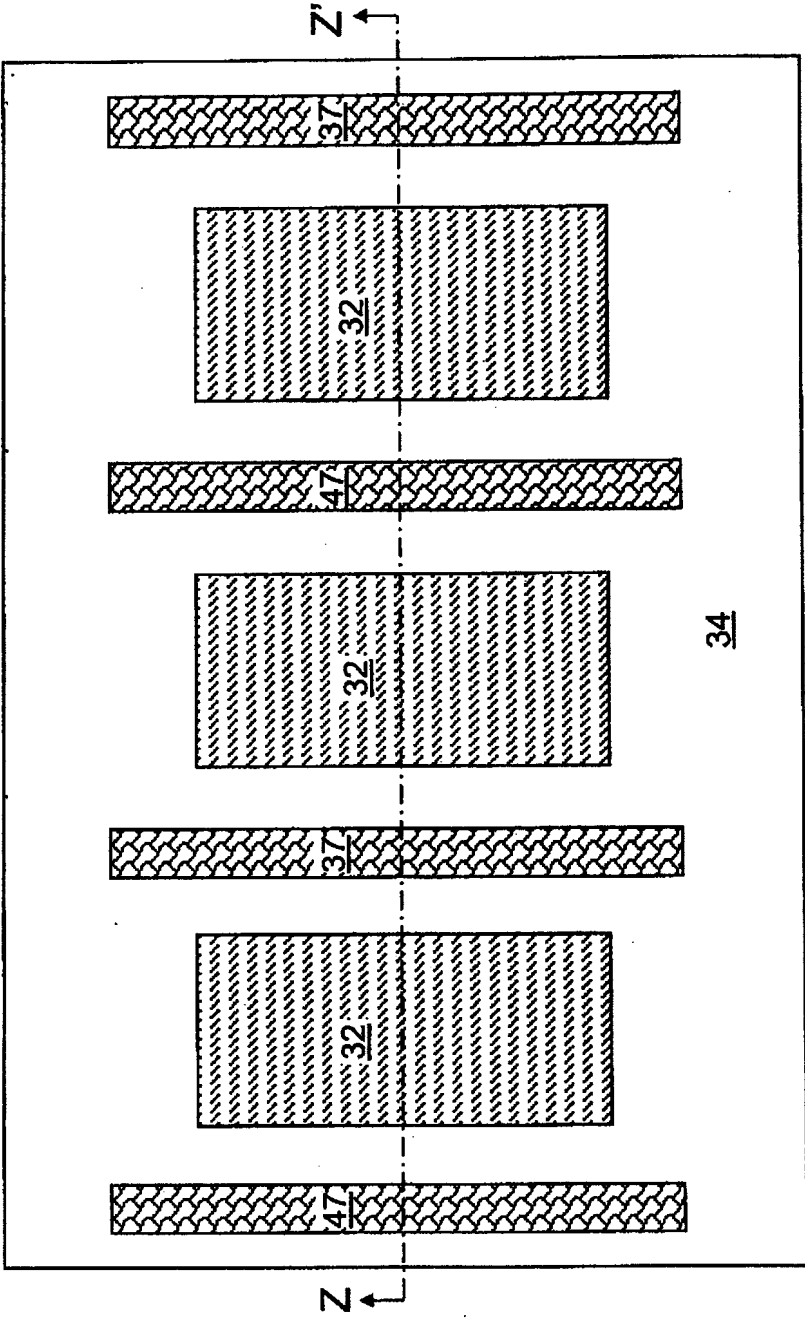


圖6

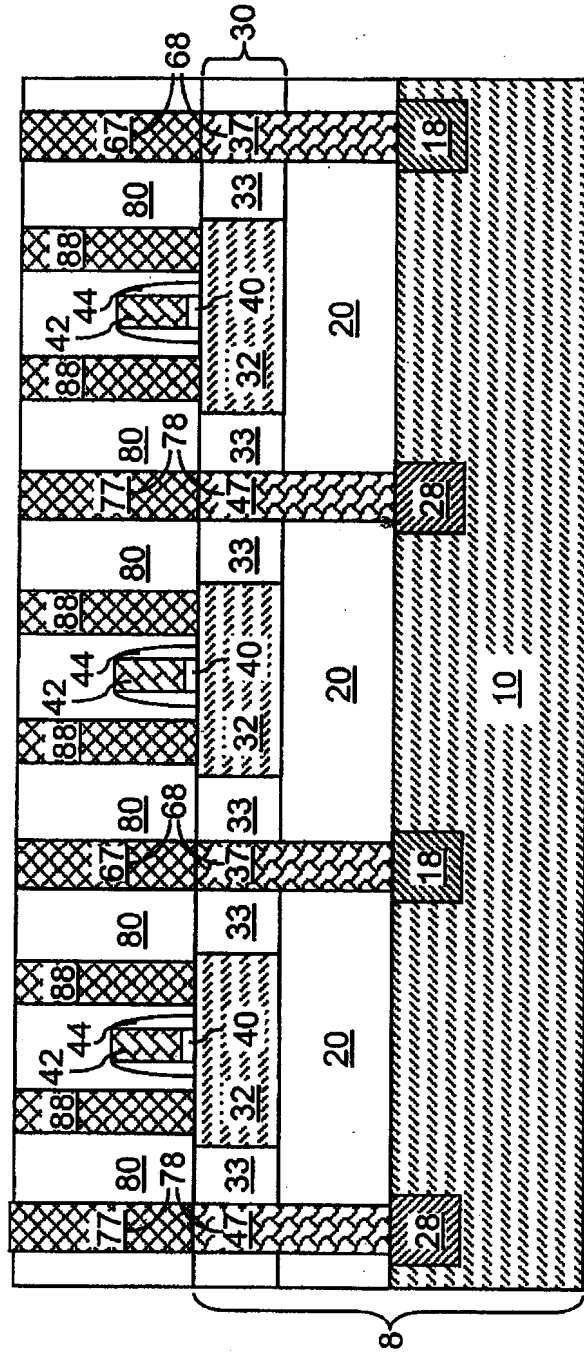


圖 7

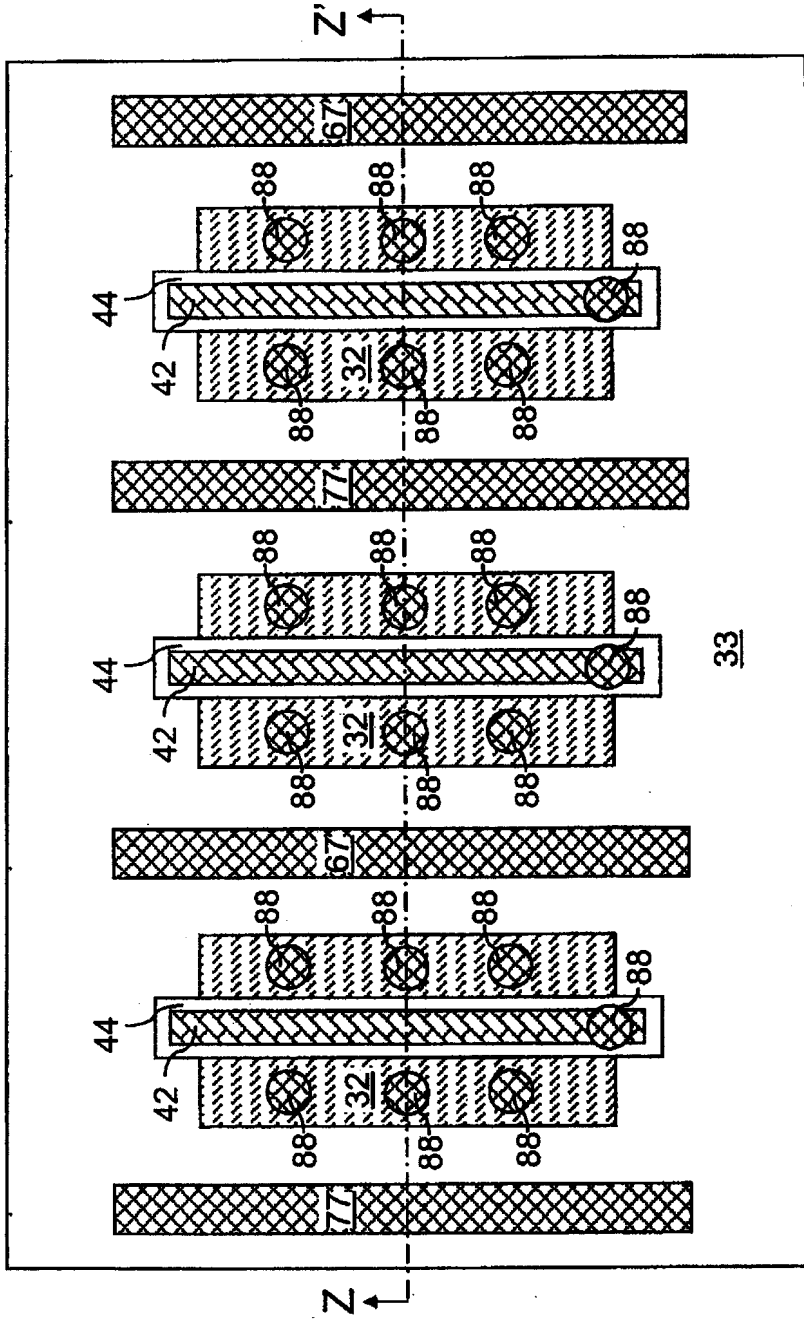


圖 8

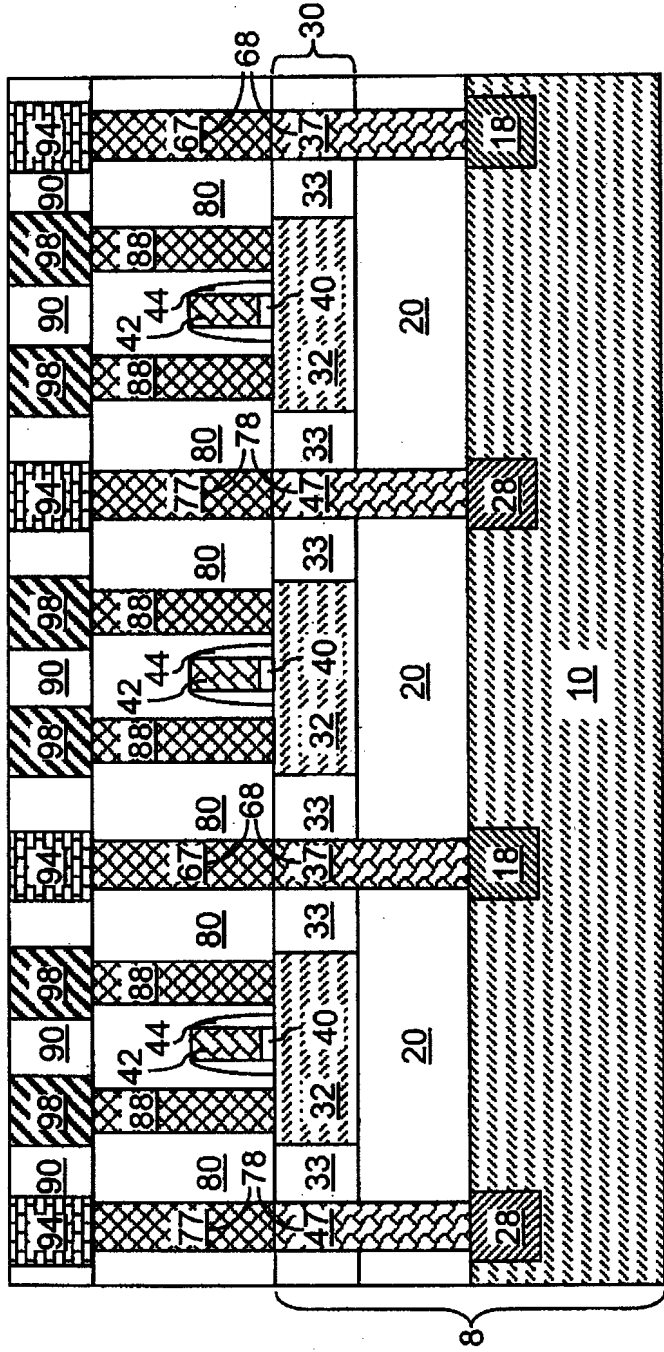


圖9

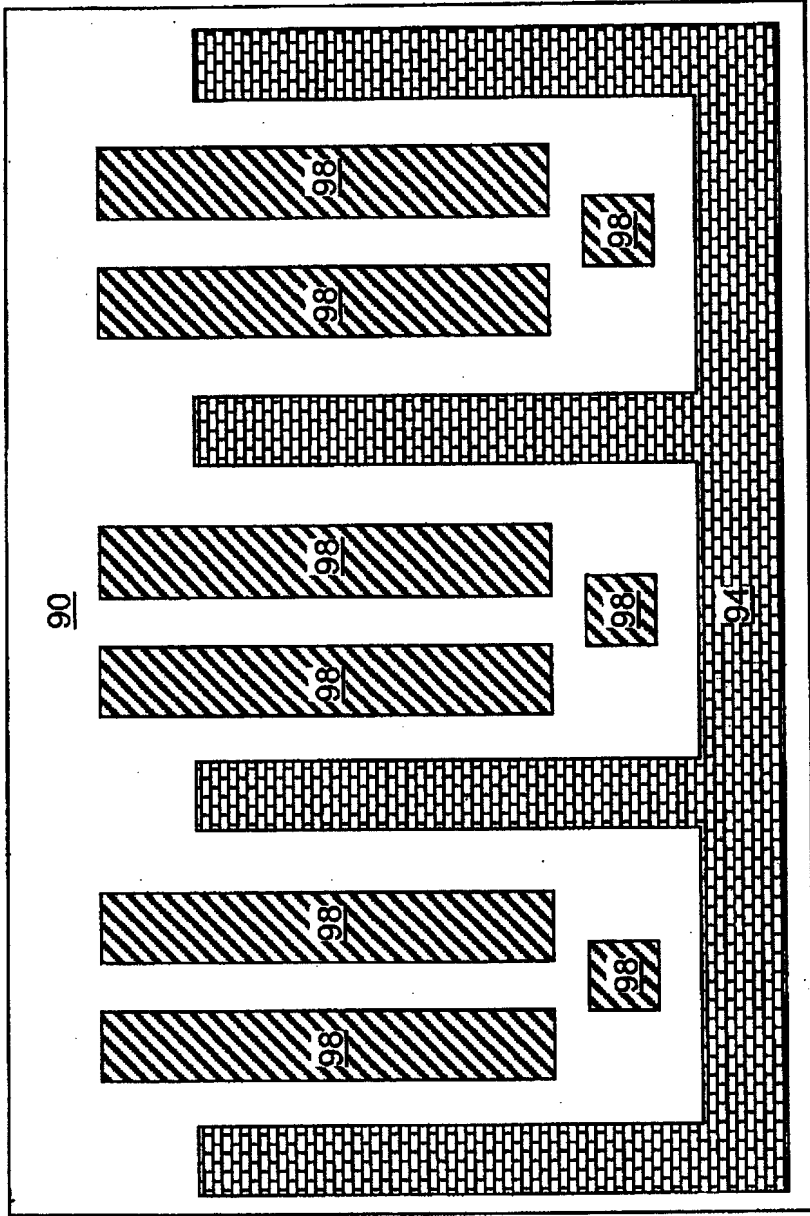


圖 10

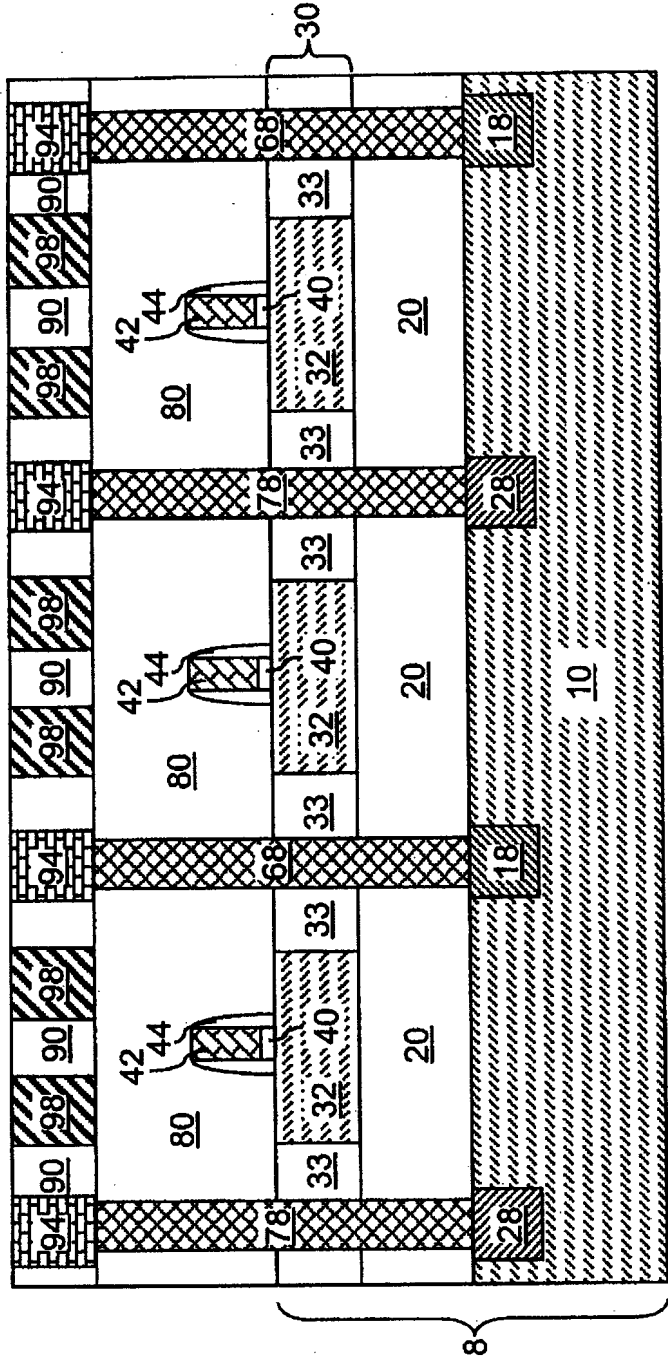


圖 11

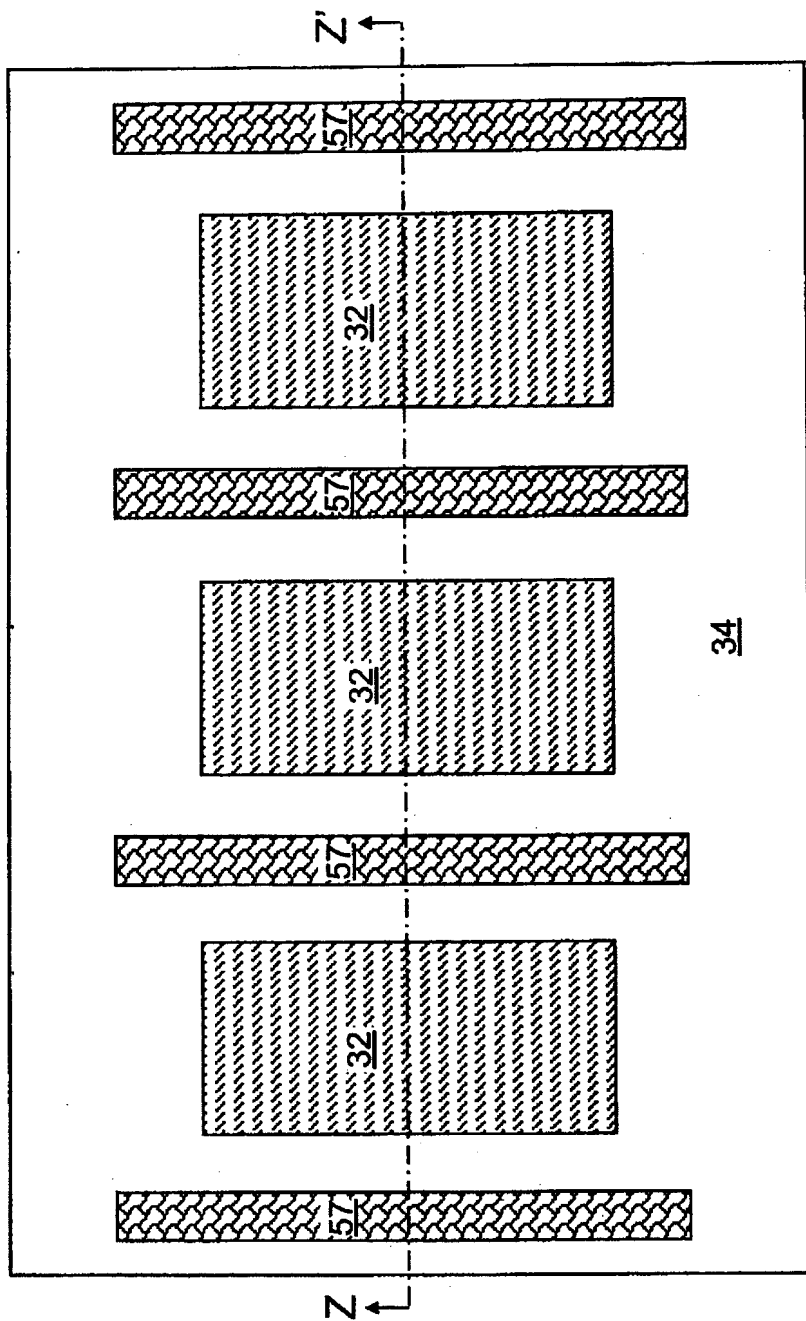


圖12

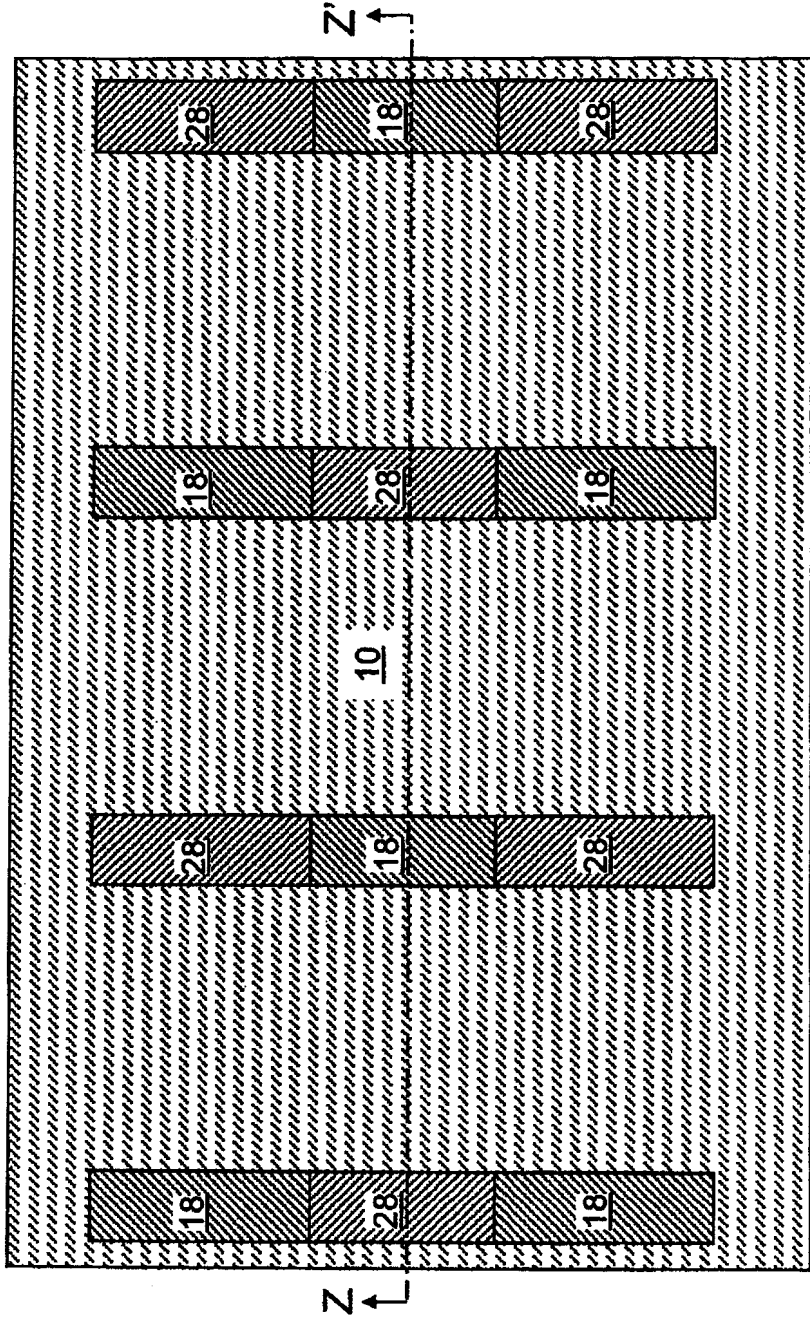


圖13

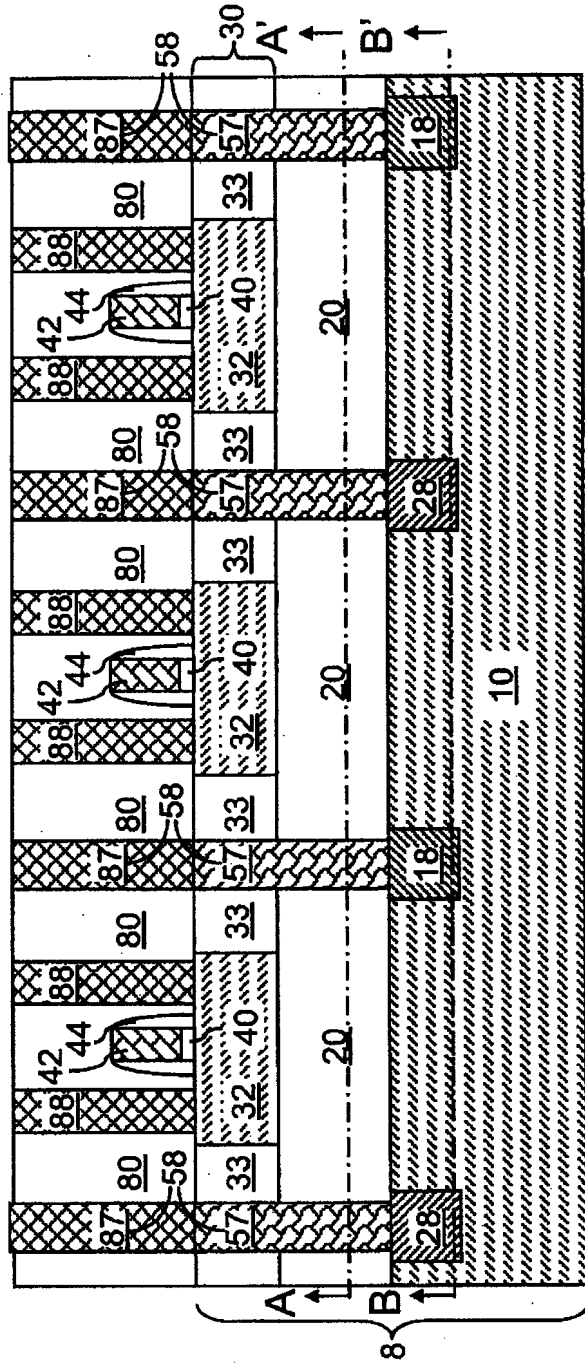


圖14

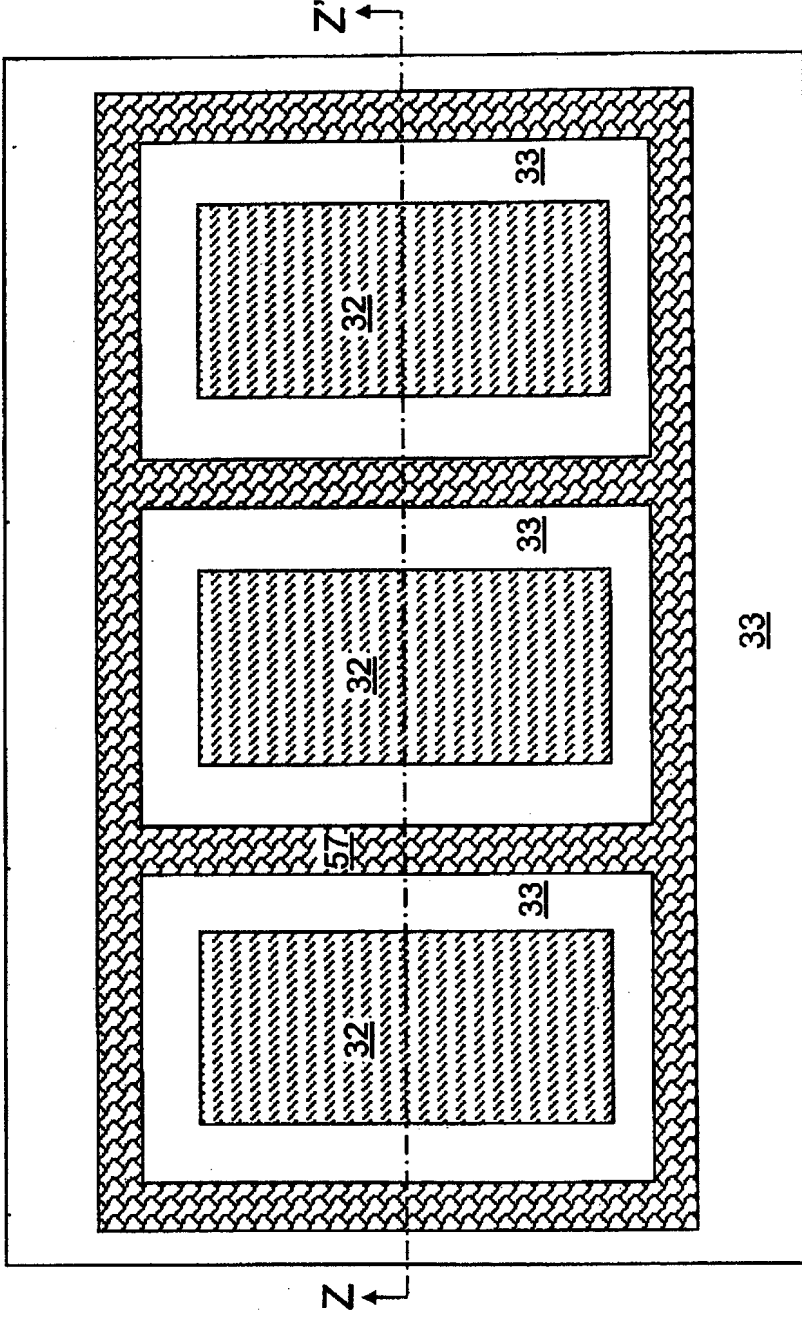


圖15

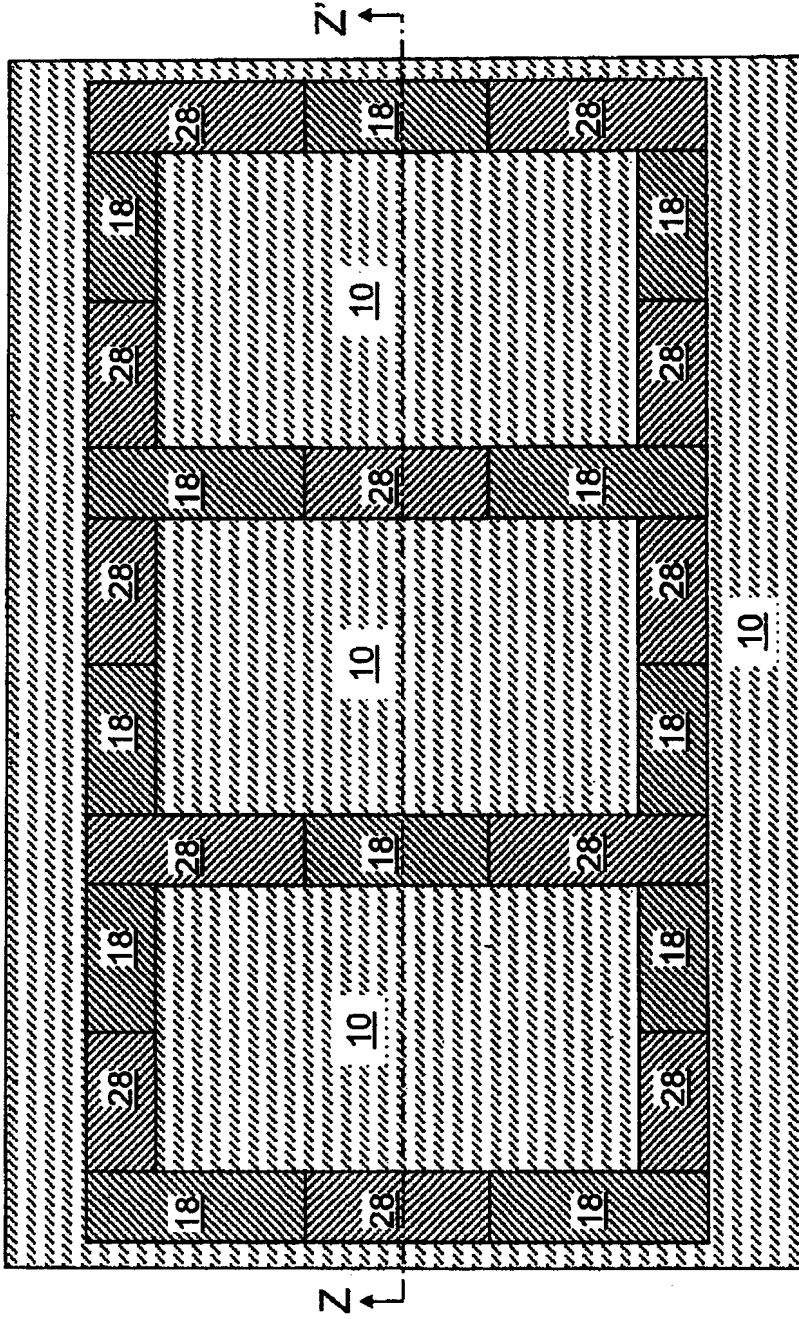


圖16

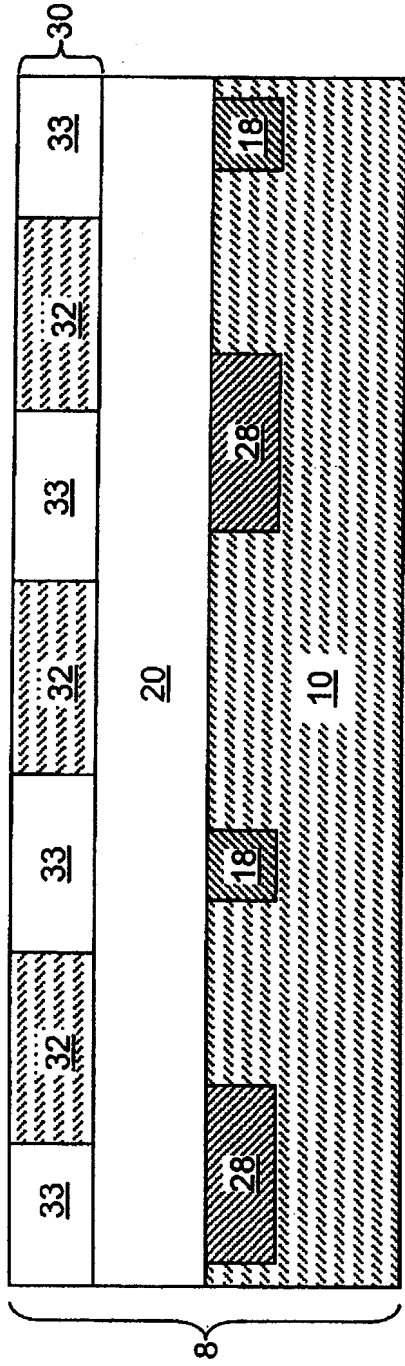


圖17

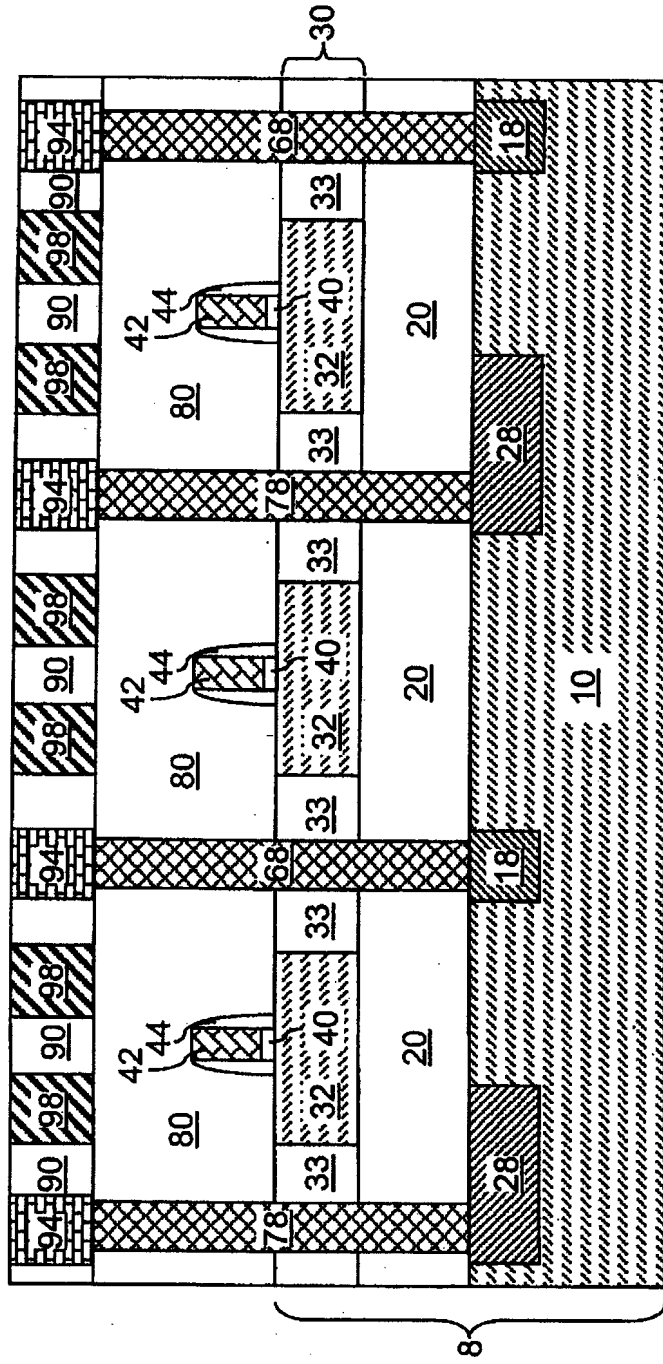


圖18

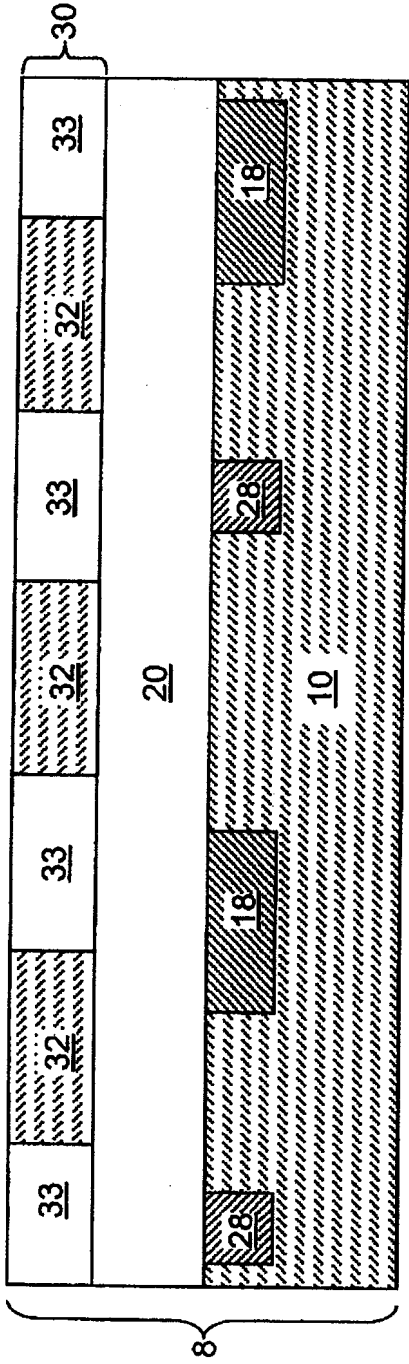


圖19

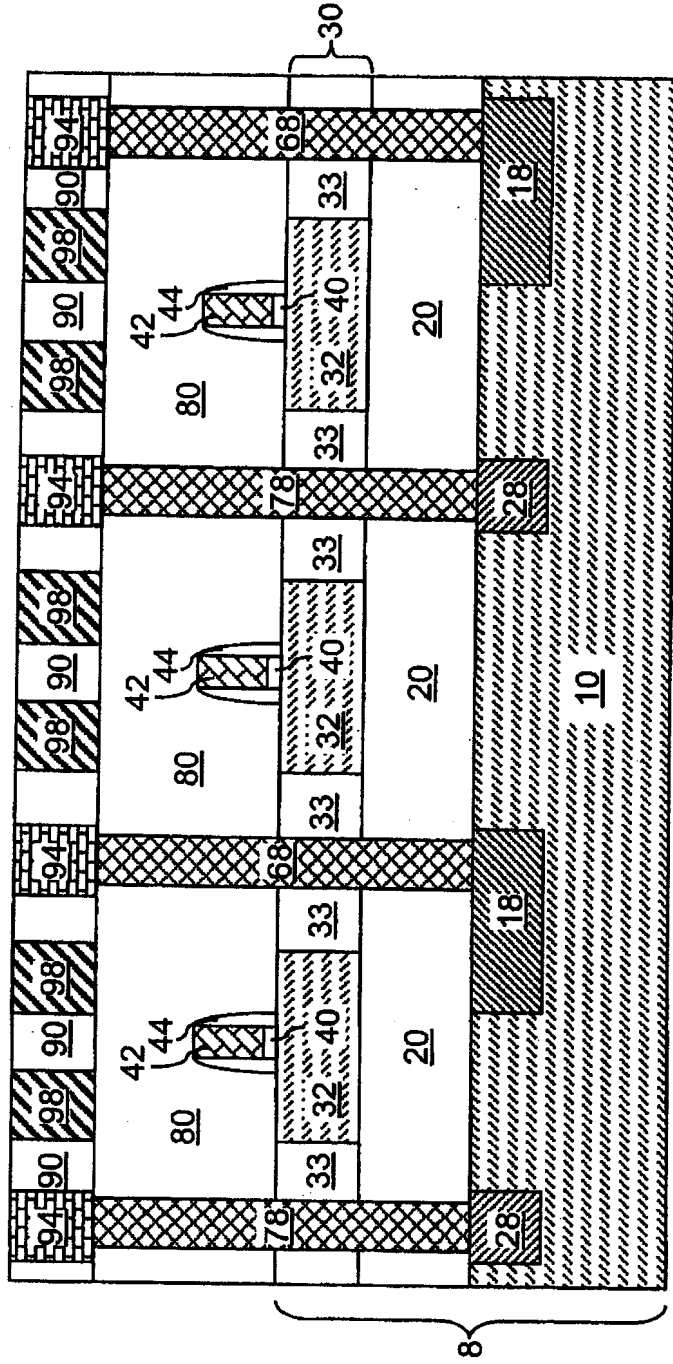


圖20

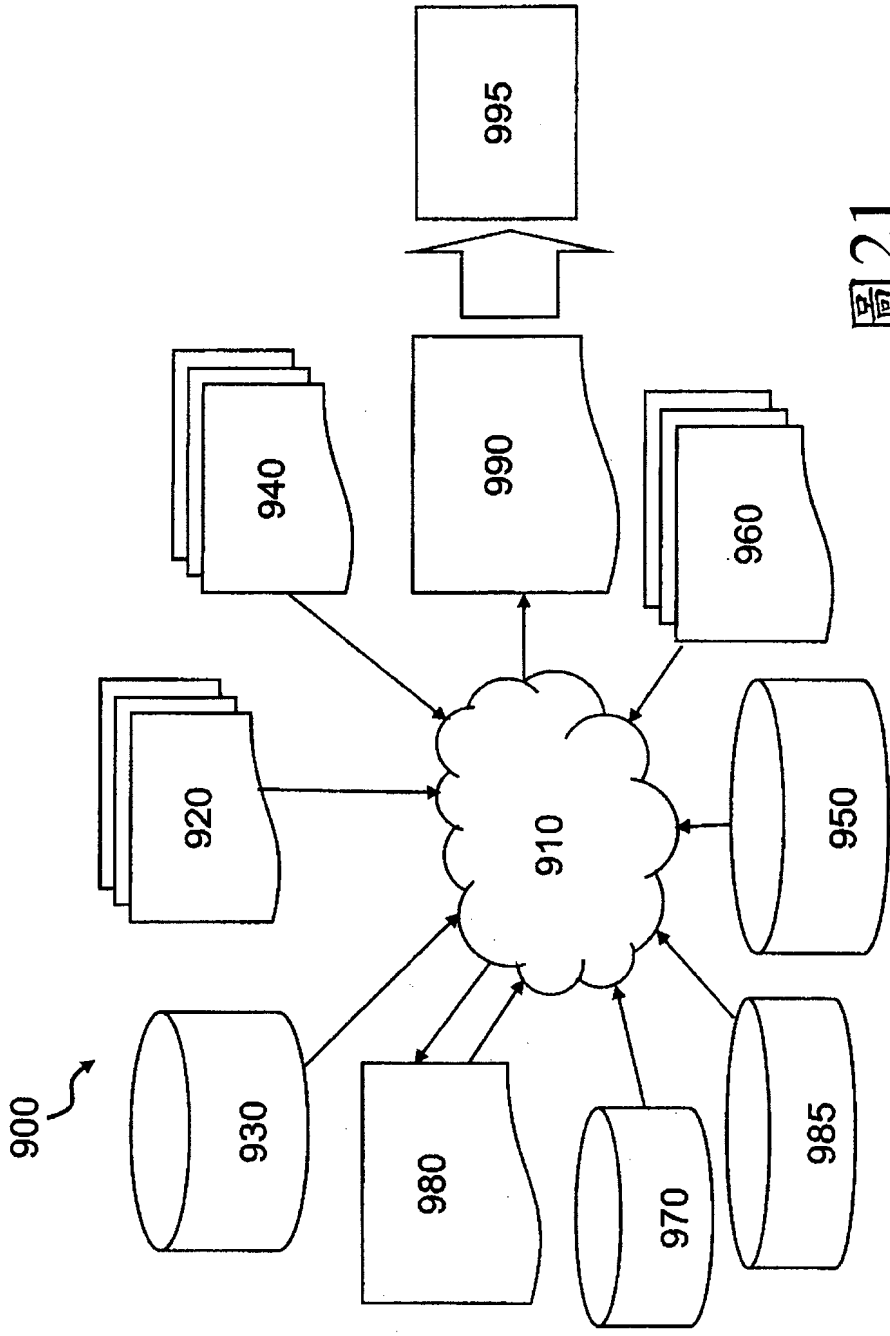


圖 21

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明：

- 8 半導體基板
- 10 底端半導體層
- 20 埋入絕緣體層
- 30 上端半導體層
- 32 上半導體部分
- 33 淺溝槽隔離結構

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

【實施方式】

如上所述，本發明有關於一半導體結構其包括位於一絕緣層上半導體（SOI）基板上之一射頻開關、其製造方法、以及其操作方法，均將伴隨圖示而詳述如下。各圖示並不一定依照比例繪製。

如本文所述，射頻(RF, radio frequency)係指一電磁波頻率介於 3 Hz 至 300 GHz 之間。射頻對應至用以製造與偵測無線電波之電磁波頻率。射頻包括甚高頻(VHF)、特高頻(UHF)、超高頻(SHF)、以及極高頻(EHF)。

在本文中，甚高頻(VHF)係指介於 30 MHz 至 300 MHz 之頻率。甚高頻係用於如調頻(FM)廣播等用途中。特高頻(UHF)係指介於 300 MHz 至 3 GHz 之頻率。特高頻係用於如行動電話、無線網路、以及微波爐等用途中。超高頻(SHF)係指介於 3 GHz 至 30 GHz 之頻率。超高頻係用於如無線網路、雷達、與衛星連線等用途中。極高頻(UHF)係指介於 30 GHz 至 300 GHz 之頻率。極高頻係產生毫米波其波長係介於 1 至 10 毫米(mm)之間，且係用於如數據連接與遠距偵測等用途中。

「累聚區域」(accumulation region)一詞係指一經摻雜半導體區域，其中係因外加偏壓而累聚主要電荷載子。如果過量的電洞（在 p-摻雜半導體區域中的主要電荷載子）藉由外部負電壓使得此 p-摻雜半導體區域具有淨正電荷，則一 p-摻雜半導體區域係處於累聚模式。如果過量的