

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3744438号

(P3744438)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年12月2日(2005.12.2)

(51) Int. Cl.

F I

H O 1 L 21/8234 (2006.01)

H O 1 L 27/08 1 O 2 B

H O 1 L 27/088 (2006.01)

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2002-46372 (P2002-46372)	(73) 特許権者	000004260
(22) 出願日	平成14年2月22日(2002.2.22)		株式会社デンソー
(65) 公開番号	特開2003-249567 (P2003-249567A)		愛知県刈谷市昭和町1丁目1番地
(43) 公開日	平成15年9月5日(2003.9.5)	(74) 代理人	100096998
審査請求日	平成16年5月12日(2004.5.12)		弁理士 碓氷 裕彦
		(74) 代理人	100118197
			弁理士 加藤 大登
		(72) 発明者	阿部 電一郎
			愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		審査官	恩田 春香

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に形成された第1導電型のウェルと、

前記ウェルの所定領域上に形成された第1のゲート電極と、前記ウェルにおける前記第1のゲート電極の端部下方に互いに独立に配置された第2導電型の第1のソース領域及び第1のドレイン領域と、を備えた第1のトランジスタと、

前記ウェルの所定領域上に形成された第2のゲート電極と、前記ウェルにおける前記第2のゲート電極の端部下方に互いに独立に配置された第2導電型の第2のソース領域及び第2のドレイン領域と、を備えた第2のトランジスタと、

を有した半導体装置において、

前記第1のトランジスタにおけるチャンネル形成領域より深い位置で前記第1のソース領域と前記第1のドレイン領域に隣接して配置され前記ウェルよりも不純物濃度が高い第1導電型の第1のパンチスルーストップパ層と、前記第2のトランジスタにおけるチャンネル形成領域より深い位置で前記第2のソース領域と前記第2のドレイン領域に隣接して配置され前記ウェルよりも不純物濃度が高い第1導電型の第2のパンチスルーストップパ層とを備え、

前記第1のパンチスルーストップパ層の不純物濃度と前記第2のパンチスルーストップパ層の不純物濃度とを互いに異ならせることにより、前記第1のトランジスタのしきい値電圧と前記第2のトランジスタのしきい値電圧とを互いに異ならせたことを特徴とする半導体装置。

10

20

【請求項 2】

前記第 1 のトランジスタは、前記第 1 のソース領域と前記第 1 のドレイン領域との間の前記チャンネル形成領域において少なくとも前記第 1 のドレイン領域に隣接して配置され、前記第 1 のドレイン領域よりも不純物濃度が低い第 2 導電型の第 1 の電界緩和層を備え、

前記第 2 のトランジスタは、前記第 2 のソース領域と前記第 2 のドレイン領域との間の前記チャンネル形成領域において少なくとも前記第 2 のドレイン領域に隣接して配置され、前記第 2 のドレイン領域よりも不純物濃度が低い第 2 導電型の第 2 の電界緩和層を備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 のパンチスルーストップ層の不純物濃度が前記第 2 のパンチスルーストップ層の不純物濃度よりも高い場合には前記第 1 の電界緩和層の不純物濃度は前記第 2 の電界緩和層の不純物濃度よりも低く、前記第 1 のパンチスルーストップ層の不純物濃度が前記第 2 のパンチスルーストップ層の不純物濃度よりも低い場合には前記第 1 の電界緩和層の不純物濃度は前記第 2 の電界緩和層の不純物濃度よりも高くされていることを特徴とする請求項 2 に記載の半導体装置。

10

【請求項 4】

半導体基板上に形成された第 1 導電型のウェルと、

前記ウェルの所定領域上に形成された第 1 のゲート電極と、前記ウェルにおける前記第 1 のゲート電極の端部下方に互いに独立に配置された第 2 導電型の第 1 のソース領域及び第 1 のドレイン領域と、を備えた第 1 のトランジスタと、

20

前記ウェルの所定領域上に形成された第 2 のゲート電極と、前記ウェルにおける前記第 2 のゲート電極の端部下方に互いに独立に配置された第 2 導電型の第 2 のソース領域及び第 2 のドレイン領域と、を備えた第 2 のトランジスタと、

を有した半導体装置において、

前記第 1 のトランジスタのチャンネル形成領域において少なくとも前記第 1 のドレイン領域側に前記第 1 のドレイン領域に隣接して配置され、前記第 1 のドレイン領域よりも不純物濃度が低い第 2 導電型の第 1 の電界緩和層と、前記第 2 のトランジスタのチャンネル形成領域において少なくとも前記第 2 のドレイン領域側に前記第 2 のドレイン領域に隣接して配置され、前記第 2 のドレイン領域よりも不純物濃度が低い第 2 導電型の第 2 の電界緩和層と、

30

前記第 1 のトランジスタにおける前記チャンネル形成領域より深い位置で前記第 1 のソース領域または前記第 1 のドレイン領域の少なくともどちらか一方に隣接して配置され前記ウェルよりも不純物濃度が高い第 1 導電型の第 1 のポケット層と、前記第 2 のトランジスタにおける前記チャンネル形成領域より深い位置で前記第 2 のソース領域または前記第 2 のドレイン領域の少なくともどちらか一方に隣接して配置され前記ウェルよりも不純物濃度が高い第 1 導電型の第 2 のポケット層とを備え、

前記第 1 の電界緩和層の不純物濃度と前記第 2 の電界緩和層の不純物濃度とを互いに異ならせることにより、前記第 1 のトランジスタのしきい値電圧と前記第 2 のトランジスタのしきい値電圧とを互いに異ならせるとともに、

前記第 1 の電界緩和層の不純物濃度が前記第 2 の電界緩和層の不純物濃度よりも高い場合には前記第 1 のポケット層の不純物濃度を前記第 2 のポケット層の不純物濃度よりも低く、前記第 1 の電界緩和層の不純物濃度が前記第 2 の電界緩和層の不純物濃度よりも低い場合には前記第 1 のポケット層の不純物濃度を前記第 2 のポケット層の不純物濃度よりも高くしたことを特徴とする半導体装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、互いにしきい値電圧が異なる複数種類の M I S 型トランジスタを有する半導体装置に関し、特にその短チャンネル効果の抑制に関する。

【0002】

50

【従来技術】

従来、1チップ内に互いにしきい値電圧が異なる2種類以上の同じ導電型のMIS型トランジスタを混在させ、例えば高速性が要求される回路にはしきい値電圧の低いトランジスタを、低消費電力性が要求される回路にはしきい値電圧の高いトランジスタを配置するなど、回路の機能などに応じてMIS型トランジスタの種類を選択できるようにしたものが知られている。

【0003】

特に最近、1チップ内に互いにしきい値電圧が異なる2種類以上のMIS型トランジスタを混在させることにより、チップ全体として、高速性と低消費電力性を両立させるケースが増加してきている。

10

【0004】

その場合、同じ導電型のMIS型トランジスタ間で異なるしきい値電圧を実現する方法として、ゲート絶縁膜の厚みを変えたり、基板内のチャンネル領域の不純物濃度を変えるなどの方法がある。

【0005】

特に、基板内のチャンネル領域の不純物濃度を変える方法としては、例えば以下のような製造方法が一般的に用いられている。

【0006】

図9及び図10は、しきい値電圧の異なる2つのMIS型トランジスタTr1、Tr2を1つのチップ内に形成する方法を示す断面図である。

20

【0007】

まず、図9(a)に示されるように、P型のシリコン基板21の活性領域を取り囲むようにLOCOS膜22を成長させ、シリコン基板21の活性領域内にボロンを注入してPウェル23を形成し、このPウェル23の上面に第1のゲート絶縁膜24a及び第2のゲート絶縁膜24bを形成する。

【0008】

続いて、図9(b)に示されるように、第2のゲート絶縁膜24b上にホトレジスト25bを形成し、このホトレジスト25bをマスクとして、第1のトランジスタTr1側に形成されたPウェル23にボロンをイオン注入して高濃度の第1のチャンネル領域26aを形成する。

30

【0009】

続いて、図9(c)に示されるように、ホトレジスト25bを除去した後に、第1のゲート絶縁膜24a上にホトレジスト25aを形成し、このホトレジスト25aをマスクとして、第2のトランジスタTr2側に形成されたPウェル23にボロンをイオン注入して低濃度の第2のチャンネル領域26bを形成する。

【0010】

続いて、図10(a)に示されるように、ホトレジスト25aを除去した後に、イオン注入によりPウェル23の内部におけるチャンネル領域26a、26bの下面に第1のパンチスルーストップパ層27a及び第2のパンチスルーストップパ層27bを形成する。次に、Pウェル23の上に第1のゲート電極28a及び第2のゲート電極28bを形成する。

40

【0011】

続いて、図10(b)に示されるように、このゲート電極28a、28bをマスクとして、リンをイオン注入して、Pウェル23の内部に第1の電界緩和領域29a及び第2の電界緩和層29bを形成する。次に、シリコン基板21の上に、シリコン酸化膜(図示せず)を堆積してから異方性エッチングを行なうことにより、ゲート電極28a、28b及びゲート絶縁膜24a、24bの側壁に第1の絶縁体サイドウォール30a及び第2の絶縁体サイドウォール30bを形成する。この際に、Pウェル23の表面に設けられたゲート絶縁膜24a、24bのうち、ゲート電極28a、28bの下面に位置する領域以外のゲート絶縁膜24a、24bは除去される。

【0012】

50

続いて、図10(c)に示されるように、ゲート電極28a、28bと絶縁体サイドウォール30a、30bと所定の位置にレジスト(図示せず)を形成し、このレジストをマスクとして、ヒ素をシリコン基板21の内部にイオン注入して、第1のソース・ドレイン領域31a及び第2のソース・ドレイン領域31bを形成する。次に、このレジストを剥離した後、所定の熱処理を施し、イオン注入した不純物の活性化を行う。

【0013】

その後の工程の図示は省略するが、周知の技術を用いて、シリコン基板1上に層間絶縁膜や配線などを形成することにより、MIS型トランジスタは完成する。

【0014】

ここで、MIS型トランジスタのしきい値電圧は、チャンネル領域26a、26bの不純物濃度によって規定される。

10

【0015】

上述の製造方法によれば、第1のチャンネル領域26aの不純物濃度と第2のチャンネル領域26bの不純物濃度とを互いに異ならせて形成しているため、トランジスタTr1、Tr2のしきい値電圧を互いに異ならせることができる。

【0016】

【発明が解決しようとする課題】

しかしながら、近年の半導体プロセス技術の発展に伴い、MIS型トランジスタのゲート長の微細化が更に進んでいる。それにより、図11に示されるように、ゲート長が短くなるにつれてしきい値電圧が低下するという短チャンネル効果の問題がある。

20

【0017】

このしきい値電圧の低下は、ゲート長が短くなるほどその変化率が大きくなるため、ゲート加工寸法のばらつきによってMIS型トランジスタのしきい値電圧が大きくばらつくという問題がある。

【0018】

そこで、本発明は、上記問題点に鑑み、互いにしきい値電圧が異なる複数種類のMIS型トランジスタを有する半導体装置において、短チャンネル効果を抑制し、しきい値電圧のばらつきを低減することを目的とする。

【0019】

【課題を解決するための手段】

30

請求項1に記載の半導体装置は、半導体基板上に形成された第1導電型のウェルと、ウェルの所定領域上に形成された第1のゲート電極と、ウェルにおける第1のゲート電極の端部下方に互いに独立に配置された第2導電型の第1のソース領域及び第1のドレイン領域と、を備えた第1のトランジスタと、ウェルの所定領域上に形成された第2のゲート電極と、ウェルにおける第2のゲート電極の端部下方に互いに独立に配置された第2導電型の第2のソース領域及び第2のドレイン領域と、を備えた第2のトランジスタと、を有した半導体装置において、第1のトランジスタにおけるチャンネル形成領域より深い位置で第1のソース領域と第1のドレイン領域に隣接して配置されウェルよりも不純物濃度が高い第1導電型の第1のパンチスルーストッパ層と、第2のトランジスタにおけるチャンネル形成領域より深い位置で第2のソース領域と第2のドレイン領域に隣接して配置されウェルよりも不純物濃度が高い第1導電型の第2のパンチスルーストッパ層とを備え、第1のパンチスルーストッパ層の不純物濃度と第2のパンチスルーストッパ層の不純物濃度とを互いに異ならせることにより、第1のトランジスタのしきい値電圧と第2のトランジスタのしきい値電圧とを互いに異ならせたことを特徴としている。

40

【0020】

請求項1に記載の発明によれば、第1のパンチスルーストッパ層の不純物濃度と第2のパンチスルーストッパ層の不純物濃度とを互いに異ならせて形成しているため、第1、第2のトランジスタのしきい値電圧を互いに異ならせることができる。

【0021】

そして、このパンチスルーストッパ層は、ソース・ドレイン領域間におけるチャンネル形

50

成領域よりやや深い領域に形成される空乏層の形成領域に設けられているとともにウェルの導電型と同じ導電型であるため、パンチスルーストップパ層の不純物濃度を高くすると空乏層の伸びを抑えることができる。

【0022】

よって、不純物濃度が高くされたパンチスルーストップパ層が形成されたトランジスタにおいては、そのゲート長が短くなってもしきい値電圧を低下させる短チャネル効果を抑制ことができ、ゲート加工寸法がばらついたとしてもしきい値電圧のばらつきを低減し、高いしきい値電圧を維持することができる。

【0023】

請求項2に記載の半導体装置において、第1のトランジスタは、第1のソース領域と第1のドレイン領域との間のチャンネル形成領域において少なくとも第1のドレイン領域に隣接して配置され、第1のドレイン領域よりも不純物濃度の低い第2導電型の第1の電界緩和層を備え、第2のトランジスタは、第2のソース領域と第2のドレイン領域との間のチャンネル形成領域において少なくとも第2のドレイン領域に隣接して配置され、第2のドレイン領域よりも不純物濃度の低い第2導電型の第2の電界緩和層を備えている。

10

また請求項3に記載の半導体装置においては、第1のパンチスルーストップパ層の不純物濃度が第2のパンチスルーストップパ層の不純物濃度よりも高い場合には第1の電界緩和層の不純物濃度が第2の電界緩和層の不純物濃度よりも低く、第1のパンチスルーストップパ層の不純物濃度が第2のパンチスルーストップパ層の不純物濃度よりも低い場合には第1の電界緩和層の不純物濃度が第2の電界緩和層の不純物濃度よりも高くされていることを特徴としている。

20

【0024】

電界緩和層の導電型とパンチスルーストップパ層の導電型とは反対であるため、電界緩和層の不純物濃度を低くするとパンチスルーストップパ層の不純物濃度が相対的に高くなり、電界緩和層の不純物濃度を高くするとパンチスルーストップパ層の不純物濃度が相対的に低くなる。

【0027】

よって、電界緩和層の不純物濃度が低くされ相対的に不純物濃度が高くされたパンチスルーストップパ層が形成されたトランジスタにおいては、そのゲート長が短くなってもしきい値電圧を低下させる短チャネル効果を抑制ことができ、ゲート加工寸法がばらついたとしてもしきい値電圧のばらつきを低減し、高いしきい値電圧を維持することができる。

30

【0028】

請求項4に記載の半導体装置は、半導体基板上に形成された第1導電型のウェルと、ウェルの所定領域上に形成された第1のゲート電極と、ウェルにおける第1のゲート電極の端部下方に互いに独立に配置された第2導電型の第1のソース領域及び第1のドレイン領域と、を備えた第1のトランジスタと、ウェルの所定領域上に形成された第2のゲート電極と、ウェルにおける第2のゲート電極の端部下方に互いに独立に配置された第2導電型の第2のソース領域及び第2のドレイン領域と、を備えた第2のトランジスタと、を有した半導体装置において、第1のトランジスタのチャンネル形成領域において少なくとも第1のドレイン領域側に第1のドレイン領域に隣接して配置され、第1のドレイン領域よりも不純物濃度が低い第2導電型の第1の電界緩和層と、第2のトランジスタのチャンネル形成領域において少なくとも第2のドレイン領域側に第2のドレイン領域に隣接して配置され、第2のドレイン領域よりも不純物濃度が低い第2導電型の第2の電界緩和層と、第1のトランジスタにおけるチャンネル形成領域より深い位置で第1のソース領域または第1のドレイン領域の少なくともどちらか一方に隣接して配置されウェルよりも不純物濃度が高い第1導電型の第1のポケット層と、第2のトランジスタにおけるチャンネル形成領域より深い位置で第2のソース領域または第2のドレイン領域の少なくともどちらか一方に隣接して配置されウェルよりも不純物濃度が高い第1導電型の第2のポケット層とを備え、第1の電界緩和層の不純物濃度と第2の電界緩和層の不純物濃度とを互いに異ならせることに

40

50

より、第1のトランジスタのしきい値電圧と第2のトランジスタのしきい値電圧とを互いに異ならせるとともに、第1の電界緩和層の不純物濃度が第2の電界緩和層の不純物濃度よりも高い場合には第1のポケット層の不純物濃度を第2のポケット層の不純物濃度よりも低く、第1の電界緩和層の不純物濃度が第2の電界緩和層の不純物濃度よりも低い場合には第1のポケット層の不純物濃度を第2のポケット層の不純物濃度よりも高くしたことを特徴としている。

【0029】

請求項4に記載の発明によれば、第1の電界緩和層の不純物濃度と第2の電界緩和層の不純物濃度とを互いに異ならせて形成しているため、第1、第2のトランジスタのしきい値電圧を互いに異ならせることができる。

10

【0032】

そして、第1のトランジスタにおけるチャンネル形成領域より深い位置で第1のソース領域または第1のドレイン領域の少なくともどちらか一方に隣接して配置されウェルよりも不純物濃度が高い第1導電型の第1のポケット層と、第2のトランジスタにおけるチャンネル形成領域より深い位置で第2のソース領域または第2のドレイン領域の少なくともどちらか一方に隣接して配置されウェルよりも不純物濃度が高い第1導電型の第2のポケット層とを備え、第1の電界緩和層の不純物濃度が第2の電界緩和層の不純物濃度よりも高い場合には第1のポケット層の不純物濃度が第2のポケット層の不純物濃度よりも低く、第1の電界緩和層の不純物濃度が第2の電界緩和層の不純物濃度よりも低い場合には第1のポケット層の不純物濃度が第2のポケット層の不純物濃度よりも高くされている。

20

【0033】

電界緩和層の導電型とポケット層の導電型とは反対であるため、電界緩和層の不純物濃度を低くするとポケット層の不純物濃度が相対的に高くなり、電界緩和層の不純物濃度を高くするとポケット層の不純物濃度が相対的に低くなる。

【0035】

そして、このポケット層は、ソース・ドレイン領域間におけるチャンネル形成領域よりやや深い領域に形成される空乏層の形成領域に設けられているとともにウェルの導電型と同じ導電型であるため、ポケット層の不純物濃度を高くすると空乏層の伸びを抑えることができる。

【0036】

よって、電界緩和層の不純物濃度が低くされ相対的にも不純物濃度が高くされたポケット層が形成されたトランジスタにおいては、そのゲート長が短くなってもしきい値電圧を低下させる短チャンネル効果を抑制することができ、ゲート加工寸法がばらついたとしてもしきい値電圧のばらつきを低減し、高いしきい値電圧を維持することができる。

30

【0037】

【発明の実施の形態】

以下、本発明を具体化した一実施形態を、図面に従って説明する。

【0038】

(第1実施形態)

図1には、本発明の第1実施形態に係る互いにしきい値電圧が異なる2つのトランジスタを有したMIS型トランジスタの断面構造を示す。

40

【0039】

まず、図1に示されるように、本実施形態のMIS型トランジスタは、P型のシリコン基板1の上には、ピーク濃度が例えば約 2×10^{17} (/cm³)で深さが例えば約1.6 μmのPウェル3が形成され、このPウェル3上の所定領域にはLOCOS膜2が形成され、このLOCOS膜2によって囲まれる領域には互いにしきい値電圧の異なる第1のMIS型トランジスタTr1と第2のMIS型トランジスタTr2とが形成されている。

【0040】

また、Pウェル3の上には、厚さが例えば85 Åの第1のゲート絶縁膜4a及び第2のゲート絶縁膜4bが形成されており、このゲート絶縁膜4a、4bを介して第1のゲート電

50

極 8 a 及び第 2 のゲート電極 8 b が形成されており、このゲート電極 8 a、8 b 及びゲート絶縁膜 4 a、4 b の側壁には酸化シリコンからなる第 1 の絶縁体サイドウォール 10 a 及び第 2 の絶縁体サイドウォール 10 b が形成されている。

【0041】

また、ゲート電極 8 a、8 b の中央部直下のシリコン基板 1 には、表面濃度が例えば約 1×10^{17} (/ cm^3) で接合深さが例えば約 $0.09 \mu\text{m}$ の第 1 のチャンネル領域 6 a 及び第 2 のチャンネル領域 6 b が形成されており、ゲート電極 8 a、8 b の端部直下近傍のシリコン基板 1 には、表面濃度が例えば約 4×10^{17} (/ cm^3) で接合深さが例えば約 $0.1 \mu\text{m}$ の第 1 の電界緩和層 9 a 及び第 2 の電界緩和層 9 b が形成されている。

【0042】

また、第 1 のチャンネル領域 6 a 及び第 1 の電界緩和層 9 a の下面には、ピーク濃度が例えば約 8×10^{17} (/ cm^3) で接合深さが例えば約 $0.14 \mu\text{m}$ の第 1 のパンチスルーストップ層 7 a が形成されており、第 2 のチャンネル領域 6 b 及び第 2 の電界緩和層 9 b の下面には、ピーク濃度が例えば約 5×10^{17} (/ cm^3) で接合深さが例えば約 $0.14 \mu\text{m}$ の第 2 のパンチスルーストップ層 7 b が形成されている。

【0043】

また、電界緩和層 9 a、9 b 及びパンチスルーストップ層 7 a、7 b の端部に隣接して、表面濃度が例えば約 5×10^{20} (/ cm^3) で接合深さが例えば約 $0.14 \mu\text{m}$ の第 1 のソース・ドレイン領域 11 a 及び第 2 のソース・ドレイン領域 11 b が形成されている。

【0044】

さらに、図示しないが、シリコン基板 1 の上には、層間絶縁膜や配線などが形成されている。

【0045】

次に、本実施形態に係る M I S 型トランジスタの製造工程について、図 2 及び図 3 を用いて説明する。

【0046】

まず、図 2 (a) に示されるように、P 型のシリコン基板 1 の所定の領域に、活性領域を取り囲むように L O C O S 膜 2 を成長させ、シリコン基板 1 の活性領域内にボロンイオンを注入して、ボロンのピーク濃度が例えば約 2×10^{17} (/ cm^3) で深さが例えば約 $1.6 \mu\text{m}$ の P ウェル 3 を形成する。次に、P ウェル 3 の表面に、厚さが例えば 85 \AA の第 1 のゲート絶縁膜 4 a 及び第 2 のゲート絶縁膜 4 b を形成する。次に、P ウェル 3 に、P 型不純物であるボロンをエネルギー 20 KeV 、ドーズ量 2.2×10^{12} (atm / cm^2) の条件でイオン注入して P 型の第 1 のチャンネル領域 6 a 及び第 2 のチャンネル領域 6 b を形成する。

【0047】

続いて、図 2 (b) に示されるように、第 2 のゲート絶縁膜 4 b 上を覆うように選択的にホトレジスト 5 b を形成し、このホトレジスト 5 b をマスクとして、P ウェル 4 の内部に P 型不純物であるボロンをエネルギー 80 KeV 、ドーズ量 1.5×10^{13} (atm / cm^2) の条件でイオン注入して、P 型の第 1 のパンチスルーストップ層 7 a を形成する。

【0048】

続いて、図 2 (c) に示されるように、ホトレジスト 5 b を除去した後に、第 1 のゲート絶縁膜 4 a 上を覆うように選択的にホトレジスト 5 a を形成し、このホトレジスト 5 a をマスクとして、P ウェル 4 の内部に P 型不純物であるボロンをエネルギー 80 KeV 、ドーズ量 1.0×10^{13} (atm / cm^2) の条件でイオン注入して、P 型の第 2 のパンチスルーストップ層 7 b を形成する。

【0049】

続いて、図 3 (a) に示されるように、ホトレジスト 5 a を除去した後に、ゲート電極となるポリシリコンをゲート絶縁膜 4 a、4 b 上に成膜し、フォトリソグラフィとドライエッチングにより第 1 のゲート電極 8 a 及び第 2 ゲート電極 8 b を形成する。

【0050】

10

20

30

40

50

続いて、図3(b)に示されるように、ゲート電極8a、8bをマスクとして、Pウェル4の内部にN型不純物であるリンをエネルギー40KeV、ドーズ量 2.2×10^{13} (atm/cm²)の条件でイオン注入して、N型の第1の電界緩和層9a及び第2の電界緩和層9bを形成する。次に、シリコン基板1の全面に絶縁膜としての酸化膜を堆積してから異方性エッチングを行うことにより、ゲート電極8a、8b及びゲート絶縁膜4a、4bの側壁に第1の絶縁体サイドウォール10a及び第2の絶縁体サイドウォール10bを形成する。この際に、Pウェル3の表面に設けられたゲート絶縁膜4a、4bのうち、ゲート電極8a、8bの下面に位置する領域以外のゲート絶縁膜4a、4bは除去される。

【0051】

続いて、図3(c)に示されるように、ゲート電極8a、8b及び絶縁体サイドウォール10a、10bをマスクとして、Pウェル4の内部にN型不純物であるヒ素をイオン注入して、N型の第1のソース・ドレイン領域11a及び第2のソース・ドレイン領域11bを形成する。

【0052】

その後、図示しないが、周知の技術を用いて、シリコン基板1上に層間絶縁膜や配線などを形成することにより、本実施形態のMIS型半導体装置は完成する。

【0053】

以上のような製造方法によれば、第1、第2のMIS型トランジスタTr1、Tr2いずれにおいても、チャンネル領域6a、6b及び電界緩和層9a、9bの下面にはパンチスルーストップパ層7a、7bが形成されるが、本実施形態では、第1のパンチスルーストップパ層7aと第2のパンチスルーストップパ層7bを形成するために行うイオン注入の注入条件を互いに異ならせている。

【0054】

それにより、第1のパンチスルーストップパ層7aと第2のパンチスルーストップパ層7bとの不純物濃度を比較すると、第2のパンチスルーストップパ層7bよりも第1のパンチスルーストップパ層7aの方がより高濃度の不純物を含んでいる。

【0055】

また、MIS型トランジスタのしきい値電圧は、パンチスルーストップパ層7a、7bの不純物濃度の影響を受けて規定されるため、第2のMIS型トランジスタTr2よりも第1のMIS型トランジスタTr1の方がしきい値電圧が高くなる。

【0056】

即ち、共通のチップに設けられた複数のMIS型トランジスタ間でパンチスルーストップパ層7a、7bの不純物濃度を互いに異ならせることにより、相異なるしきい値電圧を有する複数のトランジスタTr1、Tr2を1チップ上に混在させることができる。

【0057】

そして、このパンチスルーストップパ層7a、7bは、ソース・ドレイン領域11a、11b間におけるチャンネル領域6a、6bのやや深い領域に形成される空乏層の形成領域に設けられるとともにPウェル3の導電型と同じ導電型であるため、パンチスルーストップパ層7a、7bの濃度を高くすると空乏層の伸びを抑えることができる。

【0058】

よって、図4に示されるように、第1のパンチスルーストップパ層7aが形成された第1のトランジスタTr1においては、ゲート長が短くなるにつれてしきい値電圧が低下するという短チャンネル効果を抑制することができる。

【0059】

それにより、ゲート加工寸法のばらついたとしてもしきい値電圧のばらつきを低減することができ、高いしきい値電圧を維持することができるため、半導体装置の低消費電力化を実現することができる。

【0060】

(第2実施形態)

図5に本発明の第2実施形態に係る互いにしきい値電圧が異なる2つのトランジスタを有

10

20

30

40

50

したMIS型トランジスタの断面構造を示す。尚、本実施形態のMIS型トランジスタの構成は、上記第1実施形態とほぼ同様であるため、第1実施形態と同等な構成については同様の符号で示す。

【0061】

上記第1実施形態では、チャンネル領域6a、6b及び電界緩和層9a、9bの下面に、互いに不純物濃度が異なるパンチスルーストップ層7a、7bを設けたが、第2実施形態では、図5に示されるように、パンチスルーストップ層7a、7bを設けずに、電界緩和層9a、9bの下面に、ピーク濃度が例えば約 4×10^{17} (/cm³)で接合深さが例えば約0.14 μmの第1のポケット層12a及び第2のポケット層12bを設けている。

【0062】

ここで、本実施形態に係るMIS型トランジスタの製造工程について、図6及び図7を用いて説明する。

【0063】

まず、図6(a)に示されるように、P型のシリコン基板1の所定の領域に、活性領域を取り囲むようにLOCOS膜2を成長させ、シリコン基板1の活性領域内にボロンイオンを注入して、ボロンのピーク濃度が例えば約 2×10^{17} (/cm³)で深さが例えば約1.6 μmのPウェル3を形成する。次に、Pウェル3の表面に、厚さが例えば85 nmの第1のゲート絶縁膜4a及び第2のゲート絶縁膜4bを形成する。

【0064】

続いて、図6(b)に示されるように、Pウェル3に、P型不純物であるボロンをエネルギー20 KeV、ドーズ量 2.2×10^{12} (atm/cm²)の条件でイオン注入してP型の第1のチャンネル領域6a及び第2チャンネル領域6bを形成する。

【0065】

続いて、図6(c)に示されるように、ゲート電極となるポリシリコンをゲート絶縁膜4a、4b上に成膜し、フォトリソグラフィとドライエッチングにより第1のゲート電極8a及び第2のゲート電極8bを形成する。

【0066】

続いて、図7(a)に示されるように、第2のゲート絶縁膜4b上を覆うように選択的にホトレジスト5bを形成し、このホトレジスト5bをマスクとして、ピーク濃度が例えば約 4×10^{17} (/cm³)で接合深さが例えば約0.14 μmの第1のポケット12aを形成するとともに、Pウェル4の内部にN型不純物であるリンをエネルギー40 KeV、ドーズ量 1.0×10^{13} (atm/cm²)の条件でイオン注入して、N型の第1の電界緩和層9aを形成する。

【0067】

続いて、図7(b)に示されるように、ホトレジスト5bを除去した後に、第1のゲート絶縁膜4a上を覆うように選択的にホトレジスト5aを形成し、このホトレジスト5aをマスクとして、ピーク濃度が例えば約 4×10^{17} (/cm³)で接合深さが例えば約0.14 μmの第2のポケット12bを形成するとともに、Pウェル4の内部にN型不純物であるリンをエネルギー40 KeV、ドーズ量 2.2×10^{13} (atm/cm²)の条件でイオン注入して、N型の第2の電界緩和層9bを形成する。

【0068】

続いて、図7(c)に示されるように、ホトレジスト5aを除去した後に、シリコン基板1の全面に絶縁膜としての酸化膜を堆積してから異方性エッチングを行うことにより、ゲート電極8a、8b及びゲート絶縁膜4a、4bの側壁に絶縁体サイドウォール10a、10bを形成する。この際に、Pウェル3の表面に設けられたゲート絶縁膜4a、4bのうち、ゲート電極8a、8bの下面に位置する領域以外のゲート絶縁膜4a、4bは除去される。次に、ゲート電極8a、8b及び絶縁体サイドウォール10a、10bをマスクとして、Pウェル4の内部にN型不純物であるヒ素をイオン注入して、N型の第1のソース・ドレイン領域11a及び第2のソース・ドレイン領域11bを形成する。

【0069】

10

20

30

40

50

その後、図示しないが、周知の技術を用いて、シリコン基板 1 上に層間絶縁膜や配線などを形成することにより、本実施形態の M I S 型半導体装置は完成する。

【 0 0 7 0 】

以上のような製造方法によれば、第 1、第 2 の M I S 型トランジスタ T r 1、T r 2 いずれにおいても、ゲート電極 8 a、8 b の端部直下近傍のシリコン基板 1 には電界緩和層 9 a、9 b が形成されるが、本実施形態では、第 1 の電界緩和層 9 a と第 2 の電界緩和層 9 b を形成するために行うイオン注入の注入条件を互いに異ならせている。

【 0 0 7 1 】

それにより、第 1 の電界緩和層 9 a と第 2 の電界緩和層 9 b との不純物濃度を比較すると、第 1 の電界緩和層 9 a よりも第 2 の電界緩和層 9 b の方がより高濃度の不純物を含んで

10

いる。

【 0 0 7 2 】

また、本実施形態では、電界緩和層 9 a、9 b の導電型とポケット層 1 2 a、1 2 b の導電型とが反対となるように形成しているため、電界緩和層 9 a、9 b の不純物濃度を低くするとポケット層 1 2 a、1 2 b の不純物濃度が相対的に高くなり、電界緩和層 9 a、9 b の不純物濃度を高くするとポケット層 1 2 a、1 2 b の不純物濃度が相対的に低くなる。

【 0 0 7 3 】

そして、M I S 型トランジスタのしきい値電圧は、ポケット層 1 2 a、1 2 b の不純物濃度の影響を受けて規定されるため、第 2 の M I S 型トランジスタ T r 2 よりも第 1 の M I

20

S 型トランジスタ T r 1 の方がしきい値電圧が高くなる。

【 0 0 7 4 】

即ち、共通のチップに設けられた複数の M I S 型トランジスタ間でポケット層 1 2 a、1 2 b の不純物濃度を互いに異ならせることにより、相異なるしきい値電圧を有する複数のトランジスタ T r 1、T r 2 を 1 チップ上に混在させることができる。

【 0 0 7 5 】

そして、このポケット層 1 2 a、1 2 b は、ソース・ドレイン領域 1 1 a、1 1 b 間におけるチャンネル領域 6 a、6 b のやや深い領域に形成される空乏層の形成領域に設けられるとともに P ウェル 3 の導電型と同じ導電型であるため、電界緩和層 9 a、9 b の不純物濃度を低くすることでポケット層 1 2 a、1 2 b の不純物濃度を高くすると空乏層の伸びを抑

30

えることができる。

【 0 0 7 6 】

よって、図 8 に示されるように、第 1 の電界緩和層 9 a が形成された第 1 のトランジスタ T r 1 においては、ゲート長が短くなるにつれてしきい値電圧が低下するという短チャンネル効果を抑制することができる。

【 0 0 7 7 】

それにより、ゲート加工寸法のばらついたとしてもしきい値電圧のばらつきを低減することができ、高いしきい値電圧を維持することができるため、半導体装置の低消費電力化を実現することができる。

【 0 0 7 8 】

40

(他の実施形態)

また、チャンネル領域 6 a、6 b 及び電界緩和層 9 a、9 b の下面にパンチスルーストップパ層 7 a、7 b を設けた構造の M I S 型トランジスタにおいて、第 1 のトランジスタ T r 1 に形成された電界緩和層 9 a の不純物濃度を、第 2 のトランジスタ T r 2 に形成された電界緩和層 9 b の不純物濃度よりも低くすることにより、上記第 1 実施形態及び第 2 実施形態と同様の効果を得ることができる。

【 0 0 7 9 】

また、チャンネル領域 6 a、6 b 及び電界緩和層 9 a、9 b の下面にパンチスルーストップパ層 7 a、7 b を設けた構造の M I S 型トランジスタにおいて、第 1 のトランジスタ T r 1 に形成された電界緩和層 9 a の不純物濃度を、第 2 のトランジスタ T r 2 に形成された電

50

界緩和層 9 b の不純物濃度よりも低くするとともに、第 1 のトランジスタ $T r 1$ に形成されたパンチスルーストップ層 7 a の不純物濃度を、第 2 のトランジスタ $T r 2$ に形成されたパンチスルーストップ層 7 b の不純物濃度よりも高くすることにより、上記第 1 実施形態及び第 2 実施形態と同様の効果を得ることができる。

【0080】

また、電界緩和層 9 a、9 b の下面にポケット層 1 2 a、1 2 b を設けた構造の M I S 型トランジスタにおいて、第 1 のトランジスタ $T r 1$ に形成された第 1 のポケット層 1 2 a の不純物濃度を、第 2 のトランジスタ $T r 2$ に形成された第 2 のポケット層 1 2 b の不純物濃度よりも高くすることにより、上記第 1 実施形態及び第 2 実施形態と同様の効果を得ることができる。

10

【0081】

また、電界緩和層 9 a、9 b の下面にポケット層 1 2 a、1 2 b を設けた構造の M I S 型トランジスタにおいて、第 1 のトランジスタ $T r 1$ に形成された第 1 のポケット層 1 2 a の不純物濃度を、第 2 のトランジスタ $T r 2$ に形成された第 2 のポケット層 1 2 b の不純物濃度よりも高くするとともに、第 1 のトランジスタ $T r 1$ に形成された電界緩和層 9 a の不純物濃度を、第 2 のトランジスタ $T r 2$ に形成された電界緩和層 9 b の不純物濃度よりも低くすることにより、上記第 1 実施形態及び第 2 実施形態と同様の効果を得ることができる。

【0082】

尚、本発明は、上記各実施形態に限られるものではなく、様々な態様に適用可能である。

20

【0083】

例えば、上記各実施形態では、シリコン基板 1 上に 2 種類の M I S 型トランジスタ $T r 1$ 、 $T r 2$ を設けた半導体装置について説明したが、これに限られるものではなく、3 種類以上の M I S 型トランジスタを設けた半導体装置でもよい。

【0084】

また、上記各実施形態では、n チャネル型の M I S 型トランジスタについて説明したが、これに限られるものではなく、P チャネル型 M I S 型トランジスタにも適用することができる。

【0085】

また、上記の P ウェル 4、チャネル領域 6 a、6 b、パンチスルーストップ層 7 a、7 b、電界緩和層 9 a、9 b、ソース・ドレイン領域 1 1 a、1 1 b の各導電型は、それと逆になってもよい。

30

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る互いにしきい値電圧が異なる 2 つのトランジスタを有した M I S 型トランジスタの断面構造である。

【図 2】(a) から (c) は、図 1 に示す M I S 型トランジスタの製造工程を示す図である。

【図 3】(a) から (c) は、図 2 に続く図 1 に示す M I S 型トランジスタの製造工程を示す図である。

【図 4】本発明の第 1 実施形態に係る M I S 型トランジスタにおけるゲート長と飽和しきい値電圧との関係を示すグラフである。

40

【図 5】本発明の第 2 実施形態に係る互いにしきい値電圧が異なる 2 つのトランジスタを有した M I S 型トランジスタの断面構造である。

【図 6】(a) から (c) は、図 5 に示す M I S 型トランジスタの製造工程を示す図である。

【図 7】(a) から (c) は、図 6 に続く図 5 に示す M I S 型トランジスタの製造工程を示す図である。

【図 8】本発明の第 2 実施形態に係る M I S 型トランジスタにおけるゲート長と飽和しきい値電圧との関係を示すグラフである。

【図 9】(a) から (c) は、従来技術における互いにしきい値電圧が異なる 2 つのト

50

ンジスタを有したM I S型トランジスタの製造工程を示す図である。

【図10】(a)から(c)は、図9に続く従来技術における互いにしきい値電圧が異なる2つのトランジスタを有したM I S型トランジスタの製造工程を示す図である。

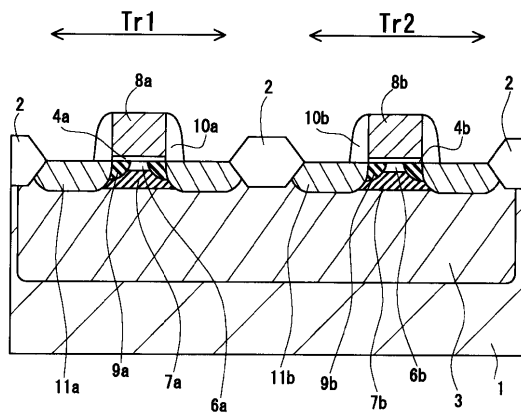
【図11】従来技術のM I S型トランジスタにおけるゲート長と飽和しきい値電圧との関係を示すグラフである。

【符号の説明】

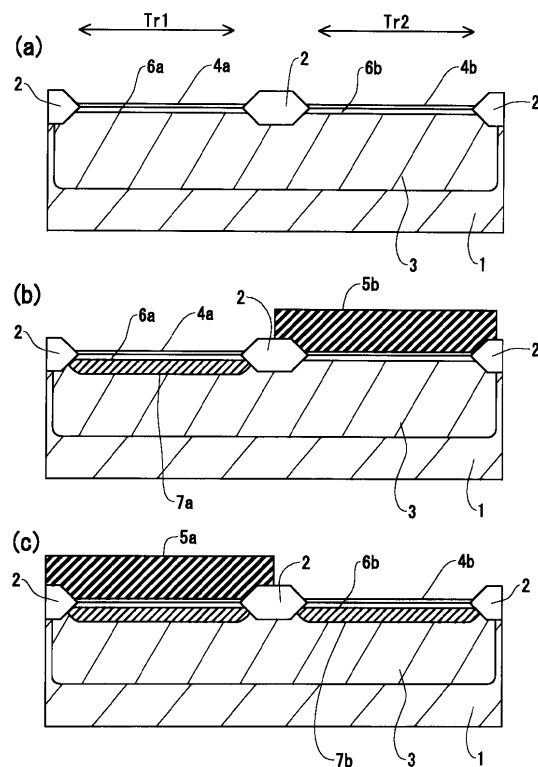
- 1 ... シリコン基板、
- 2 ... L O C O S 膜、
- 3 ... P ウェル、
- 4 a、4 b ... ゲート絶縁膜、
- 5 a、5 b ... ホトレジスト、
- 6 a、6 b ... チャネル領域、
- 7、7 a、7 b ... パンチスルーストップ層、
- 8 a、8 b ... ゲート電極、
- 9、9 a、9 b ... 電界緩和層、
- 10 a、10 b ... 絶縁体サイドウォール、
- 11 a、11 b ... ソース・ドレイン領域、
- 12 a、12 b ... ポケット層。

10

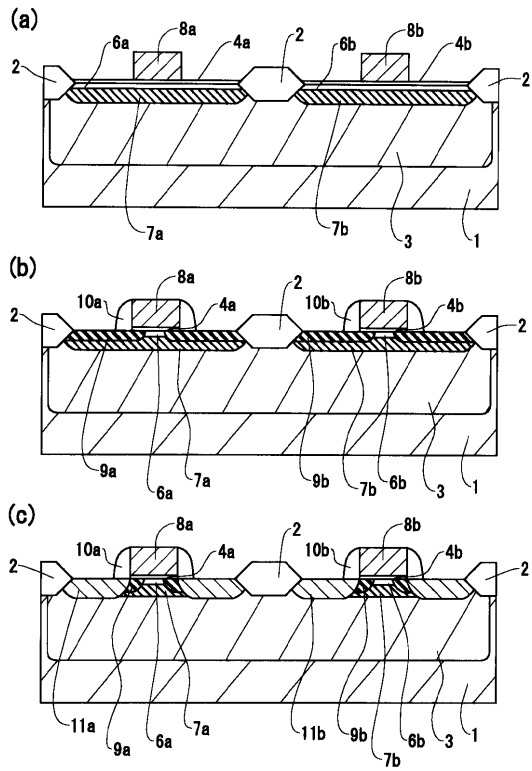
【図1】



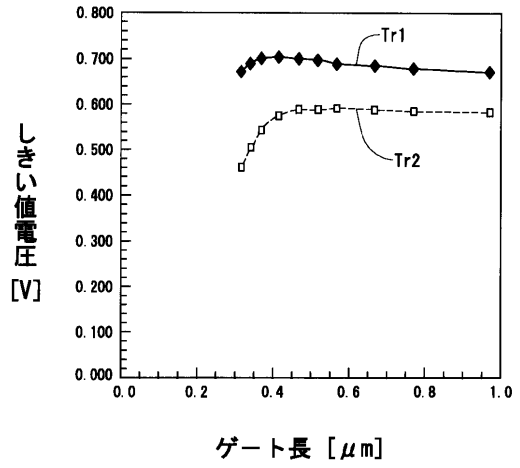
【図2】



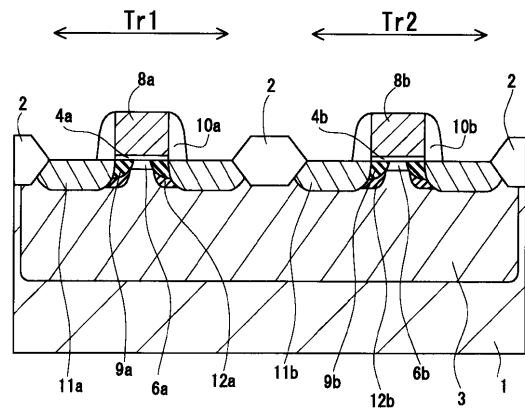
【 図 3 】



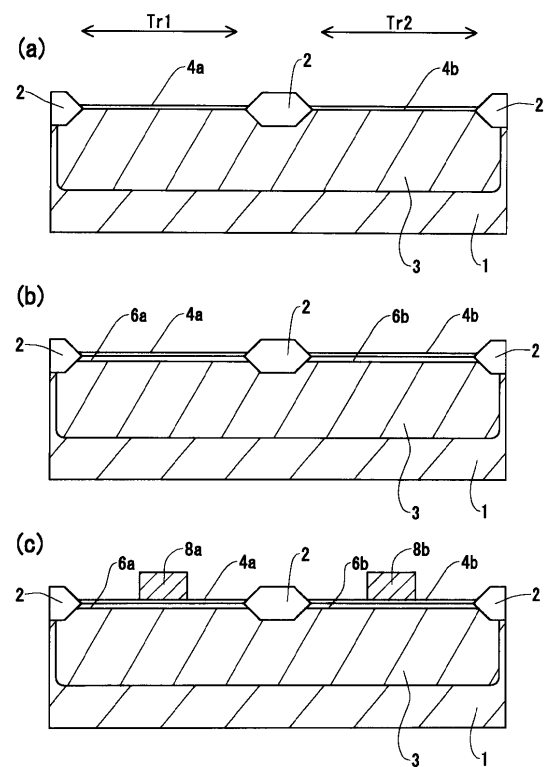
【 図 4 】



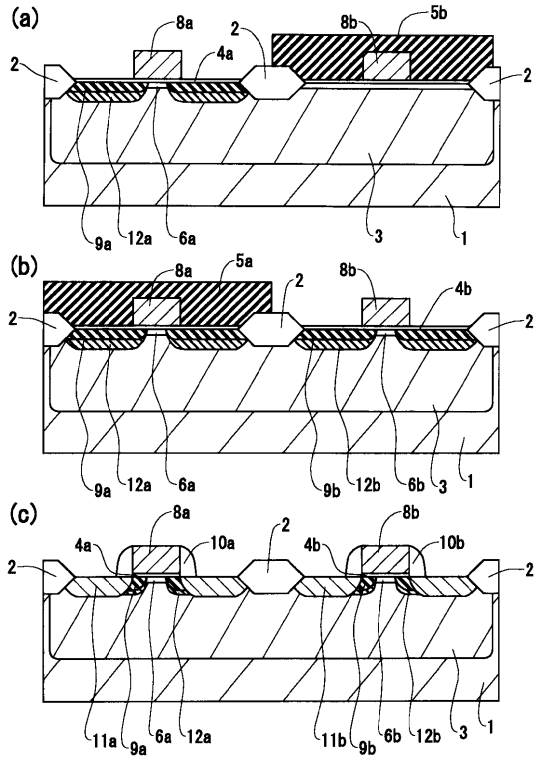
【 図 5 】



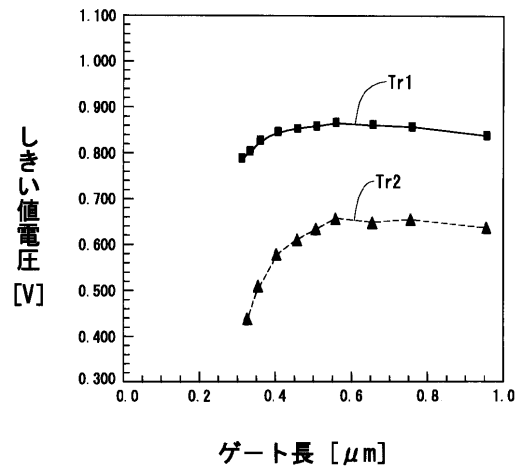
【 図 6 】



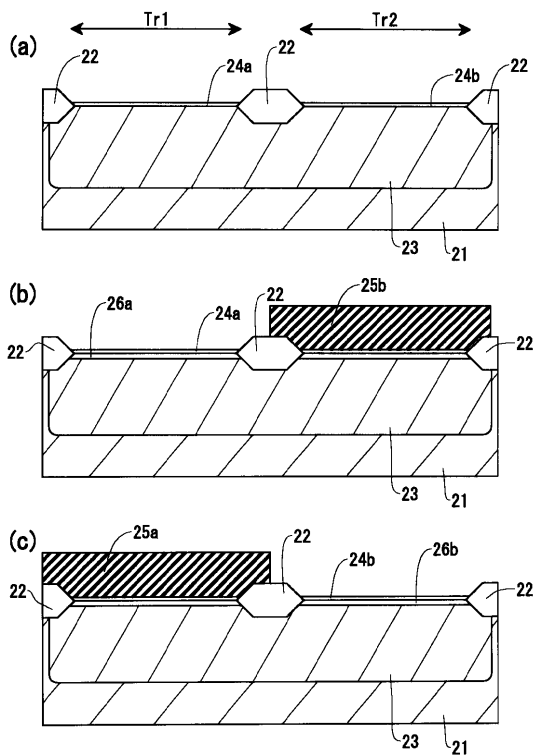
【 図 7 】



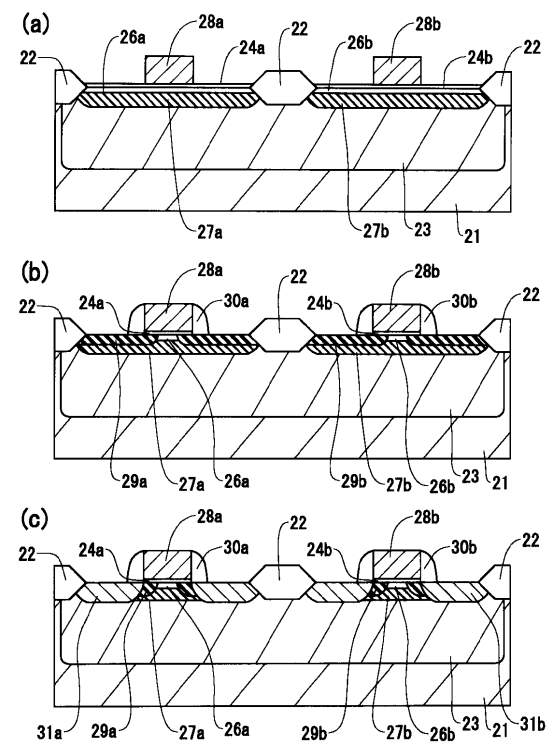
【 図 8 】



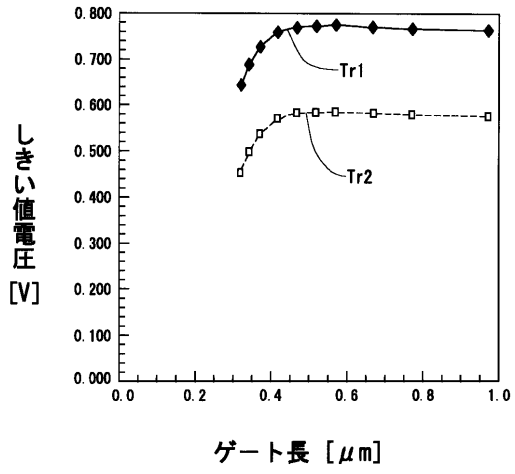
【 図 9 】



【 図 10 】



【図 11】



フロントページの続き

- (56)参考文献 特開2000-040749(JP,A)
特開2000-150885(JP,A)
特開2000-068389(JP,A)
特開2001-185627(JP,A)
特開2000-031292(JP,A)
特開2001-203275(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234- 21/8238
H01L 21/8248- 21/8249
H01L 27/08
H01L 27/085 - 27/092