

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3961044号

(P3961044)

(45) 発行日 平成19年8月15日(2007.8.15)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int. Cl.

F I

H O 1 L 23/522 (2006.01)

H O 1 L 21/90 B

H O 1 L 21/768 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1343 (2006.01)

H O 1 L 21/306 S

H O 1 L 21/306 (2006.01)

H O 1 L 27/08 I O 2 D

H O 1 L 21/8234 (2006.01)

H O 1 L 29/78 6 I 2 C

請求項の数 7 (全 14 頁) 最終頁に続く

(21) 出願番号 特願平8-119304
 (22) 出願日 平成8年5月14日(1996.5.14)
 (65) 公開番号 特開平9-306990
 (43) 公開日 平成9年11月28日(1997.11.28)
 審査請求日 平成14年8月29日(2002.8.29)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 大堀 達也
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (72) 発明者 堀 哲郎
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 ▲辻▼ 弘輔

最終頁に続く

(54) 【発明の名称】 電子回路装置

(57) 【特許請求の範囲】

【請求項1】

上面を有する基板と、
 前記基板の上に配置され、導電性材料により形成された下層配線と、
 前記下層配線の表面を被覆する陽極酸化膜と、
 前記基板の上に、前記陽極酸化膜を覆うように形成された層間絶縁膜と、
 前記下層配線が形成された領域と形成されていない領域との境界線を跨いで2つの領域
 に跨って前記層間絶縁膜及び前記陽極酸化膜を貫通するコンタクトホールと、
 前記層間絶縁膜上の一部の領域、及び前記コンタクトホール内に配置され、該コンタ
 クトホール内において前記下層配線と電気的に接続された上層配線と、
 前記基板の上面上の前記コンタクトホールとは異なる一部の領域に配置され、半導体材
 料により形成されたチャネル膜と、前記チャネル膜上の一部の領域に配置され、絶縁材
 料により形成されたゲート絶縁膜と、前記ゲート絶縁膜上に配置され、前記下層配線と同時
 に堆積されたゲート電極と、前記ゲート電極の表面を被覆し、前記陽極酸化膜と同時に形
 成された陽極酸化膜とを含み、前記チャネル膜のうち前記ゲート電極の両側の領域が低抵
 抗化されている薄膜トランジスタとを有し、

前記層間絶縁膜が前記薄膜トランジスタを被覆しており、かつ

前記コンタクトホールの断面において、前記下層配線が形成されていない領域に前記コ
 ンタクトホールの側面が位置する断面内においては陽極酸化膜が除去されており、前記下
 層配線が形成された領域に前記コンタクトホールの側面が位置する断面内においては陽極

10

20

酸化膜がサイドエッチングされており、該陽極酸化膜の表出している部分が、前記層間絶縁膜の表出している部分よりも窪んでいることを特徴とする電子回路装置。

【請求項 2】

前記コンタクトホール内の前記基板の上面と前記層間絶縁膜とのエッチング耐性が相互に異なる請求項 1 に記載の電子回路装置。

【請求項 3】

さらに、前記基板の上面と前記下層配線との間に配置され、前記ゲート絶縁膜と同時に堆積された下層絶縁膜を有する請求項 1 または 2 に記載の電子回路装置。

【請求項 4】

さらに、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち一方の領域にコンタクトホールを介して電氣的に接続され、前記上層配線と同時に堆積されたドレイン配線と、前記層間絶縁膜の上に配置され、前記チャネル膜の低抵抗化された 1 対の領域のうち他方の領域にコンタクトホールを介して電氣的に接続された透明電極とを有する請求項 1 ~ 3 のいずれかに記載の電子回路装置。

10

【請求項 5】

前記チャネル膜がポリシリコンにより形成され、前記層間絶縁膜が窒化シリコンにより形成され、さらに、ポリシリコン、窒化シリコンの双方とエッチング耐性が異なり、前記チャネル膜と前記層間絶縁膜との間に配置されたエッチング停止膜を有する請求項 4 に記載の電子回路装置。

【請求項 6】

20

前記下層配線が、縞模様状に配置された領域を有し、前記コンタクトホールが前記下層配線の縞模様状に配置された領域において複数の縞と交差する請求項 1 ~ 5 のいずれかに記載の電子回路装置。

【請求項 7】

前記下層配線の端部が櫛歯状模様に形成され、前記コンタクトホールが前記下層配線端部の櫛歯部分に交差する請求項 1 ~ 5 のいずれかに記載の電子回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線を用いた電子回路装置に関し、特に下層配線の表面を絶縁膜で被覆し、この被覆絶縁膜上に層間絶縁膜を形成した電子回路装置に関する。

30

【0002】

【従来の技術】

図 8 は、薄膜トランジスタ (TFT) を用いた液晶表示パネル (LCD) における下層配線と上層配線との接続部の断面を示す。

【0003】

ガラス基板 100 の表面上にゲート絶縁膜 101 が形成されている。TFT が形成される領域においては、ガラス基板 100 とゲート絶縁膜 101 との間にポリシリコン膜が配置される。このポリシリコン膜が、TFT のチャネル及びソース/ドレイン領域を構成する。図 8 は、上層配線と下層配線との接続部を示しているため、図示された領域にポリシリコン膜は形成されていない。

40

【0004】

ゲート絶縁膜 101 の上にアルミニウムからなるゲート配線 102 が形成されている。ゲート配線 102 は、TFT のゲート電極と同一の工程で堆積されパターニングされる。ゲート配線 102 の表面にアルミニウムを陽極酸化した陽極酸化膜 103 が形成され、陽極酸化膜 103 の表面を含む基板全面に層間絶縁膜 104 が形成されている。

【0005】

層間絶縁膜 104 の上にアルミニウムからなるドレイン配線 105 が形成されている。ドレイン配線 105 は、TFT のドレイン電極と同一の工程で堆積されパターニングされる。ゲート配線 102 とドレイン配線 105 は、画素が配置された領域において格子状に配

50

置される。両配線は、その交差箇所において層間絶縁膜104により相互に絶縁される。陽極酸化膜103は、ゲート配線102とドレイン配線105との間の絶縁の信頼性を高める機能を有する。

【0006】

周辺回路一体型LCDの場合、周辺回路において1つのトランジスタの出力信号で他のトランジスタを駆動する場合がある。このとき、前段のトランジスタのドレイン配線を後段のトランジスタのゲート配線に接続する。

【0007】

ゲート配線とドレイン配線とを接続する場合には、ドレイン配線層を堆積する前に、層間絶縁膜104及び陽極酸化膜103にコンタクトホール106を形成する。コンタクトホール106を形成するための層間絶縁膜104のエッチングは、異方性のドライエッチングにより行われる。

10

【0008】

陽極酸化膜103のエッチングは、ゲート配線102とのエッチング選択比の大きな適当なエッチングガスがないため、例えばクロム混酸($\text{CrO}_3 \cdot \text{HNO}_3 \cdot \text{H}_3\text{PO}_4 \cdot \text{CH}_3\text{COOH} + n\text{H}_2\text{O}$)を用いた等方性のウェットエッチングにより行われる。このため、陽極酸化膜103がサイドエッチングされ、コンタクトホール106の内周部の下部分に窪み107が形成される。

【0009】

コンタクトホール106を形成した基板表面全面にドレイン配線層をスパッタリング等により堆積する。コンタクトホール106の内周部に窪み107が形成されているため、コンタクトホール部におけるカバレッジ率が低下し、ドレイン配線の断線が発生しやすくなる。すなわち、画素が形成された領域においてゲート配線とドレイン配線との短絡を防止するための陽極酸化膜が、周辺回路を形成する領域においてゲート配線とドレイン配線との接続を困難にしている。

20

【0010】

【発明が解決しようとする課題】

上述のように、画素が配置される領域においてゲート配線とドレイン配線との絶縁の信頼性を高めるためにゲート配線の表面を陽極酸化すると、周辺回路が配置される領域において、ゲート配線とドレイン配線との接続箇所の信頼性が低下する。

30

【0011】

本発明の目的は、下層配線と上層配線との絶縁の信頼性を維持したまま、両配線の接続箇所においては、接続の信頼性を高めることができる電子回路装置及びその製造方法を提供することである。

【0012】

【課題を解決するための手段】

本発明の一観点によると、上面を有する基板と、前記基板の上に配置され、導電性材料により形成された下層配線と、前記下層配線の表面を被覆する被覆絶縁膜と、前記基板の上に、前記被覆絶縁膜を覆うように形成された層間絶縁膜と、前記下層配線の内部領域から、該下層配線の外周を越えて外部領域まで延在する層間コンタクト領域に形成され、前記層間絶縁膜及び前記被覆絶縁膜を貫通する開口と、前記層間絶縁膜上の一部の領域、及び前記層間コンタクト領域に配置され、該層間コンタクト領域において前記下層配線と電気的に接続された上層配線とを有する電子回路装置が提供される。

40

【0013】

被覆絶縁膜に第1の開口を形成するとき、被覆絶縁膜がサイドエッチングされる場合がある。被覆絶縁膜がサイドエッチングされると開口の内周面に窪みが形成され、上層配線のカバレッジ率が低下してしまう。第2の開口を、第1の配線が形成されていない領域まで延在して配置すると、第1の配線の外部領域においては、第2の開口の内周面に被覆絶縁膜が現れない。従って、この領域の内周面に窪みが形成されないため、カバレッジ率の低下を防止することができる。

50

【0014】

本発明の他の観点によると、上面を有する基板の該上面の上に、下層金属配線を形成する工程と、前記下層金属配線の表面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜を被覆するように、前記基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上に、前記下層金属配線が形成された領域と形成されていない領域との境界線を跨いで2つの領域に跨った開口を有するマスクパターンを形成する工程と、前記マスクパターンをエッチングマスクとして、前記層間絶縁膜をエッチングしてコンタクトホールを形成し、コンタクトホールの内面に前記陽極酸化膜の一部を露出させる工程と、前記コンタクトホールの内面に露出した前記陽極酸化膜をエッチングし、前記下層金属配線の一部表面を露出させる工程と、前記層間絶縁膜の上、及び前記コンタクトホール内に、前記下層金属配線と電氣的に接続される上層配線を形成する工程とを有する電子回路装置の製造方法が提供される。

10

【0015】

陽極酸化膜をエッチングしてコンタクトホールを形成するとき、陽極酸化膜がサイドエッチングされる場合がある。陽極酸化膜がサイドエッチングされるとコンタクトホールの内周面に窪みが形成され、上層配線のカバレッジ率が低下してしまう。コンタクトホールを下層金属配線の外部領域まで延在して配置すると、下層金属配線の外部領域においては、コンタクトホールの内周面に陽極酸化膜が現れない。従って、この領域の内周面に窪みが形成されないため、カバレッジ率の低下を防止することができる。

20

【0016】

本発明の他の観点によると、上面を有する基板と、前記基板の上に配置され、導電性材料により形成された下層配線と、前記下層配線の表面上に形成された被覆絶縁膜と、前記基板の上に、前記被覆絶縁膜を覆うように形成された層間絶縁膜と、前記下層配線の内部領域の一部に形成され、前記層間絶縁膜及び前記被覆絶縁膜を貫通する開口であって、該開口の側面のうち前記被覆絶縁膜の表出している部分が、前記層間絶縁膜の表出している部分よりも窪んでいる前記開口と、前記開口の側面上に、少なくとも前記被覆絶縁膜の表出した窪んだ部分をすべて埋め尽くすように形成された埋込領域と、前記層間絶縁膜の上、前記開口の内面、及び前記埋込領域の表面上に配置され、前記埋込領域とは異なる材料で形成され、前記開口が形成された領域において前記下層配線と電氣的に接続された上層配線とを有する電子回路装置が提供される。

30

【0017】

開口の内周面の窪んだ部分を埋込領域で埋め尽くすことにより、上層配線のカバレッジ率の低下を防止することができる。

本発明の他の観点によると、上面を有する基板の該上面の上に、下層金属配線を形成する工程と、前記下層金属配線の表面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜を被覆するように、前記基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上に形成され、前記下層金属配線が形成された領域内の一部の領域に開口を有するマスクパターンを形成する工程と、前記マスクパターンをエッチングマスクとして、前記層間絶縁膜をエッチングしてコンタクトホールを形成し、コンタクトホールの内面に前記陽極酸化膜の一部を露出させる工程と、前記コンタクトホールの内面に露出した前記陽極酸化膜を等方的にエッチングする工程と、前記陽極酸化膜がサイドエッチングされて形成された窪み内を含む基板表面に、前記窪みの深さと等しいかまたはそれよりも厚い膜厚を有する埋込膜を堆積する工程と、少なくとも前記埋込膜の表面を覆い、該埋込膜と異なる材料で形成され、前記コンタクトホール部で前記下層金属配線と電氣的に接続された上層配線層を堆積する工程と、前記上層配線層をパターンニングして上層配線を形成する工程とを有し、前記埋込膜が、前記上層配線層よりも、成膜時にマイグレーションし易い材料により形成されている電子回路装置の製造方法が提供される。

40

【0018】

コンタクトホールの内周面の窪みを埋込膜で埋め尽くすことにより、上層配線のカバレッジ率の低下を防止することができる。

50

【 0 0 1 9 】

【 発明の実施の形態 】

図 1 ~ 図 5 を参照して、本発明の第 1 の実施例による T F T 型 L C D の構成及び製造方法を説明する。

【 0 0 2 0 】

図 1 は、第 1 の実施例による T F T 型 L C D の部分平面図を示す。T F T 型 L C D は、周辺回路部 1 0 と画素部 2 0 に分けられる。

画素部 2 0 には、図の横方向に延在するゲート線 3 4 a と縦方向に延在するドレイン線 3 8 a が格子状に配置されている。ゲート線 3 4 a とドレイン線 3 8 a は、例えばアルミニウムにより形成され、両配線は、その交差箇所において層間絶縁膜により相互に絶縁されている。

10

【 0 0 2 1 】

ゲート線 3 4 a とドレイン線 3 8 a との交差箇所に対応して T F T 2 5 が配置されている。T F T 2 5 は、長形状のポリシリコン膜 3 2 a と、その上にゲート絶縁膜を介して配置されたゲート電極 3 4 G a を含んで構成される。ゲート電極 3 4 G a はゲート線 3 4 a に連続している。ポリシリコン膜 3 2 a には、ゲート電極 3 4 G a の両側の領域に導電性を付与するための不純物、例えば n 型にする場合にはリン (P)、p 型にする場合にはボロン (B) 等の不純物が添加され、ドレイン領域 2 5 D 及びソース領域 2 5 S が画定されている。

【 0 0 2 2 】

ドレイン領域 2 5 D は、コンタクトホール C 4 を介してドレイン線 3 8 a に接続されている。ソース領域 2 5 S は、コンタクトホール C 5 を介してインジウムオキシド (I T O) 等からなる透明画素電極 4 3 に接続されている。

20

【 0 0 2 3 】

周辺回路 1 0 には、T F T 1 5 が配置されている。T F T 1 5 は、T F T 2 5 の構成と同様の基本構成を有し、ポリシリコン膜 1 1 及びゲート電極 3 4 G b を含んで構成されている。ゲート電極 3 4 G b はゲート線 3 4 b に連続し、ゲート線 3 4 b は、コンタクトホール C 3 を介してドレイン線 3 8 c に接続されている。コンタクトホール C 3 は、ゲート線 3 4 b が配置された領域の外部まではみ出して配置されている。

【 0 0 2 4 】

ドレイン領域 1 5 D はコンタクトホール C 1 を介して上層配線 1 3 に接続され、ソース領域 1 5 S はコンタクトホール C 2 を介して上層配線 1 4 に接続されている。

30

【 0 0 2 5 】

次に、図 2 A ~ 図 2 D、図 3 ~ 図 5 を参照して L C D の作製方法を説明する。図 2 A ~ 図 5 は、図 1 に示す L C D の部分断面図であり、各図の左側、中央及び右側の断面図が、それぞれ図 1 の一点鎖線 A 1 - A 1、A 2 - A 2、及び A 3 - A 3 における断面図に対応する。

【 0 0 2 6 】

図 2 A に示すように、透明ガラス基板 3 0 の上に、原料ガスとしてシラン (S i H₄) と酸素 (O₂) を用いたプラズマ励起型化学気相堆積 (P E - C V D) により、厚さ 2 0 0 n m の下地 S i O₂ 膜 3 1 を堆積する。下地 S i O₂ 膜 3 1 の上に、原料ガスとして水素 (H₂) 希釈の S i H₄ を用いた P E - C V D により、厚さ 5 0 n m のアモルファスシリコン膜を堆積する。アモルファスシリコン膜を堆積後、エネルギー密度 2 5 0 m J / c m² のエキシマレーザを用いたレーザアニールにより、アモルファスシリコンを結晶化し、ポリシリコン膜 3 2 を形成する。

40

【 0 0 2 7 】

図 2 B に示すように、ポリシリコン膜 3 2 をパターニングし、図 1 の T F T 2 5 を形成すべき領域にポリシリコン膜 3 2 a を残す。なお、このとき図 1 の T F T 1 5 を形成すべき領域にもポリシリコン膜 1 1 を残す。ポリシリコン膜 3 2 のパターニングは、例えばエッチングガスとして C F₄ を用いた反応性イオンエッチング (R I E) により行う。

50

【0028】

ポリシリコン膜32aを覆うように、基板の上面の全領域にPE-CVDにより、SiO₂からなる厚さ150nmのゲート絶縁膜33を堆積する。ゲート絶縁膜33の上に、スパッタリングによりAlからなる厚さ300nmのゲート配線層34を堆積する。

【0029】

図2Cに示すように、ゲート配線層34をパターニングし、ポリシリコン膜32a上の一部の領域にゲート電極34Gaを残し、配線を形成すべき領域にゲート線34bを残す。このとき、図1に示すゲート線34a、ゲート電極34Gbも同時に形成される。ゲート配線層34のパターニングは、例えば、エッチングガスとしてCl₂とBCl₃との混合ガスを用いたRIEにより行う。

10

【0030】

基板をシュウ酸((COOH)₂・2H₂O)に浸漬してゲート電極34Ga及びゲート線34bの表面を陽極酸化し、それぞれの表面にAl₂O₃からなる厚さ120nmの陽極酸化膜35a及び35bを形成する。他のゲート電極及びゲート線も陽極酸化膜で覆われる。

【0031】

図2Dに示すように、陽極酸化膜35a及び35bをエッチングマスクとし、エッチングガスとしてCHF₃を用いたRIEにより、ゲート絶縁膜33をエッチングする。ゲート電極34Gaの両側の領域においてポリシリコン膜32aの表面が露出した時点でエッチングを停止する。

20

【0032】

ゲート電極34Ga及び陽極酸化膜35aをマスクとしてポリシリコン膜32aに不純物をイオン注入する。nチャネル型TFETを形成する領域をレジストパターンで覆ってB⁺イオンを注入し、続いてpチャネル型TFETを形成する領域をレジストパターンで覆ってP⁺イオンを注入することにより、相補型MOS(CMOS)回路を構成することができる。イオン注入後、活性化アニールを行う。ポリシリコン膜32aのうちイオン注入された領域が、ドレイン領域25D及びソース領域25Sになる。

【0033】

図3に示すように、基板表面上の全領域にPE-CVDによりSiO₂からなる厚さ30nmのエッチング停止層36を堆積する。エッチング停止層36の上に、原料ガスとしてH₂希釈のSiH₄とNH₃を用いたPE-CVDにより、SiNからなる厚さ250nmの層間絶縁膜37を堆積する。

30

【0034】

図4に示すように、層間絶縁膜37、エッチング停止層36、及び陽極酸化膜35bを貫通して所定の領域にコンタクトホールC3、C4及びC5を形成する。コンタクトホールC4及びC5の底面に、それぞれドレイン領域25D及びソース領域25Sの一部表面が現れ、コンタクトホールC3の底面に、ゲート線34b、ゲート絶縁膜33b及び下地SiO₂膜31の一部表面が現れる。

【0035】

SiNからなる層間絶縁膜37には、例えばエッチングガスとしてCF₄を用いたRIEによりコンタクトホールが形成される。このエッチングは、SiO₂からなるエッチング停止層36で自動的に停止する。エッチング停止層36には、例えば弗酸水溶液を用いたウェットエッチングによりコンタクトホールが形成される。このエッチングにより、コンタクトホールC4及びC5の底面に、それぞれドレイン領域25D及びソース領域25Sの一部表面が露出する。コンタクトホールC3の底面には、陽極酸化膜35b及び下地SiO₂膜31の一部表面が露出する。

40

【0036】

層間絶縁膜37のエッチングがエッチング停止層36で停止するため、ポリシリコン膜32aのドレイン領域25D及びソース領域25Sの表面が、RIEのエッチングガスに晒されない。ドレイン領域25D及びソース領域25Sの直上のエッチング停止層36には

50

、ウェットエッチングによりコンタクトホールが形成される。このため、ドレイン領域 25D 及びソース領域 25S の表面荒れを防止することができる。

【0037】

エッチング停止層 36 は、下地 SiO₂ 膜 31 に比べて十分薄いため、エッチング停止層 36 のエッチング時に過度のエッチングがあったとしても、下地 SiO₂ 膜 31 に与える影響は少ない。また、エッチング停止層 36 が無い場合でも、層間絶縁膜 37 と下地 SiO₂ 膜 31 とのエッチング耐性が異なるため、層間絶縁膜 37 のエッチングを過度に行ったとしても、コンタクトホール C3 の底面に露出した下地 SiO₂ 膜 31 に与える影響は少ない。

【0038】

次に、クロム混酸を用いたウェットエッチングにより、コンタクトホール C3 の底面に露出した陽極酸化膜 35b をエッチング除去する。図 4 の中央の断面図に示すように、コンタクトホール C3 の内周面がゲート線 34b の内部領域に位置する断面内においては、陽極酸化膜 35b がサイドエッチングされる。この結果、コンタクトホール C3 の内周面の下部に窪み 40 が形成される。

【0039】

図 4 の右側の断面図に示すように、コンタクトホール C3 の内周面がゲート配線 34b の外側に位置する断面内においては、ゲート配線 34b 表面の陽極酸化膜がすべて除去され、ゲート線 34b の両側にゲート絶縁膜 33b の一部及び下地 SiO₂ 膜 31 の一部が露出する。

【0040】

各コンタクトホールを埋め込むように、基板全面にスパッタリングにより Ti / Al / Ti の 3 層からなるドレイン配線層を堆積する。上層及び下層の Ti 層の厚さは約 100 nm、Al 層の厚さは 200 nm である。下側の Ti 層は Al 層と層間絶縁膜 37 との密着性を高め、上側の Ti 層はフォトリソグラフィ時に反射防止膜として作用する。このドレイン配線層をパターニングし、コンタクトホール C4 内を埋め込みドレイン領域 25D に接続されたドレイン線 38a、コンタクトホール C5 内を埋め込みソース領域 25S に接続されたソース引出線 38b、及びコンタクトホール C3 内を埋め込み、ゲート線 34b に接続されたドレイン線 38c を形成する。

【0041】

図 4 の中央に示す断面図においては、コンタクトホール C3 の内周面に窪み 40 が形成されているため、ドレイン線 38c のカバレッジ率が低下する。これに対し、図 4 の右側の断面図においては、コンタクトホール C3 の内周面に窪みが形成されていないため、カバレッジ率の低下を防止できる。コンタクトホールの内周面が、下層配線であるゲート線の外側に位置する断面内において、ゲート線とドレイン線とが安定して接続されるため、ゲート線とドレイン線との接続の信頼性の低下を回避することができる。

【0042】

図 5 に示すように、基板表面の全領域に PE - CVD により、SiN からなる厚さ 200 nm の層間絶縁膜 41 を堆積する。層間絶縁膜 41 の上にスパッタリングにより Ti 膜を堆積してパターニングし、所定の領域にブラックマトリクス BM を形成する。

【0043】

ブラックマトリクス BM 及び層間絶縁膜 41 の表面を覆うように、PE - CVD により、SiN からなる厚さ 300 nm の層間絶縁膜 42 を堆積する。層間絶縁膜 42 及び 41 に、ソース引出線 38b の上面を露出させるコンタクトホール C6 を形成し、コンタクトホール C6 内を埋め込むように、基板表面上の全領域に厚さ 150 nm の ITO 膜を堆積する。この ITO 膜の表面の所定の領域をマスクパターンで覆い、例えばシュウ酸を用いて ITO 膜の露出した部分をエッチングし、コンタクトホール C6 を介してソース引出線 38b に接続された透明画素電極 43 を形成する。

【0044】

上記実施例では、上述のように、コンタクトホールをゲート線からはみ出して配置するこ

10

20

30

40

50

とにより、ゲート線とドレイン線との接続部の信頼性を高めることができる。また、ゲート線の表面は陽極酸化膜によって覆われているため、図1に示す画素部20においては、ゲート線とドレイン線との絶縁の信頼性を高く維持することができる。

【0045】

次に、図6を参照して第1の実施例の変形例について説明する。

図6は、第1の実施例の変形例によるゲート線とドレイン線との接続部の平面図を示す。ゲート線50の端部が櫛歯状模様にされている。ドレイン線51の端部が層間絶縁膜を介してこの櫛歯状部分を被覆するように配置されている。層間絶縁膜には、一方向に長い平面形状を有するコンタクトホール52が、ゲート線50の各櫛歯部分と交差するように複数個配置されている。

10

【0046】

コンタクトホール52の内周面のうちゲート線50と重ならない部分において、図5の右端の断面図に示すような窪みのない内周面が得られる。図6に示すように、ゲート線を櫛歯状にし、各櫛歯部分に交差する複数のコンタクトホール52を配置することにより、窪みのない内周面の総延長を長くすることができる。このため、コンタクトホール52の内周面上に形成される上層と下層との接続部の幅を広く確保することができ、接続抵抗を低減させることができる。

【0047】

図6のような接続箇所を平面構成は、特に大電流が流れる電源線の接続に有効である。なお、図6では、ゲート線の端部においてドレイン線と接続する場合を示したが、ゲート線の中間部において接続する場合には、ゲート線にスリットを設けて縞状模様を構成し、この縞に交差するようにコンタクトホールを配置することにより、同様の効果を得ることができる。

20

【0048】

次に、図7Aを参照して、本発明の第2の実施例による上層配線と下層配線との接続箇所を構成及び作製方法を説明する。

図7Aは、ゲート線とドレイン線との接続部の断面図を示す。図7Aの各構成部分には、図4の対応する構成部分と同一の参照符号を付して示している。

【0049】

ガラス基板30の表面上に下地SiO₂膜31が堆積され、その上の一部領域にゲート絶縁膜33bが形成されている。ゲート絶縁膜33bの上にゲート線34bが形成され、その表面が陽極酸化膜35bで覆われている。

30

【0050】

陽極酸化膜35b、ゲート絶縁膜33b及び下地SiO₂膜31の表面を覆うようにエッチング停止層36が形成され、その上に層間絶縁膜37が配置されている。ここまでの構成は、第1の実施例における図2A～図3と同様の工程で形成される。

【0051】

第1の実施例の図4で説明した方法と同様の方法で、層間絶縁膜37、エッチング停止層36及び陽極酸化膜35bにコンタクトホール60を形成する。陽極酸化膜35bがサイドエッチングされ、コンタクトホール60の内周面下部に窪み61が形成される。窪み61の深さは、陽極酸化膜35bの厚さにほぼ等しい。

40

【0052】

層間絶縁膜37の表面上及びコンタクトホール60の内面上に、スパッタリングによりTi膜38dを堆積する。TiはAlに比べて成膜時に下地表面上をマイグレーションし易いため、窪み61内を効果的に埋め込むことができる。窪み61内を完全に埋め尽くすためには、Ti膜38dの厚さを窪み61の深さ、すなわち陽極酸化膜35bの厚さよりも厚くすることが好ましい。

【0053】

Ti膜38dの表面上に、スパッタリングによりAl(下層)/Ti(上層)の2層からなるドレイン配線層38eを堆積する。Ti膜38d及びドレイン配線層38eをパター

50

ニングしてドレイン配線を形成する。

【0054】

図7Aに示すように、ドレイン配線層38eを堆積する前に、成膜時にマイグレーションし易いTiからなる膜を窪み61の深さ、すなわち陽極酸化膜35bの厚さよりも厚く堆積することにより、窪み61内を効果的に埋め尽くし、ドレイン線のカバレッジ率の低下を防止することができる。

【0055】

図7Bは、第2の実施例の変形例による上層配線と下層配線との接続箇所の断面図を示す。図7Aでは、窪み61内を埋め込むためのTi膜38dを基板全面に配置しているが、図7BではTi膜をコンタクトホール60の内周面上にのみ配置している。その他の構成は図7Aの接続箇所と同様である。

10

【0056】

まず図7Aの場合と同様に基板全面にTi膜を堆積し、エッチングガスとしてCl₂とBCl₃との混合ガスを用いた異方性のRIEにより平坦面上のTi膜を除去することにより、コンタクトホール60の内周面上にのみTi膜38fを残す。層間絶縁膜37の上面、Ti膜38fの表面及びコンタクトホール60の底面上にTi/Al/Tiの3層からなるドレイン配線層38gを堆積する。ドレイン配線層38gをパターンニングしてドレイン配線を形成する。

【0057】

図7Bに示す変形例の場合も、ドレイン配線層38gを堆積する前に窪み61内がTiで埋め込まれるため、ドレイン線のカバレッジ率の低下を防止することができる。

20

【0058】

図5に示すように、ドレイン線38cの上には、層間絶縁膜、透明画素電極等が配置されるため、ドレイン線の厚さをなるべく薄くすることが好ましい。図7Aに示す第2の実施例の場合には、ドレイン配線層38eの下にTi膜38dが配置されており、Ti膜38dの厚さは陽極酸化膜35bの厚さよりも厚くすることが好ましい。このため、ドレイン配線層38e自体の厚さを厚くすることが困難になる。

【0059】

これに対し、図7Bに示す第2の実施例の変形例の場合には、Ti膜38fがコンタクトホール60の内周面上にのみ残され層間絶縁膜37の上のTi膜が除去されている。このため、ドレイン配線層38gの厚さを比較的厚くすることが可能になる。ドレイン配線層中のAlの抵抗率はTiのそれよりも低いため、ドレイン線の低抵抗化を図りやすくなる。

30

【0060】

図7A及び図7Bでは、窪み61内を埋め込む材料としてTiを用いた場合を説明したが、ドレイン配線に使用されるAlよりもマイグレーションし易い他の材料を用いても同様の効果が期待できる。例えば、TiN、Ta、Mo、W等を用いてもよい。また、図7Bに示す変形例の場合には、ドレイン配線層38gがゲート線34bに直接接触するため、窪み61内をSiO₂等の無機絶縁性材料で埋め込んでもよい。

【0061】

上記第1及び第2の実施例では、ゲート線の材料としてAlを用いた場合を説明したが、Al-Si、Al-Cu-Si、Al-Sc、またはAl-Zr等のAl合金を用いてもよい。また、ゲート線をTaで形成してもよい。ゲート線をTaで形成した場合には、ゲート線の表面を陽極酸化するとTa₂O₅の組成を有する陽極酸化膜が得られる。

40

【0062】

また、上記第1及び第2の実施例では、TFT型LCDを例にとり、陽極酸化膜で被覆されたゲート線とその上層のドレイン線とを接続する場合を説明したが、これらの実施例は、より一般的に絶縁膜で被覆された下層配線とその上に層間絶縁膜を介して配置された上層配線とを接続する場合に適用できる。特に、下層配線を被覆する絶縁膜を異方性エッチングすることが困難であり、等方性エッチングを行ってコンタクトホールの内周面に窪み

50

が形成されるような場合に有効である。

【0063】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0064】

【発明の効果】

以上説明したように、本発明によれば、下層配線の表面を絶縁膜で被覆し、その上に層間絶縁膜を介して上層配線を配置する場合に、層間絶縁膜と下層配線の被覆絶縁膜にコンタクトホールを形成し、下層配線と上層配線とを信頼度よく接続することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるTF T型LCDの部分平面図である。

【図2】第1の実施例によるTF T型LCDの作製方法を説明するための、基板の断面図(その1)である。

【図3】第1の実施例によるTF T型LCDの作製方法を説明するための、基板の断面図(その2)である。

【図4】第1の実施例によるTF T型LCDの作製方法を説明するための、基板の断面図(その3)である。

【図5】第1の実施例によるTF T型LCDの作製方法を説明するための、基板の断面図(その4)である。

【図6】第1の実施例の変形例によるゲート線とドレイン線との接続箇所の平面図である

。【図7】第2の実施例及びその変形例によるTF T型LCDのゲート線とドレイン線との接続箇所の断面図である。

【図8】従来例によるTF T型LCDのゲート線とドレイン線との接続箇所の断面図である。

【符号の説明】

13、14 配線

15、25 TF T

15D、25D ドレイン領域

15S、25S ソース領域

30 ガラス基板

31 下地SiO₂膜

32、32a ポリシリコン膜

33、33a、33b ゲート絶縁膜

34 ゲート配線層

34Ga、34Gb ゲート電極

34a、34b ゲート線

35a、35b 陽極酸化膜

36 エッチング停止層

37、41、42 層間絶縁膜

38a、38c ドレイン線

38d、38f Ti膜

38e、38g ドレイン配線層

40 窪み

43 透明画素電極

50 ゲート線

51 ドレイン線

52 コンタクトホール

60 コンタクトホール

61 窪み

10

20

30

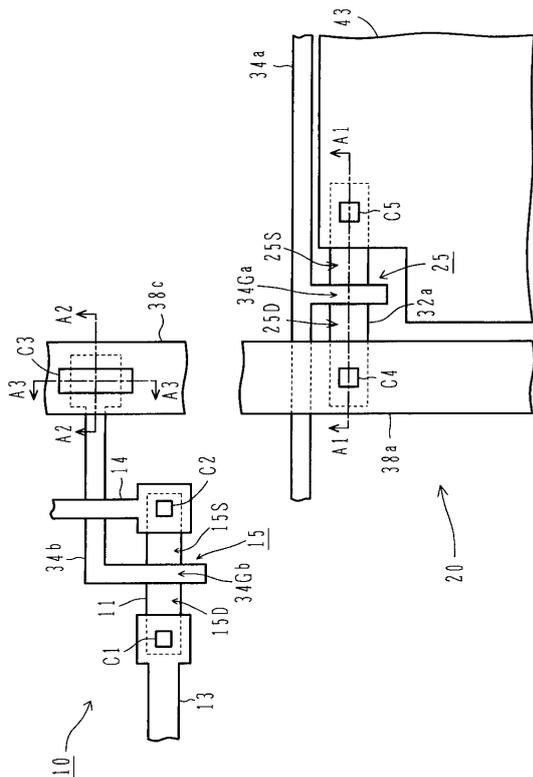
40

50

- 100 ガラス基板
- 101 ゲート絶縁膜
- 102 ゲート配線
- 103 陽極酸化膜
- 104 層間絶縁膜
- 105 ドレイン配線
- 106 コンタクトホール
- 107 窪み

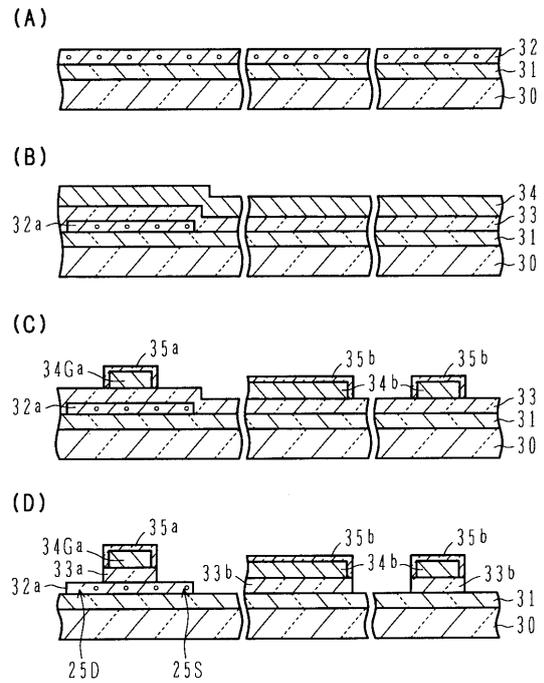
【図1】

第1の実施例によるTFT型LCD



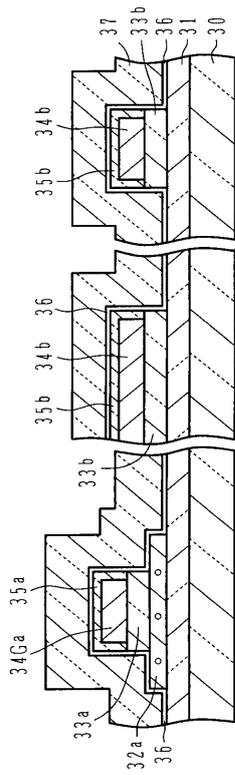
【図2】

第1の実施例(その1)



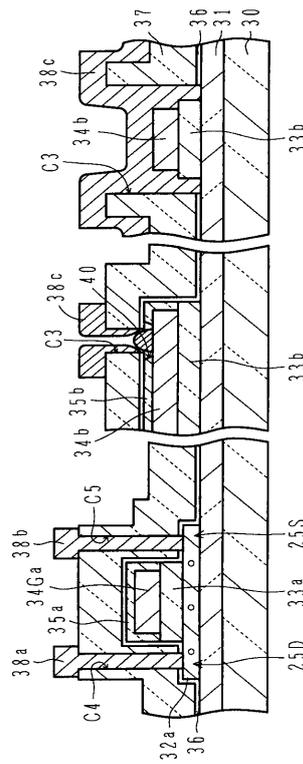
【 図 3 】

第1の実施例（その2）



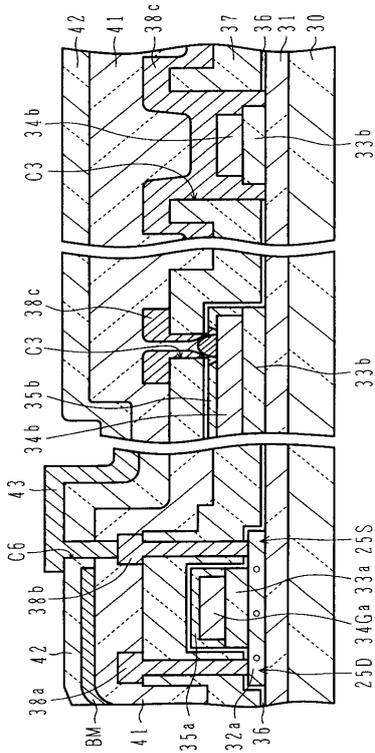
【 図 4 】

第1の実施例（その3）



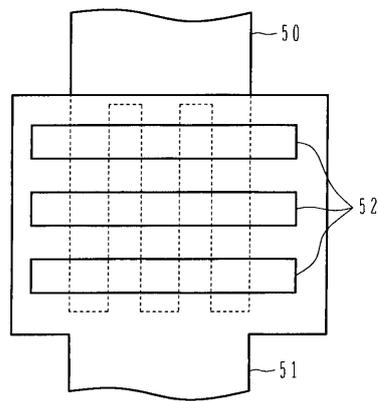
【 図 5 】

第1の実施例（その4）



【 図 6 】

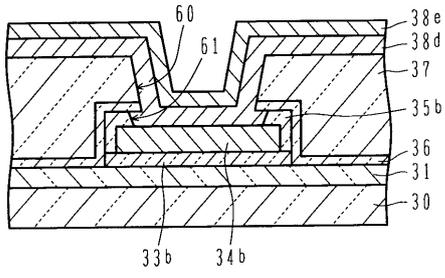
第1の実施例の変形例



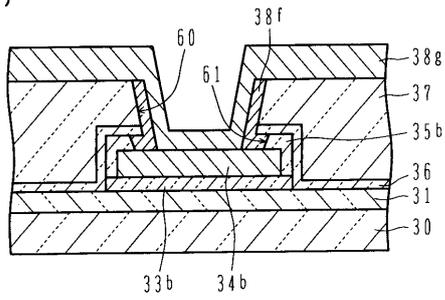
【 図 7 】

第 2 の実施例

(A)

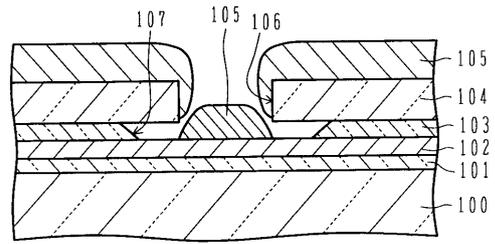


(B)



【 図 8 】

従来例



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 27/088 (2006.01) H 0 1 L 29/78 6 2 7 C
H 0 1 L 29/786 (2006.01)
H 0 1 L 21/336 (2006.01)

(56) 参考文献 特開昭52-010089(JP,A)
特開平06-250216(JP,A)
特開昭59-195844(JP,A)
特開平07-335756(JP,A)
特開平07-106416(JP,A)
特開昭60-111442(JP,A)
特開昭63-143845(JP,A)
特開平04-085856(JP,A)
特開平01-280337(JP,A)
特開平07-022507(JP,A)
特開平04-092428(JP,A)
特開平09-148271(JP,A)
特開平10-070089(JP,A)

(58) 調査した分野(Int.Cl., DB名)

H01L 21/768
G02F 1/1343
H01L 21/306
H01L 21/336
H01L 21/8234
H01L 23/522
H01L 27/088
H01L 29/786