

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-185378

(P2004-185378A)

(43) 公開日 平成16年7月2日(2004.7.2)

(51) Int. Cl.⁷

G06F 1/04
G06F 13/38
H04L 7/04

F I

G06F 1/04 301C
G06F 13/38 350
H04L 7/04 Z

テーマコード(参考)

5B077
5B079
5K047

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号

特願2002-352363 (P2002-352363)

(22) 出願日

平成14年12月4日(2002.12.4)

(71) 出願人

000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(74) 代理人

100071135

弁理士 佐藤 強

(72) 発明者

磯村 博文

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 5B077 AA33 DD05 FF11 MM01 MM02
NN02

5B079 BA11 BB04 BC01 DD02

5K047 AA16 GG02 HH03 LL11 MM11

MM27 MM28 MM36 MM56 MM62

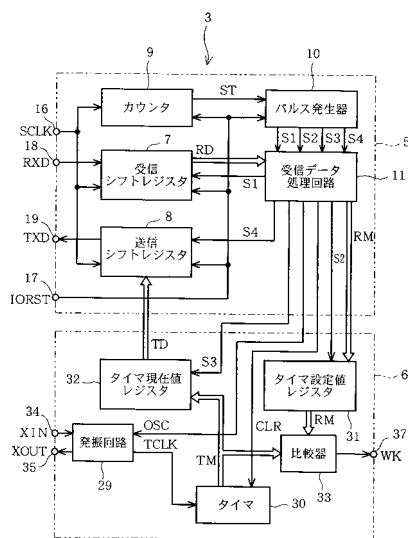
(54) 【発明の名称】 クロック同期式シリアル通信装置および半導体集積回路装置

(57) 【要約】

【課題】 発振回路により生成されるクロックを用いることなく、且つ、外部からダミーの通信クロックを送ることなく受信データを内部処理する。

【解決手段】 カウンタ9は、通信クロックSCLKをカウントし、8クロックカウントした時点でスタート信号STをHレベルにする。これに応じて、パルス発生器10は、順次Hレベルとなる信号S1~S4を出力する。信号S1に同期して受信データRDが受信シフトレジスタ7から受信データ処理回路11に転送され、信号S2に同期してさらにタイマ設定値レジスタ31に転送される。信号S3に同期してタイマ現在値レジスタ32のタイマ現在値TMが出力され、信号S4により送信データTDとして送信シフトレジスタ8に書き込まれる。

【選択図】 図1



3 : 半導体集積回路装置
5 : クロック同期式シリアル通信装置
6 : 制御ロジック部
9 : 受信完了判定手段
10 : パルス信号発生手段
11 : データ処理手段、発振制御部
29 : 発振部

【特許請求の範囲】**【請求項 1】**

通信クロックに同期して当該通信クロックとともに送られてくるシリアルデータを入力する受信シフトレジスタと、

この受信シフトレジスタが所定ビット数のシリアルデータを入力したことを検出して受信完了信号を出力する受信完了判定手段と、

この受信完了判定手段が前記受信完了信号を出力したことに応じて、前記受信データの処理に必要とされるパルス数だけタイミングパルス信号を出力するパルス信号発生手段と、前記タイミングパルス信号に同期して前記受信データを処理するデータ処理手段とから構成されていることを特徴とするクロック同期式シリアル通信装置。

10

【請求項 2】

前記受信完了判定手段は、前記通信クロックの入力クロック数をカウントするカウンタから構成されており、そのカウント値が所定数に達した時に前記受信完了信号を出力することを特徴とする請求項 1 記載のクロック同期式シリアル通信装置。

【請求項 3】

前記受信完了判定手段は、前記シリアルデータに付加された特定ビットを検出することにより前記受信完了信号を出力するように構成されていることを特徴とする請求項 1 記載のクロック同期式シリアル通信装置。

【請求項 4】

請求項 1 ないし 3 の何れかに記載のクロック同期式シリアル通信装置と、

20

発振指令信号に基づいてシステムクロックを生成する発振部と、

前記発振指令信号を出力する発振制御部と、

前記システムクロックに同期して動作する制御ロジック部とを備えていることを特徴とする半導体集積回路装置。

【請求項 5】

前記発振制御部は、前記クロック同期式シリアル通信装置が受信したコマンドデータに基づいて前記発振指令信号を出力するように構成されていることを特徴とする請求項 4 記載の半導体集積回路装置。

【請求項 6】

前記クロック同期式シリアル通信装置は請求項 2 記載のものであって、

30

前記発振制御部は、前記受信完了判定手段を構成するカウンタが所定数の通信クロックをカウントした時に発振開始指令である発振指令信号を出力するように構成されていることを特徴とする請求項 4 記載の半導体集積回路装置。

【請求項 7】

タイマを備え、

前記発振制御部は、前記タイマが所定時間を計時した時に発振停止指令である発振指令信号を生成するように構成されていることを特徴とする請求項 4 記載の半導体集積回路装置

。

【発明の詳細な説明】**【0001】**

40

【発明の属する技術分野】

本発明は、低消費電力動作が要求される半導体集積回路装置に好適なクロック同期式シリアル通信装置およびこれを内蔵した半導体集積回路装置に関する。

【0002】**【従来の技術】**

例えば特許文献 1 には、半導体集積回路装置（以下、IC と称す）内部に形成された周辺回路の消費電力を低減するための技術として、各周辺回路ごとに、CPU からのアクセスを検出しアクセスがあった場合にクロックイネーブル信号を出力するアクセス検出回路部と、クロックイネーブル信号が出力されてから該周辺回路の内部回路の動作が完了するのに十分な時間メインクロック信号を内部回路に供給するクロック制御回路とを備えた IC

50

が記載されている。

【0003】

【特許文献1】

特開平9-237131号公報

【0004】

【発明が解決しようとする課題】

一般に、周辺回路の一つであるクロック同期式シリアル通信部（以下、シリアル通信部と称す）には、IC外部のホストマイコンから通信クロックとともにシリアルデータが送られ、シリアル通信部の内部に設けられた受信シフトレジスタは、通信クロックに同期してシリアルデータを受信する。そして、一旦受信シフトレジスタに取り込まれた受信データは、その後はIC内部のシステムクロックに同期してIC内部で処理されることとなる。この通信動作は、データの送信についても同様である。

10

【0005】

一方、近年ICの低消費電力化が進んでおり、例えば所定時間が経過した後または所定の処理が終了した後次のシリアルデータが送られてくるまでの間、IC内部の全クロックを停止して低消費電力モード（スリープ動作モード）に移行する機能を備えたものがある。しかし、システムクロックを生成する水晶発振回路、セラミック発振回路、CR発振回路などの動作を一旦停止させてしまうと、発振再開にあたり数msから数百ms程度の発振安定待ち時間を要するため、すぐには通信を再開できないという問題がある。

【0006】

この問題に対しては、全クロックを停止させず例えばCR発振回路だけを発振動作させ続け、このクロックにより受信データを処理することが考えられる。しかし、例えば車両用電子制御装置に用いられるICでは、車両が長時間放置されることも多いため、たとえCR発振回路だけであっても動作させ続けることは省電力上好ましくない。

20

【0007】

また、別の手段として、外部のホストマイコンから通信クロックとともに1フレームのシリアルデータを送った後、受信データを処理するため引き続き処理動作のダミーの通信クロックを送信する構成が考えられる。この通信クロックは、本来の通信の同期に用いられるのではなく、上記IC内のシステムクロックに代わって受信データの処理タイミングを与えるものである。しかし、本手段ではシリアルデータを連続して送ることができないため、通信速度が低下するとともに、余分な処理動作の通信クロックを送信するためにホストマイコン側のプログラム容量が増大したり制御が複雑化するという新たな問題が生じてしまう。

30

【0008】

本発明は上記事情に鑑みてなされたもので、その目的は、水晶発振回路などの発振回路により生成されるクロックを用いることなく、且つ、外部からダミーの通信クロックを送ることなく、受信データを内部処理することができるクロック同期式シリアル通信装置およびこれを内蔵した低消費電力動作可能な半導体集積回路装置を提供することにある。

【0009】

【課題を解決するための手段】

請求項1に記載したクロック同期式シリアル通信装置によれば、外部から送られてきたシリアルデータは、通信クロックに同期して順次受信シフトレジスタに格納される。そして、受信完了判定手段は、受信シフトレジスタが所定のビット数（例えば当該受信シフトレジスタの構成ビット数）のシリアルデータを受信したことを検出すると受信完了信号を出力する。パルス信号発生手段は、受信完了判定手段から受信完了信号が出力されたことに応じて、受信シフトレジスタに取り込まれた受信データの処理に必要とされる所定のパルス数だけタイミングパルス信号を出力し、データ処理手段は、このタイミングパルス信号を用いて、受信データを受信シフトレジスタから他のレジスタに転送するなどの種々の処理を実行する。

40

【0010】

50

本手段によれば、水晶発振回路、セラミック発振回路、CR発振回路などの発振回路により生成される汎用的なクロック（一例としてはシステムクロック）を用いることなく受信データを処理することができるため、上記発振回路の発振停止、発振再開にかかわらず、順次送られてくる通信データを連続して受信し処理することができる。また、受信データを内部処理するためのダミーの通信クロックが不要となるため、本発明に係るクロック同期式シリアル通信装置と通信する相手側の装置（以下、外部装置と称す）は、上記ダミーの通信クロックを送信するための特別な通信制御の必要がない。従って、通信速度の低下がなく、外部装置においてもプログラム容量の増大や制御の複雑化といった問題が生じない。

【0011】

請求項2に記載したクロック同期式シリアル通信装置によれば、受信完了判定手段は、通信クロックの入力クロック数をカウントするカウンタから構成されている。クロック同期式シリアル通信では、通信クロックに対応してシリアルデータが送られるため、通信クロックの数をカウントすることによりシリアルデータの受信ビット数が分かる。従って、上記カウンタのカウント値が所定数に達した時に受信完了信号を出力することにより、受信シフトレジスタが所定ビット数のシリアルデータを取得したことを検出できる。

10

【0012】

請求項3に記載したクロック同期式シリアル通信装置によれば、受信完了判定手段は、シリアルデータに付加された特定ビット例えばスタートビットやストップビットを検出することにより、所定ビット数からなる一群（例えば1フレーム）のシリアルデータが送られたこと、つまり受信シフトレジスタが所定ビット数のシリアルデータを取得したことを検出できる。本手段を用いると、請求項2記載の手段と比較してカウンタが不要となる。

20

【0013】

請求項4に記載した半導体集積回路装置によれば、発振制御部から出力される発振指令信号に基づいてシステムクロックの発振または停止を行う発振部を備えており、制御ロジック部はこのシステムクロックに同期して動作する。従って、本半導体集積回路装置は、発振部からシステムクロックが供給される通常動作モードと、発振部が発振停止する低消費電力モードとの切り替えが可能となる。

【0014】

この半導体集積回路装置には、上述したクロック同期式シリアル通信装置が搭載されているので、例えば発振指令信号に従って低消費電力モードから通常動作モードに移行した直後で発振状態が安定していない時であっても、通常の通信速度によりクロック同期式シリアル通信が可能となる。この場合、通信相手である外部装置は、通常の通信手順に従ってシリアルデータを送信すればよく、本半導体集積回路装置に対する特別な通信制御は不要となる。これにより、汎用的なクロック同期式シリアル通信システムを構成できる。

30

【0015】

請求項5に記載した半導体集積回路装置によれば、発振制御部は、クロック同期式シリアル通信装置が受信したコマンドデータに基づいて発振指令信号を出力するので、外部装置からコマンドデータを送ることにより本半導体集積回路装置に対するシステムクロックの発振制御つまり低消費電力モードと通常動作モードとの間の移行制御が可能となる。しかも、上述したように、外部装置は発振部の発振状態を考慮することなく通信できるため、通信における待ち時間（発振安定待ち時間など）や無駄時間（ダミーの通信クロックを送信する時間）が発生せず、通信開始から本来の通信速度でシリアル通信可能となる。

40

【0016】

請求項6に記載した半導体集積回路装置によれば、発振制御部は、受信完了判定手段を構成するカウンタが所定数の通信クロックをカウントした時に発振開始指令である発振指令信号を出力するので、外部装置から発振開始を指令するコマンドデータを送信する必要がない。従って、通信に要する時間を短縮できるとともに、外部装置の通信制御をより簡単化できる。

【0017】

50

請求項7に記載した半導体集積回路装置によれば、発振制御部は、当該半導体集積回路装置内に設けられたタイマが所定時間を計時した時に発振停止指令である発振指令信号を生成するので、外部装置から発振停止を指令するコマンドデータを送信する必要がない。従って、通信に要する時間を短縮できるとともに、外部装置の通信制御をより簡単化できる。

【0018】

【発明の実施の形態】

以下、本発明の一実施形態について図面を参照しながら説明する。

図3は、車両のエンジン制御を行う電子制御装置1（ECU：Electronic Control Unit）の概略的な電氣的構成図である。ECU1に収容された制御基板には、エンジン制御を行う制御用IC2とともに、「ソークタイマ」と称されるタイマ用IC3（本発明でいう半導体集積回路装置に相当）、シリーズレギュレータを構成する電源用IC4などが搭載されている。電源用IC4により生成された電源電圧は、上記制御用IC2およびタイマ用IC3に供給されている。

10

【0019】

制御用IC2は、CPUを主体として構成されるデジタル回路および種々のアナログ回路を備えたエンジン制御用の大規模なICであって、タイマ用IC3と通信するためのクロック同期式シリアル通信機能を備えている。この制御用IC2は、システムクロックに同期してCPUが動作する通常動作モードと、システムクロックの停止によりCPUが停止する低消費電力モード（スリープ動作モード）とを有している。

20

【0020】

図1は、タイマ用IC3の電氣的構成を示すブロック図である。このタイマ用IC3は、制御用IC2により設定された時間（起動時間）を、内蔵するタイマ30（後述）により計時し、起動時間が経過するとスリープ動作モードにある制御用IC2に対しウェイクアップ信号WKを出力するものである。このタイマ用IC3は、比較的小規模のICであって、図1に示すようにクロック同期式シリアル通信装置としての通信回路5と、システムクロックCLKの発振やタイマ動作を行う制御回路6（制御ロジック部に相当）とから構成されている。

【0021】

通信回路5は、8ビットの受信シフトレジスタ7、8ビットの送信シフトレジスタ8、3ビットのカウンタ9、パルス発生器10および受信データ処理回路11から構成されている。クロック同期式シリアル通信は、図3に示すように通信クロック線12、受信シリアルデータ線13、送信シリアルデータ線14およびリセット信号線15からなる4線式であって、端子16を介して入力される通信クロックSCLKは、受信シフトレジスタ7、送信シフトレジスタ8およびカウンタ9に与えられるようになっている。また、端子17を介して入力されるリセット信号IORSTは、受信シフトレジスタ7、送信シフトレジスタ8、カウンタ9およびパルス発生器10に与えられるようになっている。これら各構成要素は、リセット信号IORSTがHレベルになるとリセットされるようになっている。

30

【0022】

受信シフトレジスタ7には、端子18を介して受信シリアルデータRXDが入力されるようになっており、受信シフトレジスタ7は、通信クロックSCLKのアップエッジに同期して、受信シリアルデータRXDの下位ビットR0から上位ビットR7までを1ビットずつ順に取り込むようになっている。図4は、このシリアル通信を示すタイミングチャートである。受信シフトレジスタ7に取り込まれた8ビット（1フレーム）の受信データRDは、次の受信シリアルデータRXDが入力される前に、受信データ処理回路11に転送され処理されるようになっている。

40

【0023】

送信シフトレジスタ8には、タイマ現在値レジスタ32（後述）から現在の最新のタイマ値（タイマ現在値TM）が送信データTDとして転送されるようになっている。送信シフ

50

トレジスタ 8 は、通信クロック S C L K のダウンエッジに同期して、送信データ T D を送信シリアルデータ T X D として下位ビット T 0 から上位ビット T 7 まで 1 ビットずつ順に端子 19 を介して送信するようになっている。

【0024】

カウンタ 9 (受信完了判定手段に相当) は、リセット信号 I O R S T が H レベルから L レベルになると通信クロック S C L K のカウントを開始するバイナリカウンタである。カウンタ 9 が出力するスタート信号 S T は、カウント前は H レベルであって、図 4 に示すように通信クロック S C L K を 4 クロックカウントした時点で L レベルとなり、さらに 4 クロックカウントした時点で再び H レベルになる。従って、スタート信号 S T が L レベルから H レベルに変化した時点で、受信シフトレジスタ 7 が 1 フレーム分のシリアルデータ R X D の受信を完了したことになり、スタート信号 S T は本発明でいう受信完了信号として機能する。

10

【0025】

パルス発生器 10 は、パルス信号発生手段に相当するもので、具体的には図 2 に示す回路構成となっている。すなわち、D タイプのフリップフロップ 20 は、そのデータ入力端子 D に電源電圧 V D D が与えられ、そのクロック端子 C に上記スタート信号 S T が与えられるようになっている。フリップフロップ 20 の後段にはリング発振器 21 が設けられており、フリップフロップ 20 の出力端子 Q は、リング発振器 21 を構成する N A N D ゲート 22 の一方の入力端子に接続されている。リング発振器 21 は、この N A N D ゲート 22、遅延回路 23 およびバッファ回路 24 が直列に接続されているとともに、バッファ回路 24 の出力端子 (当該リング発振器 21 の出力端子) が N A N D ゲート 22 の他方の入力端子に接続されたリング状の構成を備えている。

20

【0026】

リング発振器 21 の出力端子は、さらにシフトレジスタ 25 のクロック端子 C に接続されている。このシフトレジスタ 25 は、5 ビットの構成であって、そのリセット端子 R には上記フリップフロップ 20 の出力端子がインバータ 26 を介して接続されている。シフトレジスタ 25 の出力端子 Q 1、Q 2、Q 3、Q 4 は、4 入力 N O R ゲート 27 の各入力端子に接続されており、この N O R ゲート 27 の出力端子はシフトレジスタ 25 のデータ端子 D に接続されている。シフトレジスタ 25 の残る一つの出力端子 Q 5 は、上述したリセット信号 I O R S T とともに O R ゲート 28 に入力され、その O R ゲート 28 の出力端子はフリップフロップ 20 のリセット端子 R に接続されている。

30

【0027】

さて、図 1 に示す受信データ処理回路 11 (データ処理手段に相当) は、上述したパルス発生器 10 から入力されたタイミングパルス信号 S 1 ないし S 4 に同期して、受信シフトレジスタ 7 に取り込まれた受信データ R D の解析、データ転送などのデータ処理を実行するようになっている。受信データ R D には、後述するように、タイマ設定値 R M などのデータと、発振やゼロクリアを指令するコマンドとの 2 種類がある。

【0028】

受信データ処理回路 11 は、各タイミングパルス信号 S 1、S 2、S 3、S 4 を、それぞれ受信シフトレジスタ 7、タイマ設定値レジスタ 31 (後述)、タイマ現在値レジスタ 32 (後述)、送信シフトレジスタ 8 に対し出力するようになっている。ここで、タイミングパルス信号の数 (本実施形態では S 1 から S 4 の 4 パルス) は、受信データ R D の処理に必要とされるパルス数に等しく設定されている。

40

【0029】

制御回路 6 は、発振回路 29、タイマ 30、タイマ設定値レジスタ 31、タイマ現在値レジスタ 32 および比較器 33 から構成されている。このうち発振回路 29 (発振部に相当) は、タイマ用 I C 3 の発振入力端子 34 と発振出力端子 35 との間に接続されたセラミック発振子 36 (水晶発振子であっても良い) を発振させ、タイマ 30 に対しシステムクロック T C L K を出力するものである。この発振回路 29 は、受信データ処理回路 11 (発振制御部に相当) から与えられる発振指令信号 O S C が H レベルの期間発振動作し、発

50

振指令信号OSCがLレベルの期間発振を停止するようになっている。

【0030】

タイマ30は、システムクロックTCLKを所定の割合で分周したクロックをカウントするもので、そのカウント値(タイマ現在値)TMはタイマ現在値レジスタ32および比較器33に逐次送られるようになっている。このタイマ30は、受信したコマンド(受信データRDの一種)に基づいて受信データ処理回路11から送られるクリア指令信号CLRによりゼロクリアされるようになっている。

【0031】

タイマ設定値レジスタ31には、受信データ処理回路11からタイマ設定値RMが転送されるようになっている。比較器33は、このタイマ設定値RMとタイマ現在値TMとを比較して、タイマ現在値TMがタイマ設定値RM以上となった時点で、端子37からウェイクアップ信号WKを出力するようになっている。

10

【0032】

次に、本実施形態の作用について図5も参照しながら説明する。

本実施形態のECU1は、イグニッションスイッチ(図示せず)がオフにされエンジンが停止した後、所定の起動時間(例えば5時間)が経過した時に、エンジンの状態を診断するようになっている。しかし、イグニッションスイッチがオフにされると、制御用IC2はシステムクロックを停止してスリープ動作モードに移行するため、制御用IC2自身ではタイマ動作をすることができなくなる。そこで、タイマ用IC3が、制御用IC2に代わってタイマ動作を行い、上記起動時間が経過すると制御用IC2に対しウェイクアップ信号WKを出力する。イグニッションスイッチがオンされている期間は、タイマ用IC3のタイマ動作は不要であるため、タイマ用IC3の発振回路29は発振を停止している。

20

【0033】

そこで、イグニッションスイッチがオフにされると、制御用IC2は、スリープ動作モードに移行する前に、タイマ用IC3との間でクロック同期式シリアル通信を行い、タイマ用IC3内部のタイマ30のゼロクリアしそれまで発振を停止していた発振回路29の発振開始を指令するコマンドを送信するとともに、上記起動時間に相当するタイマ設定値RMを送信するようになっている。

【0034】

図5は、この時のタイマ用IC3内部のパルス発生器10に係るタイミングチャートを示している。各波形は、上から順にリセット信号IORST、スタート信号ST、フリップフロップ20の出力信号P1、リング発振器21の出力信号P2、タイミングパルス信号S1、S2、S3、S4、信号S5、フリップフロップ20のリセット信号P3を表している。この図5は、タイマ設定値RMの受信処理を示しているが、実際にはそれに先立って、上記ゼロクリアを指令するコマンドおよび発振回路29の発振開始を指令するコマンドが送信される。

30

【0035】

図4および図5において、制御用IC2は、リセット信号IORSTをHレベル(リセット指令)からLレベル(リセット解除指令)にしてタイマ用IC3との間でシリアル通信を開始する(時刻t1)。リセット信号IORSTがLレベルになると、パルス発生器10内のフリップフロップ20のリセット信号P3がHレベルからLレベルに移行してリセットが解除される。

40

【0036】

その後、制御用IC2からタイマ用IC3に対し、通信クロックSCLKとともに8ビット長のタイマ設定値RMが送られる。カウンタ9は、通信クロックSCLKをカウントし、8クロックカウントした時点(時刻t2)でスタート信号STがLレベルからHレベルに変化する。この時点で、受信シフトレジスタ7には、受信データRDとしてタイマ設定値RMが取り込まれている。

【0037】

スタート信号STがLレベルからHレベルに変化すると、フリップフロップ20の出力信

50

号 P 1 が L レベルから H レベルに変化し、リング発振器 2 1 が所定の周波数で発振を開始する。そして、リング発振器 2 1 の出力信号 P 2 が L レベルから H レベルに変化するごとに、タイミングパルス信号 S 1 ないし S 4 および信号 S 5 が順次 H レベルに変化する（時刻 t 3、t 4、t 5、t 6、t 7）。信号 S 5 が H レベルになると、フリップフロップ 2 0 のリセット信号 P 3 が L レベルから H レベルとなり、フリップフロップ 2 0 がリセットされる。その結果、フリップフロップ 2 0 の出力信号 P 1 が L レベルとなり、リング発振器 2 1 は発振を停止する。

【 0 0 3 8 】

タイマ用 I C 3 の各部は、受信データ処理回路 1 1 を介して与えられる上記タイミングパルス信号 S 1 ないし S 4 に同期して以下のように動作する。

10

【 0 0 3 9 】

1 タイミングパルス信号 S 1

受信シフトレジスタ 7 に取り込まれた受信データ R D（ここではタイマ設定値 R M）をタイミングパルス信号 S 1 に同期して受信データ処理回路 1 1 に転送する。受信データ処理回路 1 1 は、受信データ R D がデータかコマンドかを判断し、コマンドの場合その解析を実行する。そして、タイマ 3 0 をゼロクリアするコマンドであると判断した場合にはタイマ 3 0 に対しクリア指令信号 C L R を出力し、発振回路 2 9 の発振開始を指令するコマンドであると判断した場合には発振指令信号 O S C を H レベルにする。

【 0 0 4 0 】

2 タイミングパルス信号 S 2

上記 1 において受信データ R D がタイマ設定値 R M であると判断した場合、受信データ処理回路 1 1 は、そのタイマ設定値 R M をタイミングパルス信号 S 2 に同期してタイマ設定値レジスタ 3 1 に転送する。本実施形態では、データはタイマ設定値 R M のみであるが、複数種類のデータが送られてくる場合には各データに応じたレジスタに転送することになる。

20

【 0 0 4 1 】

3 タイミングパルス信号 S 3

タイマ現在値レジスタ 3 2 は、タイミングパルス信号 S 3 に同期して、その内容であるタイマ現在値 T M を送信データ T D として出力する。本実施形態では、送信すべきデータはタイマ現在値 T M のみであるが、複数の送信データが存在する場合には、このタイミングパルス信号 S 3 に同期して複数のレジスタの中から送信すべきデータのみが選択的に出力される。

30

【 0 0 4 2 】

4 タイミングパルス信号 S 4

タイミングパルス信号 S 4 を書き込み信号として、送信データ T D が送信シフトレジスタ 8 に書き込まれる。

【 0 0 4 3 】

以上の処理は、制御用 I C 2 からタイマ用 I C 3 に対しタイマ設定値 R M を送信するとともに、その時のタイマ現在値 T M をタイマ用 I C 3 から制御用 I C 2 に送信する場合の処理であるが、上記 3 において例えばタイマ設定値レジスタ 3 1 の内容であるタイマ設定値 R M を送信レジスタ 5 に出力するように構成すれば、制御用 I C 2 側からタイマ用 I C 3 のタイマ設定値 R M を確認することもできる。

40

【 0 0 4 4 】

このタイマ設定値 R M の送信時点では、既に発振回路 2 9 に発振開始を指令する発振指令信号 O S C が与えられているが、発振回路 2 9 はまだ安定したシステムクロック T C L K を出力していない。その後暫くして安定したシステムクロック T C L K が出力されると、タイマ 3 0 がシステムクロック T C L K に基づいてカウントを開始し、タイマ現在値 T M がタイマ設定値 R M 以上となると、比較器 3 3 がウェイクアップ信号 W K を出力する。

【 0 0 4 5 】

ウェイクアップ信号 W K によりスリープ動作モードから通常動作モードに移行した制御用

50

IC2は、上述したようにエンジンの状態を診断するとともに、タイマ用IC3の消費電力を下げるため、タイマ用IC3に対し発振回路29の発振停止を指令するコマンドを送信する。タイマ用IC3がこのコマンドを受信すると、受信データ処理回路11は発振指令信号OSCをLレベルにし、発振回路29は発振動作を停止する。

【0046】

以上説明した本実施形態によれば、制御用IC2との間でクロック同期式シリアル通信を行うタイマ用IC3の通信回路5において、受信シフトレジスタ7が1フレーム分の受信シリアルデータRXDを取り込むと、カウンタ9からのスタート信号STに応じてパルス発生器10がタイミングパルス信号S1ないしS4を順次出力し、受信データ処理回路11は、これらタイミングパルス信号S1ないしS4に同期して受信データRDに対応した処理を実行することができる。つまり、通信回路5は、クロック（本実施形態の場合には発振回路29が出力するシステムクロックCLK等）を用いることなく、受信データRDの処理ができるため、発振回路29の発振状態に関係なく通信することができる。

10

【0047】

一方、タイマ用IC3の通信相手である制御用IC2は、従来構成とは異なり、ダミーの通信クロックSCLKを送信するなどの特別な通信手順が不要となるため、タイマ用IC3の発振回路29の状態にかかわらず通常の手順によってシリアルデータを連続して送受信することができる。これにより、通信速度の低下がなく、制御用IC2において通信に費やすプログラム容量が増大したり通信制御が複雑化するといった問題が生じない。

【0048】

タイマ用IC3において、タイマ30を動作させる必要がない時には発振回路29を発振停止状態にすることができるため、当該タイマ用IC3においてはECU1の消費電力を低減することができる。また、パルス発生器10は、受信シフトレジスタ7が受信データRDを受信した時にだけ動作するので、受信シリアルデータRXDが送られてこない期間における消費電力を低減することができる。

20

【0049】

なお、本発明は上記し且つ図面に示す実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

受信シフトレジスタ7が所定ビット数のシリアルデータを入力したことを検出する受信完了判定手段として、通信クロックSCLKをカウントするカウンタ9を用いたが、これに替えてシリアルデータにスタートビット、ストップビットなどの特定ビットを付加し、それら特定ビットを検出することによりスタート信号STを出力するように構成しても良い。これにより、カウンタ9が不要となる。

30

【0050】

発振回路29は、発振開始を指令するコマンドを受信した時に受信データ処理回路11から与えられる発振指令信号OSCに基づいて発振動作を開始したが、これに替えてカウンタ9が所定数（例えば4つ）の通信クロックをカウントした時に発振を開始するようにしても良い。この構成によれば、制御用IC2から発振開始を指令するコマンドを送信する必要がないので、通信に要する時間を短縮できるとともに、制御用IC2の通信制御をより簡単化できる。

40

【0051】

発振回路29は、発振停止を指令するコマンドを受信した時に受信データ処理回路11から与えられる発振指令信号OSCに基づいて発振動作を停止したが、これに替えてタイマを設け、そのタイマが所定時間を計時した時に発振を停止するようにしても良い。この構成によれば、制御用IC2から発振停止を指令するコマンドを送信する必要がないので、通信に要する時間を短縮できるとともに、制御用IC2の通信制御をより簡単化できる。また、タイマ30が予め定められた最大値に達した時またはオーバーフローした時に、発振を停止するように構成しても良い。

【0052】

上記実施形態では、クロック同期式シリアル通信装置である通信回路5をECU1のタイ

50

マ用 IC 3 に適用した場合について説明したが、制御用 IC 2 に適用しても良く、さらに他の機能を有した IC に適用しても良い。特に、システムクロックが存在しないシステムやシステムクロックが停止する場合があるシステム（IC を含む）において用いると効果的である。

【図面の簡単な説明】

【図 1】本発明の一実施形態であるタイマ用 IC の電気的構成を示すブロック図

【図 2】パルス発生器の電気的構成図

【図 3】車両のエンジン制御を行う ECU の概略的な電気的構成図

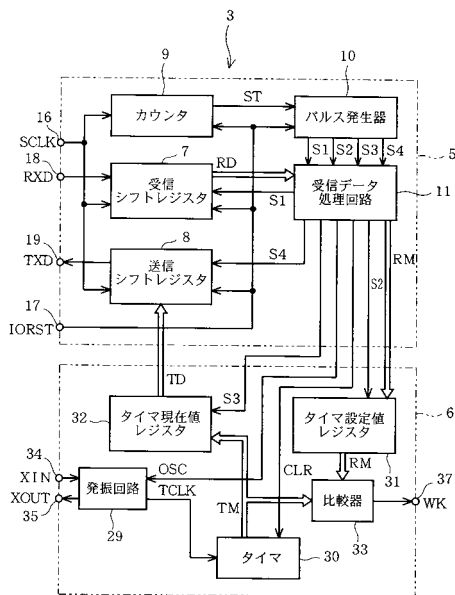
【図 4】シリアル通信を示すタイミングチャート

【図 5】パルス発生器に係るタイミングチャート

【符号の説明】

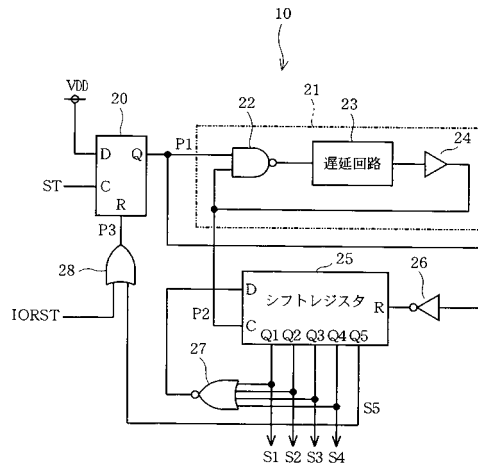
3 はタイマ用 IC（半導体集積回路装置）、5 は通信回路（クロック同期式シリアル通信装置）、6 は制御回路（制御ロジック部）、7 は受信シフトレジスタ、9 はカウンタ（受信完了判定手段）、10 はパルス発生器（パルス信号発生手段）、11 は受信データ処理回路（データ処理手段、発振制御部）、29 は発振回路（発振部）である。

【図 1】

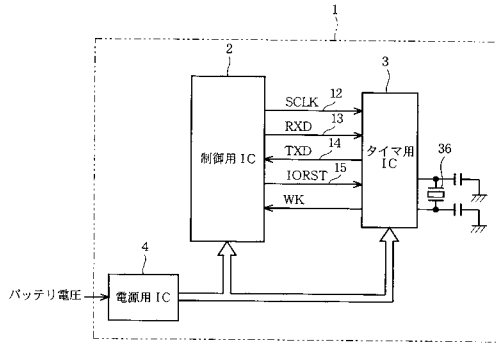


- 3：半導体集積回路装置
- 5：クロック同期式シリアル通信装置
- 6：制御ロジック部
- 9：受信完了判定手段
- 10：パルス信号発生手段
- 11：データ処理手段、発振制御部
- 29：発振部

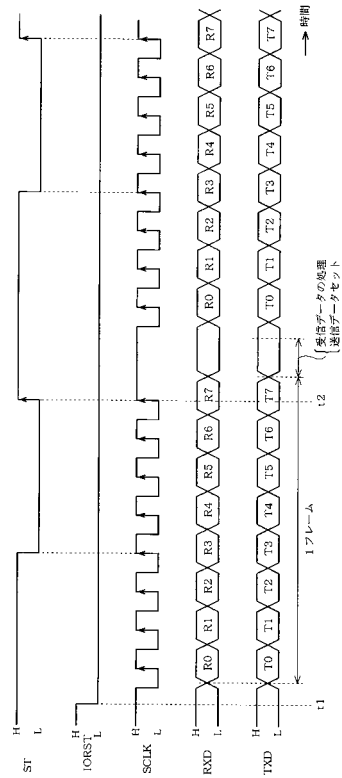
【図 2】



【 図 3 】



【 図 4 】



【 図 5 】

