



(12) 发明专利申请

(10) 申请公布号 CN 117097596 A

(43) 申请公布日 2023. 11. 21

(21) 申请号 202310436212.3

(22) 申请日 2023.04.21

(71) 申请人 北京时代民芯科技有限公司
地址 100076 北京市丰台区东高地四营门
北路2号

申请人 北京微电子技术研究所

(72) 发明人 屈帅 熊开利 张奇荣 牛世琪
张涛 郭楹

(74) 专利代理机构 中国航天科技专利中心
11009

专利代理师 张丽筠

(51) Int. Cl.

H04L 25/03 (2006.01)

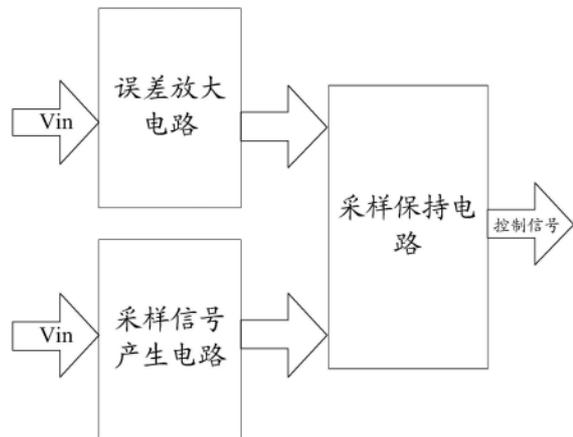
权利要求书3页 说明书6页 附图3页

(54) 发明名称

用于高速serdes均衡系统的自适应模拟控制电路

(57) 摘要

本发明提供一种用于高速serdes均衡系统自适应模拟控制电路,包括误差放大电路、采样信号产生电路、采样保持电路;采样信号产生电路,通过负反馈网络实现电路采样信号只在高速serdes均衡电路输入信号脉宽最长时出现,从而使自适应模拟控制电路只采集脉宽最长信号上的上升下降沿信息实现自适应控制功能,使得均衡系统对运算放大器的响应速度要求降低,提高了电路能够支持的最高速率速度,同时可以降低电路功耗。



1. 一种自适应模拟控制电路,其特征在于,包括:

误差放大电路,用于接收外部均衡电路信号并根据所述外部均衡电路信号生成标准信号,通过与所述标准信号进行上升下降沿速度比较,产生误差信号;

采样信号产生电路用于接收所述外部均衡电路信号,在所述外部均衡电路信号的脉宽小于预设脉宽时不产生采样信号,在所述外部均衡电路信号的脉宽大于所述预设脉宽时产生采样信号;

采样保持电路,用于从所述误差放大电路接收所述误差信号,并在从采样信号产生电路接收到所述采样信号的情况下,根据所述误差信号进行采样保持。

2. 根据权利要求1所述的自适应模拟控制电路,其特征在于,所述采样信号产生电路包括第一运算放大器(201)、共模调整电路、第一电容(212)、第二电容(213)、第一与非门(214)、第二与非门(215)、反相器(216);

所述第一运算放大器(201)的两个差分输入端分别连接外部均衡电路的两个输出端,所述第一运算放大器(201)的两个差分输出端分别连接所述共模调整电路的两个差分输入端;

所述共模调整电路的差分输出端正端接所述第一电容(212)的正端和所述第一与非门(214)的正端,所述第一电容(212)的负端接地,所述共模调整电路的差分输出端负端接所述第二电容(213)的正端和所述第一与非门(214)的负端,所述第二电容(213)的负端接地;

所述第一与非门(214)的输出端连接所述第二与非门(215)的输入端,所述第二与非门(215)的另一输入端接外部使能信号ENN,所述第二与非门(215)的输出端连接所述反相器(216)的输入端,并接所述采样保持电路的第一输入端(Vout1),所述反相器(216)输出端接所述采样保持电路的第二输入端(Vout2),所述第一输入端(Vout1)的电平低于所述第二输入端(Vout2)的电平时产生所述采样信号,所述第二输入端(Vout2)的电平低于所述第一输入端(Vout1)的电平时不产生所述采样信号;

其中,所述共模调整电路用于根据所述外部均衡电路的差分输入切换所述第一电容(212)、所述第二电容(213)的充放电状态,使所述第一电容(212)、所述第二电容(213)中的一个接受来自所述共模调整电路的充电,另一个向所述共模调整电路放电,所述共模调整电路用于使所述第一电容(212)的充电速度快于所述第一电容(212)的放电速度,且用于使所述第二电容(213)的充电速度快于所述第二电容(213)的放电速度。

3. 根据权利要求2所述的自适应模拟控制电路,其特征在于,所述共模调整电路包括第一PMOS管(202)、第二PMOS管(203)、第三PMOS管(204)、第四PMOS管(205)、第一NMOS管(206)、第二NMOS管(207)、第三NMOS管(208)、第四NMOS管(209)、第一电阻(210)、第二电阻(211);

第一运算放大器(201)差分输出端正端分别连接第一PMOS管(202)栅极、第三PMOS管(204)栅极;第一运算放大器(201)差分输出端负端分别连接第二PMOS管(203)栅极、第四PMOS管(205)栅极;第一PMOS管(202)源级、第二PMOS管(203)源级、第三PMOS管(204)源级、第四PMOS管(205)源级分别连接电源VCC;第一PMOS管(202)漏极连接第一NMOS管(206)漏极和栅极以及第四NMOS管(209)栅极;第二PMOS管(203)漏极连接第二NMOS管(207)漏极和栅极以及第三NMOS管(208)栅极;第一NMOS管(206)源级、第二NMOS管(207)源级、第三NMOS管(208)源级、第四NMOS管(209)源级分别接地GND;第三PMOS管(204)漏极连接第一电阻(210)

正端、第一电容(212)正端和第一与非门(214)输入端;第四PMOS管(205)漏极连接第二电阻(211)正端、第二电容(213)正端和第一与非门(214)另一输入端;第一电阻(210)负端连接第三NMOS管(208)漏极;第二电阻(211)负端连接第四NMOS管(209)漏极。

4. 根据权利要求3所述的自适应模拟控制电路,其特征在于,第一电阻(210)、第二电阻(211)的电阻为1k~3k欧姆。

5. 根据权利要求3所述的自适应模拟控制电路,其特征在于,第一PMOS管(202)、第二PMOS管(203)、第三PMOS管(204)、第四PMOS管(205)的宽长比均大于第一NMOS管(206)、第二NMOS管(207)、第三NMOS管(208)、第四NMOS管(209)的宽长比。

6. 根据权利要求5所述的自适应模拟控制电路,其特征在于,第一PMOS管(202)、第二PMOS管(203)、第三PMOS管(204)、第四PMOS管(205)的宽长比等于150~250;第一NMOS管(206)、第二NMOS管(207)、第三NMOS管(208)、第四NMOS管(209)的宽长比等于50~80。

7. 根据权利要求1所述的自适应模拟控制电路,其特征在于,所述误差放大电路包括第二运算放大器(101)、带通网络和加法放大器(117);所述外部均衡电路的输出经过所述第二运算放大器(101)产生所述标准波形,所述外部均衡电路输出和所述标准波形分别经过所述带通网络输出到所述加法放大器(117)中,所述加法放大器(117)用于比对所述外部均衡电路的输出和所述标准波形的上升下降沿时间差异,并产生所述误差信号。

8. 根据权利要求7所述的自适应模拟控制电路,其特征在于,所述带通网络包括第三电容(102)、第四电容(105)、第五电容(108)、第六电容(111)、第三电阻(103)、第四电阻(106)、第五电阻(109)、第六电阻(112)、第七电阻(104)、第八电阻(107)、第九电阻(110)、第十电阻(113)、第十一电阻(114)、第十二电阻(115)、第十三电阻(116);

第二运算放大器(101)输入端分别接第五电容(108)、第六电容(111)正极,并连接外部均衡电路输出;第二运算放大器(101)输出端分别接第三电容(102)和第四电容(105)正极;第三电容(102)负极、第四电容(105)负极、第五电容(108)负极、第六电容(111)负极分别连接第三电阻(103)正极、第四电阻(106)正极、第五电阻(109)正极、第六电阻(112)正极,第三电阻(103)负极、第四电阻(106)负极、第五电阻(109)负极、第六电阻(112)负极分别连接第七电阻(104)正极、第八电阻(107)正极、第九电阻(110)正极、第十电阻(113)正极,且分别连接加法放大器(117)的四个输入端;第十一电阻(114)正极连接电源,负极连接第七电阻(104)负极、第八电阻(107)负极和第十二电阻(115)正极;第十二电阻(115)负极连接第九电阻(110)负极、第十电阻(113)负极和第十三电阻(116)正极;第十三电阻(116)负极接地;加法放大器(117)的输出端(Vout3)输出到采样保持电路。

9. 根据权利要求1所述的自适应模拟控制电路,其特征在于,所述采样保持电路包括第五PMOS管(301)、第五NMOS管(302)、第十四电阻(303)、第七电容(304);

第五PMOS管(301)栅极接所述采样信号产生电路的第一输出端(Vout1);第五PMOS管(301)源级接第五NMOS管(302)源级和误差放大电路输出端(Vout3);第五PMOS管(301)漏级接第五NMOS管(302)漏级和第十四电阻(303)正端;第五NMOS管(302)栅极接采样信号产生电路的第二输出端(Vout2);第五NMOS管(302)源级接误差放大电路输出端(Vout3);第五NMOS管(302)漏级接第十四电阻(303)正端;第十四电阻(303)负端接第七电容(304)正端和输出端;第七电容(304)负端接地。

10. 一种serdes均衡系统,其特征在于,所述serdes均衡系统包括如权利要求1至9中任

一项所述的自适应模拟控制电路。

用于高速serdes均衡系统的自适应模拟控制电路

技术领域

[0001] 本申请涉及集成电路设计的技术领域,特别是一种用于高速serdes均衡系统的自适应模拟控制电路。

背景技术

[0002] 在高速serdes信号传输中,通常需要serdes均衡电路调制serdes信号。随着传输速率的不断提高,对serdes均衡电路的响应速度的要求越来越高。传统的设计运算放大电路的响应速度决定了serdes均衡电路的响应速度,从而决定了serdes信号最高传输速率,这限制了serdes电路速率的进一步提高。

发明内容

[0003] 本申请提供一种自适应模拟控制电路,目的是克服运算放大器响应速度对serdes信号传输速率的限制,以提高电路能够支持的最高速率速度,同时降低电路功耗。

[0004] 第一方面,提供了一种自适应模拟控制电路,包括:

[0005] 误差放大电路,用于接收外部均衡电路信号并根据所述外部均衡电路信号生成标准信号,通过与所述标准信号进行上升下降沿速度比较,产生误差信号;

[0006] 采样信号产生电路用于接收所述外部均衡电路信号,在所述外部均衡电路信号的脉宽小于预设脉宽时不产生采样信号,在所述外部均衡电路信号的脉宽大于所述预设脉宽时产生采样信号;

[0007] 采样保持电路,用于从所述误差放大电路接收所述误差信号,并在从采样信号产生电路接收到所述采样信号的情况下,根据所述误差信号进行采样保持。

[0008] 结合第一方面,在第一方面的某些实现方式中,所述采样信号产生电路包括第一运算放大器、共模调整电路、第一电容、第二电容、第一与非门、第二与非门、反相器;

[0009] 所述第一运算放大器的两个差分输入端分别连接外部均衡电路的两个输出端,所述第一运算放大器的两个差分输出端分别连接所述共模调整电路的两个差分输入端;

[0010] 所述共模调整电路的差分输出端正端接所述第一电容的正端和所述第一与非门的正端,所述第一电容的负端接地,所述共模调整电路的差分输出端负端接所述第二电容的正端和所述第一与非门的负端,所述第二电容的负端接地;

[0011] 所述第一与非门的输出端连接所述第二与非门的输入端,所述第二与非门的另一输入端接外部使能信号ENN,所述第二与非门的输出端连接所述反相器的输入端,并接所述采样保持电路的第一输入端,所述反相器输出端接所述采样保持电路的第二输入端,所述第一输入端的电平低于所述第二输入端的电平时产生所述采样信号,所述第二输入端的电平低于所述第一输入端的电平时不产生所述采样信号;

[0012] 其中,所述共模调整电路用于根据所述外部均衡电路的差分输入切换所述第一电容、所述第二电容的充放电状态,使所述第一电容、所述第二电容中的一个接受来自所述共模调整电路的充电,另一个向所述共模调整电路放电,所述共模调整电路用于使所述第一

电容的充电速度快于所述第一电容的放电速度,且用于使所述第二电容的充电速度快于所述第二电容的放电速度。

[0013] 结合第一方面,在第一方面的某些实现方式中,所述共模调整电路包括第一PMOS管、第二PMOS管、第三PMOS管、第四PMOS管、第一NMOS管、第二NMOS管、第三NMOS管、第四NMOS管、第一电阻、第二电阻;

[0014] 第一运算放大器差分输出端正端分别连接第一PMOS管栅极、第三PMOS管栅极;第一运算放大器差分输出端负端分别连接第二PMOS管栅极、第四PMOS管栅极;第一PMOS管源级、第二PMOS管源级、第三PMOS管源级、第四PMOS管源级分别连接电源VCC;第一PMOS管漏极连接第一NMOS管漏极和栅极以及第四NMOS管栅极;第二PMOS管漏极连接第二NMOS管漏极和栅极以及第三NMOS管栅极;第一NMOS管源级、第二NMOS管源级、第三NMOS管源级、第四NMOS管源级分别接地GND;第三PMOS管漏极连接第一电阻正端、第一电容正端和第一与非门输入端;第四PMOS管漏极连接第二电阻正端、第二电容正端和第一与非门另一输入端;第一电阻负端连接第三NMOS管漏极;第二电阻负端连接第四NMOS管漏极。

[0015] 结合第一方面,在第一方面的某些实现方式中,第一电阻、第二电阻的电阻为1k~3k欧姆。

[0016] 结合第一方面,在第一方面的某些实现方式中,第一PMOS管202、第二PMOS管203、第三PMOS管204、第四PMOS管205的宽长比均大于第一NMOS管206、第二NMOS管207、第三NMOS管208、第四NMOS管209的宽长比。

[0017] 结合第一方面,在第一方面的某些实现方式中,第一PMOS管202、第二PMOS管203、第三PMOS管204、第四PMOS管205的宽长比等于150~250;第一NMOS管206、第二NMOS管207、第三NMOS管208、第四NMOS管209的宽长比等于50~80。

[0018] 结合第一方面,在第一方面的某些实现方式中,所述误差放大电路包括第二运算放大器、带通网络和加法放大器;所述外部均衡电路的输出经过所述第二运算放大器产生所述标准波形,所述外部均衡电路输出和所述标准波形分别经过所述带通网络输出到所述加法放大器中,所述加法放大器用于比对所述外部均衡电路的输出和所述标准波形的上升下降沿时间差异,并产生所述误差信号。

[0019] 结合第一方面,在第一方面的某些实现方式中,所述带通网络包括第一电容、第二电容、第三电容、第四电容、第一电阻、第二电阻、第三电阻、第四电阻、第五电阻、第六电阻、第七电阻、第八电阻、第九电阻、第十电阻、第十一电阻。

[0020] 第二运算放大器输入端分别接第三电容、第四电容正极,并连接外部均衡电路输出;第二运算放大器输出端分别接第一电容和第二电容正极;第一电容负极、第二电容负极、第三电容负极、第四电容负极分别连接第一电阻正极、第二电阻正极、第三电阻正极、第四电阻正极,第一电阻负极、第二电阻负极、第三电阻负极、第四电阻负极分别连接第五电阻正极、第六电阻正极、第七电阻正极、第八电阻正极,且分别连接加法放大器的四个输入端;第九电阻正极连接电源,负极连接第五电阻负极、第六电阻负极和第十电阻正极;第十电阻负极连接第七电阻负极、第八电阻负极和第十一电阻正极;第十一电阻负极接地;加法放大器输出端输出到采样保持电路。

[0021] 结合第一方面,在第一方面的某些实现方式中,所述采样保持电路包括第五PMOS管、第五NMOS管、电阻、电容。第五PMOS管栅极接采样信号产生电路输出;第五PMOS管源级接

第五NMOS管源级和误差放大电路输出;第五PMOS管漏级接第五NMOS管漏级和电阻正端;第五NMOS管栅极接采样信号产生电路输出;第五NMOS管源级接误差放大电路输出;第五NMOS管漏级接电阻正端;电阻负端接电容正端和输出端;电容负端接地。

[0022] 第二方面,提供了一种serdes均衡系统,所述serdes均衡系统包括如上述第一方面中的任意一种实现方式中所述的自适应模拟控制电路。

[0023] 与现有技术相比,本申请提供的方案至少包括以下有益技术效果:

[0024] 本发明提供用于高速serdes均衡系统的自适应模拟控制电路,工作速率为6.25Gbps,电路采样信号只在高速serdes均衡电路输入信号脉宽最长时出现,从而使自适应模拟控制电路只采集脉宽最长信号上的上升下降沿信息实现自适应控制功能,使得均衡系统对运算放大器的响应速度要求降低,提高了电路能够支持的最高速率速度,同时降低了电路功耗。

附图说明

[0025] 图1为本发明提供的一种自适应模拟控制电路结构图。

[0026] 图2为本发明提供的一种误差放大电路结构图。

[0027] 图3为本发明提供的一种采样信号产生电路结构图。

[0028] 图4为本发明提供的一种采样保持电路结构图。

具体实施方式

[0029] 下面结合附图和具体实施例对本申请作进一步详细的描述。

[0030] 图1示出了本申请实施例提供的一种自适应模拟控制电路的示意性结构图。该自适应模拟控制电路可以用于高速serdes均衡电路。电路的工作频率例如可以为6.25Gbps。

[0031] 自适应模拟控制电路可以包括误差放大电路、采样信号产生电路、采样保持电路。误差放大电路可以用于接收外部均衡电路信号,与内部放大产生的标准信号进行上升下降沿速度比较,产生误差信号输出到采样保持电路。采样信号产生电路可以用于接收外部均衡电路信号,在脉冲较窄时(例如1.25GHz~3.125GHz及以上)不产生采样信号,在脉冲较宽时(例如1.25GHz及以下)产生采样信号并输出到采样保持电路。采样保持电路可以用于在接收到来自采样信号产生电路的采样信号时对误差信号进行采样保持,结果输出到外部均衡电路中,调制均衡电路,实现自适应功能。

[0032] 图2示出了本申请实施例提供的一种误差放大电路的示意性结构图。

[0033] 误差放大电路包括运算放大器101、带通网络和加法放大器107。带通网络可以是一种电阻电容选频网络。带通网络的工作频率可以为50Mhz~3.5GHz。

[0034] 外部均衡电路输出经过误差放大电路内部的运算放大器101产生标准波形。外部均衡电路输出和标准波形分别经过电阻电容选频网络输出到加法放大器中。加法放大器107可以用于比对外部均衡电路输出和标准波形的上升下降沿时间差异。加法放大器107可以产生误差信号并输出到采样保持电路中。

[0035] 若外部均衡电路输出波形上升下降沿时间比标准波形上升下降沿时间长,则误差放大电路向采样保持电路输出高电平误差信号,以增大均衡电路高频增益;若外部均衡电路输出波形上升下降沿时间比标准波形上升下降沿时间短,则误差放大电路向采样保持电

路输出低电平控制信号,以减小均衡电路高频增益。

[0036] 在图2所示的实施例中,带通网络可以包括第一电容102、第二电容105、第三电容108、第四电容111、第一电阻103、第二电阻106、第三电阻109、第四电阻112、第五电阻104、第六电阻107、第七电阻110、第八电阻113、第九电阻114、第十电阻115、第十一电阻116。

[0037] 运算放大器101输入端分别接第三电容108、第四电容111正极,并连接外部均衡电路输出;运算放大器101输出端分别接第一电容102和第二电容105正极;第一电容102负极、第二电容105负极、第三电容108负极、第四电容111负极分别连接第一电阻103正极、第二电阻106正极、第三电阻109正极、第四电阻112正极,第一电阻103负极、第二电阻106负极、第三电阻109负极、第四电阻112负极分别连接第五电阻104正极、第六电阻107正极、第七电阻110正极、第八电阻113正极,且分别连接加法放大器117的四个输入端;第九电阻114正极连接电源,负极连接第五电阻104负极、第六电阻107负极和第十电阻115正极;第十电阻115负极连接第七电阻110负极、第八电阻113负极和第十一电阻116正极;第十一电阻116负极连接地;加法放大器117输出端Vout3输出到采样保持电路。

[0038] 图3示出了本申请实施例提供的一种采样信号产生电路的示意性结构图。

[0039] 采样信号产生电路可以包括运算放大器201、共模调整电路、第一电容212、第二电容213、第一与非门214、第二与非门215、反相器216。

[0040] 运算放大器201差分输入端分别连接外部均衡电路输出;运算放大器201的差分输出端分别连接共模调整电路的差分输入端,共模调整电路的差分输出端正端接第一电容212正端和第一与非门214正端,第一电容212负端接地,共模调整电路的差分输出端负端接第二电容213正端和第一与非门214负端,第二电容213负端接地。

[0041] 共模调整电路用于根据外部均衡电路的差分输入切换第一电容212、第二电容213的充放电状态,使第一电容212、第二电容213中的一个接受来自共模调整电路的充电,另一个向共模调整电路放电。

[0042] 共模调整电路用于使第一电容212的充电速度快于第一电容212的放电速度,且用于使第二电容213的充电速度快于第二电容213的放电速度。第一与非门214输出端连接第二与非门215输入端;第二与非门215另一输入端接外部使能信号ENN(可以为高电平);第二与非门215输出端Vout1连接反相器216输入端,并输出到采样保持电路;反相器216输出端Vout2输出到采样保持电路。ENN使能信号为低电平时,会将电路输出固定在高电平,此时电路处于待机状态。ENN使能信号为高电平时,该部分电路处于工作状态。

[0043] 在输入信号为脉冲较窄的情况下,共模调整电路的差分输出端正端和负端用于输出相同类型电平(例如均为高电平),具体包括两种情况:共模调整电路的差分输出端正端向第一电容212快速充电,从而第一电容212的正端为高电平,第二电容213向共模调整电路的差分输出端负端短时间慢速放电,从而第二电容213的正端也为高电平;第一电容212向共模调整电路的差分输出端正端短时间慢速放电,从而第一电容212的正端为高电平,共模调整电路的差分输出端负端向第二电容213快速充电,从而第二电容213的正端也为高电平。

[0044] 在输入信号为脉冲较窄的一种可能的情况下,由于第一与非门214的输入均为高电平,因此第一与非门214的输出可以为低电平,第二与非门215的输出可以为高电平,从而第二与非门215输出端Vout1输出为高电平,反相器216输出端Vout2输出低电平。

[0045] 在输入信号为脉冲较宽的情况下,共模调整电路的差分输出端正端和负端用于输出不同类型电平(分别为高电平和低电平,在本申请中,高电平解释为高于预设电平的情况,低电平解释为低于该预设电平的情况),具体包括两种情况:共模调整电路的差分输出端正端向第一电容212快速充电,从而第一电容212的正端为高电平,第二电容213向共模调整电路的差分输出端负端长时间慢速放电,从而第二电容213的正端为低电平;第一电容212向共模调整电路的差分输出端正端长时间慢速放电,从而第一电容212的正端为低电平,共模调整电路的差分输出端负端向第二电容213快速充电,从而第二电容213的正端为高电平。

[0046] 在输入信号为脉冲较宽的一种可能的情况下,由于第一与非门214的输入分别为高电平和低电平,因此第一与非门214的输出可以为高电平,第二与非门215的输出可以为低电平,从而第二与非门215输出端Vout1输出为低电平,反相器216输出端Vout2输出高电平。

[0047] 在一些实施例中,第一电容212和第二电容213的电容为10~20fF,例如为13.5fF。

[0048] 在图3所示的实施例中,共模调整电路可以包括第一PMOS管202、第二PMOS管203、第三PMOS管204、第四PMOS管205、第一NMOS管206、第二NMOS管207、第三NMOS管208、第四NMOS管209、第一电阻210、第二电阻211。第一电阻210、第二电阻211既可以有利于降低第一电容212、第二电容213的放电速率,还有利于在窄脉冲场景抬高第一与非门214的输入电平,即抬高第三PMOS管204、第四PMOS管205输出的共模电压。

[0049] 运算放大器201差分输出端正端分别连接第一PMOS管202栅极、第三PMOS管204栅极;运算放大器201差分输出端负端分别连接第二PMOS管203栅极、第四PMOS管205栅极;第一PMOS管202源级、第二PMOS管203源级、第三PMOS管204源级、第四PMOS管205源级分别连接电源VCC;第一PMOS管202漏极连接第一NMOS管206漏极和栅极以及第四NMOS管209栅极;第二PMOS管203漏极连接第二NMOS管207漏极和栅极以及第三NMOS管208栅极;第一NMOS管206源级、第二NMOS管207源级、第三NMOS管208源级、第四NMOS管209源级分别接地GND;第三PMOS管204漏极连接第一电阻210正端、第一电容212正端和第一与非门214输入端;第四PMOS管205漏极连接第二电阻211正端、第二电容213正端和第一与非门214另一输入端;第一电阻210负端连接第三NMOS管208漏极;第二电阻211负端连接第四NMOS管209漏极。

[0050] 当外部均衡电路的输出Vin1为高电平时,外部均衡电路的输出Vin2为低电平,第一PMOS管202的栅压为高电平,第一PMOS管202断开,第三PMOS管204的栅压为高电平,第三PMOS管204断开,第四PMOS管205的栅压为低电平,第四PMOS管205导通。从而第一电容212可以通过第一电阻210、第三NMOS管208放电,由于第一电阻210的存在使放电变慢,第一与非门214的第一个输入端短时间内为高电平。电源VCC可以通过第四PMOS管205向第二电容213充电,第一与非门214另一输入端为高电平。

[0051] 当外部均衡电路的输出Vin1为低电平时,外部均衡电路的输出Vin2为高电平,第二PMOS管203的栅压为高电平,第二PMOS管203断开,第三PMOS管204的栅压为低电平,第三PMOS管204导通,第四PMOS管205的栅压为高电平,第四PMOS管205断开。从而第二电容213可以通过第二电阻211、第四NMOS管209放电,由于第二电阻211的存在使放电变慢,第一与非门214的第二个输入端短时间内为高电平。电源VCC可以通过第三PMOS管204向第一电容212充电,第一与非门214第一个输入端为高电平。

[0052] 在一些实施例中,第一电阻210、第二电阻211的电阻可以为1k~3k欧姆,例如为2k欧姆。

[0053] 在本申请提供的一些实施例中,第一PMOS管202、第二PMOS管203、第三PMOS管204、第四PMOS管205的宽长比均大于第一NMOS管206、第二NMOS管207、第三NMOS管208、第四NMOS管209的宽长比,因此第一PMOS管202、第二PMOS管203、第三PMOS管204、第四PMOS管205的电阻可以略小于第一NMOS管206、第二NMOS管207、第三NMOS管208、第四NMOS管209的电阻,以增大第一电容212、第二电容213的充电速率,降低第一电容212、第二电容213的放电速率。

[0054] 在一些实施例中,第一PMOS管202、第二PMOS管203、第三PMOS管204、第四PMOS管205的宽长比等于150~250,例如为36/0.13;第一NMOS管206、第二NMOS管207、第三NMOS管208、第四NMOS管209的宽长比等于50~80,例如为12/0.13。

[0055] 图4示出了本申请实施例提供的一种采样保持电路的示意性结构图。采样保持电路包括PMOS管301、NMOS管302、电阻303、电容304。PMOS管301栅极接采样信号产生电路输出Vout1;PMOS管301源级接NMOS管302源级和误差放大电路输出Vout3;PMOS管301漏级接NMOS管302漏级和电阻303正端;NMOS管302栅极接采样信号产生电路输出Vout2;NMOS管302源级接误差放大电路输出Vout3;NMOS管302漏级接电阻303正端;电阻303负端接电容304正端和输出端Vout;电容304负端接地GND。

[0056] Vout1和Vout2为采样信号,当Vout1信号由高电平变为低电平时,Vout2信号由低电平变为高电平,PMOS管301、NMOS管302均导通,采样保持电路采样误差信号Vout3数值,并将电阻303与电容304的保持采样结果,输出到外部均衡电路中,控制外部均衡电路的增益。若误差信号为高电平时,提高外部均衡电路增益;若误差信号为低电平时,降低外部均衡电路增益。从而使外部均衡电路增益根据输入信号不同自动达到最佳状态,完成自适应控制的目的。采样保持电路通过采样信号采样保持误差放大电路输出,实现自适应控制功能。

[0057] 外部均衡电路输出经过采样信号产生电路内部的运算放大器201产生标准波形;再经过设计得到的电阻电容共模调制网络,在一种可能的场景中,使与非门215只在serdes编码规定的最长5位连续0或1时,输出高电平(即5位连续0或1时第一与非门214的两个输入分别为低电平和高电平,而4位连续0或1时第一与非门214的两个输入均为相同电平),进而产生采样信号。通过Vout1和Vout2输出到采样保持电路中。采样信号产生电路可以通过负反馈网络,实现只在高速serdes均衡电路输入信号脉宽最长时输出采样信号。因此,本申请提供的自适应模拟控制电路可以适用于传统运算放大电路的响应速度,在宽脉冲的情况下实现自适应控制功能,使得均衡系统对运算放大器的响应速度要求降低,提高了电路能够支持的最高速率速度,同时降低了电路功耗。

[0058] 本发明虽然以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以做出可能的变动和修改,因此,本发明的保护范围应当以本发明权利要求所界定的范围为准。

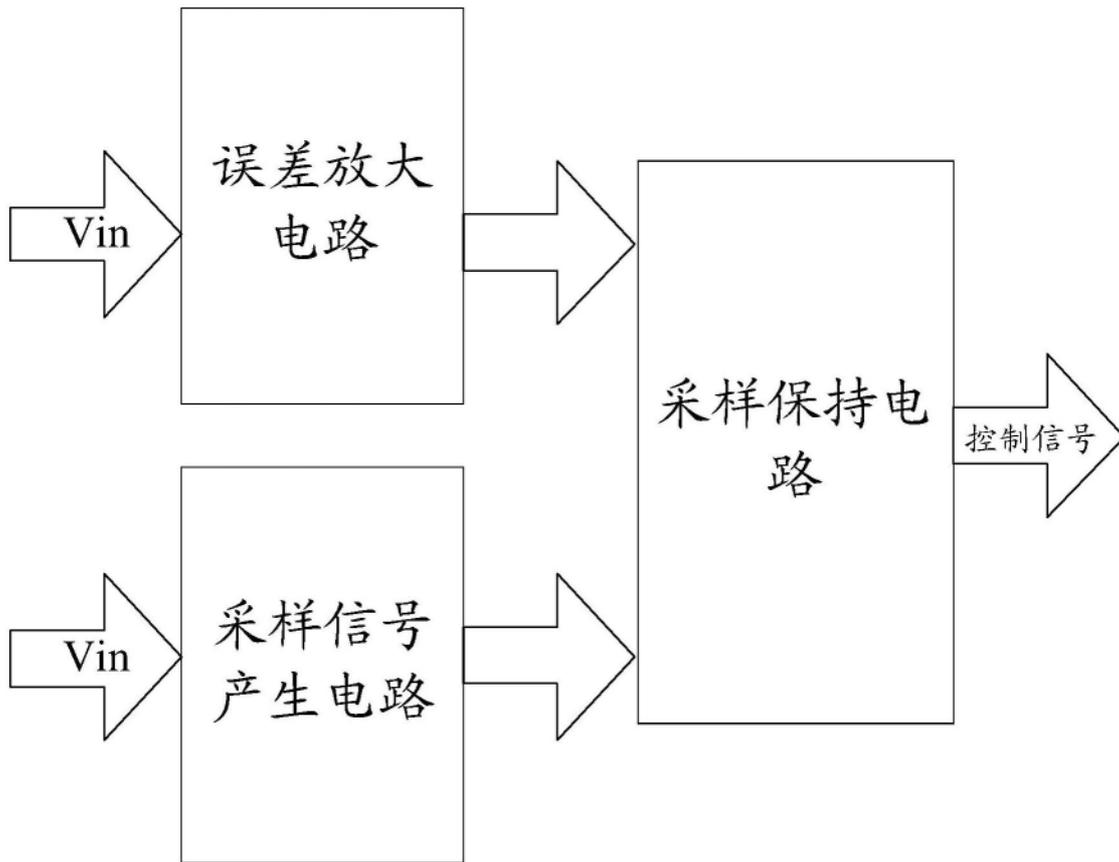


图1

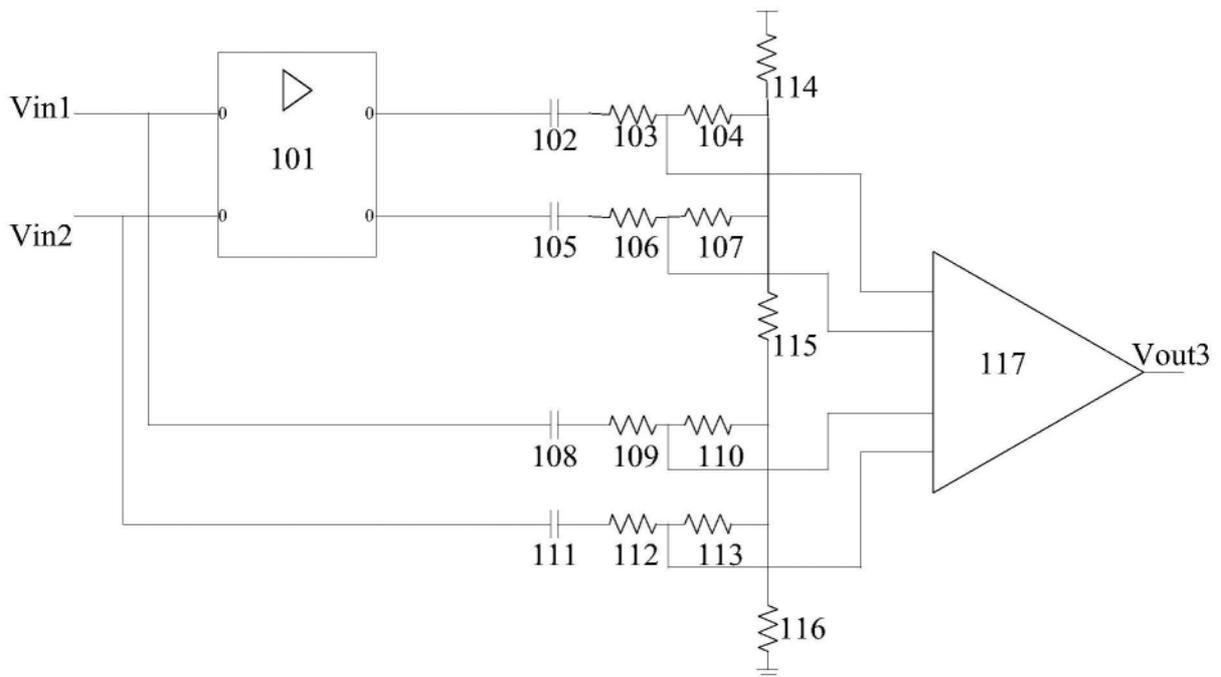


图2

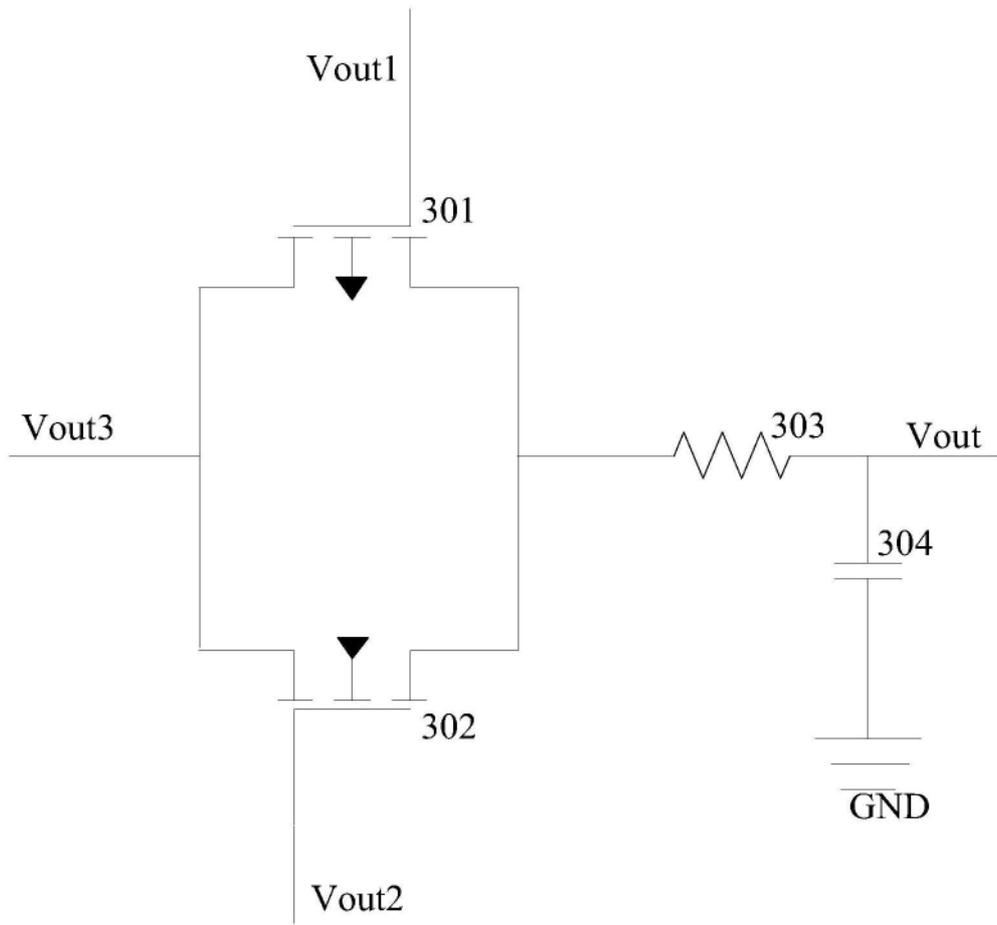


图4