

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-536876

(P2005-536876A)

(43) 公表日 平成17年12月2日(2005.12.2)

(51) Int. Cl.⁷
H01L 21/20F I
H01L 21/20テーマコード(参考)
5F152

審査請求 未請求 予備審査請求 未請求 (全 33 頁)

(21) 出願番号 特願2004-529920 (P2004-529920)
 (86) (22) 出願日 平成15年8月22日 (2003. 8. 22)
 (85) 翻訳文提出日 平成17年4月11日 (2005. 4. 11)
 (86) 国際出願番号 PCT/US2003/026467
 (87) 国際公開番号 W02004/019391
 (87) 国際公開日 平成16年3月4日 (2004. 3. 4)
 (31) 優先権主張番号 60/405, 484
 (32) 優先日 平成14年8月23日 (2002. 8. 23)
 (33) 優先権主張国 米国 (US)

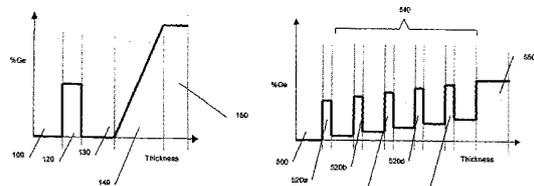
(71) 出願人 501079484
 アンバーウェーブ システムズ コーポレ
 イション
 アメリカ合衆国 ニューハンプシャー州
 セーレム ガラベディアンドライブ 13
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 減少した転位パイルアップを有する半導体ヘテロ構造および関連した方法

(57) 【要約】

組成的に勾配した半導体層における転位パイルアップは、減少もしくは実質的に除かれ、これによって、増加した半導体デバイス歩合および製造性に導く。このことは、組成的に勾配したバッファ層の後に続く成長および緩和の前のスタート層としておよび/または組成的に勾配した層の成長および緩和中の少なくとも1つの中間層としてその表面にわたり実質的に均一に分布する複数のスレッディング転位を有する半導体層を導入することによって達成される。この半導体層は、半導体層の表面に近接して位置するシード層、およびそこに均一的に分布するスレッディング転位を有することを含み得る。



【特許請求の範囲】

【請求項 1】

第 1 の半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する第 1 の半導体層と、

該第 1 の該表面の上に位置する組成的に均一なキャップ層であって、実質的に緩和した組成的に均一なキャップ層と

を含む、半導体構造。

【請求項 2】

前記組成的に均一なキャップ層の格子定数は、前記第 1 の層の格子定数とは異なる、請求項 1 に記載の半導体構造。

10

【請求項 3】

前記組成的に均一なキャップ層の上に位置する歪んだ半導体層をさらに含む、請求項 1 に記載の半導体構造。

【請求項 4】

前記歪んだ半導体層は、引張られ歪んでいる、請求項 3 に記載の半導体構造。

【請求項 5】

前記歪んだ半導体層は、引張られ歪んだシリコンまたは引張られ歪んだシリコンゲルマニウム合金を含む、請求項 4 に記載の半導体構造。

【請求項 6】

前記歪んだ半導体層は、圧縮され歪んでいる、請求項 3 に記載の半導体構造。

20

【請求項 7】

前記歪んだ半導体層は、圧縮され歪んだゲルマニウムまたは圧縮され歪んだシリコンゲルマニウム合金を含む、請求項 6 に記載の半導体構造。

【請求項 8】

前記組成的に均一なキャップ層は、II 族要素、III 族要素、IV 族要素、V 族要素およびVI 族要素の少なくとも 1 つを含む、請求項 1 に記載の半導体構造。

【請求項 9】

前記組成的に均一なキャップ層は、シリコンおよびゲルマニウムの少なくとも 1 つを含む、請求項 8 に記載の半導体構造。

【請求項 10】

前記組成的に均一なキャップ層は、およそ 10% より大きいゲルマニウムを含む、請求項 9 に記載の半導体構造。

30

【請求項 11】

前記組成的に均一なキャップ層の厚さは、およそ $0.5 \mu\text{m}$ ~ およそ $3.0 \mu\text{m}$ の範囲にわたる、請求項 1 に記載の半導体構造。

【請求項 12】

前記組成的に均一なキャップ層は、平坦化される、請求項 1 に記載の半導体構造。

【請求項 13】

前記組成的に均一なキャップ層と前記第 1 の層との間に位置する組成的に勾配した層をさらに含む、請求項 1 に記載の半導体構造。

40

【請求項 14】

前記勾配した層は、II 族要素、III 族要素、IV 族要素、V 族要素およびVI 族要素の少なくとも 1 つを含む、請求項 13 に記載の半導体構造。

【請求項 15】

前記勾配した層は、シリコンおよびゲルマニウムの少なくとも 1 つを含む、請求項 14 に記載の半導体構造。

【請求項 16】

前記勾配した層は、およそ 5% Ge / μm より大きい勾配率を有する、請求項 15 に記載の半導体構造。

【請求項 17】

50

前記勾配した層は、およそ 50% Ge / μm より小さい勾配率を有する、請求項 16 に記載の半導体構造。

【請求項 18】

前記勾配した層は、およそ 10% より大きい濃度に勾配される、請求項 13 に記載の半導体構造。

【請求項 19】

前記勾配した層の厚さは、およそ 0.5 μm ~ およそ 10.0 μm の範囲にわたる、請求項 13 に記載の半導体構造。

【請求項 20】

前記第 1 の層は、前記勾配した層の初期部分を含み、該初期部分は、該勾配した層の少なくとも 1 つのその後続く部分より低い局部勾配率を有し、前記スレッディング転位は、該初期部分において均一に分布する、請求項 13 に記載の半導体構造。 10

【請求項 21】

前記勾配した層は、シリコンおよびゲルマニウムの少なくとも 1 つを含む、請求項 20 に記載の半導体構造。

【請求項 22】

局部勾配率における差異は、およそ 5% Ge / μm より大きい、請求項 21 に記載の半導体構造。

【請求項 23】

局部勾配率における差異は、およそ 20% Ge / μm より大きい、請求項 22 に記載の半導体構造。 20

【請求項 24】

前記緩和し勾配したバッファ層の前記初期部分の前記勾配率は、およそ 10% Ge / μm を超えない、請求項 21 に記載の半導体構造。

【請求項 25】

前記初期部分と前記緩和し勾配した層の少なくとも 1 つのその後続く部分との間の界面での Ge 含量における不連続性は、およそ 10% Ge を超えない、請求項 21 に記載の半導体構造。

【請求項 26】

前記初期部分と前記緩和し勾配したバッファ配層の少なくとも 1 つのその後続く部分との間の界面での Ge 含量における不連続性は、およそ 5% Ge を超えない、請求項 25 に記載の半導体構造。 30

【請求項 27】

前記第 1 の層は、該第 1 の層の前記表面に近接して位置するシード層を含み、前記スレッディング転位は、該シード層において均一に分布する、請求項 1 に記載の半導体構造。

【請求項 28】

前記シード層は、少なくとも部分的に緩和している、請求項 27 に記載の半導体構造。

【請求項 29】

前記シード層は、組成的に均一である、請求項 27 に記載の半導体構造。

【請求項 30】

前記シード層は、組成的に勾配している、請求項 27 に記載の半導体構造。 40

【請求項 31】

前記シード層の厚さは、その平衡臨界厚さの 2 倍より大きい、請求項 27 に記載の半導体構造。

【請求項 32】

前記シード層の厚さは、その平衡臨界厚さの 5 倍より小さい、請求項 31 に記載の半導体構造。

【請求項 33】

前記シード層の少なくとも一部分は、およそ 850 の成長温度での成長によって形成される、請求項 27 に記載の半導体構造。 50

【請求項 34】

前記シード層の少なくとも一部分は、1000より大きい成長温度での成長によって形成される、請求項27に記載の半導体構造。

【請求項 35】

前記シード層は、およそ10nm~およそ1000nmの範囲にわたる厚さを有する、請求項27に記載の半導体構造。

【請求項 36】

前記シード層は、およそ30nm~およそ300nmの範囲にわたる厚さを有する、請求項35に記載の半導体構造。

【請求項 37】

前記キャップ層は、およそ1/cmより小さい転位パイルアップの密度を有する、請求項27に記載の半導体構造。

【請求項 38】

前記キャップ層は、0.01/cmより小さい転位パイルアップの密度を有する、請求項27に記載の半導体構造。

【請求項 39】

前記キャップ層は、およそ 5×10^5 /cm²より小さいスレッディング転位密度を有する、請求項27に記載の半導体構造。

【請求項 40】

前記組成的に均一なキャップ層と前記シード層との間に位置する組成的に均一なバッファ層をさらに含む、請求項27に記載の半導体構造。

【請求項 41】

前記バッファ層は、シリコンを含む、請求項40に記載の半導体構造。

【請求項 42】

前記バッファ層と前記シード層の少なくとも1つは、シリコンおよびゲルマニウムの少なくとも1つを含む、請求項40に記載の半導体構造。

【請求項 43】

前記バッファ層におけるゲルマニウムの濃度は、前記シード層と該バッファ層との間の界面での該シード層におけるゲルマニウムの濃度とは異なる、請求項42に記載の半導体構造。

【請求項 44】

前記シード層と前記バッファ層との界面でのGe濃度における不連続性は、およそ2%~50%Geの範囲にわたる、請求項43に記載の半導体構造。

【請求項 45】

前記シード層と前記バッファ層との界面でのGe濃度における不連続性は、およそ5%~15%Geの範囲にわたる、請求項44に記載の半導体構造。

【請求項 46】

前記シード層と前記バッファ層との界面でのGe濃度における不連続性は、およそ10%Geを含む、請求項45に記載の半導体構造。

【請求項 47】

前記組成的に均一なキャップ層と前記シード層との間に位置する組成的に勾配した層をさらに含む、請求項27に記載の半導体構造。

【請求項 48】

前記勾配した層と前記シード層の少なくとも1つは、シリコンおよびゲルマニウムの少なくとも1つを含む、請求項47に記載の半導体構造。

【請求項 49】

前記勾配した層におけるゲルマニウムの濃度は、前記シード層と該勾配した層との間の界面での該シード層におけるゲルマニウムの濃度とは異なる、請求項47に記載の半導体構造。

【請求項 50】

10

20

30

40

50

前記シード層と前記勾配した層との界面での Ge 濃度における不連続性は、およそ 2% ~ 50% Ge の範囲にわたる、請求項 49 に記載の半導体構造。

【請求項 51】

前記シード層と前記勾配した層との界面での Ge 濃度における不連続性は、およそ 5% ~ 15% Ge の範囲にわたる、請求項 50 に記載の半導体構造。

【請求項 52】

前記シード層と前記勾配した層との界面での Ge 濃度における不連続性は、およそ 10% Ge を含む、請求項 51 に記載の半導体構造。

【請求項 53】

前記勾配した層内に位置する少なくとも 1 つの中間シード層をさらに含む、請求項 47 に記載の半導体構造。 10

【請求項 54】

前記第 1 の層は、silicon on insulator 基板を含む、請求項 1 に記載の半導体構造。

【請求項 55】

減少したスレッディング転位パイルアップを有する半導体構造を製造する方法であって、該方法は、

第 1 の半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する第 1 の半導体層を提供することと、

該第 1 の半導体層の該表面の上に組成的に均一なキャップ層を形成することであって、該キャップ層は、実質的に緩和しており、該第 1 の半導体層は、少なくとも該キャップ層における転位パイルアップの形成を抑制する、ことを包含する、方法。 20

【請求項 56】

前記組成的に均一なキャップ層の格子定数は、前記第 1 の層の格子定数とは異なる、請求項 55 に記載の方法。

【請求項 57】

前記キャップ層の形成の前に、前記第 1 の層の上に組成的に均一なバッファ層を形成することをさらに包含する、請求項 55 に記載の方法。

【請求項 58】

第 1 の半導体層を提供するステップは、半導体基板の上に少なくとも部分的に緩和したシード層を包含する、請求項 55 に記載の方法。 30

【請求項 59】

前記少なくとも部分的に緩和したシード層を形成するステップは、該シード層を、該シード層の平衡臨界厚さの 2 倍 ~ 5 倍の範囲にわたる厚さに成長させることを包含する、請求項 58 に記載の方法。

【請求項 60】

前記少なくとも部分的に緩和したシード層を形成するステップは、該シード層を、該シード層の堆積温度より大きい温度で該シード層をアニールすることを包含する、請求項 58 に記載の方法。 40

【請求項 61】

第 1 の半導体層を提供するステップは、該第 1 の半導体層に種を埋め込むことを包含する、請求項 55 に記載の方法。

【請求項 62】

前記第 1 の半導体層は、シリコンを包含し、前記種は、シリコンを包含する、請求項 61 に記載の方法。

【請求項 63】

第 1 の半導体層を提供するステップは、semiconductor on insulator 基板を提供することを包含する、請求項 55 に記載の方法。

【請求項 64】

前記第1の半導体層を提供するステップは、スレディング転位の実質的に均一な分布を有するシリコン基板を提供することを包含する、請求項55に記載の方法。

【請求項65】

前記第1の半導体層を提供するステップは、およそ $10^2 / \text{cm}^2$ を超えるスレディング転位の密度を有するシリコン基板を提供することを包含する、請求項55に記載の方法。

【請求項66】

前記第1の半導体層を提供するステップは、およそ $10^3 / \text{cm}^2$ を超えるスレディング転位の密度を有するシリコン基板を提供することを包含する、請求項55に記載の方法。

10

【請求項67】

前記第1の半導体層を提供するステップは、およそ $10^4 / \text{cm}^2$ を超えるスレディング転位の密度を有するシリコン基板を提供することを包含する、請求項55に記載の方法。

【請求項68】

前記第1の半導体層を提供するステップは、1より大きい平均表面粗さを有するシリコン基板を提供することを包含する、請求項55に記載の方法。

【請求項69】

前記第1の半導体層を提供するステップは、5より大きい平均表面粗さを有するシリコン基板を提供することを包含する、請求項55に記載の方法。

20

【請求項70】

前記キャップ層は、 $1 / \text{cm}$ より小さい転位パイルアップの密度を有する、請求項55に記載の方法。

【請求項71】

前記キャップ層は、 $0.01 / \text{cm}$ より小さい転位パイルアップの密度を有する、請求項55に記載の方法。

【請求項72】

前記キャップ層は、およそ $5 \times 10^5 / \text{cm}^2$ より小さいスレディング転位密度を有する、請求項55に記載の方法。

【請求項73】

前記キャップ層を形成する前に、組成的に勾配した層を形成することをさらに包含する、請求項55に記載の方法。

30

【請求項74】

前記組成的に勾配したバッファ層内に少なくとも1つのシード層を形成することをさらに包含する、請求項73の方法。

【請求項75】

基板の上に緩和し勾配した半導体層を形成する方法であって、

該方法は、

第1の半導体層を提供することと、

前記第1の半導体層上にシリコンおよびゲルマニウムの少なくとも1つを含む緩和し勾配した層をエピタキシャル的に成長させることであって、0%より大きく100%までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ25% Ge / μm を超える勾配でゲルマニウム含量を増加させる、こと

40

を包含し、該緩和し勾配した半導体層は、 $10^7 / \text{cm}^2$ を超えないスレディング転位密度を有する、方法。

【請求項76】

前記勾配した層は、およそ $20 / \text{cm}$ を超えない転位パイルアップ密度を有する、請求項75の方法。

【請求項77】

前記勾配した層は、およそ $1 / \text{cm}$ を超えない転位パイルアップ密度を有する、請求項

50

75の方法。

【請求項78】

前記勾配した層は、およそ $0.01/cm$ を超えない転位パイラップ密度を有する、請求項75の方法。

【請求項79】

前記勾配した層は、少なくとも $30\% Ge/\mu m$ である、請求項75に記載の方法。

【請求項80】

前記勾配した層は、少なくとも $40\% Ge/\mu m$ である、請求項75に記載の方法。

【請求項81】

前記エピタキシャル成長は、 $900 \sim 1200$ に範囲のわたる温度で起こる、請求項75に記載の方法。 10

【請求項82】

前記エピタキシャル成長は、およそ $1nm/s$ より大きい速度で起こる、請求項81に記載の方法。

【請求項83】

前記緩和し勾配した層は、 $0.1\mu m \sim 4.0\mu m$ の範囲にわたる厚さを有する、請求項75に記載の方法。

【請求項84】

前記第1の半導体は、該第1の半導体の表面にわたり実質的に均一に分布する複数のスレディング転位を有し、前記第1の層の前記表面の上に組成的に均一なキャップ層を提供するステップをさらに包含し、該キャップ層は、実質的に緩和しており、前記緩和し勾配した層が該キャップ層の上に成長する、請求項75に記載の方法。 20

【請求項85】

前記組成的に均一なキャップ層の格子定数は、前記第1の層の格子定数とは異なる、請求項84に記載の方法。

【請求項86】

第1の半導体層と、さらにシリコンおよびゲルマニウムを含む緩和し勾配したエピタキシャル層であって、 0% より大きく 100% までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ $25\% Ge/\mu m$ を超える勾配でゲルマニウム含量を増加するように勾配される緩和し勾配したエピタキシャル層とを含み、 $10^7/cm^2$ を超えないスレディング転位密度を有する、半導体構造。 30

【請求項87】

前記転位パイラップ密度は、 $1/cm$ を超えない、請求項86に記載の構造。

【請求項88】

前記転位パイラップ密度は、 $0.01/cm$ を超えない、請求項86に記載の構造。

【請求項89】

前記緩和し勾配した層は、少なくとも $30\% Ge/\mu m$ の速度で勾配される、請求項86に記載の構造。

【請求項90】

前記緩和し勾配した層は、少なくとも $40\% Ge/\mu m$ の速度で勾配される、請求項86に記載の構造。 40

【請求項91】

前記緩和し勾配した層は、 $0.1\mu m \sim 0.4\mu m$ の範囲にわたる厚さを有する、請求項86に記載の構造。

【請求項92】

前記第1の半導体は、該第1の半導体の表面にわたり実質的に均一に分布する複数のスレディング転位を有し、前記第1の層の表面の上に組成的に均一なキャップ層を提供するステップをさらに包含し、該キャップ層は、実質的に緩和しており、該第1の層の格子定数とは異なる格子定数を有し、前記緩和し勾配した層が該キャップ層の上に位置する、請求項86に記載の構造。

【請求項 9 3】

半導体基板と、
 該基板の上に位置する組成的に勾配した層と、
 該組成的に勾配した層の上に位置する実質的に緩和した組成的に均一なキャップ層であって、 $1 / \text{cm}$ より小さい転位パイルアップの密度を有する、実質的に緩和した組成的に均一なキャップ層と
 を含む、半導体構造。

【請求項 9 4】

前記キャップ層は、 $0.01 / \text{cm}$ より小さい転位パイルアップの密度を有する、請求項 9 3 に記載の半導体構造。

10

【請求項 9 5】

第 1 の半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する第 1 の半導体層と、

該第 1 の該表面の上に位置する組成的に均一なキャップ層であって、実質的に緩和した組成的に均一なキャップ層と

該緩和したキャップ層の上に位置する p 型金属酸化膜半導体 (P M O S) トランジスタと

を含む半導体層であって

該 P M O S トランジスタは、

該緩和したキャップ層の一部分の上に位置するゲート誘電体部分と、

20

該ゲート誘電体部分の上に位置するゲートであって、伝導層を含む、ゲートと、

該ゲート誘電体部分に近接して位置するソースおよびドレインであって、p 型ドーパントを含むソースおよび第 1 のドレインと

を含む、半導体構造。

【請求項 9 6】

第 1 の半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する第 1 の半導体層と、

該第 1 の該表面の上に位置する組成的に均一なキャップ層であって、実質的に緩和した組成的に均一なキャップ層と

該緩和したキャップ層の上に位置する n 型金属酸化膜半導体 (N M O S) トランジスタと

30

を含む半導体層であって、

該 N M O S トランジスタは、

該緩和したキャップ層の一部分の上に位置するゲート誘電体部分と、

該ゲート誘電体部分の上に位置するゲートであって、伝導層を含む、ゲートと、

該ゲート誘電体部分に近接して位置するソースおよびドレインであって、n 型ドーパントを含むソースおよびドレインと

を含む、半導体構造。

【請求項 9 7】

第 1 の半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する第 1 の半導体層と、

40

該第 1 の該表面の上に位置する組成的に均一なキャップ層であって、実質的に緩和した組成的に均一なキャップ層と

該緩和したキャップ層の上に位置する p 型金属酸化膜半導体 (P M O S) トランジスタと

を含む半導体層であって、

該 P M O S トランジスタは、

該緩和したキャップ層の第 1 の一部分の上に位置する第 1 のゲート誘電体部分と、

該第 1 のゲート誘電体部分の上に位置する第 1 のゲートであって、第 1 の伝導層を含む、第 1 のゲートと、

50

該第 1 のゲート誘電体部分に近接して位置する第 1 のソースおよび第 1 のドレインであって、p 型ドーパントを含む第 1 のソースおよび第 1 のドレインと

を含み、

該半導体構造は、さらに、

該緩和したキャップ層の上に位置する n 型金属酸化膜半導体 (N M O S) トランジスタと

を含み、

該 N M O S トランジスタは、

該緩和キャップ層の第 2 の一部分の上に位置する第 2 のゲート誘電体部分と、

該第 2 のゲート誘電体部分の上に位置する第 2 のゲートであって、第 2 の伝導層を含む、第 2 のゲートと、 10

該第 2 のゲート誘電体部分に近接して位置する第 2 のソースおよび第 2 のドレインであって、n 型ドーパントを含む第 2 のソースおよび第 2 のドレインと

を含む、半導体構造。

【請求項 98】

第 1 の半導体層と、さらにシリコンおよびゲルマニウムを含む緩和し勾配したエピタキシャル層であって、0%より大きく100%までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ25% Ge / μm を超える勾配でゲルマニウム含量を増加するように勾配される緩和し勾配したエピタキシャル層とを含む半導体層であって、該半導体層は、 $10^7 / \text{cm}^2$ を超えないスレッディング転位密度を有し、 20

該半導体層は、

該勾配した層の上に位置する緩和された組成的なキャップ層と、

該緩和したキャップ層の上に位置する p 型金属酸化膜半導体 (P M O S) トランジスタと

をさらに含み、

該 P M O S トランジスタは、

該緩和したキャップ層の一部分の上に位置するゲート誘電体部分と、

該ゲート誘電体部分の上に位置するゲートであって、伝導層を含む、ゲートと、

該ゲート誘電体部分に近接して位置するソースおよびドレインであって、p 型ドーパントを含むソースおよび第 1 のドレインと 30

を含む、半導体構造。

【請求項 99】

第 1 の半導体層と、さらにシリコンおよびゲルマニウムを含む緩和し勾配したエピタキシャル層であって、0%より大きく100%までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ25% Ge / μm を超える勾配でゲルマニウム含量を増加するように勾配される緩和し勾配したエピタキシャル層とを含む半導体層であって、該半導体層は、 $10^7 / \text{cm}^2$ を超えないスレッディング転位密度を有し、

該半導体層は、

該勾配層の上に位置する緩和された組成的なキャップ層と、

該緩和したキャップ層の上に位置する n 型金属酸化膜半導体 (N M O S) トランジスタと 40

をさらに含み、

該 N M O S トランジスタは、

該緩和したキャップ層の一部分の上に位置するゲート誘電体部分と、

該ゲート誘電体部分の上に位置するゲートであって、伝導層を含む、ゲートと、

該ゲート誘電体部分に近接して位置するソースおよびドレインであって、n 型ドーパントを含むソースおよびドレインと

を含む、半導体構造。

【請求項 100】

第 1 の半導体層と、さらにシリコンおよびゲルマニウムを含む緩和し勾配したエピタキ 50

シャル層であって、0%より大きく100%までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ25% Ge / μm を超える勾配でゲルマニウム含量を増加するように勾配される緩和し勾配したエピタキシャル層とを含む半導体層であって、該半導体層は、 $10^7 / \text{cm}^2$ を超えないスレッディング転位密度を有し、

該半導体層は、

該勾配層の上に位置する緩和した組成的なキャップ層と、

該緩和したキャップ層の上に位置するp型金属酸化膜半導体(PMOS)トランジスタと

をさらに含み、

該PMOSトランジスタは、

該緩和したキャップ層の第1の部分の上に位置する第1のゲート誘電体部分と、

該第1のゲート誘電体部分の上に位置するゲートであって、第1の伝導層を含む、第1のゲートと、

該第1のゲート誘電体部分に近接して位置する第1のソースおよび第1のドレインであって、p型ドーパントを含む第1のソースおよび第1のドレインと

を含み、

該半導体構造は、

該緩和したキャップ層の上に位置するn型金属酸化膜半導体(NMOS)トランジスタと

をさらに含み、

該NMOSトランジスタは、

該緩和キャップ層の第2の部分の上に位置するゲート第2の誘電体部分と、

該第2のゲート誘電体部分の上に位置するゲートであって、第2の伝導層を含む、第2のゲートと、

該第2のゲート誘電体部分に近接して位置する第2のソースおよび第2のドレインであって、n型ドーパントを含む第2のソースおよび第2のドレインと

を含む、半導体構造。

【請求項101】

前記組成的に均一なキャップ層は、1nmより小さい平均表面粗さを有する、請求項1に記載の半導体構造。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、概して半導体基板に関し、より詳細には、緩和した格子不整合の半導体層を含む基板に関する。

【0002】

(関連出願のクロスリファレンス)

本出願は、2002年8月23日に出版された米国仮出願第60/405,484の利益および優先権を主張する。

【背景技術】

【0003】

(背景)

マイクロ電子デバイスの増加する動作速度および演算能力は、最近これらのマイクロ電子デバイスにおいてスタート基板として用いられる半導体構造の複雑性および機能性における増加に対する必要性を招いた。シリコンおよびゲルマニウムに基づくこれらの「仮想基板」は、バルクSi基板の上に製造されるデバイスと比較されたとき、高められた性能を示す超大規模集積回路「VLSI」デバイスの新たな生成に対するプラットフォームを提供する。詳細には、新たな技術的進歩は、シリコン-ゲルマニウム合金(以下、「SiGe」または「Si_{1-x}Ge_x」)と称す)を用いるヘテロ構造の形成が、電子および正孔移動度を増加するSiの原子構造を変更することによって半導体デバイスの性能をさら

10

20

30

40

50

に高めることを可能にする。

【0004】

SiGe 仮想基板の重要なコンポーネントは、その平衡格子定数（例えば、Si の平衡格子定数より大きいもの）まで緩和した SiGe ヘテロ構造の層である。この緩和した SiGe 層は、（例えば、ウエハーボンディングまたは直接エピタキシによって）Si 基板に直接的に供給されるか、SiGe 材料の格子定数が、層の厚さにわたり徐々に増加された緩和し勾配した SiGe バッファ層の上に供給される。SiGe 仮想基板はまた、silicon on insulator (SOI) ウエハーの様態で、埋め込み絶縁層を含む。これらのプラットフォームの上に高性能デバイスを製造するために、Si、Ge または SiGe といった半導体の薄い歪んだ層が緩和した SiGe 仮想基板の上に成長する。結果生じる二軸引張りおよび圧縮した歪みは、層におけるキャリア移動度を変えて、高速度および/または低消費電力デバイスの製造を可能にする。SiGe における Ge の割合および堆積の方法は、歪んだ Si 層の特性に劇的な作用を有し得る。ここに参考として援用される特許文献 1「Semiconductor Heterostructure Devices with Strained Semiconductor Layers」は、歪んだ Si デバイス構造を製造する 1 つのこのような方法を記載する。

10

【0005】

バルク Si の上に緩和した SiGe 層をエピタキシャル的に成長させるアプローチは、「Method of Producing Relaxed Silicon Germanium Layers」と題目された非特許文献 1 に議論され、ここに参考として援用される。方法は、単結晶 Si 基板を提供することと、それから、850 を超える温度で Si 基板の上の Ge 成分に対する $Ge_x H_y Cl_z$ のソースガスを用いて $0.1 < X < 1$ の範囲で最終的な Ge 組成に対して 25% Ge/ μm より小さい勾配で Ge 濃度を増加させるように勾配 Si_{1-x}Ge_x 層をエピタキシャル的に成長させることと、勾配した層の上に半導体材料をエピタキシャル的に成長させることを包含する。

20

【0006】

バルク Si の上に緩和した SiGe 層をエピタキシャル的に成長させる他の方法は、低エネルギープラズマ強化化学的気相成長 (LEPECVD) の方法が開示される M. Kummer 氏らによる「Low Energy plasma enhanced chemical vapor deposition」(Mat. Sci. & Eng. B 89, 202, pp. 288-95) と題目された論文に記載され、ここに参考として援用される。この方法は、高成長率 (0.6 μm /分) および低温度 (500 ~ 700) でバルク Si の上に SiGe 層の形成を可能にする。

30

【0007】

勾配した SiGe 層の上に高品質な薄いエピタキシャル歪んだ Si 層を成長させるために、SiGe 層は、好ましくは、平坦化もしくは平滑化されて、最終的な歪んだ Si 基板における表面粗さを減少させる。化学的機械的研磨 (CMP) の従来の方法は、一般的に、半導体製造工程において粗さを減少させ、表面の平坦性を向上させるために用いられる。ここに参考として援用される特許文献 2「Controlling Threading Dislocations in Ge on Si Using Graded GeSi Layers and Planarization」は、どのように平坦化が SiGe の勾配した層の品質を向上させるために用いられ得るかを記載する。

40

【0008】

歪んだ Si ウエハーを製造するために適した 1 つの技術は、以下のステップを包含し得る。

【0009】

1. エッジが研磨されたシリコン基板を提供すること。

【0010】

2. シリコン基板の上に最終的な Ge 組成の緩和し勾配した SiGe バッファ層をエピタキシャル的に堆積する。

50

【0011】

3. 勾配したSiGeバッファ層の上に定組成を有する緩和したSi_{1-x}Ge_xキャップ層をエピタキシャル的に堆積する。

【0012】

4. 例えば、CMPによってSi_{1-x}Ge_xキャップ層および/または緩和し勾配したSiGeバッファ層を平坦化もしくは平滑化する。

【0013】

5. Si_{1-x}Ge_xキャップ層の平坦化された表面の上に定組成を有する緩和したSi_{1-x}Ge_x再成長層をエピタキシャル的に堆積する。

【0014】

6. Si_{1-x}Ge_x再成長層の上に歪んだシリコン層をエピタキシャル的に堆積する。

【0015】

一連の低格子不整合の界面上にわたり歪みを徐々に導入することによって、上記ステップ2に記載されるように、組成的に勾配した層が、一般的な基板の上のひどく格子不整合の単結晶半導体層の統合に向けて実行可能なルートを提供し、かつ、モノリシック統合を介して増加した機能性に向けてルートを提供する。

【0016】

SiGe層の格子定数は、Siの格子定数より大きく、SiGe合金におけるGeの量の直接関数である。SiGeの勾配したバッファ層がエピタキシャル的に堆積される時、それは、始めに、アンダーレイするシリコン基板の内面の格子定数に整合させるために歪まされる。しかし、ある臨界的な厚さを超えると、SiGeの勾配したバッファ層は、その固有的に、より大きい格子定数まで緩和する。緩和工程は、2つの格子不整合層（例えば、Si基板およびSiGeエピタキシャル層（エピ層））の間の界面でのミスフィット転位の形成を介して起こる。転位が結晶内で終了し得ないので、ミスフィット転位は、結晶を介して、ウエハーの上面に到達するように起こり得る各端部で垂直転位セグメントを有する（「スレッディング転位」と称される）。ミスフィットおよびスレッディング転位はともに、それらに関連した応力領域を有する。ここに参考として援用されるEugene Fitzgerald氏らによって、「Journal of Vacuum Science and Technology」B, Vol. 10, No. 4, 1992（以下、「Fitzgerald氏ら」と称す）で説明されるように、ミスフィット転位のネットワークに関連した応力領域は、結晶の表面での局部的エピタキシャル成長率に影響する。成長率における変動は、Siの上に成長する格子不整合の緩和し勾配したSiGeバッファ層の上に表面クロスハッチを招き得る結果になる。

【0017】

緩和し勾配したSiGeバッファ層の堆積は、SiGeキャップ層の内面格子定数（従って、歪んだシリコン層の歪みの量）のエンジニアリングを可能にし、一方で、転位の導入を減少させる。例えば、Si(001)の上に成長した組成的に勾配したSiGe層は、このようなバッファ層を有しない緩和したSiGe層の直接的な堆積と比較されたとき、スレッディング転位密度(TDD)において少なくとも大きさの3つのオーダーの減少を提供し、結果生じた緩和したSiGe層は、高移動度歪んだチャネル（例えば、歪んだSi）に対して「仮想基板」として働く。ある条件下のミスフィット転位に関連した応力領域は、しかしながら、「転位パイルアップ」と称されるスレッディング転位の線形凝集形成を引き起こし得る。

【0018】

転位パイルアップは、通常、 $5 \times 10^6 / \text{cm}^2$ より大きいスレッディング転位密度およびパイルアップ内およびスリップ方向に沿っての転位の線形密度が $2000 / \text{cm}$ より大きくなるようにスリップ方向に沿って実質的に整列されたスレッディング転位を有する少なくとも3つのスレッディング転位を含む領域として定義される。例えば、SiGe材料におけるスリップ方向は、内面 $\langle 110 \rangle$ 方向である。

10

20

30

40

50

【0019】

多くの理論が、ミスフィット転位が、結晶のどこで形成されるのかおよびどのプロセスによって形成されるのかに関してミスフィット転位の核生成を説明しようと試みる。これらの理論は、既存の基板転位での形成と、欠陥での異質形成と、同質形成（例えば、欠陥フリーの完璧な結晶領域における形成）とを含む。「Materials Science Reports」, Vol. 7, No. 3, 1991で発表された論文の中でEugene Fitzgerald氏によって説明され、ここに参考として援用されるように、しかしながら、同質転位形成に対する活性化エネルギーが高い過ぎるので、同質転位形成は、起こりそうもない。結晶におけるミスフィット転位が最も起こりそうなソースは、欠陥での異質核生成である。

10

【0020】

このようにして、転位パイルアップは、パーティクルからの異質核生成と、ウエハーエッジからの核生成と、表面粗さ（詳細には、特徴的クロスハッチパターンにおける深いトラフ）と、埋め込み転位歪み領域、または厚い組成的に勾配したバッファ層の成長中の追跡できない核生成事象との相互作用を介する転位ブロックとを含むさまざまなメカニズムを介して形成し得る。

【0021】

（「Journal of Applied Physics」, Vol. 81, No. 7, 1997で発表され、ここに参考として援用される）Srikanth Samavedam氏らによる論文に記載されるように、結晶の特定の領域におけるミスフィット転位の高密度は、高い局部応力領域を有する領域を招く結果になる。この応力領域は、2つの作用を有する。第1に、それは、ミスフィットを滑り過ぎようとする他のスレディング転位の動きに対して障壁を呈する。他のミスフィット転位の高い応力領域によるスレディング転位のこのピンニングもしくはトラッピングは、ワーク硬化として知られる。第2に、高い応力領域は、その領域における局部的エピタキシャル成長率を大きく減少し得、残りの表面クロスハッチと比較して、表面形態により深い溝を招く結果になる。この表面形態に、より深いトラフはまた、高いミスフィット転位密度（MDD）のその領域を滑り過ぎようとするスレディング転位を固定し得る。このサイクルは永続し、高密度のトラップされたスレディング転位（例えば、転位パイルアップ）を有する線形領域を招く結果になる。

20

30

【0022】

このようにして、勾配したバッファアプローチが、大域的なスレディング転位密度の著しい減少を実証する一方で、ある条件下でのミスフィット転位に関連した応力領域は、半導体ヘテロ構造における転位パイルアップ欠陥を引き起こし得る。パイルアップ形成の裏側の特定のメカニズムに関わらず、転位パイルアップに存在する高い局部TDDは、これらの領域に形成されるデバイスの歩合に潜在的にひどい影響を有し、これらのデバイスを使用に適さないものにし得る。転位パイルアップの形成を抑制することが、従って所望される。

【特許文献1】米国特許第5,442,205号明細書

【特許文献2】米国特許第6,107,653号明細書

【非特許文献1】国際公開第01/22482号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0023】

既知の半導体構造の限界を克服した緩和した格子不整合の半導体ヘテロ構造を提供することが本発明の目的である。

【課題を解決するための手段】

【0024】

本発明のさまざまな局面において、組成的に勾配した半導体層における転位パイルアップは、減少もしくは実質的に除かれ、これによって、増加した半導体デバイス歩合および

40

50

製造性に導く。このことは、組成的に勾配したバッファ層の続く成長および緩和の前に、スタート層としてまた、オプション的に、勾配した層の成長中の少なくとも1つの中間層としてその表面にわたり実質的に均一に分布する複数のスレッディング転位を有する半導体層を導入することによって達成される。この半導体層は、実質的に均一に分布するスレッディング転位を有する半導体層の表面に近接して位置するいわゆる「シード層」を含み得る。

【0025】

また、勾配した層における受容され得るTDDおよび転位パイルアップ密度(DPDS)は、シード層の使用を介して、比較的高い濃度勾配(例えば、1 μ mの厚さにつき25%より大きいGe)で達成され得ることが見出された。ともに、またはさらなる向上として、堆積率(例えば、エピタキシャル成長率)は、高いTDDおよびDPDを防ぐために十分に低く保たれる。結果は、(例えば、米国特許第5,221,413号(以下、「413特許」と称す))に記載されるように)適用材料において、より低い勾配で形成された勾配した層を有する構造より反りの小さい、かつ、より経済的である、より薄い全体的な構造になる。

【0026】

一般的に、1つの局面において、本発明は、半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する第1の半導体層と、第1の表面の上に位置する実質的に緩和した組成的に均一なキャップ層を含む半導体構造に関する。1つの実施形態において、組成的に均一なキャップ層の格子定数は、第1の層の格子定数とは異なる。

【0027】

組成的に均一なキャップ層は、II族要素、III族要素、IV族要素、V族要素およびVI族要素の少なくとも1つ(例えば、シリコンおよびゲルマニウムの少なくとも1つ)を含み得る。1つの実施形態において、組成的に均一なキャップ層の厚さは、およそ10%より大きいゲルマニウムを含む。組成的に均一なキャップ層の厚さは、およそ0.5 μ m~およそ3.0 μ mの範囲にわたり得る。

【0028】

さまざま実施形態において、半導体構造はまた、組成的に均一なキャップ層の上に位置する歪んだ半導体層を含む。歪んだ半導体層は、引張られ歪まされ得、例えば、引張られ歪んだシリコンまたは引張られ歪んだシリコンゲルマニウム合金、もしくはは圧縮され歪んだシリコンゲルマニウム合金を含み、ならびに圧縮され歪んだゲルマニウムをまたは圧縮され歪んだシリコンゲルマニウム合金を含み得る。

【0029】

また、半導体構造は、組成的に均一なキャップ層と第1の層との間に位置する組成的に勾配した層を含み得る。勾配した層は、II族要素、III族要素、IV族要素、V族要素およびVI族要素の少なくとも1つ(例えば、シリコンおよびゲルマニウムの少なくとも1つ)を含み得る。本発明の1つの実施形態において、勾配した層は、シリコンと、ゲルマニウムとを含み、およそ5%Ge/ μ mより大きい勾配率を有する。この実施形態の1つの変形において、勾配した層は、およそ50%Ge/ μ mより小さい勾配率を有する。いくつかの実施形態において、勾配した層は、およそ10%のゲルマニウムより大きい濃度に勾配される。厚さは、およそ0.5 μ m~およそ10.0 μ mの範囲にわたり得る。

【0030】

本発明の特定の実施形態において、半導体構造の第1の層は、勾配した層の少なくともその後続く1つの部分より低い局部勾配率を有する勾配した層の初期部分を含む。スレッディング転位は、初期部分において均一に分布する。この実施形態のさまざまな変形において、勾配した層は、シリコンおよびゲルマニウムの少なくとも1つを含む。局部勾配率における差異は、5%Ge/ μ mであり得、例えば、20%Ge/ μ mであり得る。この実施形態の1つの変形において、緩和し勾配したバッファ層の初期部分の勾配率は、およそ10%Ge/ μ mを超えない。他の変形において、初期部分と緩和し勾配した層の少

10

20

30

40

50

なくとも続く1つの部分の間の界面でのGe含量における不連続性は、およそ10%Geを超えなく、例えば、およそ5%Geを超えない。

【0031】

さまざまな実施形態において、第1の半導体層は、第1の層の表面に近接して位置するシード層を含む。スレディング転位は、シード層に均一に分布し得る。シード層は、少なくとも部分的に緩和され得、組成的に均一であり得るか組成的に勾配しているかのいずれかであり得る。さらに、シード層の厚さは、その平衡臨界厚さの2倍を超え得る。いくつかの変形において、シード層の厚さは、その平衡臨界厚さのおよそ5倍より小さい。シード層の少なくとも一部分は、およそ850（例えば、1000より高い温度）の成長温度成長によって形成され得る。シード層の厚さは、およそ10nm~およそ1000nm、例えば、およそ30nm~およそ300nmの範囲にわたり得る。 10

【0032】

本発明のさまざまな実施形態に従ったキャップ層は、およそ1/cmより小さい、例えば、0.01/cmより小さいDPDと、およそ 5×10^5 /cm²より小さいTDDとを有し得る。

【0033】

本発明のこの実施形態のいくつかの変形において、半導体構造はまた、組成的に均一なキャップ層とシード層との間に堆積する組成的に勾配した層を含む。勾配した層の少なくとも1つおよびシード層は、シリコンおよびゲルマニウムの少なくとも1つを含み得る。1つの特徴に従って、勾配した層におけるゲルマニウムの濃度は、シード層と勾配した層との間の界面でのシード層におけるゲルマニウムの濃度とは異なる。詳細には、シード層と勾配した層との間の界面でのゲルマニウム濃度における不連続性は、およそ2%~50%Ge、例えば、およそ5%~15%Geの範囲にわたり得る。1つの実施形態において、半導体構造はまた、勾配層内に位置する少なくとも1つの中間シード層を含む。 20

【0034】

いくつかの実施形態において、半導体構造はまた、組成的に均一なキャップ層とシード層との間に位置する組成的に均一なバッファ層を含む。バッファ層は、シリコンを含み得る。この実施形態のいくつかの変形において、バッファ層およびシード層の少なくとも1つは、シリコンとゲルマニウムとを含む。バッファ層におけるゲルマニウムの濃度は、シード層とバッファ層との間の界面でのシード層におけるゲルマニウムの濃度とは異なり得る。シード層とバッファ層との間の界面でのゲルマニウム濃度における不連続性は、およそ2%~50%Ge、例えば、およそ5%~15%Geの範囲にわたり得る。 30

【0035】

一般的に、他の局面において、本発明は、減少したスレディング転位パイルアップを有する半導体構造を製造する方法を特徴とする。方法は、半導体層の表面にわたり実質的に均一に分布する複数のスレディング転位を有する第1の半導体層を提供し、第1の半導体層の表面の上に実質的に緩和した、および組成的に均一なキャップ層を形成するステップを包含する。第1の半導体層は、少なくとも1つのキャップ層における転位パイルアップの形成を抑制する。

【0036】

いくつかの実施形態において、組成的に均一なキャップ層の格子定数は、第1の層の格子定数とは異なる。他の実施形態において、方法は、キャップ層を形成する前に、第1の層の上に組成的に均一なバッファ層を形成するステップをさらに包含する。また、本発明の実施形態に従って第1の半導体層を提供するステップは、例えば、シード層の平衡臨界厚さの2倍~5倍の範囲の厚さまでシード層を成長させることによって半導体構造の上に少なくとも部分的に緩和したシード層を包含し得る。方法はまた、シード層の堆積温度より高い温度でシード層をアニールするステップを包含し得る。 40

【0037】

いくつかの実施形態において、第1の半導体層を提供するステップは、種を第1の半導体層に埋め込むことを包含する。第1の半導体層と同様に種は、シリコンを含み得る。 50

【0038】

また他の実施形態において、第1の半導体層を提供するステップは、semiconductor on insulator基板を提供することを含む。あるいは、第1の層を提供するステップは、スレディング転位の実質的に均一な分布を有するシリコン基板を提供することを含み得る。シリコン基板におけるスレディング転位の密度は、およそ $10^2 / \text{cm}^2$ を超え得る。シリコン基板の平均表面粗さは、1より大きく、例えば、5より大きくなり得る。

【0039】

いくつかの実施形態において、本発明の方法はまた、キャップ層を形成する前に組成的に勾配した層を形成するステップ、またオプション的に組成的に勾配したバッファ層内に少なくとも1つのシード層を形成するステップを含む。 10

【0040】

また他の局面において、本発明は、基板の上に緩和し勾配した半導体層を形成する方法を特徴とする。本発明のこの局面に従った方法は、第1の半導体層を提供し、0%より大きく100%までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ25% Ge/ μm を超える勾配でゲルマニウム含量を増加するように、シリコンおよびゲルマニウムの少なくとも1つを含み、かつ、およそ $10^7 / \text{cm}^2$ を超えないスレディング転位密度を含む緩和勾配層を第1の半導体層の上にエピタキシャル的に成長させるステップを包含する。

【0041】

本発明のこの局面は、以下の特徴を含み得る。勾配層は、およそ20/cmを超えない例えば、1/cmを超えない、またはさらなる例として、0.01/cmを超えない転位パイルアップ密度を有し得る。勾配率は、少なくとも30% Ge/ μm 例えば、少なくとも40% Ge/ μm であり得る。エピタキシャル成長は、900 ~ 1200 の範囲にわたる温度および1nm/sより速い速度で起こり得る。緩和し勾配した層は、0.1 μm ~ 0.4 μm の範囲におよぶ厚さを含み得る。 20

【0042】

1つの実施形態において、第1の半導体層は、半導体層の表面にわたり実質的に均一に分布する複数複数のスレディング転位を有し、方法は、第1の層の表面の上に組成的に均一なキャップ層を提供するステップをさらに包含する。キャップ層は、実質的に緩和し 30
ており、緩和し勾配した層は、キャップ層の上に成長する。

【0043】

さらなる他の局面において、本発明は、第1の半導体層と、第1の半導体層の上に、シリコンおよびゲルマニウムを含む緩和し勾配したエピタキシャル層を含む半導体構造であって、0%より大きく100%までの範囲にわたるゲルマニウム含量を有する最終的な組成に対して、およそ25% Ge/ μm を超える勾配でゲルマニウム含量を増加するように勾配される半導体構造を特徴とする。構造は、 $10^7 / \text{cm}^2$ を超えないスレディング転位密度を有する。この構造における転位パイルアップ密度は、1/cm (例えば、0.01/cm)を超えない。

【0044】

本発明のさらなる他の局面において、半導体構造は、基板の上に位置する組成的に勾配した層と、組成的に勾配した層の上に位置する実質的に緩和された組成的に均一なキャップ層とを含む1つの半導体構造を含む。キャップ層は、1/cm、例えば、0.01/cmより小さい転位パイルアップの密度を有する。 40

【0045】

本発明のさらなる局面において、半導体構造は、第1の半導体層の表面にわたり実質的に均一に分布する複数のスレディング転位を有する第1の半導体層と、第1層の表面の上に位置する組成的に均一なキャップ層であって、実質的に緩和したキャップ層と、緩和したキャップ層の上に位置するp型金属酸化膜半導体(PMOS)トランジスタまたはn型金属酸化膜半導体(NMOS)トランジスタのいずれか(またはその両方)とを含む。 50

【0046】

PMOSトランジスタは、緩和したキャップ層の一部分の上に位置するゲート誘電体部分とゲート誘電体部分の上に位置するゲートとを含み得る。ゲートは伝導層を含み、p型ドーパントを含むソースおよびドレインがゲート誘電体部分に近接して位置する。

【0047】

NMOSトランジスタは、緩和したキャップ層の一部分の上に位置するゲート誘電体部分とゲート誘電体部分の上に位置するゲートとを含み得る。ゲートは伝導層を含み、n型ドーパントを含むソースおよびドレインがゲート誘電体部分に近接して位置する。

【発明を実施するための最良の形態】

【0048】

図面において、同様の参照特性は、通常、異なる図面でも同じ部分を示す。また、図面は、必ずしも一定の比例で拡大するのではなく、強調は、代わりに本発明の原則に置かれる。以下の記載において、本発明のさまざまな実施形態は、以下の図面を参照して記載される。

【0049】

本発明のさまざまな実施形態に従って、半導体層の表面にわたり均一に分布された複数のスレディング転位を有する半導体層が、組成的に勾配したバッファ層の後に続く成長および緩和の前のスタート層として用いられ、またオプション的に、勾配層の成長中の少なくとも1つの中間層として用いられる。

【0050】

図1を参照して、本発明の実施形態に従った半導体構造50は、基板100を含む。本発明とともに用いられるために適した基板100は、例えば、SiO₂またはシリコンゲルマニウム合金といった基板の上に堆積するシリコンといった半導体を含む。1つの実施形態において、集団的に層110と称されるいくつかの半導体層は、基板100の上にエピタキシャル的に成長する。この実施形態において、層110および基板100は、ともに「仮想基板」と称される。

【0051】

エピタキシャル的に成長した層110は、(これらに限定されないが)常圧化CVD(APCVD)と、減圧CVD(LPCVD)と、超高真空CVD(UHCVD)とを含む任意に適したエピタキシャル堆積システムにおいて、またはモレキュラービームエピタキシーによって成長し得る。エピタキシャル成長システムは、単一のウェハーまたは複数のウェハーバッチ反応器であり得る。成長システムはまた、低エネルギープラズマ利用して、層成長速度を高め得る。

【0052】

製造用途においてポリウムエピタキシーに対して一般的に用いられる適したCVDシステムは、例えば、Applied Material(Santa Clara, CA)から利用可能なEPI CENTURA単一ウェハー複数チャンバシステム、またはASM International(The Netherlands, Bilthoven)から利用可能なEPSILON単一ウェハーエピタキシャル反応器を含む。

【0053】

CVDプロセスにおいて、エピタキシャル成長を得ることは、一般的にソースガスをチャンバに導入することを伴う。ソースガスは、少なくとも1つの前駆体と、例えば、水素といったキャリアガスとを含み得る。層がSiから形成される本発明のこれらの実施形態において、例えば、シラン、ジシラン、トリシランまたはジクロシラン(DCS)、トリクロシラン(TCS)、もしくはシリコンテトラクロライドがといったシリコン前駆ガスが用いられ得る。逆に言えば、層がGeから形成される本発明のこれらの実施形態において、例えば、ゲルマン(GeH₄)、ジゲルマン(digermane)、ゲルマニウムテトラクロライド、またはジクロロゲルマン(dichlorogermane)、もしくは他のGeを含む前駆体といったゲルマニウム前駆ガスが用いられ得る。最後に、SiGe合金から層が形成される本発明のこれらの実施形態において、さまざまな比率でシリ

10

20

30

40

50

コンとゲルマニウム前駆ガスの組み合わせが用いられる。

【0054】

本発明のさまざまな実施形態において、以下に詳細に記載される組成的に勾配したまたは組成的に均一なシード層120は、基板100の上にエピタキシャル的に堆積する。また、以下に詳細に記載されるように、組成的に均一なバッファ層130は、シード層120の上に堆積し得る。

【0055】

依然図1を参照して、緩和されて組成的に勾配した層140は、ここに記載されるパラメータに従って基板100（および、存在するならば、層120および/または層130）の上にエピタキシャル的に堆積する。緩和し勾配した層140は、例えば、勾配比が1 μm の厚さにつきおよそ5%より大きいGe、通常、5% Ge / μm より大きく100% Ge / μm までであり、好ましくは、5% Ge / μm と50% Ge / μm との間であり、最終的なGe含量は、およそ10% Ge / μm と100% Ge / μm の間であるSiとGeとを含み得る。緩和し勾配した層の全体的な勾配比は、通常、層の全体の厚さに対するGe含量の全体の変化の比率として定義される一方で、勾配した層の一部分内の「局部勾配比」は、全体的な勾配比とは異なり得る。例えば、0% Geから10% Geに勾配された1 μm 領域を含む勾配した層（10% Ge / μm の局部勾配比）および10% Geから30% Geに勾配された1 μm 領域を含む勾配した層（20% Ge / μm の局部勾配比）は、15% Ge / μm の全体的な勾配比を有する。このようにして、緩和し勾配した層は、必ずしも線形的プロファイルを有し得ないが、異なる局部勾配比を有するより小さい領域を含み得る。

【0056】

層140における組成的な勾配は、例えば、線形的な勾配またはステップ的な勾配のいずれかによって達成され得、この場合、Ge組成において別々のステップが取られる（例えば、10% Ge / μm の最終的な勾配比に対する2% Geの200 nmの急上昇）。受容され得るTDDおよびDPDを有して達成され得る最大勾配比は、通常、層の厚さおよびソースガスの使用を最小化するために好まれる。受容され得るTDDレベルは、一般的に $10^7 / \text{cm}^2$ より小さく、好ましくは、 $5 \times 10^5 / \text{cm}^2$ 未満である一方で、受容され得るDPDレベルは、一般的に、20 / cmより小さく、好ましくは、0 / cm ~ 5 / cmの間である。例えば、SiとGeの場合には、30% ~ 50% Ge / μm の範囲である勾配比が好都合であると見出された。欠陥密度は、「Journal of the Electrochemical Society」126:479 (1979)に概要されるような標準クロム酸ベースのSchimmelエッチングおよび微分干渉コントラスト(Nomarski)モードで動作する光学顕微鏡を用いて測定される。スレディング転位密度は、転位パイルアップから離れて位置する1領域につきエッチピットの数数を数えることによって計算され、(cm^{-2})の単位の結果になる。転位パイルアップ密度は、1領域につき転位パイルアップの全体的な長さを測定することによって計算され、(cm^{-1})の単位の結果になる。欠陥密度はまた、好ましくは平面送信電子顕微鏡といった補完特性技術を用いて確認され得る。

【0057】

本発明に従った緩和し勾配した層140の厚さは、例えば、およそ0.1 μm ~ およそ10 μm にわたり得、好ましくは、およそ0.5 μm とおよそ4 μm の間である。追加的に、勾配した層140は、例えば、600 ~ 1200 の範囲の温度で成長し得る。例えば、900 を超える、より高い成長温度は、より速い成長率を可能にする一方で、スレディング転位の核生成を最小化するために好まれる。

【0058】

組成的に均一な（例えば、定組成）緩和したキャップ層150は、一般的に勾配した層140の上に位置する。キャップ層150は、例えば、1 ~ 100% Ge、好ましくは10% ~ 90% Ge、および、例えば、0.2 μm ~ 3 μm 、好ましくは0.5 μm より大きい厚さを含む均一な組成を有する $\text{Si}_{1-x}\text{Ge}_x$ を含む。定組成の緩和したキャップ

層 150 および / または 勾配した層 140 は、表面粗さの減少のために平坦化または平滑化にされ得、またはされ得ない。平坦化または平滑化は、他の技術も同様に受容され得るが、例えば、CMP または インサイツ (in situ) エピタキシーベースの方法によって達成され得る。平坦化または平滑化処理の使用は、1 nm 未満の表面粗さを有する緩和したキャップ層 150 の結果になり得る。代替の実施形態において、緩和したキャップ層 150 は、勾配した層 140 を持たないで、基板 100 の上に直接的に形成され得る。

【0059】

半導体材料を含む圧縮され歪んだ層 160 は、緩和したキャップ層 150 の上に位置し得る。1つの実施形態において、圧縮され歪んだ層 160 は、緩和した ($Si_{1-y}Ge_y$) キャップ層の Ge 含量 (x) より高い Ge 含量 (y) を有する $Si_{1-x}Ge_x$ といった IV 族要素を含む。圧縮され歪んだ層 160 は、例えば、1% ~ 100% Ge、好ましくは 40% より大きい Ge を含み得、例えば、10 ~ 500 の厚さ、好ましくは 200 未満の厚さを有し得る。いくつかの実施形態において、圧縮され歪んだ層 160 は、少なくとも 1つ III 族要素と V 族要素、例えば、インジウムガリウムヒ素、インジウムガリウムリンまたはガリウムヒ素とを含む。代替の実施形態において、圧縮され歪んだ層 160 は、少なくとも 1つ II 族要素と VI 族要素、例えば、ジंकセレン、ジंकサルファ、カドミウムテルルまたは水銀テルルとを含む。

【0060】

引張られ歪んだ層 170 は、圧縮され歪んだ層 160 の上に位置し得、圧縮され歪んだ層 160 と界面を共有する。他の実施形態において、引張られ歪んだ層 170 は、圧縮され歪んだ層 160 の下に位置する。あるいは、他の別の実施形態において、圧縮され歪んだ層 160 がなく、代わりに、引張られ歪んだ層 170 が、緩和したキャップ層 150 の上に位置し、緩和したキャップ層 150 と界面を共有する。また別の実施形態において、緩和した定組成の再成長層 (図示されず) は、緩和したキャップ層の上に位置し、緩和したキャップと界面を共有する。また、引張られ歪んだ層が定組成の再成長層の上に位置し、定組成の再成長層と界面を共有する。再成長層は、例えば、1% ~ 100% Ge、および例えば、0.01 μm ~ 2 μm の厚さを有する均一な組成を有する $Si_{1-x}Ge_x$ を含み得る。

【0061】

1つの実施形態において、引張られ歪んだ層 170 は、シリコンから形成される。この実施形態において、引張られ歪んだ層 170 は、Ge ソースガスに露出していない堆積ツールの専用のチャンバ内に形成され得、これによって 2 次汚染を回避し、引張られ歪んだ層 170 と緩和したキャップ層 150 または圧縮され歪んだ層 160 との間の界面の品質を向上させる。さらに、引張られ歪んだ層 170 は、同位体的純粋シリコン前駆体から形成され得る。同位体的純粋シリコン Si は、従来の Si より良い熱伝導率を有する。より高い熱伝導率は、引張られ歪んだ層 170 の上に続いて形成されるデバイスから熱を分散することを補助し得、これによって、引張られ歪んだ層 170 によって提供される高められたキャリア移動度を維持する。

【0062】

他の実施形態において、引張られ歪んだ層 170 は、SiGe または、II 族要素、III 族要素、V 族要素および VI 族要素の少なくとも 1つから形成される。1つの実施形態において、引張られ歪んだ層は、例えば、50 ~ 500 の厚さ、好ましくは、300 未満の厚さを有するシリコンである。

【0063】

上述されるように、本発明に従って、組成的に勾配した半導体層 140 および緩和したキャップ層 150 における転位パイルアップは、組成的に勾配した層の続く成長および緩和の前にスタート層として、またオプション的に、勾配した層の成長中に、少なくとも 1つの中間層として半導体層の表面にわたり実質的に均一に分布する複数のスレッディング転位を有する半導体層を導入することによって減少または実質的に除かれる。依然図 1 を参照して、1つの実施形態において、いわゆる「シード層」120 は、半導体基板 100

10

20

30

40

50

の表面に近接して位置する。

【0064】

図2は、図1と参照して記載される半導体構造の1つの実施形態を示す。この実施形態において、この構造は、SiGe材料を含み、シード層120を含む。図2を参照して、Ge濃度は、半導体デバイスの断面概略図に対してプロットされる。明確にするために、層(100~150)の厚さは、歪ませられた。

【0065】

本質的に、シード層120は、部分的または全面的に緩和した層にわたり実質的に均一に分布するスレッディング転位と、それ自身とその後が続いて堆積される層の少なくとも1つ層との間の組成における不連続性とを有する部分的または全面的に緩和した層を含む。組成における不連続性は、正か負のいずれかであり得る。

10

【0066】

シード層120は、スレッディング転位の実質的に均一に分布に導く。その結果、領域におけるスレッディング転位の密度は、ウエハーにわたる密度からの大きさの1つオーダーより大きく異ならない。さらに、シード層から生じるスレッディング転位の密度は、 $100/cm^2$ 大きくなり得る。

【0067】

本発明のいくつかの実施形態において、SiGe材料システムに対して、シード層120は、SiGe勾配した層が堆積されるSi基板の上のその臨界厚さを超えて成長するSi_{1-y}Ge_yであり得る。図2に示される実施形態において、シード層120は、均一な組成を有する。代替の実施形態において、シード層120の少なくとも一部分は、組成的に勾配している。

20

【0068】

シード層は、例えば、10nm~100nmの厚さであり得る。特定の実施形態において、シード層120の厚さは、およそ30nm~およそ300nmの範囲にわたる。シード層120は、2%~50%Ge、好ましくはおよそ5%~15%Geの範囲にわたるGe不連続性を含む。

【0069】

シード層120は、任意のいくつかのメカニズムを介するその後続く転位パイルアップ形成を防ぐ。例えば、シード層120は、部分的または全面的に緩和しているため、この層におけるスレッディング転位密度は、実質的に均質(すなわち均一)に分布する。緩和処理は、その後が続いて堆積する勾配したバッファ層全体にわたり再利用され得るスレッディング転位の任意に分布するアレイを供給し、不均質な転位分布が、成長中に形成し、転位パイルアップに導くことを防ぐ。同様に、シード層は、勾配したバッファが堆積する、より大きい格子定数材料を形成するので、シード層の上に成長する勾配したバッファは、最終的には、格子不整合をより小さく緩和する必要がある。このことは、スレッディング転位の不均質な分布の核生成、最終的には、転位パイルアップに導き得る勾配したバッファ成長中に、歪みの成長を防ぐことを助ける。次に、シード層における残余の圧縮歪みはまた、転位の動きを促進する有効的な応力を増加し得、より高い滑り速度に導き、従って、より効率的な歪んだ緩和に導く。

30

40

【0070】

追加的に、Eugene Fitzgerald氏らによって記載されるように、層緩和中に、転位を核生成するために活性化される場所の数は、成長温度と層歪みとの積の関数である。シード層は、緩和前に高い固有の歪みを有するので、これは、(ウエハーにわたり実質的に均一に分布する)多くの場所が、層緩和中に転位を形成するために活性化されることを意味する。このようにして、転位パイルアップ(つまり、緩和中に転位形成に対する2、3個だけの局部場所活性化)を促進するコンディションが回避されて、転位パイルアップの密度を減少させる。

【0071】

最後に、シード層120はまた、滑りスレッディング転位を閉じ込めるように知られる

50

形態的な特徴を相殺する表面形態を提供し、これによって、転位パイルアップに導く。例えば、部分的または全面的に緩和したシード層の形態は、クロスハッチパターンにおける深いトラフの形成に逆らい得、成長中に、より平面的な表面、およびより少ない転位ブロック事象に導く。これらのシード層とともに成長する勾配したバッファのいくつかの異なる実施形態は、以下に説明される。

【0072】

図1、2を参照して、定組成なバッファ層130は、シード層120の上に位置する。バッファ層130は、組成的に勾配したバッファ層の後に続く成長の前にスレディング転位の實質的に均一な分布を促進する。バッファ層130は、シード層120より低いGe濃度を有し得、いくつかの実施形態において、0%Geであり得る。いくつかの実施形態において、層120と層130との間の界面は、より低いGe組成またはより高いGe濃度のいずれかに、Ge濃度における突然の増加をさらに示し得る。代替の実施形態において、定組成のバッファ層130がない場合があり得、代わりに勾配層140は、シード層120の上に位置し得、シード層120と界面を共有する。

10

【0073】

上述されるように、シード層120は、部分的または全面的に歪んだ緩和を受けるべきであり、シード層120におけるスレディング転位の分布に導く。均一な組成のシード層に対して、2つのレジームが利用され得る。以下のより詳細に記載されるように高い格子ミスフィットの薄い層または低い格子ミスフィットの厚い層である。また、いくつかの実施形態において、シード層120は、堆積温度より高い温度でアニールされ得、他の層の後に続く成長の前にさらなる緩和を促進する。

20

【0074】

図3は、シード層不整合および厚さ変動を有する転位パイルアップ密度の定性的評価を示す。シード層の厚さは、各層の臨界厚さ(T_{crit})によって表される。臨界厚さは、完全に歪んだ層が平衡である最大厚さを定義する。臨界厚さを超えると、平衡での膜が部分的または全面的に歪んだ緩和を受ける。臨界厚さは、基板に対する膜の格子不整合(f)に依存し、従って、膜とアンダーレイする層xとの間のGe含量における不連続性に依存し、また(ここに参考して援用されるD. Houghtonの「Journal of Applied Physics」, 15 August 1991, 2136-2151によって提供された)以下の等式によって記載される。

30

【0075】

$$T_{crit} = (0.55/x) \ln(10 T_{crit})$$

ここで、 T_{crit} の単位は、ナノメートル(nm)である。

【0076】

このようにして、一般的に、臨界厚さは、Ge含量xにおける差異が減少するとき、増加する。低いGe含量の不連続性または同等に、低い格子不整合(例えば、 $x < 0.1$ に対して、0.4%未満の格子不整合が対応する)に対して、臨界厚さは、比較的大きく(例えば、30nmより大きく)、緩和は、臨界厚さが超えられるとき、厚さの関数として比較的ゆっくりと進む。高いGe含量の不連続性または同等に、高い格子不整合(例えば、 $x > 0.1$ に対して、0.4%より大きい格子不整合が対応する)に対して、臨界厚さは、比較的小さく(例えば、30nmより大きく)、緩和は、臨界厚さが超えられるとき、厚さの関数として比較的早く進む。本発明のいくつかの実施形態において、Geの不連続性は正であり、例えば、シード層120は、隣接した層より大きいGe含量を含む。他の実施形態において、Geの不連続性は負であり、例えば、シード層120は、隣接した層より小さいGe含量を含む。

40

【0077】

このようにして、部分的または全面的に歪み緩和のコンディションは、不整合膜を平衡に導くために必要とされる緩和の量によって制御され、かつ、部分的または全面的歪み緩和のコンディションは、格子不整合の関数である。速度限界は、低温度での平衡歪み緩和を抑制し得る。しかし、図3に記載されるシード層は、一般的に、成長中に平衡歪み緩和

50

を確実にするために十分高い温度である1000より高い温度で一般的成長し得るので、 T_{crit} より大きい層は、上記に概要される基準に従って歪み緩和を受ける。一般的に、850より高い温度に成長する任意のSiGe層は、平衡歪み緩和を受けるべきである。

【0078】

図3において参照される実施形態は、 $0.5\mu\text{m}$ の均一な組成の $\text{Si}_{0.98}\text{Ge}_{0.02}$ バッファ層と、定組成のバッファ層130と組成的に勾配した層150との界面での4%Geに対するGe組成においてステップを有する $\text{Si}_{0.8}\text{Ge}_{0.2}$ へのステップ勾配を介して成長する組成的に勾配した層140と、 $2\mu\text{m}$ の均一な組成 $\text{Si}_{0.8}\text{Ge}_{0.2}$ キャップ層とを特徴とする。

10

【0079】

依然図3を参照して、さまざまな実施形態において、シード層120は、隣接した層に対して比較的低い格子不整合を有し、平衡歪み緩和を確実にするために十分高い温度で、その臨界厚さの数倍大きく成長する。1つの実施形態において、シード層120は、好ましくは、その臨界厚さの2倍より大きくおよそ5倍まで成長する。1つの例において、 $\text{Si}_{0.94}\text{Ge}_{0.06}$ を含むシード層120が、1075で、Si基板の上のその臨界厚さの5倍まで成長する。もちろん、この特定の実施形態は、例示的にすぎず、これに限定されると解釈されるべきではない。なぜなら、成長において他の要因が全体的なパイルアップ密度に影響するからである。例のために、図2を参照して、組成的に勾配した層140の勾配率または定組成のバッファ層130の厚さおよび組成もまた、全体的なパイルアップ密度に影響する。シード層120の包含は、(シード層を有しない同一のサンプルと比較して)ウエハーの中央において、DPDを1~50/cmから1/cm未満に減少し、ウエハーのエッジで、DPDを5~70/cmから1/cm未満に減少し得る。下記に記載されるそれらを含むいくつかの実施形態において、シード層120の包含は、ウエハーの中央およびウエハーのエッジの両方において、DPDを<0.01に減少し得る。

20

【0080】

図4を参照して、他の実施形態において、上述されるように、シード層それ自身は、組成的な勾配を含み得る。これらの実施形態において、シード層に対する通常の設計要求は、上述されるように同一である。つまり、全体のシード層構造は、部分的または全体的な歪み緩和を受ける。図4に示されるように、半導体構造は、勾配シード層420と、定組成のバッファ層430と、組成的に勾配した層440と、均一な組成のキャップ層450とを含む。構造はまた、定組成のバッファ層430と組成的に勾配したバッファ層440との間のGe組成において不連続性435を含む。Ge含量は、およそ0%まで低下し、それから、突然およそ4%のGeまで上昇する。

30

【0081】

他の実施形態において、1つ以上のシード層は、組成的に勾配した層の内に含まれ得る。図5を参照して、1の実施形態において、基板500、複数のシード層520、勾配した層540、緩和したキャップ層550におけるGe含量が、半導体デバイスの断面概略図に対してプロットされる。明確にするために、層(500~550)の厚さは、歪ませられた。図5に示されるように、勾配したバッファ540は、複数のシード層520を含む。シード層(520a、520b、520c、520d、520e)は、ステップ勾配を介して成長する組成的に勾配したバッファ層540における別々の段階の間に挿入される。全体の構造は、それから、均一に組成したキャップ層550を有して終了する。この実施形態において、複数のシード層の使用は、全体の構造に全体にわたりミスフィット転位の均一な分布を有利に促進し、これによって、単一のシード層を有する実施形態と比較してDPDをよりさらに減少し得る。追加的に、図5は、Ge濃度において正の不連続性を有する複数のシード層520を示すが、任意の複数のシード層520は、隣接した層と比較してGe濃度において負の不連続性を含み得る。

40

【0082】

先述の例にも関わらず、本発明は、これに限定されないが、(例えば、シラン、ジクロ

50

ロシラン、トリクロロシラン、シリコンテトラクロライド、ゲルマニウムテトラクロライドおよび他のゲルマニウムハライドといった)前駆ソースガスまたは液体の任意の組み合わせと、任意の成長圧力と、任意の成長温度と、任意の層成長率と、任意の勾配バッファ層の勾配率とを含むエピタキシャル成長コンディションの広範囲に適用されることが強調される。

【0083】

D P Dを減少する他の方法が、本発明の範囲から逸脱することなくシード層の導入の代わりに用いられ得る。詳細には、本発明のいくつかの実施形態において、実質的に均一に分布するスレッディング転位が、異なるシード層の成長を介する方法とは異なる方法によって半導体基板の上に形成され得る。例えば、1つの実施形態において、勾配した層の成長は、所定の態様で制御され、その結果、緩和し勾配した配層の初期部分は、少なくとも1つのその後続く部分より低い局部勾配した層を有する。この初期部分のより均一な緩和は、それから、勾配した層の後に続く副層の成長および緩和の前にスレッディング転位の実質的に均一な分布を提供し得る。この実施形態の1つの変形において、局部勾配率における差異は、5% Ge / μm より大きくなり得る。他の変形において、局部勾配率における差異は、20% Ge / μm より大きくなり得る。この実施形態の特定の変形において、緩和し勾配したバッファ層の初期部分の勾配率は、10% Ge / μm 未満になり得る。また、緩和し勾配したバッファ層の初期部分と続く部分との間の界面でのGe含量における不連続性は、10% Ge未満、例えば、5% Ge未満であり得る。

10

【0084】

また別の実施形態において、上述されるように、勾配した層の初期部分におけるスレッディング転位の実質的に均一な分布を有する勾配した層の使用は、図5に示されるように、緩和し勾配したバッファ層の成長中に、1つ以上のシード層の使用を補完する。

20

【0085】

またさらに別の実施形態において、半導体基板は、既存のスレッディング転位を有するバルク半導体結晶からカットされ得る(例えば、Siの大きい円柱状のブールからカットされるSiウエハー)。これらのスレッディング転位は、好ましくは、格子不整合材料の続くエピタキシ中に滑走し得る転位(例えば、当業者によって認識されるSi、SiGeおよび他のダイヤモンドキューブの半導体における格子不整合歪みを緩和する60°転位)である。他の技術もまた、半導体基板の上にスレッディング転位の実質的に均一な分布を導入するために用いられ得る。1つの実施形態において、基盤は、イオン埋め込みによってダメージを受ける。この埋め込みは、基板表面にわたり実質的に均一に分布する転位を形成し得る。例えば、Si、Ge、BF₂、As、希ガスまたはその他のものといった種の埋め込みは、十分な格子ダメージを招く結果になり得、その結果転位が形成する。別の実施形態において、粗い表面を有する基盤が用いられ得る。これは、鏡面平滑化(この分野で代表的であるSi基板に対して一般的である1~2 未満の粗さより大きい残りの表面粗さレベル)の最終的な研磨ステップをまだ受けていない基板、例えば、Siであり得る。あるいは、平滑Si基板は、物理的または化学的処理(例えば、物理的な荒削り、エッチング、酸化、および表面酸化物の除去等)によって粗くされ得る。このような粗い基板の上の格子不整合層、例えば、組成的に勾配したバッファ層の成長は、ウエハーの表面にわたりスレッディング転位の実質的に均一な核生成の招くこの実施形態の1つの変形において、局部勾配率における差異は、20% Ge / μm より大きくなり得る。結果に得る。これは、基板の上の比較的少ない不均質な場所(例えば、表面パーティクル)または基板エッジに沿ったいくつかの場所で転位の非均一な核生成に対して好まれ得る。

30

40

【0086】

半導体基板の上に堆積するシード層を有する半導体基板といった、ミスフィット転位の均一な分布(つまりあるレベルの転位パイルアップを許容する能力)を有する基板の使用は、オーバーレイする勾配した層において高い勾配率を促進する。一般的に、高いD P Dを回避する所望は、より低い勾配率、(先に言及された ' 4 1 3 特許に記載されるように)、例えば、25% / μm の使用を促進する。このアプローチは、多くの用途に対して適

50

しているが、このような低い組成の勾配は、所定の Ge 含量を達成する比較的厚い SiGe 層の結果になり、比較的厚い SiGe 層は、いくつかの不都合を示し得る。例えば、ウエハーの反りは、厚さと成長温度の関数であるので、より厚い層は、より大きいウエハーの反りを引き起こし得る。当業者には既知であるように、このウエハーの反りは、CMP またはリソグラフィといった続くウエハーの処理ステップに対して問題を呈し得る。より厚い層はまた、もちろん、ソース材料のより多い量の使用を意味する。自明の経済的な不都合に加えて、より厚い層に対するソース材料のより多い量の使用はまた、エピタキシャル処理に対する他の 2 つの欠点（追加的なエピタキシャル反応器の壁の被覆およびウエハーの上の追加的なパーティクル堆積）を招く結果になる。これらはともにウエハーの品質および経済的側面に悪影響を与える。より薄い層はまた、より良い熱拡散のために好まれ得る（特に、SiGe 層の熱伝導率は、比較される Si 層の熱伝導率より低いために好まれ得る）。従って、より薄いエピタキシャル層が、より薄い層の対して好まれ得る。

【0087】

受容され得る TDD および DPD は、シード層（または、上述されるように、半導体基板の上にスレッディング転位の実質的に均一に分布を達成する代替のアプローチ）を用いることによって、あるいは、堆積率（例えば、エピタキシャル成長率）が十分に低く保たれ、いくつかのピルアップが許容されるとき、1 マイクロメートルの厚さにつき 25% Ge より大きい濃度勾配を有して達成され得ることが見出された。処理時間の点において、より高い濃度勾配は、より低い堆積率を平衡化する。従って、全体的なエピタキシャル処理は、より低い勾配率に関連した処理時間に対して同様、または同一にすらなり得る。結果として、材料コストにおける節約は、時間効率の点における犠牲によって相殺されない。

【0088】

半導体基板の上に堆積するエピタキシャル層を有する半導体ウエハーは、図 1 ~ 5 を参照して上述されるように、例えば、CMOS デバイスおよび回路を含むさまざまなデバイスの製造のために用いられ得る。図 6 を参照して、p 型金属酸化半導体 (PMOS) トランジスタ 680 は、半導体ウエハー 50 の第 1 の領域 682 に形成される。n 型ウエル 684 は、第 1 の領域 682 における層 110 に形成される。n 型金属酸化半導体 (NMOS) トランジスタ 686 は、半導体ウエハー 50 の第 2 の領域 687 に形成される。PMOS トランジスタ 680 および NMOS トランジスタ 686 は、緩和したキャップ層 650 の第 1 の部分上に堆積される第 1 のゲート誘電体部分 688 と、緩和したキャップ層 650 の第 2 の部分上に堆積される第 2 のゲート誘電体部分 689 とをそれぞれ含む。第 1 のゲート誘電体部分 688 および第 2 のゲート誘電体部分 689 は、シリコン酸化物といったゲート酸化物を含み得る。第 1 のゲート 690 は、第 1 のゲート誘電体部分 688 の上に堆積し、第 2 のゲート 692 は、第 2 のゲート誘電体部分 689 の上に堆積する。第 1 のゲート 690 および第 2 のゲート 692 は、ドーパされた多結晶シリコン、金属または金属シリサイドといった伝導材料から形成し得る。（内側の境界によって例示のために定義される）第 1 のソース 696 および第 1 のドレイン 697 は、第 1 のゲート 690 に近接した第 1 の領域 682 に形成される。第 1 のソース 696 および第 1 のドレイン 697 は、ホウ素といった p 型イオンの埋め込みによって形成され得る。PMOS トランジスタ 680 は、第 1 のソース 696 と、第 1 のドレイン 697 と、第 1 のゲート 690 と、第 1 の誘電体部分 688 とを含む。（内側の境界によって例示のために定義される）第 2 のソース 698 および第 2 のドレイン 699 は、第 2 のゲート 692 に近接した第 2 の領域 687 に形成される。第 2 のソース 698 および第 2 のドレイン 699 は、ホウ素といった p 型イオンの埋め込みによって形成され得る。NMOS トランジスタ 686 は、第 2 のソース 698 と、第 2 のドレイン 699 と、第 2 のゲート 692 と、第 2 の誘電体部分 689 とを含む。歪んだ層（160、170）のいずれかは、製造の後、いずれのトランジスタ構造からなくなる。

【0089】

半導体基板の上に位置するエピタキシャル層を有する半導体ウエハーは、図 1 ~ 5 を参

照して上述されるように、例えば、絶縁体（SSOI）基板の上の歪んだ半導体を含む他のさまざまな他の構造を製造のために用いられ得る。このような製造は、絶縁体を含むハンドルウエハーの半導体構造のウエハーボンディングによって達成され得る。図1を簡単に参照して、基板100および層110は、それから除去され、歪んだ層（160、170）のいずれかまたは両方において、ハンドルウエハーの上に堆積される結果になる。あるいは、歪んだ層（160、170）は、ボンディングの前に半導体構造50からなくなり、緩和したキャップ層150の一部が、基板100および残りの層110のボンディングおよび除去の後にハンドルウエハーの上に位置し得る。歪んだ層を含む半導体層は、それから、いずれかの最終的なSSOI構造の上に位置し得る。この分野において良く知られているが、SSOI構造を作成するための技術は、例えば、ここに参考として援用される米国特許第6,602,613号にさらに記載される。

10

【0090】

本発明は、本発明の本質的な特性の精神から逸脱することなく他の特定の形で具現化され得る。先述の実施形態は、従って、すべての点において、ここに記載される本発明に限定するよりむしろ例示的であると考えられる。

【図面の簡単な説明】

【0091】

【図1】本発明の1つの実施形態に従った半導体層の上に形成された半導体層を有する半導体基板の概略的な断面図を示す。

【図2】図1の実施形態の1つの変形に従った断面概略図に対してプロットされる図1の半導体構造の異なる層におけるゲルマニウム濃度のグラフである。

20

【図3】本発明のさまざまな実施形態に従った異なる厚さおよびゲルマニウム含量のシード層の対するDPDの定性的評価を含む表である。

【図4】図1の実施形態の1つの変形に従った断面概略図に対してプロットされる図1の半導体構造の異なる層におけるゲルマニウム濃度のグラフである。

【図5】本発明の代替の実施形態に従った半導体構造の異なる層におけるゲルマニウム濃度のグラフである。

【 図 1 】

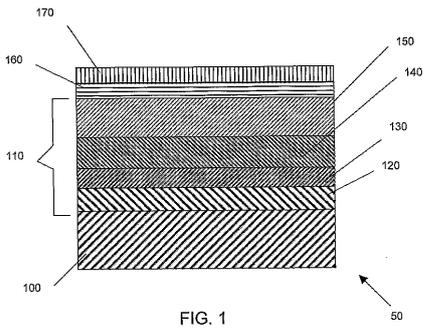


FIG. 1

【 図 2 】

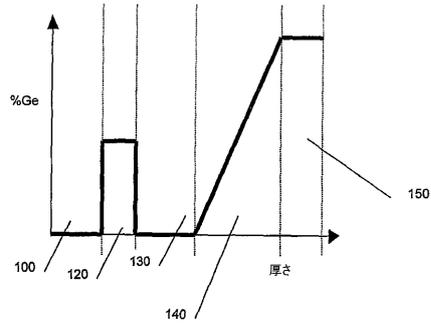


FIG. 2

【 図 3 】

転位パイルアップ密度の定性的評価				
% Ge	$H^* = 0.6 T_{crit}$	$H = 1.25 T_{crit}$	$H = 2 T_{crit}$	$H = 5 T_{crit}$
5	高	中	低	低
10	高	中	中	低
15	高	中	中	低

* 臨界厚さ(T_{crit})に対するシード層の厚さ(H)

FIG. 3

【 図 4 】

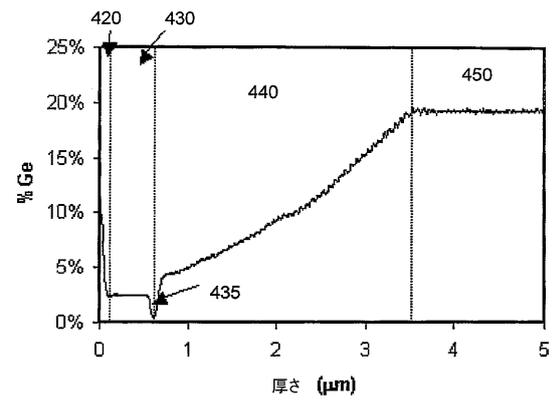


FIG. 4

【 図 5 】

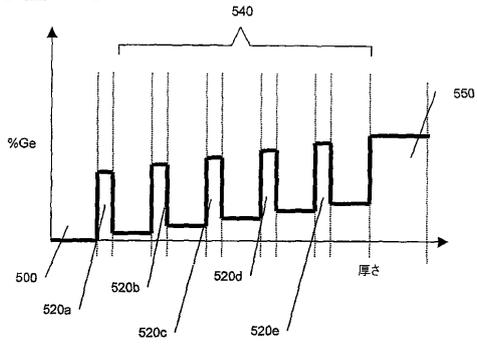


FIG. 5

【 図 6 】

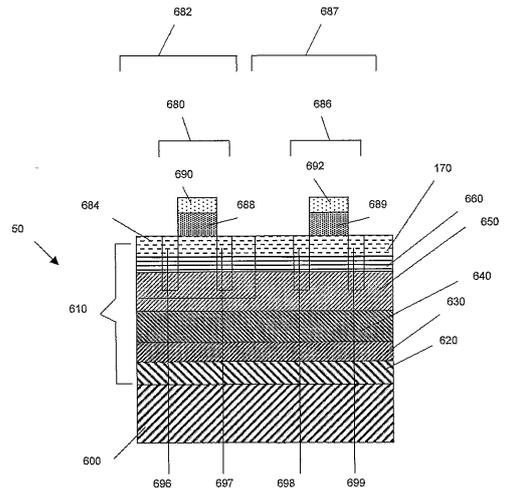


FIG. 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No PCT/US 03/26467
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	LUO Y H ET AL: "Compliant effect of low temperature si buffer for SiGe growth" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 78, no. 4, 22 January 2001 (2001-01-22), pages 454-456, XP002239194 ISSN: 0003-6951 abstract and page 455, left-hand column	1,2,55, 56,64-67
X	EP 0 353 423 A (IBM) 7 February 1990 (1990-02-07) abstract; figure 3	1,2,55, 56,64-67
X	EP 1 014 431 A (DAIMLER CHRYSLER AG) 28 June 2000 (2000-06-28)	1,2,55, 56,61, 64-67
Y	abstract	62
----- -/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"O" document referring to an oral disclosure, use, exhibition or other means		"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 2 July 2004	Date of mailing of the international search report 23.09.2004	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 940-2040, Tx. 31 651 epo nl Fax: (+31-70) 940-3016	Authorized officer Wolff, G	

INTERNATIONAL SEARCH REPORT

International Application No PCT/US 03/26467

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 02/13262 A (AMBERWAVE SYSTEMS CORP) 14 February 2002 (2002-02-14) abstract; figures -----	1,2,55, 56,64-67
E	WO 03/105189 A (AMBERWAVE SYSTEMS CORP) 18 December 2003 (2003-12-18) page 30, lines 17-24; figure 14 -----	1,2,55, 56,61, 62,64-67
Y	A.F. VYATKIN ET AL.: "Study of strain relaxation in epitaxial structure Ge _{0.2} Si _{0.8} /Si at thermo-implantation treatment by ion beam channeling" MATERIALS RESEARCH SOCIETY SYMPOSIUM PROCEEDINGS, vol. 585, 29 November 1999 (1999-11-29), - 2 December 1999 (1999-12-02), pages 183-189, XP009033141 WARRENDALE, PA, USA, 2000 abstract -----	62

INTERNATIONAL SEARCH REPORT

 International application No.
 PCT/US 03/26467
Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.

2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fees.

3. As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-2, 55-56, 61-62, 64-67

Remark on Protest

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International Application No. PCT/ US 03/26467

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-2,55-56,61-62,64-67

A semiconductor structure wherein the two layers have different lattice constants.

2. claims: 1,3-7

A semiconductor structure wherein a strained semiconductor layer is grown over the two layers.

3. claims: 1,8-10

A semiconductor structure wherein the cap layer has a certain composition.

4. claims: 1,11-12

A semiconductor structure wherein the cap layer has a certain thickness.

5. claims: 1,13-26,57,73-94,98-100

A semiconductor structure wherein a graded layer is disposed between the two layers.

6. claims: 1,27-53,58-60

A semiconductor structure wherein the first layer comprises a seed layer.

7. claims: 1,54,63

A semiconductor structure wherein the first layer comprises an SOI substrate.

8. claims: 1,101,68-72

A semiconductor structure wherein the cap layer has a certain surface roughness.

9. claims: 95-97

A semiconductor structure wherein the two layers are used for a MOS transistor.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/US 03/26467

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
EP 0353423	A	07-02-1990	US 5221367 A	22-06-1993
			CA 1330194 C	14-06-1994
			CN 1042273 A, B	16-05-1990
			DE 68923920 D1	28-09-1995
			DE 68923920 T2	18-04-1996
			EP 0353423 A2	07-02-1990
			ES 2075837 T3	16-10-1995
			JP 1878704 C	07-10-1994
			JP 2074600 A	14-03-1990
			JP 6002640 B	12-01-1994
			KR 9306524 B1	16-07-1993
			EP 1014431	A
CA 2293060 A1	22-06-2000			
EP 1014431 A2	28-06-2000			
US 6313016 B1	06-11-2001			
WO 0213262	A	14-02-2002	AU 8313801 A	18-02-2002
			EP 1307917 A2	07-05-2003
			JP 2004519090 T	24-06-2004
			WO 0213262 A2	14-02-2002
			US 2003207571 A1	06-11-2003
			US 2002104993 A1	08-08-2002
			US 2002068393 A1	06-06-2002
WO 03105189	A	18-12-2003	US 2003227057 A1	11-12-2003
			WO 03105189 A2	18-12-2003
			US 2004005740 A1	08-01-2004
			US 2004031979 A1	19-02-2004

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

- (72) 発明者 レイツ, クリストファー
 アメリカ合衆国 ニューハンブシャー 03060, ナシュア, クロックタワー プレイス
 1 アpartment 225
- (72) 発明者 ビネイス, クリストファー
 アメリカ合衆国 マサチューセッツ 02142, ケンブリッジ, ビニー ストリート 19
 5, アpartment 4302
- (72) 発明者 ウェストホフ, リチャード
 アメリカ合衆国 ニューハンブシャー 03051, ハドソン, シャエファー サークル 1
 7
- (72) 発明者 ヤン, ビッキー
 アメリカ合衆国 ニューハンブシャー 03087, ウィンダム, フレッチャー ロード 8
- (72) 発明者 カリー, マシュー
 アメリカ合衆国 ニューハンブシャー 03087, ウィンダム, フレッチャー ロード 8
- F ターム(参考) 5F152 LL03 LL09 LN08 LN13 LN14 LN28 MM04 NN03 NN04 NN15
 NP04 NQ02 NQ03 NQ04 NQ05 NQ06 NQ08 NQ10